

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月20日(20.01.2022)



(10) 国際公開番号

WO 2022/014152 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/8234 (2006.01)

(21) 国際出願番号: PCT/JP2021/019040

(22) 国際出願日: 2021年5月19日(19.05.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-119898 2020年7月13日(13.07.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 郡山 祐至 (KORIYAMA Yushi); 〒8691102 熊本県菊池郡菊陽町大字原水400

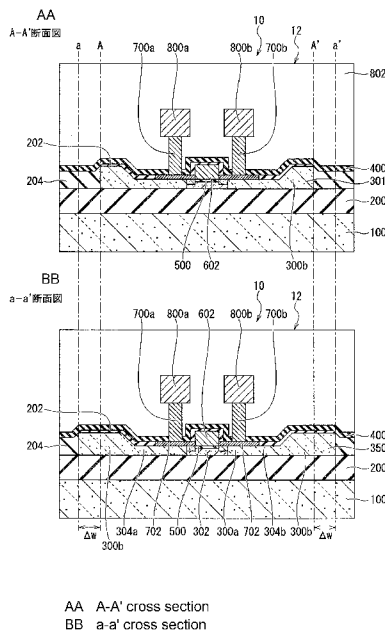
0番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: Provided is a semiconductor device capable of preventing a gate leak defect while having a reduced parasitic capacity, achieving high reliability, and suppressing an increase in manufacturing cost. The semiconductor device comprises: a substrate having an embedded insulating film and a semiconductor layer provided on the embedded insulating film, the semiconductor layer having a semiconductor element formed therein; a gate electrode provided on the semiconductor layer and having, when the substrate is seen from above, a wire extending from a central portion of the semiconductor layer to an end of the semiconductor layer; a source contact via and a drain contact via provided over the semiconductor layer; and a projecting portion formed of the same material as the semiconductor layer in the vicinity of an area in which the end of the semiconductor layer and the wire of the gate electrode intersect each other, the projecting portion protruding outward from the side of the semiconductor layer. The end of the semiconductor layer includes, in at least a part thereof, a thick-film region having a thickness greater than the film thickness directly under the gate electrode of the semiconductor layer. The source contact via and the drain contact via are provided in regions other than the thick-film region.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 寄生容量を低減しつつ、高い信頼性を確保し、製造コストの増加を抑えながら、ゲートリーク不良を防止できる半導体装置を提供する。半導体装置は、埋込絶縁膜と、埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、半導体層上に設けられ、基板を上方から見た場合に、半導体層の中央部から半導体層の端部に至り延伸した配線を有するゲート電極と、半導体層上に設けられるソースコンタクトビア及びドレインコンタクトビアと、半導体層の端部とゲート電極の配線とが交差する領域の近傍に、半導体層と同一の材料で形成され前記半導体層の側面から外側へ突出する突起部とを備える。半導体層の端部は、少なくとも一部に半導体層のゲート電極直下の膜厚に比べて厚い厚膜領域を有する。ソースコンタクトビア及びドレインコンタクトビアは、厚膜領域以外の領域に設けられる。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本開示（本技術）は、半導体装置、及び半導体装置の製造方法に関する。

背景技術

[0002] 無線通信等に用いられる通信装置においては、高周波通信信号を切り替える高周波アンテナスイッチが設けられている。このような高周波アンテナスイッチにおいては、取り扱う信号が高周波であってもデバイス特性が劣化しない、寄生容量の小さなデバイスであることが求められる。

[0003] そこで、従来、アンテナスイッチ用デバイスとしては、高周波特性が良い GaAs（ガリウム砒素）のような化合物半導体が用いられていた。しかしながら、このような化合物半導体デバイスは高価であり、化合物半導体デバイスを動作させるための周辺回路用デバイスが化合物半導体デバイスとは異なる別のチップ上に作成されることから、モジュール等に組み込む際の製造コストを抑えることが難しい。

[0004] そこで、近年、アンテナスイッチ用デバイスと、周辺回路用デバイスとを混載して同一のチップ上に作成可能な SOI（Silicon On Insulator）基板を用いたアンテナスイッチ IC（Integrated Circuit）の開発が盛んになっている。SOI 基板は、高抵抗支持基板の上に設けられた埋込絶縁膜（BOX 層）と、当該埋込絶縁膜上にシリコンからなる半導体層（SOI 層）とを有する基板のことをいう。このような SOI 基板を用いることにより、PN 接合領域に生じる空乏層による寄生容量を低減することができることから、高周波特性の劣化が生じにくく、上述した化合物半導体と同等のデバイス特性を持つアンテナスイッチ用デバイスを作成することができる。さらには、このような SOI 基板を用いてアンテナスイッチ用デバイスを作成した場合には、同一基板上に周辺回路用デバイスを混載して形成することができる。なお、このような SOI 基板に作成され

たデバイスの例としては、下記の特許文献 1 に開示の半導体装置を挙げることができる。

[0005] しかしながら、半導体装置の製造工程において実施される熱酸化やエッチング、研磨等の処理により、S O I 層が局所的に薄くなることがある。このように薄くなった S O I 層の部分には、電界効果型トランジスタ（以下、F E T と称する）の動作中に電界集中が生じ、当該 F E T の信頼性を低下させる一因となる。また、このような F E T の信頼性の低下を防ぐためにこれまで様々な対策が講じられてきたが、これら対策により、寄生容量が増加して F E T の高周波特性が低下したり、製造コストが大幅に増加したりしてしまうことがあった。

これらの問題に対し、S O I 層端部のみの膜厚を厚くし、低寄生容量と高信頼性、低コストを実現している下記特許文献 2 に挙げる技術が公開されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2000-216391号公報

特許文献2：特開2018-148123号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上記技術であっても、F E T のサイズが大きくなると、S T I (Shallow Trench Isolation)形成時のCMP (Chemical Mechanical Polishing)ダメージがシリコン (S i) 層に生じ、ゲートリーク不良が発生していた。

[0008] 本開示はこのような事情に鑑みてなされたもので、寄生容量を低減しつつ、高い信頼性を確保し、製造コストの増加を抑えながら、ゲートリーク不良を防止できる半導体装置及び半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 本開示の一態様は、埋込絶縁膜と、当該埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、当該半導体層上に設けられ、前記基板を上方から見た場合に、前記半導体層の中央部から前記半導体層の端部に至り延伸した配線を有するゲート電極と、前記半導体層上に設けられるソースコンタクトビア及びドレインコンタクトビアと、前記半導体層の端部と前記ゲート電極の配線とが交差する領域の近傍に、前記半導体層と同一の材料で形成され前記半導体層の側面から外側へ突出する突起部と、を備え、前記半導体層の端部は、少なくとも一部に前記半導体層のゲート電極直下の膜厚に比べて厚い厚膜領域を有し、前記ソースコンタクトビア及び前記ドレインコンタクトビアは、当該厚膜領域以外の領域に設けられる半導体装置である。

[0010] 本開示の他の態様は、埋込絶縁膜と、当該埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板を上方から見た場合に、前記半導体層の中央部から前記半導体層の端部に至り延伸した配線を有するゲート電極を、前記半導体層に形成することと、前記半導体層の端部と前記ゲート電極の配線とが交差する領域の近傍に、前記半導体層の側面から外側へ突出する突起部を前記半導体層と同一の材料で形成することと、前記半導体層の端部の膜厚を、前記半導体層のゲート電極直下の膜厚に比べて厚くすることを含む半導体装置の製造方法である。

図面の簡単な説明

[0011] [図1]本開示の第1の実施形態に係る半導体装置の平面図（a）、（b）である。

[図2]図1に示した半導体装置のA-A'、a-a'における断面図である。

[図3]図1に示した半導体装置のB-B'における断面図である。

[図4]図1に示した半導体装置のC-C'における断面図である。

[図5]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その1）である。

[図6]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その2）である。

[図7]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その3）である。

[図8]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その4）である。

[図9]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その5）である。

[図10]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その6）である。

[図11]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（a）及び平面図（b）（その7）である。

[図12]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その8）である。

[図13]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その9）である。

[図14]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その10）である。

[図15]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その11）である。

[図16]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その12）である。

[図17]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その13）である。

[図18]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その14）である。

[図19]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その15）である。

[図20]本開示の第1の実施形態に係る半導体装置の製造方法における各工程を説明する断面図（その16）である。

[図21]比較例に係る半導体装置の平面図である。

[図22]本開示の第1の実施形態の第1の変形例に係る半導体装置の平面図である。

[図23]本開示の第1の実施形態の第2の変形例に係る半導体装置の平面図（a）、（b）、（c）、（d）である。

[図24]本開示の第2の実施形態に係る半導体装置の平面図である。

[図25]図24に示した半導体装置のA-A'における断面図である。

[図26]本開示の第3の実施形態に係る半導体装置の平面図である。

[図27]図26に示した半導体装置のA-A'における断面図である。

[図28]図26に示した半導体装置のB-B'における断面図である。

[図29]本開示の第4の実施形態に係る半導体装置の平面図である。

[図30]図29に示した半導体装置のA-A'における断面図である。

[図31]図29に示した半導体装置のB-B'における断面図である。

発明を実施するための形態

[0012] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものと異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0013] 本明細書において、「第1導電型」はp型又はn型の一方であり、「第2導電型」はp型又はn型のうちの「第1導電型」とは異なる一方を意味する。また、「n」や「p」に付す「+」や「-」は、「+」及び「-」が付記されていない半導体領域に比して、それぞれ相対的に不純物密度が高い又は低い半導体領域であることを意味する。但し、同じ「n」と「n」とが付さ

れた半導体領域であっても、それぞれの半導体領域の不純物密度が厳密に同じであることを意味するものではない。

[0014] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

なお、本明細書中に記載される効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0015] <第1の実施形態>

<平面構成>

図1は、本開示の第1の実施形態に係る半導体装置10の平面図である。なお、以下に説明する本第1の実施形態においては、トランジスタ12はn型のMOS-FETであるとし、その平面構造においてはH字型のゲート電極構造をものとして説明する。しかしながら、本第1の実施形態におけるトランジスタ12は、このような例に限定されるものではなく、他の構成を持つトランジスタであってもよい。

[0016] 本第1の実施形態に係る半導体装置10においては、抵抗率が $500\Omega\text{cm}$ 以上の高抵抗シリコンであるシリコン支持基板100上に、埋込絶縁膜200（図2～図4参照）が設けられており、さらに、埋込絶縁膜200上に不純物拡散層（半導体層）300が設けられる。

[0017] 不純物拡散層300には、トランジスタ12が設けられる。詳細には、図1（a）に示すように、不純物拡散層300上には、ゲート電極を構成する2本のゲート電極配線部600及びゲート電極部602と、ソース電極800aと、ドレイン電極800bと、ボディコンタクト電極800cとが設けられている。不純物拡散層300上に設けられた2本のゲート電極配線部600及びゲート電極部602は、ポリシリコンから成り、シリコン支持基板100の上方から見ると横に倒したH字の形状を持つ。詳細には、ゲート電極部602は、図1（a）中の中央に位置する、図中上下方向に沿って延び

る矩形状の電極部である。さらに、2本のゲート電極配線部600は、上記中央部の矩形状のゲート電極部602を図中上下方向から挟み込むように、図1(a)中左右方向に延伸する、2つの帯状の配線部である。また、上記2本のゲート電極配線部600は、中央で、上記ゲート電極部602と接続している。

[0018] さらに、図1(a)に示されるように、本実施形態においては、ゲート電極配線部600は、不純物拡散層300上を、その中央部から図中左右方向に沿って延伸しており、さらにトランジスタ12の端部301を超えて図中左右方向に沿ってゲート電極配線引き出し部604を形成している。

また、不純物拡散層300の中央に位置するゲート電極部602を左右から挟みこむように、金属膜からなるソース電極800aと、ドレイン電極800bとが設けられている。ソース電極800a及びドレイン電極800bは、トランジスタ12のソース領域及びドレイン領域と接続される配線として機能する。

[0019] そして、不純物拡散層300は、所望の不純物が注入されたシリコン層からなる。詳細には、不純物拡散層300のソース電極800a及びドレイン電極800bの下方及びその周辺には、図1(b)に示すように、リン、ヒ素等のn型の不純物が拡散したソースN+領域305a及びドレインN+領域305bが形成されており、不純物拡散層300の他の領域には、ホウ素等のp型の不純物が拡散している。

[0020] また、図1(a)の右下に示されるように、不純物拡散層300の右下には、ボディコンタクト電極800cが設けられている。当該ボディコンタクト電極800cは、基板浮遊効果の抑制するために、不純物拡散層300の電位を固定、制御するための配線として用いられる。

また、不純物拡散層300の周囲を取り囲むように、シリコン酸化膜等の絶縁膜が埋め込まれたSTI204(図2～図4参照)が設けられ、不純物拡散層300に設けられたトランジスタ12を、シリコン支持基板100上に設けられた他の素子から分離する。

[0021] 本第1の実施形態では、ゲート電極配線部600と、不純物拡散層300のトランジスタ12の端部301とが交差する部分の近傍に、半導体基板のシリコン層320からなる不純物拡散層300の側面から外側へ突出させた不純物拡散層300の一部からなる2つの突起部350a, 350bを形成している。

[0022] <断面構成>

次に、本第1の実施形態における半導体装置10の断面構成について、図2から図4を参照して説明する。図2は、図1(a)に示した半導体装置10のA-A'、a-a'における断面図であり、図3は、図1(a)に示した半導体装置10のB-B'における断面図であり、さらに、図4は、図1(a)に示した半導体装置10のC-C'における断面図である。

[0023] 図2に示すように、本第1の実施形態に係る半導体装置10は、先に説明したように、高抵抗シリコンからなるシリコン支持基板100の上に設けられたシリコン酸化膜よりなる埋込絶縁膜200を有する。さらに、半導体装置10は、埋込絶縁膜200上に設けられたシリコン層からなる不純物拡散層300を有している。すなわち、本第1の実施形態においては、基板として上述したSOI基板を用いており、不純物拡散層300が上述のSOI層に対応する。本第1の実施形態においては、SOI基板を用いていることにより、トランジスタ12における寄生容量を低減することができる。なお、シリコン支持基板100は、半導体装置10の製造後に裏面を研削して薄膜化してもよく、シリコン支持基板100の膜厚は特に限定されるものではない。また、埋込絶縁膜200は、100nm~2000nm程度の膜厚を持ち、好ましくは、トランジスタ12の高周波特性を考慮して、400nm程度の膜厚を持つことが好ましい。

[0024] 不純物拡散層300は、図2に示すように、中央部に膜厚の薄い薄膜部300aと、トランジスタ12の端部301に、薄膜部300aに比べて膜厚の厚い厚膜部300bとを有する。また、不純物拡散層300は、突起部350a, 350b(図2では、突起部350bのみ図示)に、トランジスタ

12の端部301と同じ膜厚の厚膜部300bを有する。突起部350a, 350bは、不純物拡散層300のトランジスタ12の端部301から例えば0.4 μm 以上（図2中、 ΔW で示す）突出している。

[0025] ゲート電極部602の下に位置する当該薄膜部300aの中央部は、p型の不純物が拡散したトランジスタ12のゲート領域302にあたる。また、当該ゲート領域302を図中左右から挟み込む薄膜部300aの領域は、n型の不純物が拡散した、ソース領域304a及びドレイン領域304bにあたる。なお、ゲート領域302に隣接するソース領域304a及びドレイン領域304bは、ゲート領域302から離れて位置するソース領域304a及びドレイン領域304bにおける不純物濃度よりも、不純物濃度が薄い、LDD層2000を形成することが望ましい。詳しくは、後述の図19で説明する。

[0026] また、不純物拡散層300の端部301に位置する厚膜部300bは、不純物拡散層300の中央部に位置する薄膜部300aに対して、厚くなっており、詳細には、薄膜部300aの2倍から10倍の膜厚を持つ。より具体的には、トランジスタ12の高周波特性と信頼性との両立を考慮して、厚膜部300bの膜厚は、140nm～200nmであることが好ましく、薄膜部300aの膜厚は、20nm～70nmであることが好ましい。

[0027] なお、先に説明した図1（a）の平面図においては、不純物拡散層300の中央部に位置する薄膜部については300aとして、不純物拡散層300の端部301に位置する厚膜部については300bとして、示されている。

さらに、本実施形態に係る半導体装置10においては、不純物拡散層300の中央部に設けられたゲート領域302上にゲート絶縁膜500が設けられている。ゲート絶縁膜500は、シリコン酸化膜から形成されており、その膜厚については任意に選択することができる。

[0028] また、ゲート領域302の両側に位置する不純物拡散層300の上面には、ゲート領域302と離隔して2つのシリサイド膜702が設けられている。さらに、シリサイド膜702上には、それぞれソースコンタクトビア70

0 a 及びソース電極 800 a と、ドレインコンタクトビア 700 b 及びドレイン電極 800 b とが設けられている。すなわち、ソースコンタクトビア 700 a、ドレインコンタクトビア 700 b は、不純物拡散層 300 の薄膜部 300 a に形成されたソース領域 304 a 及びドレイン領域 304 b の上に、ゲート電極部 602 は、ソース領域 304 a 及びドレイン領域 304 b の間に挟まれるように、設けられている。薄膜部 300 a 上にソースコンタクトビア 700 a 及びドレインコンタクトビア 700 b を設けることにより、ソースとドレインとの間の寄生容量を低減することができる。なお、シリサイド膜 702 は、シリコンと他の元素との化合物膜であり、ソースコンタクトビア 700 a、ドレインコンタクトビア 700 b、ソース電極 800 a 及びドレイン電極 800 b は、金属膜等から形成される。なお、本第 1 の実施形態において、これら、ソース領域 304 a、ドレイン領域 304 b、シリサイド膜 702、ソースコンタクトビア 700 a、ドレインコンタクトビア 700 b、ソース電極 800 a、ドレイン電極 800 b の膜厚、大きさ、及び形状等については、特に限定されるものではない。また、本第 1 の実施形態において、半導体装置 10 の製造歩留まりを高く維持するために、製造ばらつき等を考慮してトランジスタ 12 のレイアウトすることが好ましい。

[0029] なお、上述の説明においては、ソースとドレインとの間の寄生容量を低減するために、ソースコンタクトビア 700 a 及びドレインコンタクトビア 700 b は、不純物拡散層 300 の薄膜部 300 a の上に設けられている。

[0030] また、不純物拡散層 300 の周囲には、トランジスタ 12 を他の素子から分離するために、STI（分離絶縁膜）204 が設けられている。詳細には、STI 204 は、不純物拡散層 300 の周囲を囲むように設けられたトレンチと、トレンチに埋め込まれたシリコン酸化膜とを有する。なお、本実施形態においては、STI 204 のトレンチの幅、深さ、形状等については、特に限定されるものではない。

[0031] また、ゲート電極部 602、不純物拡散層 300 及び STI 204 を覆うように、シリコン酸化膜 202 が設けられている。さらに、上記シリコン酸

化膜202を覆うように更なるシリコン窒化膜400が設けられている。加えて、シリコン窒化膜400上にあって、ソースコンタクトビア700aとドレインコンタクトビア700bの間、及び、ソース電極800aとドレイン電極800bとの間には、シリコン酸化膜802が設けられている。なお、本第1の実施形態において、シリコン酸化膜202、シリコン窒化膜400、シリコン酸化膜802については、その材質、膜厚等は特に限定されるものではない。

[0032] 次に、図3を参照して、本第1の実施形態に係る半導体装置10を説明する。先に説明したように、当該断面図においても、半導体装置10は、シリコン支持基板100と、シリコン支持基板100上に設けられた埋込絶縁膜200と、埋込絶縁膜200上に設けられた不純物拡散層300とを有している。

[0033] 図3の断面においても、不純物拡散層300は、図2の断面と同様に、中央部に膜厚の薄い薄膜部300aと、トランジスタ12の端部301に膜厚の厚い厚膜部300bとを有する。詳細には、当該断面においても、厚膜部300bは、薄膜部300aの2倍から10倍の膜厚を持ち、より具体的には、厚膜部300bの膜厚は、140nm～200nmであることが好ましく、薄膜部300aの膜厚は、20nm～70nmであることが好ましい。

[0034] また、図3の断面においては、不純物拡散層300の薄膜部300a及び厚膜部300bの上には、ゲート絶縁膜500を介してゲート電極配線部600が設けられている。図3に示すように、ゲート電極配線部600は、不純物拡散層300上を図中左右方向に延伸しており、さらに、トランジスタ12の端部301を超えて図中左右方向にゲート電極配線引き出し部604を形成している。すなわち、ゲート電極配線部600は、不純物拡散層300の薄膜部300a上だけでなく、厚膜部300b上も通過するように設けられている。

[0035] 次に、図4を参照して、本第1の実施形態に係る半導体装置10を説明する。当該断面は、ボディコンタクト電極800cを横切るように切断した場

合に得られる断面である。先に説明したように、当該断面図においても、半導体装置 10 は、シリコン支持基板 100 と、シリコン支持基板 100 上に設けられた埋込絶縁膜 200 と、埋込絶縁膜上に設けられた不純物拡散層 300 とを有している。

[0036] 図 4 の断面においても、不純物拡散層 300 は、図 2 の断面と同様に、中央部に膜厚の薄い薄膜部 300 a と、トランジスタ 12 の端部 301 に膜厚の厚い厚膜部 300 b とを有する。詳細には、当該断面においても、厚膜部 300 b は、薄膜部 300 a の 2 倍から 10 倍の膜厚を持ち、より具体的には、厚膜部 300 b の膜厚は、140 nm～200 nm であることが好ましく、薄膜部 300 a の膜厚は、20 nm～70 nm であることが好ましい。

[0037] また、図 4 の断面においても、不純物拡散層 300 の薄膜部 300 a の上には、ゲート絶縁膜 500 を介してゲート電極配線部 600 が設けられている。

さらに、図 4 の左側に示すように、厚膜部 300 b の上面には、シリサイド膜 702 を介して、ボディコンタクトビア 700 c と、ボディコンタクト電極 800 c とが設けられている。なお、先に説明したように、シリサイド膜 702 は、シリコンと他の元素との化合物膜であり、ボディコンタクトビア 700 c 及びボディコンタクト電極 800 c は、金属膜等から形成される。また、本第 1 の実施形態においては、これらシリサイド膜 702、ボディコンタクトビア 700 c、ボディコンタクト電極 800 c の膜厚、大きさ、及び形状等については、特に限定されるものではない。

[0038] 先に説明したように、ソースコンタクトビア 700 a 及びドレインコンタクトビア 700 b は、不純物拡散層 300 の薄膜部 300 a の上に設けられており、このようにして、ソースとドレインとの間の寄生容量を低減している。一方、ボディコンタクトビア 700 c は、不純物拡散層 300 の厚膜部 300 b の上に設けられている。ボディ（不純物拡散層 300）とゲートとの間の寄生容量については、トランジスタ 12 の高周波特性に対して与える影響は小さいことから、ボディコンタクトビア 700 c は、不純物拡散層 3

00の厚膜部300bの上に設けてもよい。

[0039] <半導体装置の製造方法>

次に、半導体装置10の製造方法を説明する。

まず、本実施形態に係る製造方法においては、図5に示すように、シリコン支持基板100上に、シリコン酸化膜からなる、膜厚が100nm~200nm、好ましくは400nmである埋込絶縁膜200を有し、さらに、埋込絶縁膜200上に、膜厚が30nm~400nm、好ましくは175nmのシリコン層320を有するSOI基板を使用する。

[0040] 次に、図6に示すように、シリコン層320の上面に対して酸化処理を行うことにより、膜厚が10nm~100nm、好ましくは10nmであるシリコン酸化膜900を形成する。なお、上述の酸化処理の方法は、特に限定されるものではなく、既知の各種の酸化処理の方法を用いることができる。さらに、シリコン酸化膜900上に、CVD (Chemical Vapor Deposition) により、膜厚が10nm~300nm、好ましくは100nmであるシリコン窒化膜902を形成する。

[0041] そして、図7に示すように、シリコン窒化膜902の全面にレジストを塗布し、フォトリソグラフィーを用いて露光することにより、レジストパターン904を形成する。当該レジストパターン904は、シリコン層320の膜厚を薄くする箇所に開口部を持つパターンを有する。当該パターンは、シリコン層320の薄膜部（上述の薄膜部300aに対応する）と厚膜部（上述の厚膜部300bに対応する）との間に位置する膜厚が徐々に変化する領域の長さ、すなわち、薄膜部と厚膜部との間の距離が400nm程度になるように考慮したレイアウトパターンとなっていることが好ましい。

[0042] その後、上記レジストパターン904をマスクとして用いて、シリコン窒化膜902及びシリコン酸化膜900に対してドライエッチング処理を行う。このようにして、図8に示すように、シリコン層320の上面の一部が露出した開口部906を得た後に、レジストパターン904を除去する。なお、シリコン酸化膜900に対してドライエッチング処理を施した際に、上記

開口部 906 から露出するシリコン層 320 の上面の一部をエッチングしてもよい。

[0043] 次に、図 9 に示すように、上記開口部 906 から露出するシリコン層 320 の一部に対して選択的な酸化処理 (Local Oxidation of Silicon; LOCOS 酸化処理) を行う。この際、開口部 906 に位置するシリコン層 320 の膜厚が、所望の膜厚になるように、酸化処理によりシリコン層 320 が酸化される酸化量を制御する。より具体的には、最終的に、シリコン層 320 の中央部 320a の膜厚 (すなわち、不純物拡散層 300 の薄膜部 300a の膜厚) を 60 nm とする場合には、図 9 の工程においては、開口部 906 に位置するシリコン層 320 の膜厚が 80 nm 程度になるように制御することが好ましい。このようにして、シリコン層 320 については部分的に薄くなる。

続いて、シリコン窒化膜 902 をリン酸により除去し、さらに、シリコン酸化膜 900 をフッ酸等により除去すると、図 10 に示すようなシリコン層 320 が部分的に薄化されたシリコン薄膜部 908 を有するシリコン層 320 を得ることができる。

[0044] さらに、図 11 (a) に示すように、シリコン層 320 の上面を酸化処理することにより、シリコン層 320 上に、膜厚が 10 nm ~ 100 nm、好ましくは 10 nm であるシリコン酸化膜 1000 を形成する。さらに、シリコン酸化膜 1000 上に、CVD を用いて、膜厚が 10 nm ~ 400 nm、好ましくは 210 nm であるシリコン窒化膜 1100 を形成する。次いで、シリコン窒化膜 1100 の全面にレジストを塗布し、フォトリソグラフィーを用いて露光することにより、レジストパターン 1300 を形成する。当該レジストパターン 1300 は、トランジスタ 12 を他の素子から分離するための STI 204 を形成する箇所に開口部を持つパターンを有する。

[0045] このレジストパターン 1300 は、図 11 (b) に示すように、トランジスタ 12 の端部 301 とゲート電極配線部 600 が交差する領域付近のシリコンが突き出すように、突起部を有するレジストパターン 350a' , 35

0 b' を素子分離用のレジストパターン 1300 に含むので、フォトリソグラフィの工程数の増加が抑制される。

[0046] その後、レジストパターン 1300 をマスクとして、シリコン窒化膜 1100 及びシリコン酸化膜 1000 に対してドライエッチング処理を行う。さらに、レジストパターン 1300 に覆われていない箇所のシリコン層 320 の上面を露出させた後に、レジストパターン 1300 の除去を行う。なお、本実施形態においては、レジストパターン 1300 の除去の方法は、特に限定されるものではなく、アッシング等の既知の各種の除去方法を用いることができる。そして、上述とは異なる条件のドライエッチング処理により、シリコン窒化膜 1100 をマスクとしてシリコン層 320 をエッチングすることによって、図 12 に示される構造を得ることができる。

[0047] 続いて、図 13 に示すように、HDP (High Density Plasma) 等を用いて、シリコン層 320 の両側に設けられたトレンチ内がシリコン酸化膜 1400 によって埋め込まれるように、シリコン支持基板 100 の上方全体にシリコン酸化膜 1400 を形成する。この際、シリコン酸化膜 1400 は、シリコン窒化膜 1100 の上面を覆うように形成されてもよく、シリコン酸化膜 1400 の膜厚は、50 nm ~ 1000 nm、好ましくは 400 nm となるように形成される。

次に、シリコン酸化膜 1400 の全面にレジストを塗布し、フォトリソグラフィを用いて露光することにより、レジスト膜 1500 を形成する。当該レジスト膜 1500 は、シリコン層 320 の中央部 320 a 上に位置する除去されるシリコン酸化膜 1400 及びシリコン窒化膜 1100 に対応する箇所に開口部 1600 を持つパターンを有する。この際、上記開口部 1600 は、シリコン層 320 の中央部 320 a の上方に広がり、さらに、シリコン層 320 の端部 320 b のシリコン層 320 の膜厚の厚い厚膜部にまで広がっていることが好ましい。

[0048] そして、レジスト膜 1500 をマスクとして、シリコン酸化膜 1400 に対しドライエッチング処理を施すことにより、シリコン酸化膜 1400 を除

去する。このようにすることで、図14に示される構造を得ることができる。なお、後に実施することとなるCMP (Chemical Mechanical Polishing) の条件によっては、中央部320a、及び、中央部320aと端部320bとの間のシリコン層320の膜厚が徐々に変化する領域の上方にシリコン酸化膜1400が残存してしまう可能性がある。そこで、このようなシリコン酸化膜1400の残存を避けるために、上述のドライエッチング処理は、シリコン窒化膜1100もエッチングされる程度のオーバーエッチング条件で実施することが好ましい。

[0049] 次に、図15に示すように、レジスト膜1500を除去する。

さらに、シリコン支持基板100の上面にCMPを用いて平坦化処理を施し、図16に示される構造を得ることができる。なお、平坦化されたシリコン酸化膜1400は、素子分離のためのSTI204を形成することとなる。

続いて、シリコン窒化膜1100をリン酸により除去し、さらに、シリコン酸化膜1000をフッ酸等により除去すると、図17に示すようなトランジスタ形成領域1700を得ることができる。ここで、必要に応じて、例えばイオンインプランテーションによって不純物をトランジスタ形成領域1700に注入してもよい。この際、トランジスタ形成領域1700の上面をパターンニングされたレジストで覆うことにより、トランジスタ形成領域1700の所望の部分に不純物を注入してもよい。

[0050] さらに、トランジスタ形成領域1700及びSTI204上に、シリコン酸化膜からなるゲート絶縁膜500を形成する。また、図18に示すように、ゲート絶縁膜500上の全面にポリシリコン膜を成膜し、さらに、エッチング等を用いて当該ポリシリコン膜を任意の形状にパターンニングすることにより、ゲート電極部602を形成する。

続いて、ゲート電極部602をマスクとして、トランジスタ形成領域1700にイオンインプランテーションによって不純物を注入することにより、不純物拡散層300を形成する。さらに、不純物拡散層300のゲート領域

302の周囲に、上述のイオンインプランテーションより是不純物濃度が薄くなるように所望の不純物を注入し、不純物拡散層300中にLDD (Lightly Doped Drain) 層2000を形成する。このようにして、図19に示される構造を得ることができる。なお、LDD層2000を形成した後に、上述のイオンインプランテーションを行ってもよい。

さらに、ゲート電極部602をマスクとして、エッチングを行うことにより、ゲート絶縁膜500に対してパターニングを行う。その後、露出した不純物拡散層300の上面であって、ゲート電極部602の両側のゲート電極部602から離隔した位置にシリサイド膜702を形成してもよい。なお、本実施形態においては、上述のシリサイド膜702の形成方法は、特に限定されるものではなく、既知の各種の形成方法を用いることができる。

[0051] 続いて、不純物拡散層300、STI204、及びゲート電極部602上に、順次、シリコン酸化膜202、シリコン窒化膜400及びシリコン酸化膜802を形成する。そして、シリコン酸化膜802から、シリコン窒化膜400及びシリコン酸化膜202を貫きシリサイド膜702まで到達するソースコンタクトビア700a及びドレインコンタクトビア700bを形成する。この際、本実施形態においては、広い薄膜部300a上に、ソースコンタクトビア700aとドレインコンタクトビア700bとを所定の距離だけ離隔して設けることができる。従って、ソースコンタクトビア700aとドレインコンタクトビア700bとを高精度でパターニングすることを避けることができることから、製造歩留まりの低下を避けることができる。また、ソースコンタクトビア700a及びドレインコンタクトビア700bを互いに所定の距離だけ離隔して設けることができることから、特に、複数のゲートを持つトランジスタにおいて、トランジスタのレイアウトサイズの増加を抑え、ひいては製造コストの増加を抑えることができる。

さらに、ソースコンタクトビア700a上に、ソース電極800aを形成し、ドレインコンタクトビア700b上に、ドレイン電極800bを形成する。この際、上述のシリコン酸化膜202、シリコン窒化膜400、シリコ

ン酸化膜 802、ソースコンタクトビア 700a、ドレインコンタクトビア 700b、ソース電極 800a 及びドレイン電極 800b の形成方法は、特に限定されるものではなく、半導体装置 10 の製造方法において一般的に用いられている形成方法を用いることができる。さらに、これらソース電極 800a 及びドレイン電極 800b の上に、更なる金属膜を形成してもよい。このようにして、図 1 から図 4 に示される本開示の実施形態に係る半導体装置 10 を得ることができる。

[0052] <実施形態の比較例>

図 21 は、比較例とする半導体装置 10 の平面を示す。なお、図 21 において、上記図 1 と同一部分には、同一符号を付して詳細な説明を省略する。

比較例にあって、不純物拡散層 300 の端部 301 のみの膜厚を厚くすることで、低寄生容量と高信頼性、低コストを実現している。

しかしながら、トランジスタ 12 のサイズが大きくなると、STI 形成時の CMP 工程において、ゲート電極配線引き出し部 604 の不純物拡散層 300 に物理的ダメージ（微小クラックなど）を受け易くなり、その後の熱酸化工程でゲート絶縁膜 500 の膜質が劣化、電界に対する耐圧劣化で、ゲートリーク不良を発生させる問題があった。

[0053] <第 1 の実施形態の解決手段>

そこで、本第 1 の実施形態では、図 1 (a) に示すように、ゲート電極配線部 600 と、不純物拡散層 300 の端部 301 とが交差する部分の近傍に、半導体基板のシリコン層 320 からなる不純物拡散層 300 の側面から外側へ突出させた 2 つの突起部 350a, 350b を形成している。

2 つの突起部 350a, 350b は、ゲート電極配線部 600 の延伸方向と平行方向に 0.4 μm 以上、垂直方向に 0.7 μm 以上の長さである。なお、好ましくは、平行方向に 1 μm 以上、垂直方向に 1 μm 以上である。

また、2 つの突起部 350a, 350b は、ゲート電極配線引き出し部 604 との距離が、14 nm 以上、200 nm 以下である。

[0054] <第 1 の実施形態による作用効果>

以上のように上記第1の実施形態によれば、ゲート電極配線引き出し部604を挟み込む2つの突起部350a, 350bを形成することにより、突起部350a, 350bを形成した分だけ不純物拡散層300の端部301の面積及び膜厚を確保することで、不純物拡散層300の端部301とゲート電極配線部600とが交差する領域をCMPダメージから保護し、ゲートリークを防止するようにしたので、高信頼性と高歩留の確保で、製造コストの低コスト化を実現できる。

[0055] また、第1の実施形態によれば、突起部350a, 350bとゲート電極配線引き出し部604との距離を、14nm以上、200nm以下としたので、突起部350a, 350bにゲート電極配線引き出し部604の材質が残らず、不要なゲート寄生容量の増加の防止と、発塵の抑制で高信頼性と高歩留の確保で、製造コストの増加を抑制できる。

[0056] <第1の実施形態の第1の変形例>

図22は、本開示の第1の実施形態の第1の変形例として、半導体装置10Aの平面を示す。図22において、上記図1(a)と同一部分には、同一符号を付して詳細な説明を省略する。

[0057] トランジスタ12Aは、ゲート電極部602と、ゲート電極配線部600の引き出し部であるゲート電極配線引き出し部604とを形成している。また、トランジスタ12Aは、ゲート電極配線部600と、トランジスタ12Aの端部301とが交差する部分の近傍に、半導体基板のシリコン層320からなる不純物拡散層300の側面から外側へ突出させた1つの突起部350aを形成している。第1の変形例では、2本以上のゲート電極配線引き出し部604を平行に配置している場合に、互いに対向するゲート電極配線引き出し部604の端部と反対側、つまり外側に突起部350aを形成するようにしている。

このような第1の変形例であっても、上記第1の実施形態と同様の作用効果が得られる。

[0058] <第1の実施形態の第2の変形例>

図23は、本開示の第1の実施形態の第2の変形例として、半導体装置10Bの平面を示す。図23において、上記図1(a)と同一部分には、同一符号を付して詳細な説明を省略する。

[0059] 図23(a)において、トランジスタ12Bは、ゲート電極配線部600と、トランジスタ12Bの端部301とが交差する部分の近傍に、半導体基板のシリコン層320からなる不純物拡散層300の側面から外側へ突出させた2つの突起部351a, 351bを形成している。2つの突起部351a, 351bは、トランジスタ12Bの上方から見て、丸形の形状である。

[0060] また、図23(b)において、2つの突起部352a, 352bは、トランジスタ12Bの上方から見て、三角形である。また、図23(c)において、2つの突起部353a, 353bは、図23(b)とは向きが異なる三角形である。さらに、図23(d)において、2つの突起部354a, 354bは、トランジスタ12Bの上方から見て、多角形である。

このような第2の変形例であっても、上記第1の実施形態と同様の作用効果が得られる。

[0061] <第2の実施形態>

図24は、本開示の第2の実施形態として、半導体装置10Cの平面を示す。図23において、上記図1(a)と同一部分には、同一符号を付して詳細な説明を省略する。図25は、図24に示した半導体装置10CのA-A'における断面図である。図25において、上記図2と同一部分には、同一符号を付して詳細な説明を省略する。

[0062] 図24に示されるように、半導体装置10C及びトランジスタ12Cは、シリコン支持基板100の上方から見て、はしご形状の複数のゲート電極部602と、2本のゲート電極配線部600Aとを有している。詳細には、複数のゲート電極部602は、図24中を左右方向に沿って並んでいる。2本のゲート電極配線部600Aは、複数のゲート電極部602を図24中の上下方向に沿って挟み込み、複数のゲート電極部602を互いに接続する。さらに、各ゲート電極部602を図24中の左右方向から挟み込むように、ソ

ース電極800a及びドレイン電極800bが設けられている。

[0063] また、半導体装置10C及びトランジスタ12Cは、ゲート電極配線部600Aと、トランジスタ12Cの端部301とが交差する部分の近傍に、半導体基板のシリコン層320からなる不純物拡散層300の側面から外側へ突出させた2つの突起部350a, 350bを形成している。また、ゲート電極配線部600Aは、トランジスタ12Cの端部301を超えてゲート電極配線引き出し部604を形成している。

[0064] また、本第2の実施形態においても、図25に示すように、不純物拡散層300は、上述の第1の実施形態と同様に、中央部に位置する薄膜部300aと、端部301に位置する厚膜部300bとを有する。本第2の実施形態においても、ゲート領域302、ソース領域304a及びドレイン領域304bは、不純物拡散層300の薄膜部300aに設けられている。このように、複数のゲート領域302を持つ場合であっても、薄膜部300aと厚膜部300bとを有する不純物拡散層300を適用することができる。

このような第2の実施形態であっても、上記第1の実施形態と同様の作用効果が得られる。

[0065] <第3の実施形態>

図26は、本開示の第3の実施形態として、半導体装置10Dの平面を示す。図26において、上記図1(a)と同一部分には、同一符号を付して詳細な説明を省略する。また、図27は、図26に示した半導体装置10DのA-A'における断面図である。図27において、上記図2と同一部分には、同一符号を付して詳細な説明を省略する。さらに、図28は、図26に示した半導体装置10DのB-B'における断面図である。図28において、上記図4と同一部分には、同一符号を付して詳細な説明を省略する。

[0066] 図26に示されるように、第3の実施形態に係る半導体装置10Dは、シリコン支持基板100の上方から見て、T字型形状となるゲート電極配線部600Bとゲート電極部602Aとを有している。詳細には、ゲート電極部602Aは、図26中の上下方向に沿って延びる矩形型である。ゲート電極

配線部 600B は、図 26 中の左右方向に沿って延びる矩形状の配線部である。また、ゲート電極部 602A を図 26 中の左右方向から挟み込むように、ソース電極 800a、ドレイン電極 800b が設けられている。

[0067] また、半導体装置 10D 及びトランジスタ 12D は、ゲート電極配線部 600B と、トランジスタ 12D の端部 301 とが交差する部分の近傍に、半導体基板のシリコン層 320 からなる不純物拡散層 300 の側面から外側へ突出させた 2 つの突起部 350a, 350b を形成している。さらに、半導体装置 10D 及びトランジスタ 12D は、ゲート電極部 602A と、トランジスタ 12D の端部 301 とが交差する部分の近傍に、半導体基板のシリコン層 320 からなる不純物拡散層 300 の側面から外側へ突出させた 2 つの突起部 360a, 360b を形成している。また、ゲート電極部 602A は、トランジスタ 12D の端部 301 を超えたゲート電極引き出し部 605 を形成している。

[0068] また、本第 3 の実施形態においても、図 27 に示すように、不純物拡散層 300 は、上述の第 1 の実施形態と同様に、中央部に位置する薄膜部 300a と、端部 301 に位置する厚膜部 300b とを有する。本第 3 の実施形態においても、ゲート領域 302、ソース領域 304a 及びドレイン領域 304b は、不純物拡散層 300 の薄膜部 300a に設けられている。このように、T 字型となるゲート電極配線部 600B 及びゲート電極部 602A を持つ場合であっても、薄膜部 300a と厚膜部 300b とを有する不純物拡散層 300 を適用することができる。

このような第 3 の実施形態であっても、上記第 1 の実施形態と同様の作用効果が得られる。

[0069] <第 4 の実施形態>

図 29 は、本開示の第 4 の実施形態として、半導体装置 10E の平面を示す。図 29 において、上記図 26 と同一部分には、同一符号を付して詳細な説明を省略する。また、図 30 は、図 29 に示した半導体装置 10E の A-A' における断面図である。図 30 において、上記図 2 と同一部分には、同

一符号を付して詳細な説明を省略する。さらに、図31は、図29に示した半導体装置10EのB-B'における断面図である。図31において、上記図4と同一部分には、同一符号を付して詳細な説明を省略する。

[0070] 図29に示されるように、第4の実施形態に係る半導体装置10Eは、シリコン支持基板100の上方から見て、I字型形状のゲート電極部602Bを有している。詳細には、ゲート電極部602Bは、図29中の上下方向に沿って延びる矩形型の形状を持つ。さらに、ゲート電極部602Bを図29中の左右方向から挟み込むように、ソース電極800a、ドレイン電極800bが設けられている。

[0071] また、半導体装置10E及びトランジスタ12Eは、ゲート電極部602Bと、トランジスタ12Eの端部301とが交差する部分の近傍に、半導体基板のシリコン層320からなる不純物拡散層300の側面から外側へ突出させた2つの突起部360a、360bを形成している。また、ゲート電極部602Bは、トランジスタ12Eの端部301を超えてゲート電極引き出し部605を形成している。

[0072] また、本第4の実施形態においては、不純物拡散層300は、上述の第1の実施形態と同様に、中央部に位置する薄膜部300aと、端部301に位置する厚膜部300bとを有する。本第4の実施形態においても、ゲート領域302、ソース領域304a及びドレイン領域304bは、不純物拡散層300の薄膜部300aに設けられている。このように、I字型のゲート電極部602Bを持つ場合であっても、薄膜部300aと厚膜部300bとを有する不純物拡散層300を適用することができる。

このような第4の実施形態であっても、上記第1の実施形態と同様の作用効果が得られる。

[0073] <その他の実施形態>

上記のように、本技術は第1から第4の実施形態及び第1の実施形態の第1及び第2の変形例によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。上記の第1から第

3の実施形態が開示する技術内容の趣旨を理解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本技術に含まれ得ることが明らかとなる。また、第1から第4の実施形態及び第1の実施形態の第1及び第2の変形例がそれぞれ開示する構成を、矛盾の生じない範囲で適宜組み合わせることができる。例えば、複数の異なる実施形態がそれぞれ開示する構成を組み合わせてもよく、同一の実施形態の複数の異なる変形例がそれぞれ開示する構成を組み合わせてもよい。

[0074] なお、本開示は以下のような構成も取ることができる。

(1)

埋込絶縁膜と、当該埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、

当該半導体層上に設けられ、前記基板を上方から見た場合に、前記半導体層の中央部から前記半導体層の端部に至り延伸した配線を有するゲート電極と、

前記半導体層上に設けられるソースコンタクトビア及びドレインコンタクトビアと、

前記半導体層の端部と前記ゲート電極の配線とが交差する領域の近傍に、前記半導体層と同一の材料で形成され前記半導体層の側面から外側へ突出する突起部と、

を備え、

前記半導体層の端部は、少なくとも一部に前記半導体層のゲート電極直下の膜厚に比べて厚い厚膜領域を有し、

前記ソースコンタクトビア及び前記ドレインコンタクトビアは、当該厚膜領域以外の領域に設けられる、

半導体装置。

(2)

前記配線は、前記半導体層の端部から外側へ延伸した引き出し部を有し、

前記突起部は、前記ゲート電極の引き出し部を挟み込むように2つ以上設

けられる

前記（１）に記載の半導体装置。

（３）

前記配線は、前記半導体層の端部から外側へ延伸した引き出し部を有し、

前記ゲート電極の引き出し部は、平行に複数配置され、

前記突起部は、前記ゲート電極の引き出し部同士が対向する端部と反対側の端部に設けられる

前記（１）に記載の半導体装置。

（４）

前記半導体素子を分離する素子分離部をさらに備える

前記（１）から（３）のいずれか１に記載の半導体装置。

（５）

前記半導体層の前記端部は、前記半導体層の前記中央部の膜厚に対して２倍から１０倍の膜厚を有する、

前記（１）から（３）のいずれか１に記載の半導体装置。

（６）

前記半導体層の前記端部の膜厚は、１４０ｎｍ～２００ｎｍであり、

前記半導体層の前記中央部の膜厚は、２０ｎｍ～７０ｎｍである、

前記（５）に記載の半導体装置。

（７）

前記突起部は、前記ゲート電極の配線の延伸方向と平行方向に０．４μｍ以上、垂直方向に０．７μｍ以上、または前記平行方向に１μｍ以上、前記垂直方向に１μｍ以上である、

前記（１）から（３）のいずれか１に記載の半導体装置。

（８）

前記突起部と前記ゲート電極の引き出し部との距離は、１４ｎｍ以上、２００ｎｍ以下である、

前記（２）または（３）のいずれか１に記載の半導体装置。

(9)

前記突起部は、前記基板の上方から見て、四角形、丸形、三角形、多角形の少なくとも1つの形状を有する、

前記(1)から(3)のいずれか1に記載の半導体装置。

(10)

前記ゲート電極は、前記基板の上方から見て、H字型、T字型、I字型、はしご型のいずれかの形状を有する、

前記(1)から(3)のいずれか1に記載の半導体装置。

(11)

埋込絶縁膜と、当該埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板を上方から見た場合に、前記半導体層の中央部から前記半導体層の端部に至り延伸した配線を有するゲート電極を、前記半導体層に形成することと、

前記半導体層の端部と前記ゲート電極の配線とが交差する領域の近傍に、前記半導体層の側面から外側へ突出する突起部を前記半導体層と同一の材料で形成することと、

前記半導体層の端部の膜厚を、前記半導体層のゲート電極直下の膜厚に比べて厚くすることと、

を含む、半導体装置の製造方法。

符号の説明

[0075] 10, 10A, 10B, 10C, 10D, 10E…半導体装置、12, 12A, 12B, 12C, 12D, 12E…トランジスタ、100…シリコン支持基板、200…埋込絶縁膜、202…シリコン酸化膜、204…STI(分離絶縁膜)、400…シリコン窒化膜、802…シリコン酸化膜、300…不純物拡散層(半導体層)、300a…薄膜部、300b…厚膜部、301…トランジスタの端部、302…ゲート領域、304a…ソース領域、304b…ドレイン領域、320…シリコン層、320a…中央部、320b…端部、350a, 350b, 351a, 351b, 352a, 352b

、 353a, 353b, 354a, 354b, 360a, 360b…突起部、500…ゲート絶縁膜、600, 600A, 600B…ゲート電極配線部、602, 602A, 602B…ゲート電極部、604…ゲート電極配線引き出し部、605…ゲート電極引き出し部、700a…ソースコンタクトビア、700b…ドレインコンタクトビア、700c…ボディコンタクトビア、702…シリサイド膜、800a…ソース電極、800b…ドレイン電極、800c…ボディコンタクト電極、900…シリコン酸化膜、902…シリコン窒化膜、904…レジストパターン、906…開口部、907…シリコン酸化膜、908…シリコン薄膜部、1000…シリコン酸化膜、1100…シリコン窒化膜、1200…レジスト膜、1300…レジストパターン、1600…開口部、1400…シリコン酸化膜、1500…レジスト膜、1700…トランジスタ形成領域、350a', 350b'…突起部を有するレジストパターン、2000…LDD層、305a…ソースN+領域、305b…ドレインN+領域

請求の範囲

- [請求項1] 埋込絶縁膜と、当該埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板と、
- 当該半導体層上に設けられ、前記基板を上方から見た場合に、前記半導体層の中央部から前記半導体層の端部に至り延伸した配線を有するゲート電極と、
- 前記半導体層上に設けられるソースコンタクトビア及びドレインコンタクトビアと、
- 前記半導体層の端部と前記ゲート電極の配線とが交差する領域の近傍に、前記半導体層と同一の材料で形成され前記半導体層の側面から外側へ突出する突起部と、
- を備え、
- 前記半導体層の端部は、少なくとも一部に前記半導体層のゲート電極直下の膜厚に比べて厚い厚膜領域を有し、
- 前記ソースコンタクトビア及び前記ドレインコンタクトビアは、当該厚膜領域以外の領域に設けられる、
- 半導体装置。
- [請求項2] 前記配線は、前記半導体層の端部から外側へ延伸した引き出し部を有し、
- 前記突起部は、前記ゲート電極の引き出し部を挟み込むように2つ以上設けられる
- 請求項1に記載の半導体装置。
- [請求項3] 前記配線は、前記半導体層の端部から外側へ延伸した引き出し部を有し、
- 前記ゲート電極の引き出し部は、平行に複数配置され、
- 前記突起部は、前記ゲート電極の引き出し部同士が対向する端部と反対側の端部に設けられる
- 請求項1に記載の半導体装置。

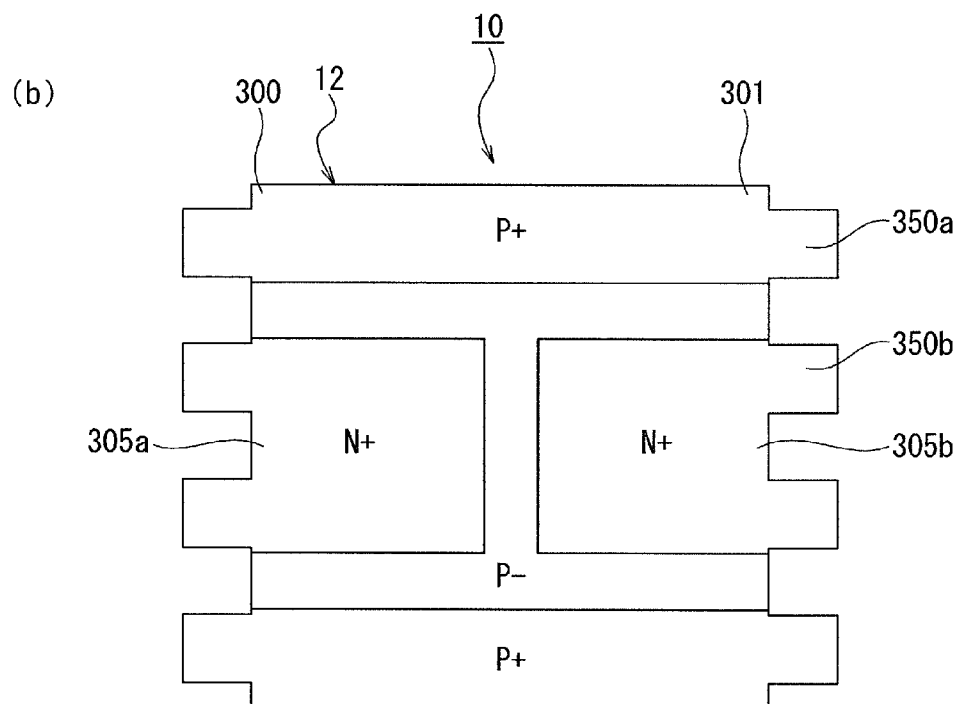
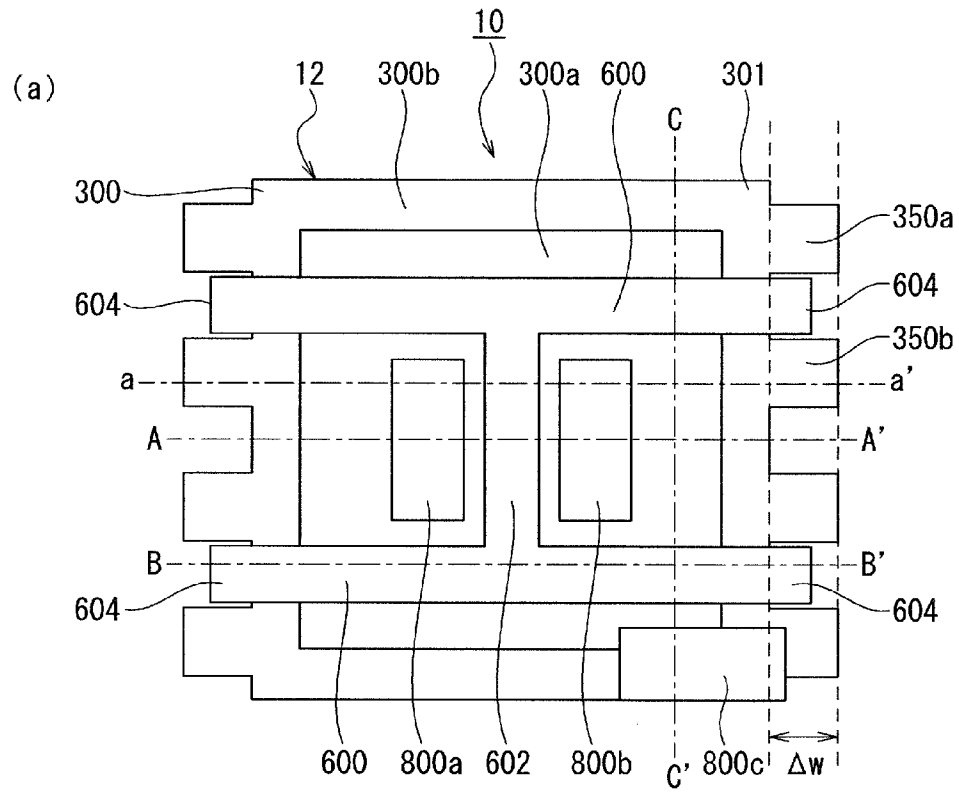
- [請求項4] 前記半導体素子を分離する素子分離部をさらに備える
請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項5] 前記半導体層の前記端部は、前記半導体層の前記中央部の膜厚に対して2倍から10倍の膜厚を有する、
請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項6] 前記半導体層の前記端部の膜厚は、140nm～200nmであり、
前記半導体層の前記中央部の膜厚は、20nm～70nmである、
請求項5に記載の半導体装置。
- [請求項7] 前記突起部は、前記ゲート電極の配線の延伸方向と平行方向に0.4μm以上、垂直方向に0.7μm以上、または前記平行方向に1μm以上、前記垂直方向に1μm以上である、
請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項8] 前記突起部と前記ゲート電極の引き出し部との距離は、14nm以上、200nm以下である、
請求項2または請求項3のいずれか1項に記載の半導体装置。
- [請求項9] 前記突起部は、前記基板の上方から見て、四角形、丸形、三角形、多角形の少なくとも1つの形状を有する、
請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項10] 前記ゲート電極は、前記基板の上方から見て、H字型、T字型、I字型、はしご型のいずれかの形状を有する、
請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項11] 埋込絶縁膜と、当該埋込絶縁膜上に設けられ、半導体素子が形成される半導体層とを有する基板を上方から見た場合に、前記半導体層の中央部から前記半導体層の端部に至り延伸した配線を有するゲート電極を、前記半導体層に形成することと、
前記半導体層の端部と前記ゲート電極の配線とが交差する領域の近傍に、前記半導体層の側面から外側へ突出する突起部を前記半導体層

と同一の材料で形成することと、

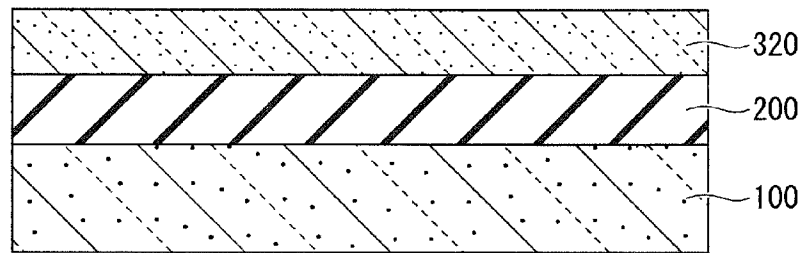
前記半導体層の端部の膜厚を、前記半導体層のゲート電極直下の膜厚に比べて厚くすることと、

を含む、半導体装置の製造方法。

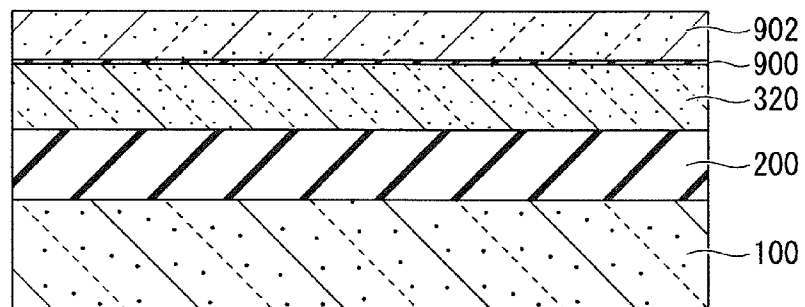
[図1]



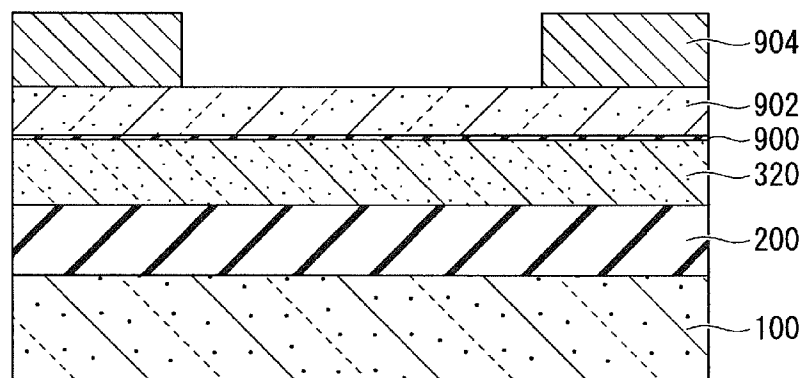
[図5]



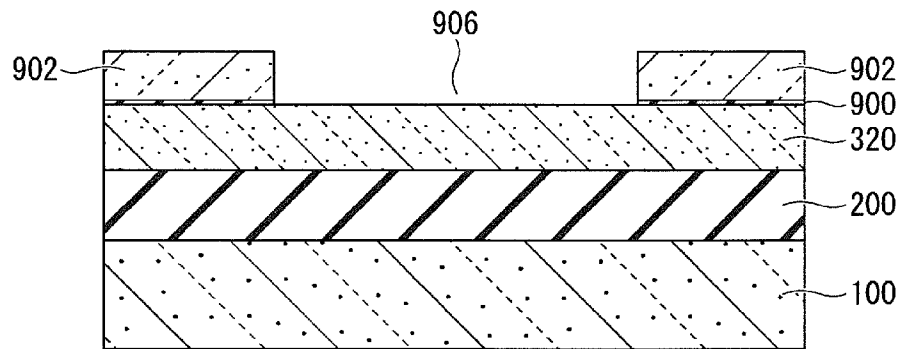
[図6]



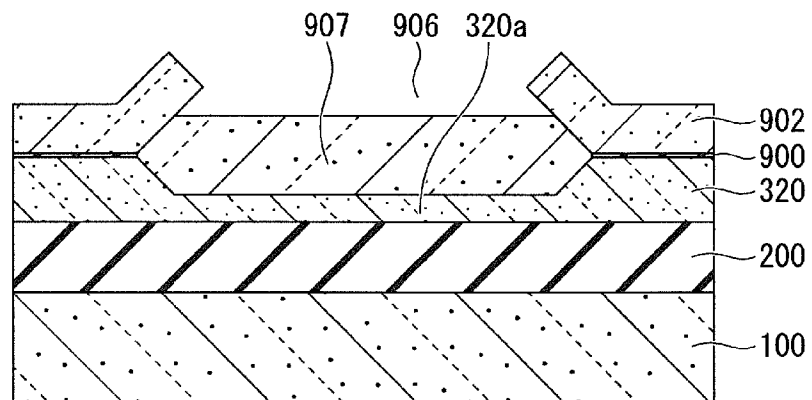
[図7]



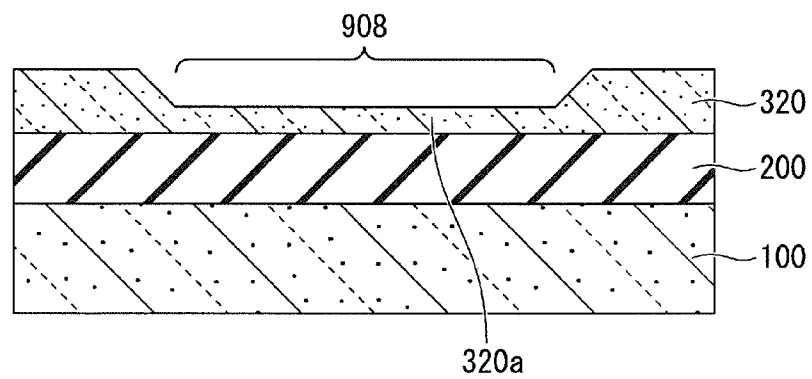
[図8]



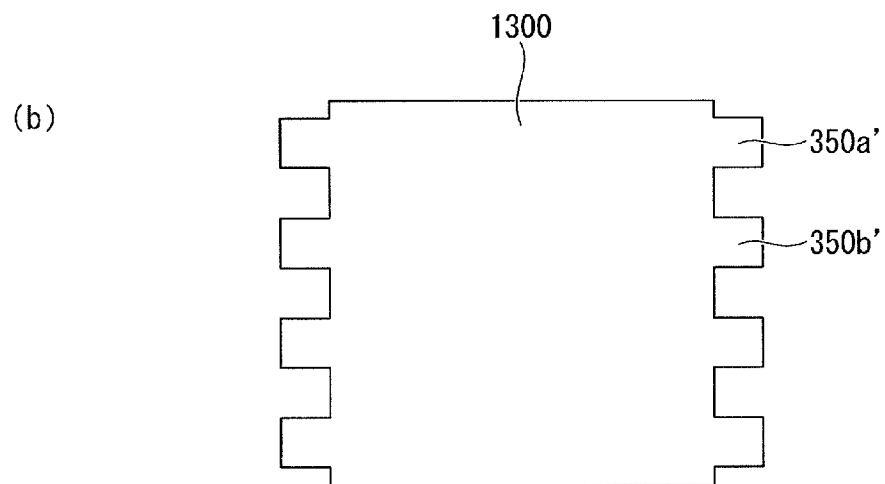
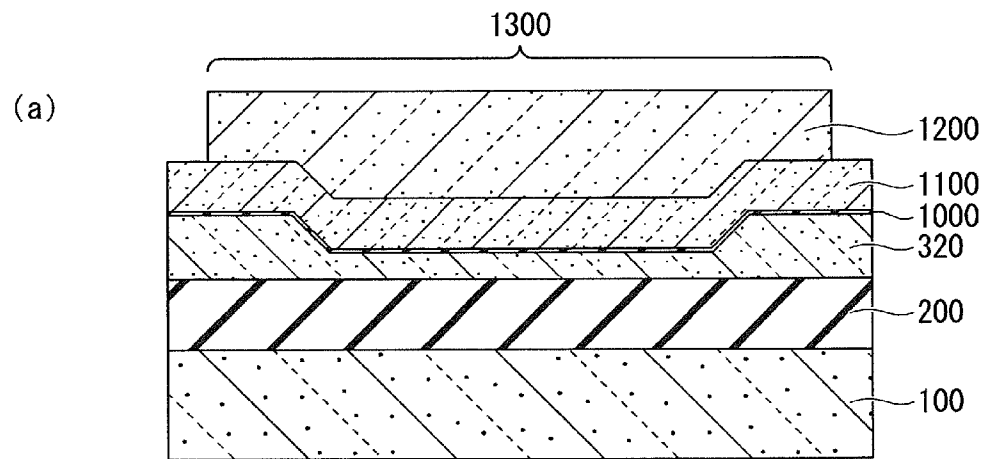
[図9]



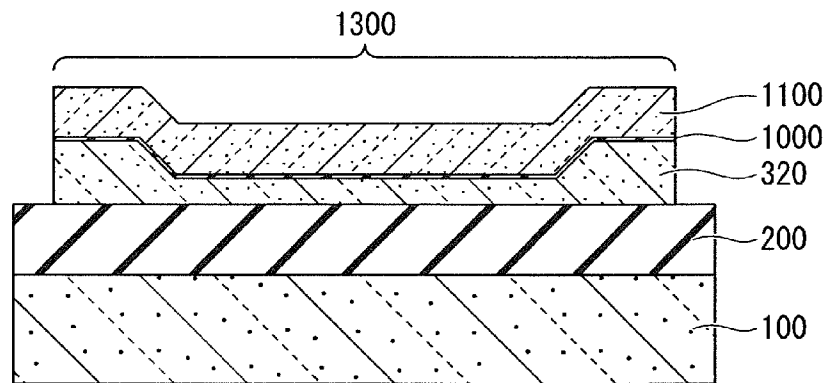
[図10]



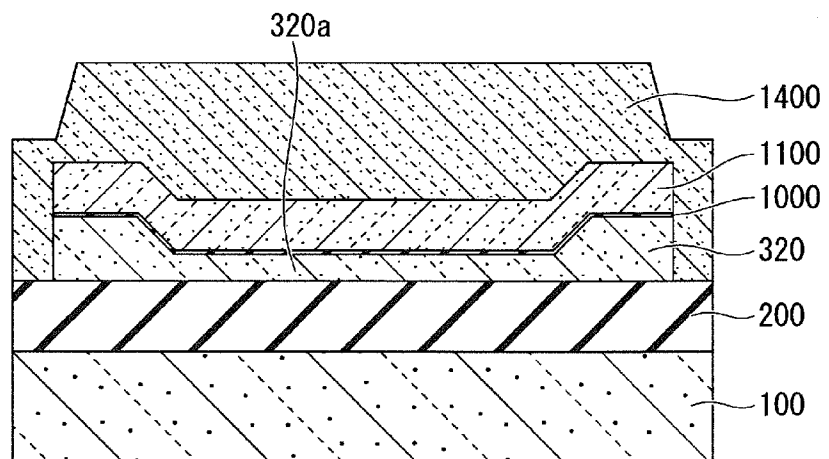
[図11]



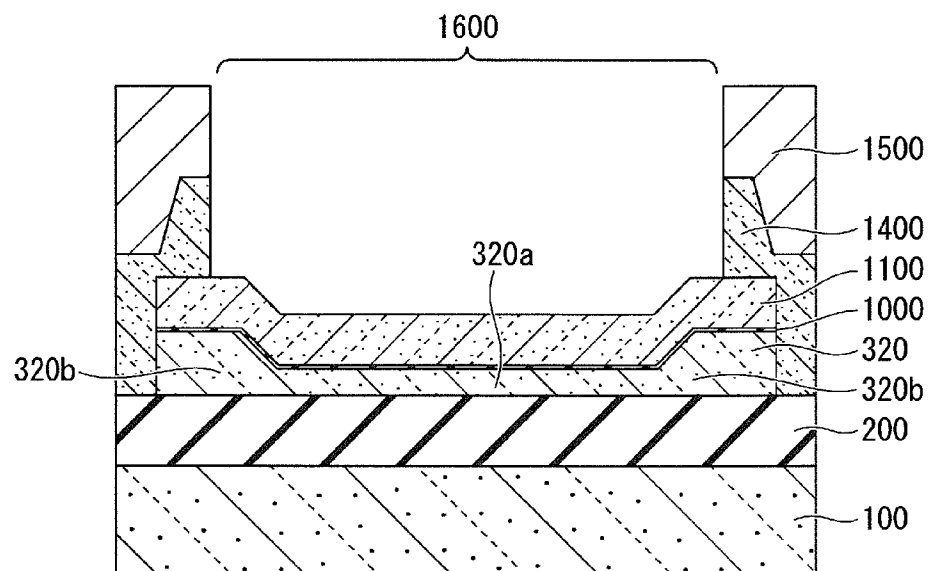
[図12]



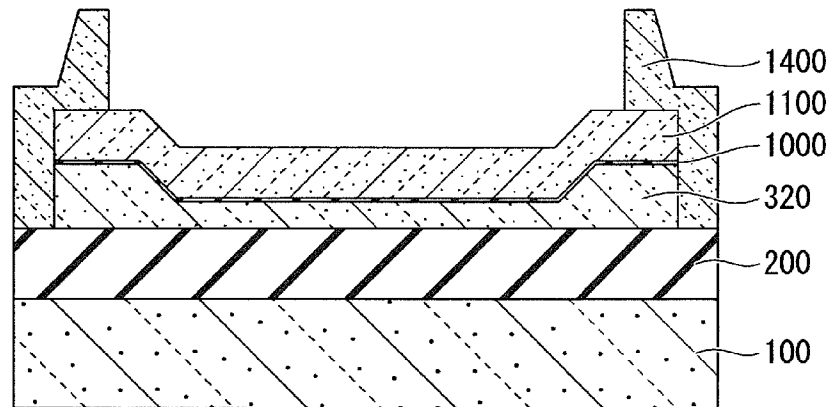
[図13]



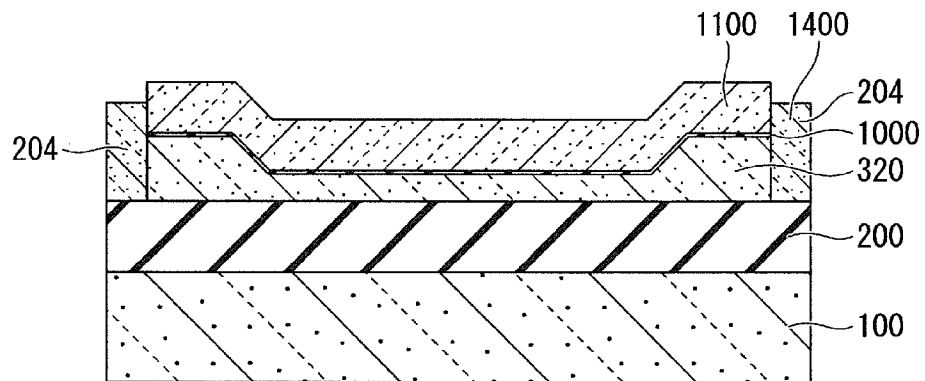
[図14]



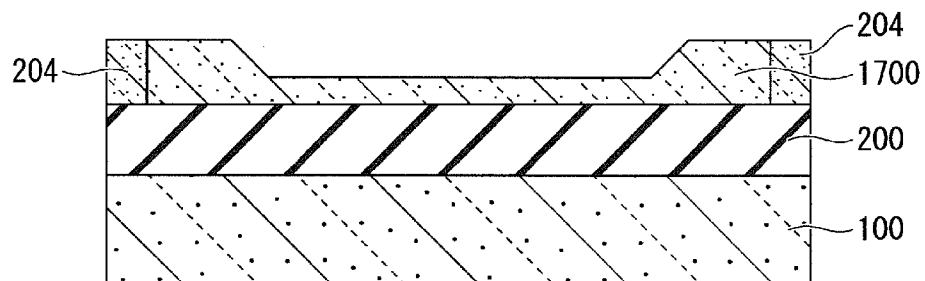
[図15]



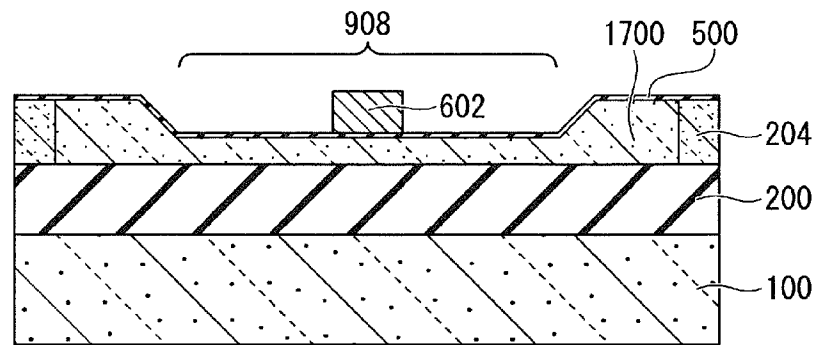
[図16]



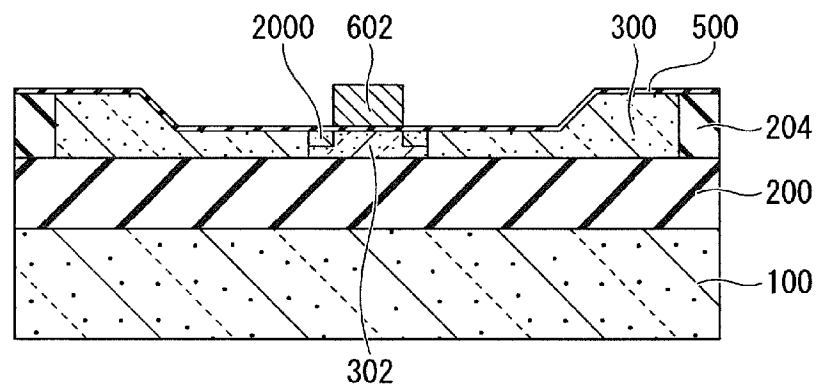
[図17]



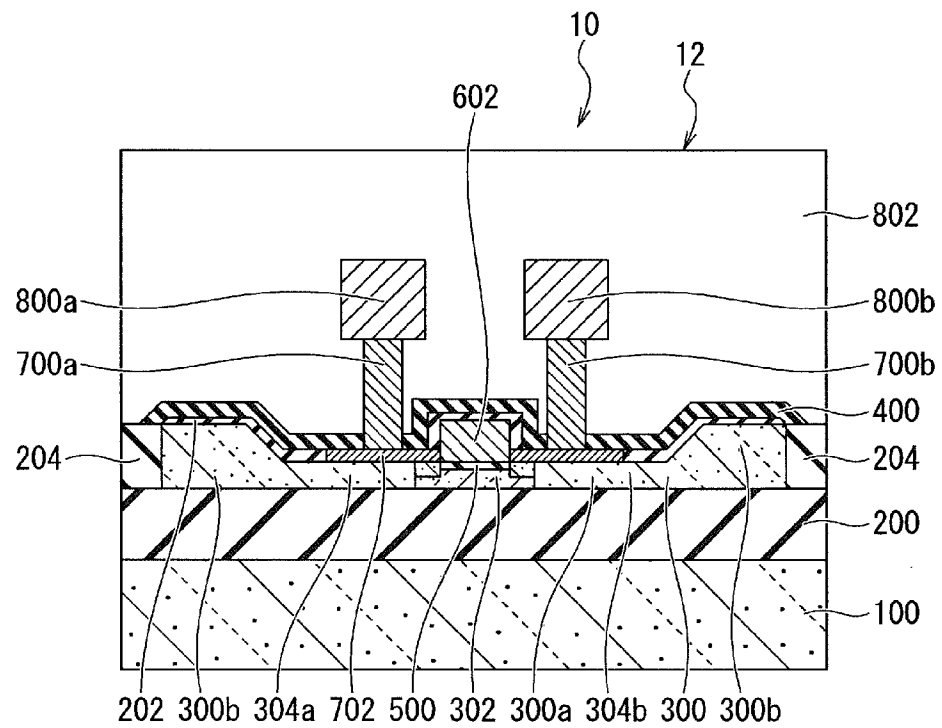
[図18]



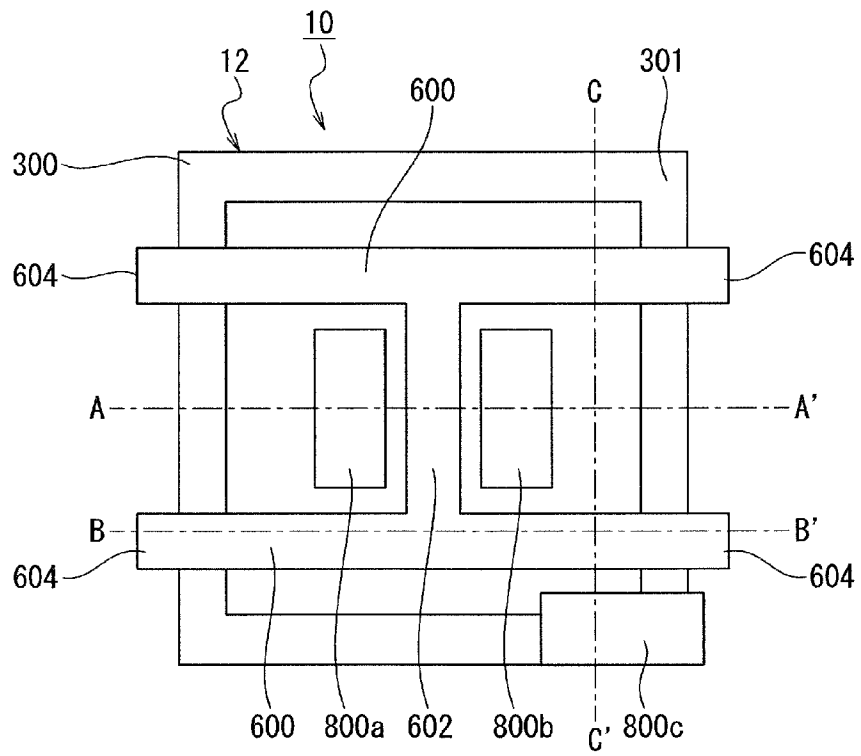
[図19]



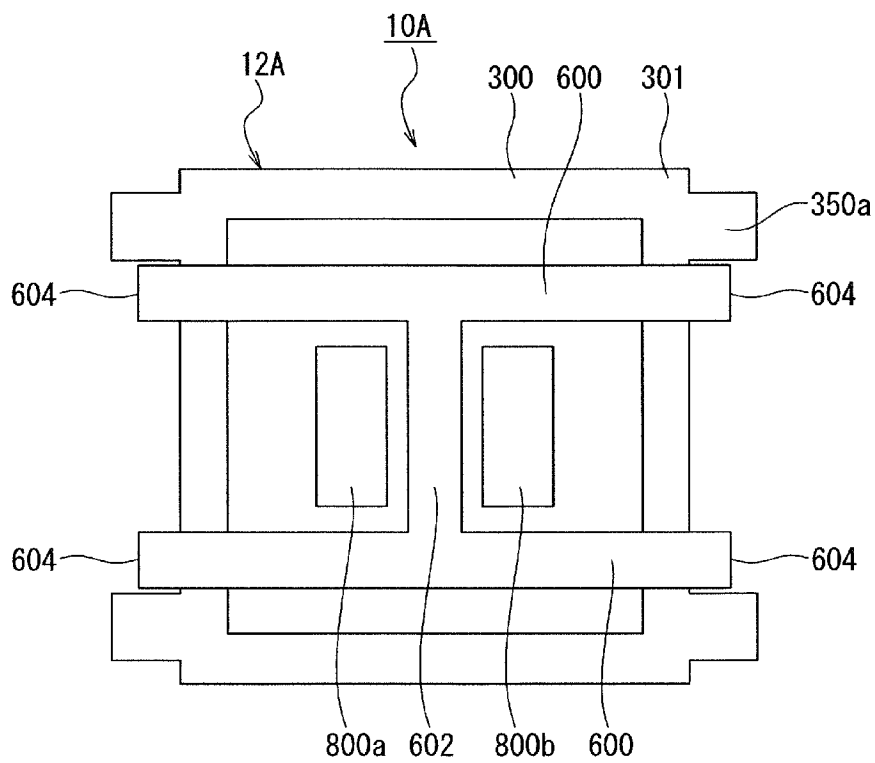
[図20]



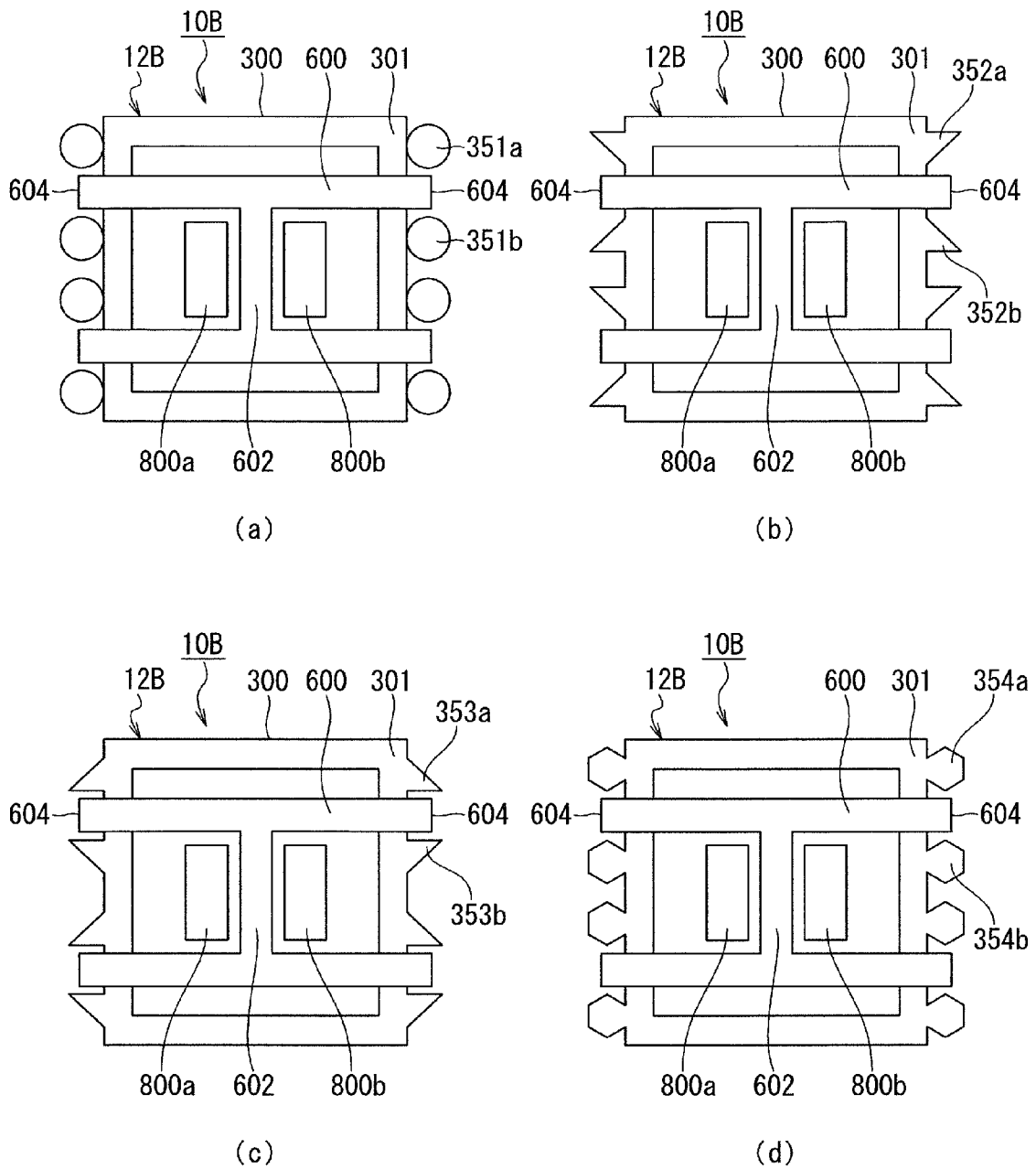
[図21]



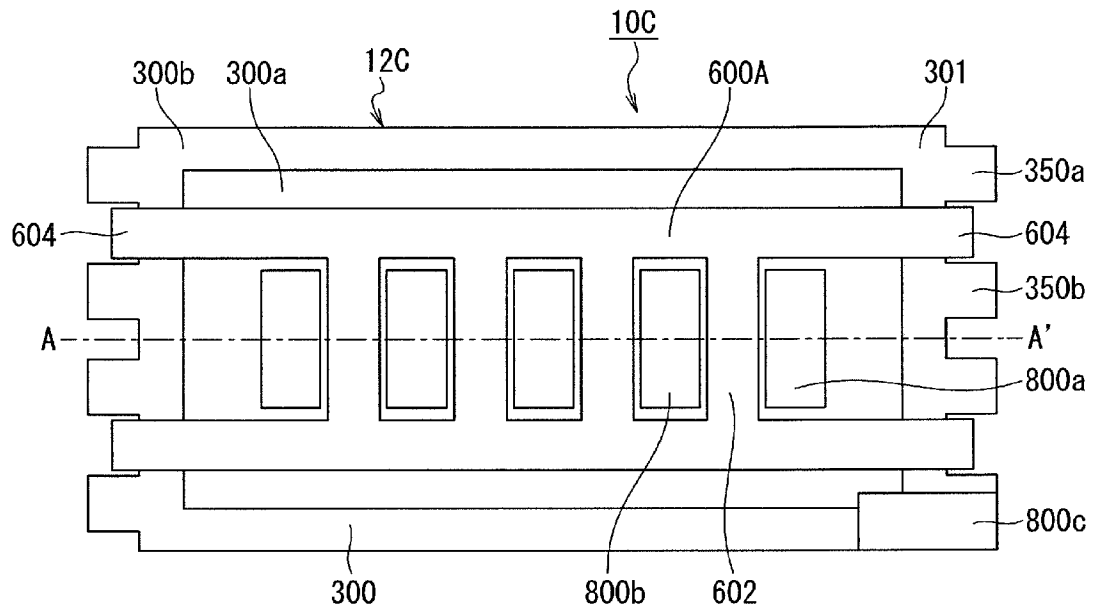
[図22]



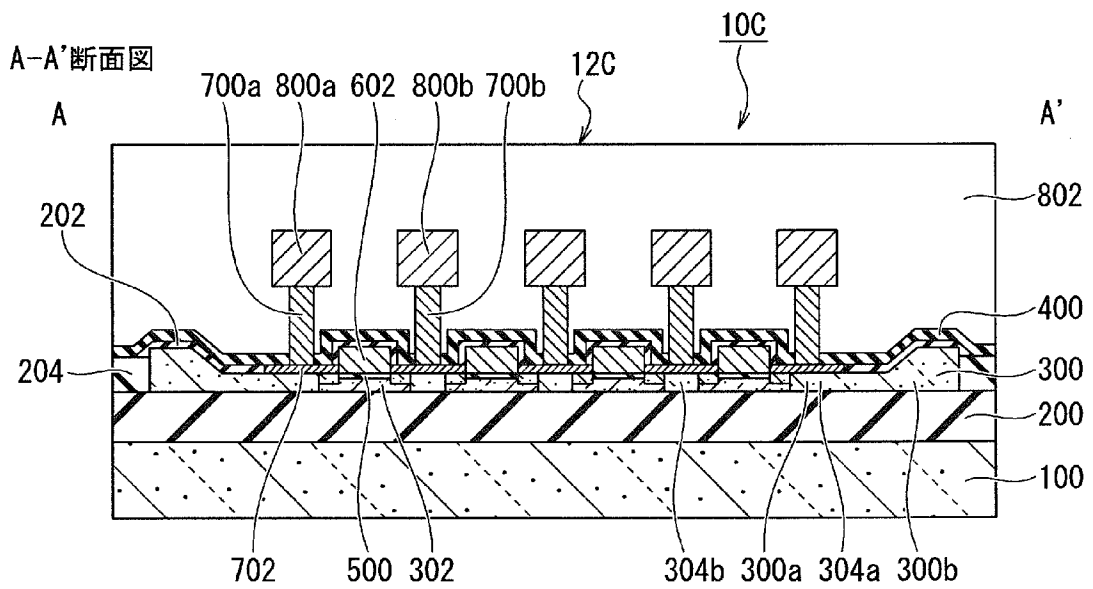
[図23]



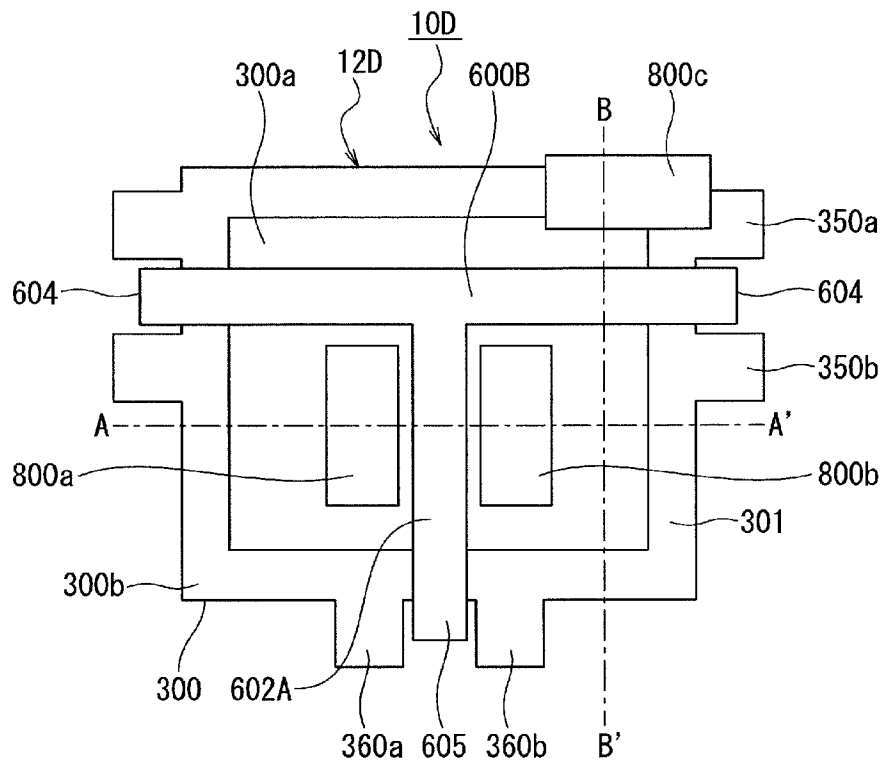
[図24]



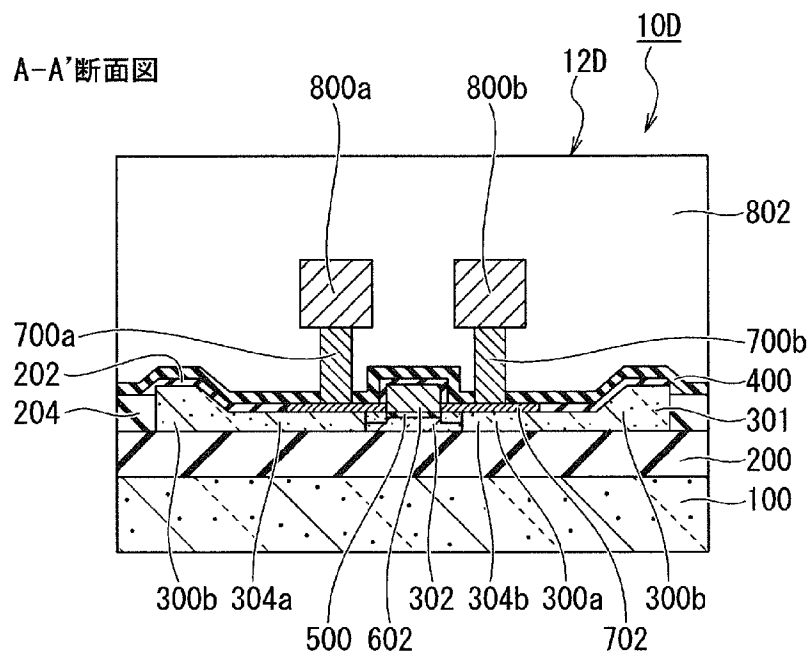
[図25]



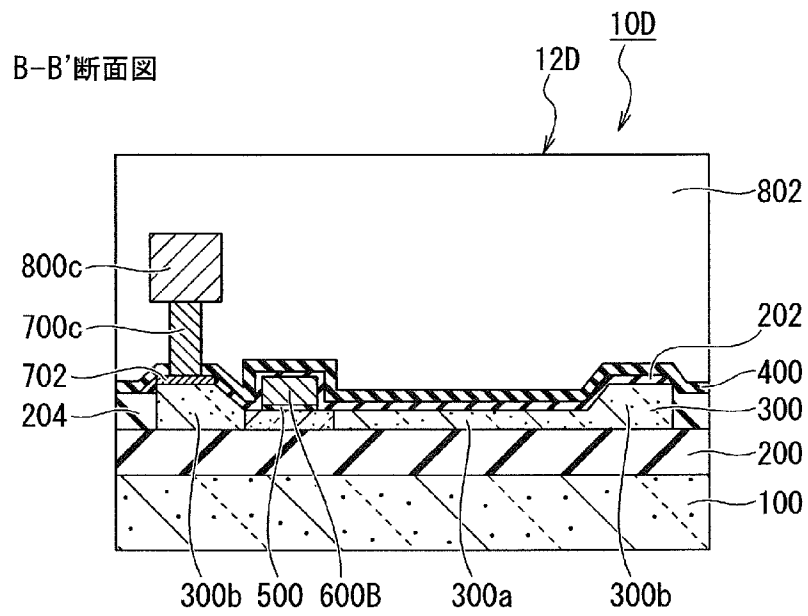
[図26]



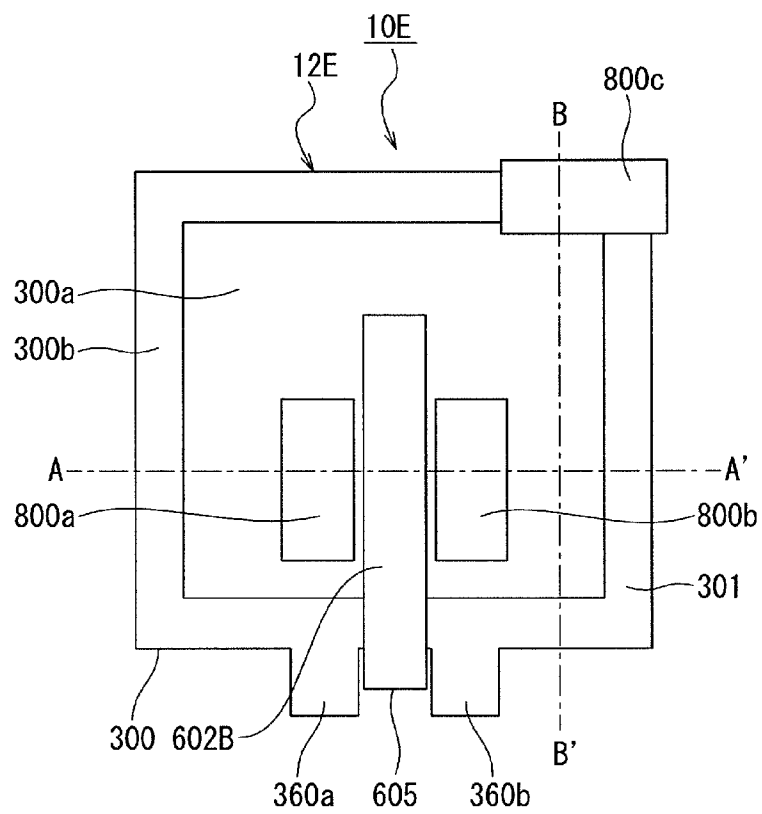
[図27]



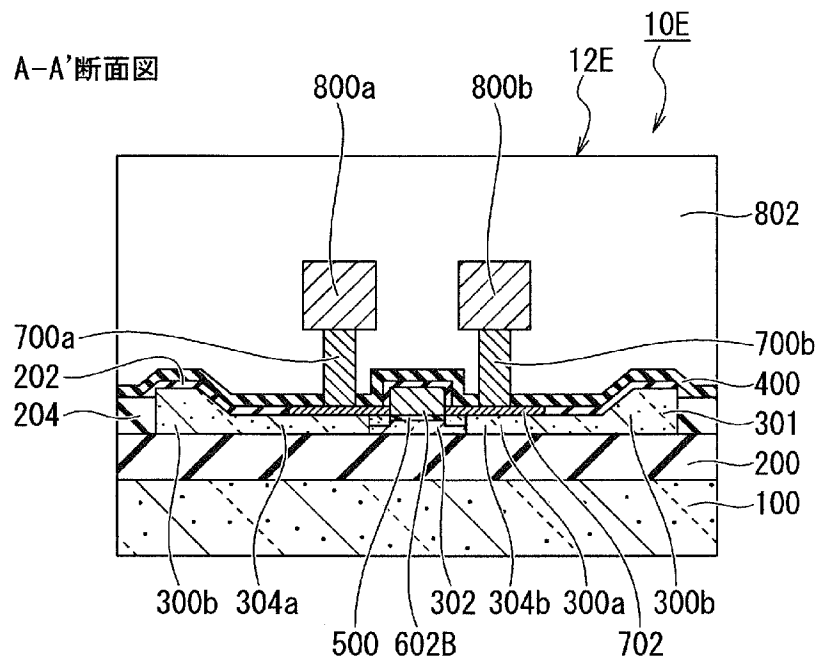
[図28]



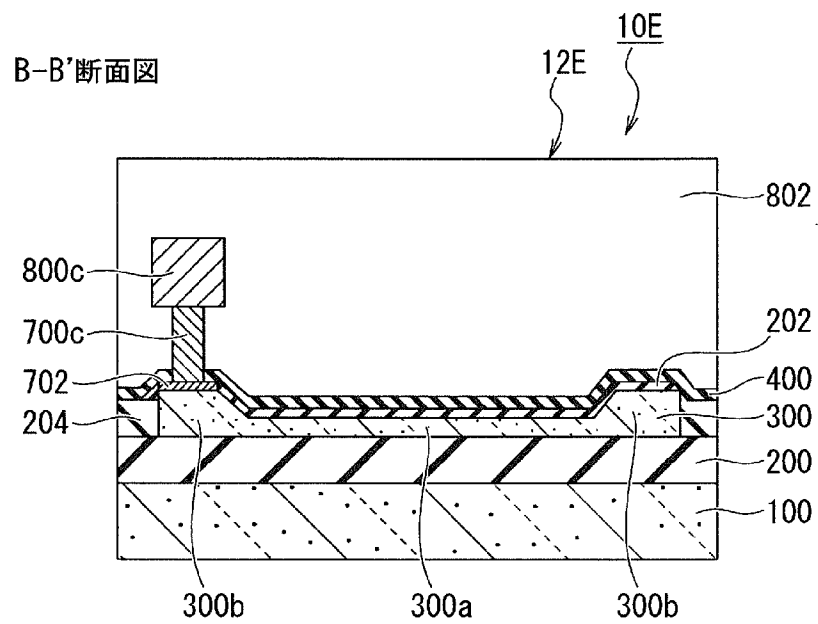
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/019040

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i
FI: H01L29/78 616T, H01L29/78 621, H01L29/78 616S, H01L29/78 617K, H01L29/78 301H, H01L29/78 301G, H01L27/088 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/786, H01L21/336, H01L21/8234, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-216391 A (SONY CORP.) 04 August 2000 (2000-08-04)	1-11
A	JP 2018-148123 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 20 September 2018 (2018-09-20)	1-11
A	JP 2009-267027 A (SEIKO EPSON CORP.) 12 November 2009 (2009-11-12)	1-11
A	JP 01-204473 A (HITACHI, LTD.) 17 August 1989 (1989-08-17)	1-11
A	JP 2007-059747 A (SEIKO EPSON CORP.) 08 March 2007 (2007-03-08)	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21.07.2021

Date of mailing of the international search report
03.08.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/019040

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2000-216391 A	04.08.2000	(Family: none)	
JP 2018-148123 A	20.09.2018	CN 110383491 A	
JP 2009-267027 A	12.11.2009	(Family: none)	
JP 01-204473 A	17.08.1989	(Family: none)	
JP 2007-059747 A	08.03.2007	US 2007/0045739 A1	
		KR 10-2007-0024384 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 29/78(2006.01)i FI: H01L29/78 616T; H01L29/78 621; H01L29/78 616S; H01L29/78 617K; H01L29/78 301H; H01L29/78 301G; H01L27/088 B																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/336; H01L21/8234; H01L27/088; H01L29/78 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2021年																			
日本国実用新案登録公報	1996-2021年																			
日本国登録実用新案公報	1994-2021年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2000-216391 A（ソニー株式会社）04.08.2000（2000-08-04）</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2018-148123 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018（2018-09-20）</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2009-267027 A（セイコーエプソン株式会社）12.11.2009（2009-11-12）</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 01-204473 A（株式会社日立製作所）17.08.1989（1989-08-17）</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2007-059747 A（セイコーエプソン株式会社）08.03.2007（2007-03-08）</td> <td>1-11</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2000-216391 A（ソニー株式会社）04.08.2000（2000-08-04）	1-11	A	JP 2018-148123 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018（2018-09-20）	1-11	A	JP 2009-267027 A（セイコーエプソン株式会社）12.11.2009（2009-11-12）	1-11	A	JP 01-204473 A（株式会社日立製作所）17.08.1989（1989-08-17）	1-11	A	JP 2007-059747 A（セイコーエプソン株式会社）08.03.2007（2007-03-08）	1-11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	JP 2000-216391 A（ソニー株式会社）04.08.2000（2000-08-04）	1-11																		
A	JP 2018-148123 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018（2018-09-20）	1-11																		
A	JP 2009-267027 A（セイコーエプソン株式会社）12.11.2009（2009-11-12）	1-11																		
A	JP 01-204473 A（株式会社日立製作所）17.08.1989（1989-08-17）	1-11																		
A	JP 2007-059747 A（セイコーエプソン株式会社）08.03.2007（2007-03-08）	1-11																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 21.07.2021		国際調査報告の発送日 03.08.2021																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 1592 電話番号 03-3581-1101 内線 3516																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/019040

引用文献			公表日	パテントファミリー文献			公表日
JP	2000-216391	A	04.08.2000	(ファミリーなし)			
JP	2018-148123	A	20.09.2018	CN	110383491	A	
JP	2009-267027	A	12.11.2009	(ファミリーなし)			
JP	01-204473	A	17.08.1989	(ファミリーなし)			
JP	2007-059747	A	08.03.2007	US	2007/0045739	A1	
				KR	10-2007-0024384	A	