



(21) 申请号 201811189134.7

(22) 申请日 2018.10.12

(65) 同一申请的已公布的文献号

申请公布号 CN 109658967 A

(43) 申请公布日 2019.04.19

(30) 优先权数据

10-2017-0132752 2017.10.12 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 全秀昶 朴相元 沈炯教 郭东勋

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 邵亚丽 梁栋国

(51) Int.Cl.

G11C 16/30 (2006.01)

(56) 对比文件

US 2012023348 A1, 2012.01.26

US 2015200008 A1, 2015.07.16

US 2015261617 A1, 2015.09.17

US 2015255161 A1, 2015.09.10

CN 103050149 A, 2013.04.17

审查员 余泽慧

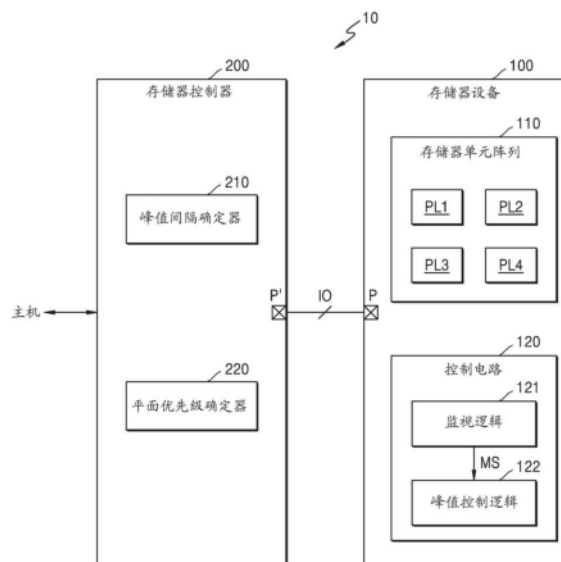
权利要求书3页 说明书13页 附图18页

## (54) 发明名称

包括存储器平面的非易失性存储器设备及其操作方法

## (57) 摘要

提供了一种具有存储器芯片的非易失性存储器设备。所述存储器芯片具有包括共享焊盘的多个存储器平面的存储器单元阵列,所述焊盘被配置为传送输入和输出信号。所述存储器芯片还具有控制电路,其被配置为:监视所述多个存储器平面的操作,以及基于监视的结果控制所述多个存储器平面中的至少一个的操作,使得所述多个存储器平面的峰值功率间隔是至少部分地分散的。



1. 一种非易失性存储器设备,包括:  
存储器芯片,其包括:  
存储器单元阵列,其包括共享焊盘的多个存储器平面,所述焊盘被配置为传送输入和输出信号,以及  
控制电路,其被配置为:  
监视所述多个存储器平面的操作,以及  
基于监视的结果控制所述多个存储器平面中的至少一个的操作,使得所述多个存储器平面的峰值功率间隔是至少部分地分散的,  
其中,所述峰值功率间隔对应于用于编程操作的位线设置间隔、用于读取操作的位线预充电间隔和在编程操作或读取操作之前的锁存初始化间隔中的至少一个。
2. 根据权利要求1所述的非易失性存储器设备,其中,所述存储器单元阵列在所述控制电路上方,并且所述存储器芯片具有单元在外围上(COP)的结构。
3. 根据权利要求1所述的非易失性存储器设备,其中,所述控制电路还被配置为:  
当所述多个存储器平面中的至少一些存储器平面的峰值功率间隔彼此重叠时,将所述多个存储器平面中的至少一个存储器平面的操作延迟。
4. 根据权利要求1所述的非易失性存储器设备,其中,所述控制电路还被配置为:  
监视所述多个存储器平面中的每个的操作是否进入相应的峰值功率间隔,以及  
基于监视的结果生成监视信号。
5. 根据权利要求1所述的非易失性存储器设备,其中,  
所述控制电路包括多个控制逻辑,所述控制逻辑的每个对应于所述多个存储器平面的相应存储器平面,以及  
所述多个控制逻辑中的每个被配置为:  
监视相应存储器平面的操作是否进入峰值功率间隔,  
基于监视的结果生成监视信号,以及  
将生成的监视信号提供给所述多个控制逻辑的其他控制逻辑。
6. 根据权利要求5所述的非易失性存储器设备,其中,所述多个控制逻辑中的每个还被配置为:  
使用优先级信息确定所述多个存储器平面的每个的优先级;  
基于与具有比多个存储器平面的至少一个存储器平面更高优先级的多个存储器平面中的另一个存储器平面相关联的监视信号来控制所述多个存储器平面的至少一个存储器平面的操作。
7. 根据权利要求6所述的非易失性存储器设备,其中,基于从存储器控制器接收的设置特征命令来获取关于峰值功率间隔的信息或优先级信息。
8. 根据权利要求5所述的非易失性存储器设备,其中,  
所述多个存储器平面包括第一存储器平面和第二存储器平面,  
所述多个控制逻辑包括:  
第一控制逻辑,其被配置为:  
生成对应于所述第一存储器平面的第一监视信号,以及  
当所述第一存储器平面的操作进入峰值功率间隔时,基于第二监视信号控制所述第一

存储器平面的操作,以及

第二控制逻辑,其被配置为生成与所述第二存储器平面对应的第二监视信号。

9. 根据权利要求8所述的非易失性存储器设备,其中,所述第一控制逻辑还被配置为:

当所述第二存储器平面的操作处于相应的峰值功率间隔时,延迟所述第一存储器平面的操作,以及

当所述第二存储器平面的操作在相应的峰值功率间隔之外时,允许执行所述第一存储器平面的操作。

10. 根据权利要求9所述的非易失性存储器设备,其中,所述第一控制逻辑还被配置为:延迟所述第一存储器平面的操作,直到所述第二监视信号被改变为止。

11. 根据权利要求9所述的非易失性存储器设备,其中,所述第一控制逻辑还被配置为:将所述第一存储器平面的操作延迟特定时间。

12. 一种非易失性存储器设备,包括:

存储器芯片,包括:

存储器单元阵列,其包括共享焊盘的多个存储器平面,所述焊盘被配置为传送输入和输出信号,以及

控制电路,其被配置为控制所述多个存储器平面中的至少一个的操作,使得所述多个存储器平面的峰值功率间隔是至少部分地分散的,所述控制电路包括对应于所述多个存储器平面的相应存储器平面的多个控制逻辑,所述多个控制逻辑的每个被配置为:

监视相应存储器平面的操作是否进入峰值功率间隔,

基于监视的结果生成监视信号,以及

将生成的监视信号提供给所述多个控制逻辑的其他控制逻辑。

13. 根据权利要求12所述的非易失性存储器设备,其中,

所述控制电路还被配置为当至少一些存储器平面的峰值功率间隔彼此重叠时,延迟所述多个存储器平面中的所述至少一些存储器平面中的至少一个的操作,以分散峰值功率间隔,

所述存储器单元阵列位于所述控制电路上方,并且

所述存储器芯片具有单元在外围上(COP)的结构。

14. 一种由包括存储器芯片的非易失性存储器设备的控制电路执行的操作方法,所述操作方法包括:

监视所述存储器芯片中包括的多个存储器平面的操作;

确定所述多个存储器平面中的至少一个存储器平面的操作是否对应于峰值功率间隔;

当所述多个存储器平面中的至少一个存储器平面的操作对应于峰值功率间隔时,确定所述多个存储器平面中的另一个存储器平面的操作是否对应于峰值功率间隔;以及

控制所述多个存储器平面的操作,使得当所述另一个存储器平面的操作对应于峰值功率间隔时,所述峰值功率间隔是至少部分地分散的,

其中,所述峰值功率间隔对应于用于编程操作的位线设置间隔、用于读取操作的位线预充电间隔和在编程操作或读取操作之前的锁存初始化间隔中的至少一个。

15. 根据权利要求14所述的操作方法,还包括:

在确定所述另一个存储器平面的操作是否对应于峰值功率间隔之前,使用所述多个存

存储器平面中的每个的优先级信息来确定所述另一个存储器平面。

16. 根据权利要求15所述的操作方法,还包括:

在监视之前,从存储器控制器接收优先级信息或关于峰值功率间隔的信息。

17. 根据权利要求14所述的操作方法,其中,所述控制包括:当所述多个存储器平面中的所述至少一个存储器平面的操作不对应于所述峰值功率间隔时,或者当所述另一个存储器平面的操作不对应于峰值功率间隔时,执行所述多个存储器平面中的所述至少一个存储器平面的操作。

18. 根据权利要求14所述的操作方法,其中,所述控制包括暂停所述多个存储器平面中的所述至少一个存储器平面的操作,直到所述另一个存储器平面的操作脱离峰值功率间隔为止。

19. 根据权利要求14所述的操作方法,其中,所述控制包括在特定时间期间暂停所述多个存储器平面中的所述至少一个存储器平面的操作。

## 包括存储器平面的非易失性存储器设备及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年10月12日在韩国知识产权局提交的韩国专利申请No.10-2017-0132752的权益,其公开内容通过引用整体并入本文。

### 技术领域

[0003] 示例实施例涉及一种存储器设备,更具体地,涉及一种包括存储器平面的非易失性存储器设备,以及控制每个存储器平面的峰值功率间隔的该非易失性存储器设备的操作方法。

### 背景技术

[0004] 存储器设备用于存储数据,并且被分类为非易失性存储器设备和易失性存储器设备。作为非易失性存储器设备的示例,闪存设备可以应用到便携式电话、数码相机、个人数字助理(PDA)、移动计算机设备、固定计算机设备和其他设备上。最近,由于信息通信设备已经配备有多种功能,因此更加期望制造大容量和高度集成的存储器设备。

### 发明内容

[0005] 一些示例实施例提供了包括存储器平面的非易失性存储器设备和该非易失性存储器设备的操作方法。

[0006] 根据一些示例实施例,提供了一种包括存储器芯片的非易失性存储器设备。存储器芯片包括存储器单元阵列,该存储器单元阵列包括共享焊盘(pad)的多个存储器平面,其中,所述焊盘被配置为传送输入和输出信号。存储器芯片还包括控制电路,该控制电路被配置为监视多个存储器平面的操作,并且基于监视的结果控制多个存储器平面中的至少一个的操作,使得多个存储器平面的峰值功率间隔是至少部分地分散的。

[0007] 根据一些示例实施例,提供了一种包括存储器芯片的非易失性存储器设备。所述存储器芯片包括存储器单元阵列,该存储器单元阵列包括共享焊盘的多个存储器平面,其中,所述焊盘被配置为传送输入和输出信号。存储器芯片还包括控制电路,该控制电路被配置为控制多个存储器平面中的至少一个的操作,使得多个存储器平面的峰值功率间隔是至少部分地分散的,所述控制电路包括与多个存储器平面的相应存储器平面相对应的多个控制逻辑,多个控制逻辑中的每一个被配置为监视相应存储器平面的操作是否进入峰值功率间隔,基于监视的结果产生监视信号,以及将生成的监视信号提供给多个控制逻辑的其他控制逻辑。

[0008] 根据一些示例实施例,提供了一种由包括存储器芯片的非易失性存储器设备的控制电路执行的操作方法。该操作方法包括监视包括在存储器芯片中的多个存储器平面的操作。该操作方法还包括确定多个存储器平面中的至少一个的操作是否对应于峰值功率间隔。该操作方法还包括:当多个存储器平面中的至少一个的操作对应于峰值功率间隔时,确定多个存储器平面中的另一个存储器平面的操作是否对应于峰值功率间隔。此外,操作方

法包括控制多个存储器平面的操作,使得当另一个存储器平面的操作对应于峰值功率间隔时,峰值功率间隔是至少部分地分散的。

## 附图说明

- [0009] 通过以下结合附图的详细描述,一些示例实施例将得到更清楚地理解,其中:
- [0010] 图1是示意性地示出根据一些示例实施例的存储器系统10的框图;
- [0011] 图2A至图2C示出了根据一些示例实施例的图1的存储器设备的峰值控制操作,在其中,存储器平面的操作包括位线设置间隔;
- [0012] 图3A至图3C示出了根据一些示例实施例的图1的存储器设备的峰值控制操作,在其中,存储器平面的操作包括位线设置间隔和感测间隔;
- [0013] 图4示意性地示出了根据一些示例实施例的图1的存储器设备的结构;
- [0014] 图5是示出根据一些示例实施例的图4的第二半导体层的上表面的平面图;
- [0015] 图6示出了根据一些示例实施例的图1的第一存储器平面;
- [0016] 图7A是示出根据一些示例实施例的图6的第一存储器块的等效电路的电路图;
- [0017] 图7B是示出根据一些示例实施例的图6的第一存储器块的透视图;
- [0018] 图8是示出根据一些示例实施例的图5的存储器设备的截面图;
- [0019] 图9是示意性地示出根据一些示例实施例的存储器系统10a的框图;
- [0020] 图10是示出根据一些示例实施例的图9的存储器设备100a的框图;
- [0021] 图11是示出根据一些示例实施例的图4的第二半导体层L2a的示例的上表面的平面图;
- [0022] 图12A和图12B示出了根据一些示例实施例的图9的存储器设备的峰值控制操作;
- [0023] 图13是示出根据一些示例实施例的存储器设备的操作方法的流程图;
- [0024] 图14是示出根据一些示例实施例的存储器控制器和存储器设备之间的操作的流程图;以及
- [0025] 图15是示出根据一些示例实施例的存储器设备应用于固态驱动器(SSD)系统的示例的框图。

## 具体实施方式

- [0026] 在下文中,将参考附图详细描述一些示例实施例。
- [0027] 图1是示意性地示出根据一些示例实施例的存储器系统10的框图。
- [0028] 参见图1,存储器系统10可以包括存储器设备100和存储器控制器200。存储器设备100可以是非易失性存储器设备,并且可以实现为存储器芯片。存储器设备100可以包括存储器单元阵列110和控制电路120,并且存储器单元阵列110和控制电路120可以实现为单个存储器芯片。在下文中,存储器设备100和存储器芯片将被描述为具有基本相同的概念。然而,一些示例实施例并不限于此。在一些示例实施例中,存储器设备100可以实现为包括多个存储器芯片的存储器封装,并且存储器系统10可以包括多个存储器芯片或多个存储器封装。
- [0029] 在一些示例实施例中,存储器系统10可以用嵌入到电子设备中的内部存储器来实现,并且例如,可以是嵌入式通用闪存存储(UFS)存储器设备、嵌入式多媒体卡(eMMC)、或固

态硬盘 (SSD)。在一些示例实施例中,存储器系统10可以利用可与电子设备附接/可从电子设备拆卸的外部存储器来实现,例如,UFS存储卡、紧凑型闪存 (CF) 卡、安全数字 (SD) 卡、微型安全数字 (Micro-SD) 卡、迷你安全数字 (Mini-SD) 卡、极限数字 (xD) 卡或记忆棒。

[0030] 响应于来自主机HOST的读/写请求,存储器控制器200可以控制存储器设备100读取存储在存储器设备100中的数据或者在存储器设备100中编程数据。详细地,存储器控制器200可以向存储器设备100提供地址、命令和控制信号,以控制存储器设备100上的编程操作、读取操作和删除操作。此外,可以在存储器控制器200和存储器设备100之间发送或者接收要编程的数据和读取的数据。

[0031] 例如,可以通过输入/输出 (I/O) 线或I/O总线I0在存储器控制器200和存储器设备100之间发送或接收地址、命令和数据。存储器设备100可以包括分别连接到I/O总线I0的多个I/O焊盘P,并且例如,多个I/O焊盘P可以暴露到在其中实现存储器设备100的存储器芯片。存储器控制器200可以包括分别连接到I/O总线I0的多个I/O焊盘P',并且例如,多个I/O焊盘P'可以暴露到在其中实现存储器控制器200的控制器芯片。

[0032] 存储器单元阵列110可以包括第一至第四存储器平面PL1至PL4,并且第一至第四存储器平面PL1至PL4可以共享I/O焊盘P。然而,存储器单元阵列110中包括的存储器平面的数量不限于四个,并且可以根据一些示例实施例进行各种改变。例如,存储器单元阵列110可以包括八个存储器平面。

[0033] 在一些示例实施例中,存储器单元阵列110可以包括闪存存储器。在下文中,例如将描述包括NAND闪存存储器的存储器单元阵列110的一些示例实施例。然而,示例实施例不限于此。在一些示例实施例中,存储器单元阵列110可以包括电阻存储器设备,例如,电阻随机存取存储器 (ReRAM)、相变随机存取存储器 (PRAM) 或磁随机存取存储器 (MRAM)。

[0034] 在一些示例实施例中,存储器单元阵列110可以包括二维 (2D) 存储器单元阵列,并且2D存储器单元阵列可以包括沿行和列方向布置的多个NAND串。在一些示例实施例中,存储器单元阵列110可以包括三维 (3D) 存储器单元阵列,并且3D存储器单元阵列可以包括多个NAND串。每个NAND串可以包括垂直堆叠在衬底上的分别连接到字线的多个存储器单元。这将在下面参考图6、7A和7B进行描述。以下的通过引用而并入本文的专利文献描述了用于三维存储器阵列的合适配置,在其中,三维存储器阵列被配置为多个层,并且在层之间共享字线和/或位线:美国专利No.7,679,133、No.8553466、No.8654587、No.8559235以及美国专利公开No.2011/0233648。

[0035] 可以独立地执行第一至第四存储器平面PL1至PL4的操作。例如,可以在第一存储器平面PL1上执行编程操作,并且可以在第二至第四存储器平面PL2至PL4上执行读取操作。因此,由于存储器设备100包括第一至第四存储器平面PL1至PL4,因此获得了类似于包括共享I/O总线I0的四个存储器芯片的效果,并且增强了存储器系统10的性能。此外,存储器设备100减少了在从主机HOST接收到请求之后的延迟。

[0036] 由于第一至第四存储器平面PL1至PL4的独立和同时操作,存储器设备100消耗的功率可能较高。例如,当用于第一存储器平面PL1的操作的电压或电流高时,即,当第一存储器平面PL1的操作是高功率操作时,用于与第一存储器平面PL1同时操作的第二存储器平面PL2的操作的电压或电流也可以是高的。在这种情况下,电压或电流可能会超过能够由被包括在包括存储器系统10的电子设备中的外部电源管理模块 (例如,电源管理集成电路

(PMIC))提供的电流或电力的范围,并且因此,降低了存储器系统10的可靠性。

[0037] 控制电路120可以监视第一至第四存储器平面PL1至PL4的操作,并且可以控制第一至第四存储器平面PL1至PL4中的至少一个的操作,使得基于监视的结果,第一至第四存储器平面PL1至PL4的峰值功率间隔是至少部分地分散的。例如,如果第一至第四存储器平面PL1至PL4中的至少一些的峰值功率间隔彼此重叠,则控制电路120可以延迟所述至少一些存储器平面中的至少一个的操作以分散峰值功率间隔。

[0038] 这里,峰值功率间隔(interval)可以是在其中由第一至第四存储器平面PL1至PL4中的每一个的操作消耗的功率等于或大于阈值的间隔。峰值功率间隔可以称为峰值电流间隔或峰值控制间隔。例如,峰值功率间隔可以包括:用于编程操作的位线设置间隔、用于读取操作的位线预充电间隔、以及在编程操作或读取操作之前的锁存初始化间隔中的至少一个。

[0039] 在一些示例实施例中,峰值功率间隔可以由存储器控制器200的峰值间隔确定器210确定,并且存储器控制器200可以通过使用设置特征命令向存储器设备100提供峰值间隔信息。例如,峰值间隔确定器210可以用硬件、软件或固件实现。在一些示例实施例中,峰值功率间隔可以在释放存储器设备100的过程中确定,并且可以被编程在存储器单元阵列110的部分区域中。存储器控制器200可以通过信息数据读取(IDR)从存储器单元阵列110的部分区域读取关于峰值功率间隔的信息。在一些示例实施例中,第一至第四存储器平面PL1至PL4之间的优先级可以由存储器控制器200的平面优先级确定器220确定。在一些示例实施例中,由任何或所有峰值间隔确定器210和平面优先级确定器220所执行的这里描述的操作可以由能够执行该操作的任何合适的装置执行,例如各种硬件和/或在某种形式的硬件(例如,处理器、ASIC等)中实现的软件。例如,操作可以由执行包括与操作对应的指令的程序代码的至少一个处理器(例如,存储器控制器200)执行。指令可以存储在存储器中。如在本公开中使用的术语“处理器”可以指,例如,具有物理结构化的电路的硬件实现的数据处理设备,以执行期望的操作,所述操作包括例如表示为程序中包括的代码和/或指令的操作。在至少一些示例实施例中,上述硬件实现的数据处理设备可以包括但不限于控制器、微处理器、中央处理单元(CPU)、处理器核、多核处理器、多处理器、专用集成电路(ASIC)和现场可编程门阵列(FPGA)。

[0040] 在一些示例实施例中,控制电路120可以包括监视逻辑121和峰值控制逻辑122。监视逻辑121可以监视第一到第四存储器平面PL1到PL4的操作是否进入峰值功率间隔,并且可以基于监视的结果生成监视信号MS。基于监视信号MS,峰值控制逻辑122可以延迟或暂停第一至第四存储器平面PL1至PL4中的至少一个的峰值功率间隔,以使得第一至第四存储器平面PL1至PL4的相应峰值功率间隔是至少部分地分散的。在一些示例实施例中,控制电路120、监视逻辑121和峰值逻辑122的操作可以由能够执行该操作的任何合适的装置执行,例如各种硬件和/或在某种形式的硬件(例如,处理器,ASIC等)中实现的软件。例如,控制电路120可以使用硬件来实现,并且由监视逻辑121和峰值控制逻辑122中的任何一个或全部所执行的本文描述的操作可以由相应的硬件来执行。在一些示例实施例中,控制电路120可以是处理器,并且由监视逻辑121和峰值控制逻辑122中的任何一个或全部所执行的本文描述为操作可以由执行包括与该操作相对应的指令的程序代码的至少一个处理器(例如,控制电路120)来执行。指令可以存储在存储器(例如,存储器单元阵列110)中。



[0041] 图2A至2C示出了图1的存储器设备100的峰值控制操作,在其中,根据一些示例实施例,存储器平面的操作包括位线设置间隔。

[0042] 参见2A,第一至第四存储器平面PL1至PL4的操作可以全部对应于峰值功率间隔。例如,第一至第四存储器平面PL1至PL4的操作可全部对应于位线设置间隔BLSETUP。在这种情况下,用于第一至第四存储器平面PL1至PL4中的每一个的操作的电流量可以在位线设置间隔BLSETUP的初始阶段具有峰值。

[0043] 以这种方式,当第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP彼此重叠时,包括第一至第四存储器平面PL1至PL4的存储器设备100的电流总量可以具有峰值,并且在这种情况下,峰值可能高于阈值电流量TH。结果,存储器设备100消耗的功率可能超过能够由外部电源管理模块(例如,PMIC)供应的电流的电流上限或功率的功率上限,并且因此,难以确保存储器设备100的正常操作。

[0044] 参见2B,控制电路120可以在时间上分散第一至第四存储器平面PL1至PL4的操作,以使第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP彼此不重叠。在一些示例实施例中,控制电路120可以在时间上和完全地分散第一至第四存储器平面PL1至PL4的操作,以使第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP完全不彼此重叠。因此,存储器设备100的总电流量可以远低于阈值电流量TH,并且存储器设备100消耗的功率可以充分低于能够由PMIC提供的功率的功率上限。

[0045] 例如,在第一存储器平面PL1的位线设置间隔BLSETUP期间,可以在第一存储器平面PL1上正常地执行位线设置操作,并且可以在第二至第四存储器平面PL2至PL4上暂停位线设置操作。随后,当第一存储器平面PL1的位线设置间隔BLSETUP结束时,可以恢复第二存储器平面PL2上的位线设置操作,并且可以继续暂停第三和第四存储器平面PL3和PL4上的位线设置操作。随后,当第二存储器平面PL2的位线设置间隔BLSETUP结束时,可以恢复第三存储器平面PL3上的位线设置操作,并且可以继续暂停第四存储器平面PL4上的位线设置操作。随后,当第三存储器平面PL3的位线设置间隔BLSETUP结束时,可以恢复第四存储器平面PL4上的位线设置操作。

[0046] 参见2C,控制电路120可以在时间上和部分地分散第一至第四存储器平面PL1至PL4的操作,使得第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP彼此不完全重叠。如上面参考2A所述,用于第一至第四存储器平面PL1至PL4中的每一个的操作的电流量可以在位线设置间隔BLSETUP的初始阶段具有峰值。因此,控制电路120可以在时间上分散第一至第四存储器平面PL1至PL4的操作,以使第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP的初始间隔彼此不重叠。因此,存储器设备100的总电流量可以远低于阈值电流量TH,并且存储器设备100消耗的功率可以充分低于能够由PMIC提供的功率的功率上限。

[0047] 例如,在第一存储器平面PL1的位线设置间隔BLSETUP期间,可以在第一存储器平面PL1上正常地执行位线设置操作,并且在第一存储器平面PL1的位线设置间隔BLSETUP的初始部分间隔期间,可以暂停在第二至第四存储器平面PL2至PL4上的位线设置操作。随后,当第一存储器平面PL1的位线设置间隔BLSETUP结束时,第二存储器平面PL2上的位线设置操作可以恢复,并且第三和第四存储器平面PL3和PL4上的位线设置操作可以继续暂停。随后,当第二存储器平面PL2的位线设置间隔BLSETUP的初始部分间隔结束时,可以恢复第三存储器平面PL3上的位线设置操作,并且可以继续暂停第四存储器平面PL4上的位线设置操

作。随后,当第三存储器平面PL3的位线设置间隔BLSETUP的初始部分间隔结束时,可以恢复第四存储器平面PL4上的位线设置操作。

[0048] 图3A至3C示出了图1的存储器设备100的峰值控制操作,在其中,根据一些示例实施例,存储器平面的操作包括位线设置间隔和感测间隔。

[0049] 参见3A,第一至第四存储器平面PL1至PL4的一些操作可以对应于峰值功率间隔。例如,第一、第二和第四存储器平面PL1、PL2和PL4可以对应于位线设置间隔BLSETUP,并且第三存储器平面PL3的操作可以对应于感测间隔SENSING。这里,感测间隔SENSING可以对应于读取操作中的预充电间隔和形成(develop)间隔之后的间隔,并且在感测间隔SENSING中消耗的电流或功率量可以不是相对大的。在这种情况下,用于第一、第二和第四存储器平面PL1、PL2和PL4中的每一个的操作的电流可以在位线设置间隔BLSETUP的初始阶段具有峰值。

[0050] 以这种方式,当第一、第二和第四存储器平面PL1、PL2和PL4的位线设置间隔BLSETUP彼此重叠时,包括第一至第四存储器平面PL1至PL4的存储器设备100的总电流可以具有峰值,并且在这种情况下,峰值可以高于阈值电流 $I_{TH}$ 。结果,存储器设备100消耗的功率可能超过能够由外部电源管理模块(例如,PMIC)供应的电流的电流上限或功率的功率上限,并且因此,难以确保存储器设备100的正常操作。

[0051] 参见图3B,控制电路120可在时间上分散第一、第二和第四存储器平面PL1、PL2和PL4的操作,以便第一、第二和第四存储器平面PL1、PL2和PL4的位线设置间隔BLSETUP互不重叠。在一些示例实施例中,控制电路120可以在时间上和完全地分散第一、第二和第四存储器平面PL1、PL2和PL4的操作,以便用于第一、第二和第四存储器平面PL1、PL2和PL4的位线设置间隔BLSETUP完全不相互重叠。此时,控制电路120可以正常地执行第三存储器平面PL3的操作,因此,第一存储器平面PL1的位线设置间隔BLSETUP可以与第三存储器平面PL3的感测间隔SENSING重叠。因此,存储器设备100的总电流可以远低于阈值电流 $I_{TH}$ ,并且存储器设备100消耗的功率可以足够低于能够由PMIC供应的功率的功率上限。

[0052] 例如,在第一存储器平面PL1的位线设置间隔BLSETUP期间,可以在第一存储器平面PL1上正常地执行位线设置操作,可以在第三存储器平面PL3上正常地执行感测操作,并且第二和第四存储器平面PL2和PL4上的位线设置操作可以暂停。随后,当第一存储器平面PL1的位线设置间隔BLSETUP结束时,第二存储器平面PL2上的位线设置操作可以恢复,并且可以继续暂停第四存储器平面PL4上的位线设置操作。随后,当第二存储器平面PL2的位线设置间隔BLSETUP结束时,可以恢复第四存储器平面PL4上的位线设置操作。

[0053] 参见图3C,控制电路120可以在时间上和部分地分散第一、第二和第四存储器平面PL1、PL2和PL4的操作,使得第一、第二和第四存储器平面PL1、PL2和PL4的位线设置间隔BLSETUP彼此不完全重叠。如上面参考图3A所示,用于第一、第二和第四存储器平面PL1、PL2和PL4中的每一个的操作的电流可以在位线设置间隔BLSETUP的初始阶段具有峰值。因此,控制电路120可以在时间上分散第一、第二和第四存储器平面PL1、PL2和PL4的操作,以便第一、第二和第四存储器平面PL1、PL2和PL4的位线设置间隔BLSETUP的初始间隔彼此不重叠。因此,存储器设备100的总电流可以远低于阈值电流 $I_{TH}$ ,并且存储器设备100消耗的功率可以充分低于能够由PMIC供应的功率的功率上限。

[0054] 例如,在第一存储器平面PL1的位线设置间隔BLSETUP期间,可以在第一存储器平

面PL1上正常地执行位线设置操作,可以在第三存储器平面PL3上正常地执行感测操作,并且第二和第四存储器平面PL2和PL4上的位线设置操作可以暂停。随后,当第一存储器平面PL1的位线设置间隔BLSETUP的初始部分间隔结束时,可以恢复第二存储器平面PL2上的位线设置操作,并且可以继续暂停第四存储器平面PL4上的位线设置操作。随后,当第二存储器平面PL2的位线设置间隔BLSETUP的初始部分间隔结束时,可以恢复第四存储器平面PL4上的位线设置操作。

[0055] 图4示意性地示出了示出了根据一些示例实施例的图1的存储器设备100的结构。

[0056] 参见图4,存储器设备100可以包括第一半导体层L1和第二半导体层L2。第一半导体层L1可以在第三方向上堆叠在第二半导体层L2上。在一些示例实施例中,图1的存储器单元阵列110可以被设置在第一半导体层L1上,并且图1的控制电路120可以被设置在第二半导体层L2上。因此,存储器设备100可以具有存储器单元阵列110布置在控制电路120上的结构(例如,单元在外围上(COP)的结构)。例如,除了存储器单元阵列110之外的外围电路可以被布置在存储器单元阵列110下面,并且因此,COP结构可以有效地减小垂直于堆叠方向的表面中占据的面积,并且可以提高存储器设备100的集成度。

[0057] 第二半导体层L2可以包括衬底,并且诸如晶体管的半导体器件和用于布线器件的图案(pattern)可以设置在衬底上,由此包括控制电路120的电路可以设置在第二半导体层L2上。在电路被设置在第二半导体层L2上之后,可以设置包括存储器单元阵列110的第一半导体层L1,以及可以设置用于将存储器单元阵列110的字线WL和位线BL电连接到设置在第二半导体层L2上的电路的图案。

[0058] 图5是示出根据一些示例实施例的图4的第二半导体层L2的上表面的平面图。

[0059] 参见图1和图5,第二半导体层L2可以包括焊盘区域PAD和外围电路区域,并且外围电路区域可以包括第一至第四区域R1至R4。多个I/O焊盘P可以设置在焊盘区域PAD中,并且多个I/O焊盘P可以通过第二半导体层L2上的金属布线连接到第一区域R1至第四区域R4。第一存储器平面PL1可以设置在第一区域R1的上部,第二存储器平面PL2可以设置在第二区域R2的上部,第三存储器平面PL3可以设置在第三区域R3的上部,并且第四存储器平面PL4可以设置在第四区域R4的上部。

[0060] 第一行解码器RD1和第一页缓冲器PB1可以设置在第一区域R1中,并且可以连接到第一存储器平面PL1。第二行解码器RD2和第二页缓冲器PB2可以设置在第二区域R2中,并且可以连接到第二存储器平面PL2。第三行解码器RD3和第三页缓冲器PB3可以设置在第三区域R3中,并且可以连接到第三存储器平面PL3。第四行解码器RD4和第四页缓冲器PB4可以设置在第四区域R4中,并且可以连接到第四存储器平面PL4。在图5中,示出了在第一至第四区域R1至R4中的每一个中布置一个行解码器和一个页缓冲器,但是示例实施例不限于此。在一些示例实施例中,多个行解码器和多个页缓冲器可以布置在第一至第四区域R1至R4中的每一个中。

[0061] 控制电路120可以设置在外围电路区域的特定区域中。控制电路120可以连接到第一到第四行解码器RD1到RD4以及第一到第四页缓冲器PB1到PB4。因此,控制电路120可以监视第一至第四存储器平面PL1至PL4的操作,并且基于监视的结果,控制电路120可以控制第一至第四存储器平面PL1至PL4的操作,使得第一至第四存储器平面PL1至PL4的峰值功率间隔是至少部分地分散的。在图5中,控制电路120被示出为布置在外围电路区域的中心区域

中,但是示例实施例不限于此。在一些示例实施例中,控制电路120可以设置在第一至第四行解码器RD1至RD4中的至少一个中。

[0062] 图6示出了根据一些示例实施例的图1的第一存储器平面PL1。

[0063] 参见图6,第一存储器平面PL1可以包括多个存储器块BLK1至BLKi。多个存储器块BLK1至BLKi中的每一个可以包括3D结构(或垂直结构)。详细地,多个存储器块BLK1至BLKi中的每一个可以包括在第一方向和第二方向上延伸的结构。例如,多个存储器块BLK1至BLKi中的每一个可以包括沿第三方向延伸的多个NAND串。在这种情况下,多个NAND串可以沿第一方向和第二方向设置,并且可以彼此间隔开一定距离。

[0064] 参见图5和图6,可以由第一行解码器RD1选择多个存储器块BLK1至BLKi。例如,第一行解码器RD1可以从多个存储器块BLK1至BLKi中选择与块地址对应的存储器块。图1的第二至第四存储器平面PL2至PL4可以与第一存储器平面PL1基本上类似地实现,并且上面参考图6描述的细节可以应用于第二至第四存储器平面PL2至PL4。

[0065] 图7A是示出了根据一些示例实施例的、图6的第一存储器块BLK1的等效电路的电路图。

[0066] 参见图7A,第一存储器块BLK1可包括多个NAND串NS11至NS33,多个字线WL1至WL8,多个位线BL1至BL3,多个接地选择线GSL1至GSL3,多个串选择线SSL1到SSL3,以及公共源极线CSL。这里,根据一些示例实施例,可以不同地改变NAND串的数量、字线的数量、位线的数量、接地选择线的数量以及串选择线的数量。

[0067] 可以在第一位线BL1和公共源极线CSL之间提供多个NAND串NS11、NS21和NS31,可以在第二位线BL2和公共源极线CSL之间提供多个NAND串NS12、NS22和NS32,并且可以在第三位线BL3和公共源极线CSL之间提供多个NAND串NS13、NS23和NS33。NAND串的每个(例如,NS11)可以包括串选择晶体管SST、多个存储器单元MC和地选择晶体管GST。

[0068] 串选择晶体管SST可以连接到与其对应的串选择线SSL1至SSL3。多个存储器单元MC中的每一个可以连接到与其对应的字线WL1至WL8。地选择晶体管GST可以连接到与其对应的接地选择线GSL1到GSL3。串选择晶体管SST可以连接到与其对应的位线BL1至BL3,并且地选择晶体管GST可以连接到公共源极线CSL。

[0069] 在一些示例实施例中,每条具有相同高度的字线(例如,WL1)可以共同连接到一起,串选择线SSL1至SSL3可以彼此分离,并且接地选择线GSL1至GSL3可以彼此分离。在图7A中,三条串选择线SSL1至SSL3被示出为共享具有相同高度的字线,但是示例实施例不限于此。例如,两个串选择线可以共享具有相同高度的字线。作为另一示例,四个串选择线可以共享具有相同高度的字线。

[0070] 图7B是示出了根据一些示例实施例的、图6的第一存储器块BLK1的透视图。

[0071] 参见图7B,第一存储器块BLK1可以相对于衬底SUB在垂直方向上设置。衬底SUB可以具有第一导电类型(例如,p型),并且沿第一方向延伸并且掺杂有具有第二导电类型(例如,n型)的杂质的公共源极线CSL可以被设置在衬底SUB上。沿着第一方向延伸的多个绝缘层IL可以在两个相邻的公共源极线CSL之间的衬底SUB的区域中沿着第三方向顺序地设置,并且可以沿着第三方向彼此间隔开一定距离。例如,多个绝缘层IL可以包括诸如氧化硅的绝缘材料。

[0072] 沿着第一方向顺序布置并沿第三方向穿过多个绝缘层IL的多个柱P可以设置在两

个相邻的公共源极线CSL之间的衬底SUB的区域中。例如,多个柱P可以通过多个绝缘层IL与衬底SUB接触。详细地,每个柱P的表面层S可以包括具有第一类型的硅材料,并且可以用作沟道区。每个柱P的内层I可以包括气隙或诸如氧化硅的绝缘材料。

[0073] 沿着衬底SUB的暴露表面设置的绝缘层IL、柱P和电荷存储层CS可以设置在两个相邻的公共源极线CSL之间的衬底SUB的区域中。电荷存储层CS可以包括栅极绝缘层(或称为隧道绝缘层)、电荷陷阱层和阻挡绝缘层。例如,电荷存储层CS可以具有氧化物-氮化物-氧化物(ONO)结构。而且,包括选择线GSL和SSL以及字线WL1至WL8的栅电极GE可以设置在电荷存储层CS的暴露表面上以及在两个相邻公共源极线CSL之间的衬底SUB的区域中。

[0074] 多个漏极或漏极接触DR可以分别设置在多个柱P上。例如,漏极或漏极接触DR可以包括掺杂有具有第二导电类型的杂质的硅材料。可以在漏极DR上设置沿第二方向延伸并沿第一方向彼此间隔开一定距离的位线BL1至BL3。

[0075] 图8是示出根据一些示例实施例的、图5的存储器设备100的截面图。

[0076] 参见图8,第二半导体层L2可以包括衬底SUB、第二下绝缘层IL22和第一下绝缘层IL21,并且图1的控制电路120可以设置在第二半导体层L2上。衬底SUB可以是包括诸如晶体硅或晶体锗的半导体材料的半导体衬底,并且可以由硅晶片制造。第一下绝缘层IL21和第二下绝缘层IL22可以通过化学气相沉积(CVD)工艺、旋涂工艺等由诸如氧化硅的绝缘材料形成。

[0077] 多个半导体器件(例如,晶体管TR)可以被设置在包括在第二半导体层L2中的衬底SUB上,并且可以通过穿过第二下绝缘层IL22的接触插头CP21而电连接到设置在第一下绝缘层IL21上的金属图案MP21。设置在第二半导体层L2上的半导体器件可以配置与控制电路120、第一至第四行解码器RD1至RD4以及第一至第四页缓冲器PB1至PB4对应的电路。

[0078] 第一半导体层L1可以堆叠在第二半导体层L2上,并且图1的存储器单元阵列110可以布置在第一半导体层L1。第一半导体层L1可以包括基层BP和上绝缘层IL10。在一些示例实施例中,基层BP可以通过溅射工艺、CVD工艺、原子层沉积(ALD)工艺、物理气相沉积(PVD)工艺等由多晶硅形成。在一些示例实施例中,可以在第一下绝缘层IL21上形成非晶硅层,然后,通过热处理或激光束的照射将非晶硅层改变为晶体硅层,可以形成基层BP,从而去除基层BP的内部缺陷。在一些示例实施例中,基层BP可以通过晶片键合工艺形成,并且在这种情况下,晶体硅晶片可以附着在第一下绝缘层IL21上,并且通过部分地去除或平坦化晶体硅晶片的上部,可以形成基层BP。

[0079] 此外,在第一半导体层L1中,如上参考图7B所述,串选择线SSL、字线WL1至WL8和接地选择线GSL可以在第三方向上堆叠在基层BP上,并且可以形成穿过堆叠的串选择线SSL、字线WL1至WL8和接地选择线GSL的柱P。

[0080] 图9是示意性地示出根据一些示例实施例的存储器系统10a的框图。

[0081] 参见图9,存储器系统10a可以对应于图1的存储器系统10的修改,并且可以将以上参照图1至图8描述的细节应用于图9的描述。存储器系统10a可以包括存储器设备100a和存储器控制器200。存储器设备100a可以是非易失性存储器设备,并且可以实现为存储器芯片。存储器设备100a可以包括存储器单元阵列110和控制电路120a,并且存储器单元阵列110和控制电路120a可以实现为单个存储器芯片。根据一些示例实施例的控制电路120a可以与图1的控制电路120不同地实现。因此,在下文中,将主要描述控制电路120a。

[0082] 控制电路120a可以包括第一至第四控制逻辑CL1至CL4。第一至第四控制逻辑CL1至CL4可以分别对应于第一至第四存储器平面PL1至PL4,并且可以分别控制第一至第四存储器平面PL1至PL4的操作。在下文中,将参考图10详细描述第一至第四控制逻辑CL1至CL4的详细操作。

[0083] 图10是示出了根据一些示例实施例的、图9的存储器设备100a的框图。

[0084] 参照图9和10,存储器设备100a可以包括包含第一至第四存储器平面PL1至PL4的存储器单元阵列110,并且例如,存储器单元阵列110可以布置在图4的第一半导体层L1上。此外,存储器设备100a还可以包括第一至第四行解码器RD1至RD4、第一至第四页缓冲器PB1至PB4、以及第一至第四控制逻辑CL1至CL4,并且例如第一至第四行解码器RD1至RD4、第一至第四页缓冲器PB1至PB4以及第一至第四控制逻辑CL1至CL4可以被布置在图4的第二半导体层L2上。

[0085] 第一控制逻辑CL1可以监视第一存储器平面PL1的操作以生成第一监视信号MS1,并且可以将所生成的第一监视信号MS1提供给第二至第四控制逻辑CL2至CL4。在一些示例实施例中,当第一存储器平面PL1进入峰值功率间隔时,第一监视信号MS1可以被激活,并且例如可以具有逻辑高电平。在一些示例实施例中,当第一存储器平面PL1未进入峰值功率间隔时,第一监视信号MS1可以被去激活,并且例如可以具有逻辑低电平。例如,第一监视信号MS1可以实现为标志(flag)。

[0086] 类似地,第二控制逻辑CL2可以监视第二存储器平面PL2的操作以生成第二监视信号MS2,并且可以将所生成的第二监视信号MS2提供给第一、第三和第四控制逻辑CL1、CL3和CL4。第三控制逻辑CL3可以监视第三存储器平面PL3的操作以生成第三监视信号MS3,并且可以将所生成的第三监视信号MS3提供给第一、第二和第四控制逻辑CL1、CL2和CL4。第四控制逻辑CL4可以监视第四存储器平面PL4的操作以生成第四监视信号MS4,并且可以将所生成的第四监视信号MS4提供给第一至第三控制逻辑CL1至CL3。

[0087] 第一控制逻辑CL1可以基于第一监视信号MS1确定第一存储器平面PL1是否进入峰值功率间隔。当作为确定的结果,第一存储器平面PL1进入峰值功率间隔时,第一控制逻辑CL1可以基于第二至第四监视信号MS2到MS4来确定第二至第四存储器平面PL2至PL4是否进入峰值功率间隔。

[0088] 当作为确定的结果,第二至第四存储器平面PL2至PL4中的至少一个进入峰值功率间隔时,第一控制逻辑CL1可以延迟或暂停第一存储器平面PL1的操作。在一些示例实施例中,当激活的第二至第四监视信号MS2至MS4中的至少一个被去激活时,第一控制逻辑CL1可以确定第二至第四存储器平面PL2至PL4中的至少一个脱离(deviate)峰值功率间隔,并且可以恢复第一存储器平面PL1的操作。在一些示例实施例中,当从第一存储器平面PL1的操作暂停的时间开始经过确定的时间时,第一控制逻辑CL可以恢复第一存储器平面PL1的操作。

[0089] 图11是示出了根据一些示例实施例的、图4的第二半导体层的示例L2a的上表面的平面图。

[0090] 参见图4、图9、图10和图11,第二半导体层L2a可以包括焊盘区域PAD和外围电路区域,并且外围电路区域可以包括第一至第四区域R1至R4。可以在焊盘区域PAD中提供多个I/O焊盘P,并且多个I/O焊盘P可以通过第二半导体层L2上的金属布线连接到第一区域R1至第

四区域R4。第一存储器平面PL1可以被布置在第一区域R1的上部,第二存储器平面PL2可以被布置在第二区域R2的上部,第三存储器平面PL3可以被布置在第三区域R3的上部,并且第四存储器平面PL4可以被布置在第四区域R4的上部。

[0091] 第一行解码器RD1、第一页缓冲器PB1和第一控制逻辑CL1可以被布置在第一区域R1中。第二行解码器RD2、第二页缓冲器PB2和第二控制逻辑CL2可以被布置在第二区域R2中。第三行解码器RD3、第三页缓冲器PB3和第三控制逻辑CL3可以被布置在第三区域R3中。第四行解码器RD4、第四页缓冲器PB4和第四控制逻辑CL4可以被布置在第四区域R4中。在图11中,示出了在第一至第四区域R1至R4中的每一个中布置一个行解码器和一个页缓冲器,但是示例实施例不限于此。在一些示例实施例中,多个行解码器和多个页缓冲器可以被布置在第一至第四区域R1至R4中的每一个中。此外,根据一些示例实施例,可以不同地改变第一至第四区域R1至R4中的每一个中的行解码器、页缓冲器和控制逻辑的布置。

[0092] 第一控制逻辑CL1可以连接到第二到第四控制逻辑CL2到CL4,可以从第二到第四控制逻辑CL2到CL4接收第二到第四监视信号MS2到MS4,并且可以提供第一监视信号MS1到第二到第四控制逻辑CL2到CL4。第一控制逻辑CL1可以连接到第一行解码器RD1和第一页缓冲器PB1。因此,第一控制逻辑CL1可以监视第一至第四存储器平面PL1至PL4的操作,并且基于监视的结果,第一控制逻辑CL1可以控制第一存储器平面PL1的操作,使得第一至第四存储器平面PL1至PL4的峰值功率间隔是至少部分地分散的。

[0093] 图12A和12B示出了根据一些示例实施例的、图9的存储器设备100a的峰值控制操作。

[0094] 参见图12A,第一控制逻辑CL1可以基于第一至第四监视信号MS1至MS4确定第一至第四存储器平面PL1至PL4的所有操作对应于峰值功率间隔。例如,第一至第四存储器平面PL1至PL4的所有操作可以对应于位线设置间隔BLSETUP。第一控制逻辑CL1可以暂停第一存储器平面PL1的位线设置操作,以使第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP彼此不重叠。

[0095] 例如,第一控制逻辑CL1可以暂停第一存储器平面PL1上的位线设置操作,直到第二至第四存储器平面PL2至PL4的位线设置间隔BLSETUP结束。第一控制逻辑CL1可以基于PMIC的功率上限自适应地确定第一存储器平面PL1上的位线设置操作恢复的时间。在一些示例实施例中,当第二至第四存储器平面PL2至PL4的所有位线设置间隔BLSETUP结束时,第一控制逻辑CL1可以在第一存储器平面PL1上恢复位线设置操作。在一些示例实施例中,当第二至第四存储器平面PL2至PL4中的至少一个的位线设置间隔BLSETUP结束时,第一控制逻辑CL1可以在第一存储器平面PL1上恢复位线设置操作。

[0096] 参见图12B,第一控制逻辑CL1可以暂停第一存储器平面PL1的位线设置操作,使得第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP彼此不完全重叠。如上面参考图2A所述,用于第一至第四存储器平面PL1至PL4中的每一个的操作的电流量可以在位线设置间隔BLSETUP的初始阶段具有峰值。因此,第一控制逻辑CL1可以暂停第一存储器平面PL1的位线设置操作,使得第一至第四存储器平面PL1至PL4的位线设置间隔BLSETUP的初始间隔彼此不重叠。例如,第一控制逻辑CL1可以在特定时间间隔期间暂停第一存储器平面PL1上的位线设置操作。

[0097] 图13是示出根据一些示例实施例的存储器设备的操作方法的流程图。

[0098] 参见图13,存储器设备的操作可以对应于控制在单个存储器芯片中包括的多个存储器平面中的每一个的峰值功率或峰值电流的操作,并且例如,可以由图1的存储器设备100或者图9的存储器设备100a来执行。上面参考图1至12B描述的细节可以被应用于图13的描述中,并且省略重复的描述。

[0099] 在操作S110中,可以监视多个存储器平面的操作。在一些示例实施例中,控制电路120的监视逻辑121可以监视多个存储器平面的操作,以生成监视信号MS。在一些示例实施例中,第一至第四控制逻辑CL1至CL4可以监视相应存储器平面的操作,以分别生成第一至第四监视信号MS1至MS4。

[0100] 在操作S120中,可以确定是否至少一个存储器平面对应于峰值功率间隔。在一些示例实施例中,控制电路120的监视逻辑121可以确定多个存储器平面中的至少一个是否进入峰值功率间隔。当作为确定的结果,至少一个存储器平面对应于峰值功率间隔时,可以执行操作S130,否则,可以执行操作S150。

[0101] 在操作S130中,可以确定另一个存储器平面是否对应于峰值功率间隔。在一些示例实施例中,控制电路120的监视逻辑121可以确定多个存储器平面中的至少一个其他存储器平面是否进入峰值功率间隔。当作为确定的结果,另一个存储器平面对应于峰值功率间隔时,可以执行操作S140,否则,可以执行操作S150。

[0102] 在一些示例实施例中,在操作S120和S130之间,操作方法还可以包括基于多个存储器平面之间的优先级信息确定另一个存储器平面的操作。详细地,监视逻辑121可以确定优先级比在操作S120中被确定为对应于峰值功率间隔的存储器平面更高的存储器平面是否对应于峰值功率间隔。

[0103] 在操作S140中,可以控制多个存储器平面的操作,使得峰值功率间隔是至少部分地分散的。在一些示例实施例中,控制电路120的峰值控制逻辑122可以暂停一些存储器平面的操作,使得峰值功率间隔彼此不完全重叠。在一些示例实施例中,控制电路120的峰值控制逻辑122可以暂停一些存储器平面的操作,使得峰值功率间隔的初始间隔彼此不重叠。在操作S150中,可以在至少一个存储器平面上执行操作。在一些示例实施例中,控制电路120的峰值控制逻辑122可以控制行解码器和页缓冲器,以便正常执行至少一个存储器平面的操作。

[0104] 图14是示出根据一些示例实施例的存储器控制器200和存储器设备100之间的操作的流程图。

[0105] 参见图14,所示操作可以对应于图13的操作方法的实现示例,并且以上参照图1至13描述的细节可以被应用于图14的描述。因此,省略重复的描述。在图14中,存储器设备被示为对应于图1的存储器设备100。但是,示例实施例不限于此。在一些示例实施例中,图14的存储器设备可以对应于图9的存储器设备100a。

[0106] 在操作S210中,存储器控制器200可以指定峰值功率间隔。例如,存储器控制器200的峰值间隔确定器210可以指定峰值功率间隔、峰值电流间隔或峰值控制间隔。例如,峰值功率间隔可以包括:用于编程操作的位线设置间隔、用于读取操作的位线预充电间隔、以及在编程操作或读取操作之前的锁存初始化间隔中的至少一个。

[0107] 在操作S220中,存储器控制器200可以指定多个存储器平面之间的优先级。例如,存储器控制器200的平面优先级确定器220可以确定多个存储器平面之间的优先级。在一些



示例实施例中,可以基本上同时执行操作S210和S220。在一些示例实施例中,可以首先执行操作S220,然后,可以执行操作S210。

[0108] 在一些示例实施例中,关于峰值功率间隔的信息和平面优先级信息可以在释放存储器设备100的过程中确定,并且可以在存储器设备100的存储器单元阵列110中编程。当将电力施加到存储器系统10时,即,在引导(booting)之后,存储器控制器200可以通过IDR读取被编程在存储器单元阵列110中的关于峰值功率间隔的信息和平面优先级信息。

[0109] 在操作S230中,存储器控制器200可以将地址ADDR、命令CMD和控制信号CTRL发送到存储器设备100。在一些示例实施例中,存储器控制器200还可以将数据发送到存储器设备100,以便执行编程操作。在一些示例实施例中,存储器控制器200可以通过使用设置特征命令将关于峰值功率间隔的信息和平面优先级信息发送到存储器设备100。

[0110] 在操作S240中,存储器设备100可以监视第一存储器平面PL1的操作。例如,图1的监视逻辑121或图9的第一控制逻辑CL1可以确定第一存储器平面PL1的操作是否对应于峰值功率间隔,并且可以基于确定的结果来生成监视信号。在操作S250中,存储器设备100可以确定第一存储器平面PL1是否对应于峰值功率间隔。当作为确定的结果,第一存储器平面PL1对应于峰值功率间隔时,可以执行操作S260,否则,可以执行操作S290。

[0111] 在操作S260中,存储器设备100可以监视第二存储器平面PL2的操作。例如,图1的监视逻辑121或者图9的第二控制逻辑CL2可以确定第二存储器平面PL2的操作是否对应于峰值功率间隔,并且可以基于确定的结果生成监视信号。在操作S270中,存储器设备100可以确定第二存储器平面PL2是否对应于峰值功率间隔。当作为确定的结果,第二存储器平面PL2对应于峰值功率间隔时,可以执行操作S280,否则,可以执行操作S290。

[0112] 在操作S280中,存储器设备100可以暂停第一存储器平面PL1的操作。例如,图1的峰值控制逻辑122或者图9的第一控制逻辑CL1可以将第一存储器平面PL1的操作暂停特定时间。在操作S290中,存储器设备100可以执行第一存储器平面PL1的操作。例如,图1的峰值控制逻辑122或者图9的第一控制逻辑CL1可以允许执行第一存储器平面PL1的操作。此外,当在操作S280之后经过特定时间时,图1的峰值控制逻辑122或者图9的第一控制逻辑CL1可以恢复第一存储器平面PL1的操作。

[0113] 图15是示出了根据一些示例实施例的存储器设备被应用于SSD系统1000的示例的框图。

[0114] 参见图15,SSD系统1000可以包括主机1100和SSD 1200。SSD 1200可以通过信号连接器SIG向主机1100发送信号或从主机1100接收信号,并且可以通过电力连接器PWR供电。SSD 1200可以包括SSD控制器1210、辅助电源1220和多个存储器设备1230、1240和1250。存储器设备1230、1240和1250的每个可以是垂直堆叠的NAND闪存。在这种情况下,SSD 1200可以通过使用上面参考图1至14描述的一些示例实施例来实现。

[0115] 虽然已经具体示出和描述了一些示例实施例,但是应当理解,在不脱离所附权利要求的精神和范围的情况下,可以在形式和细节上进行各种改变。

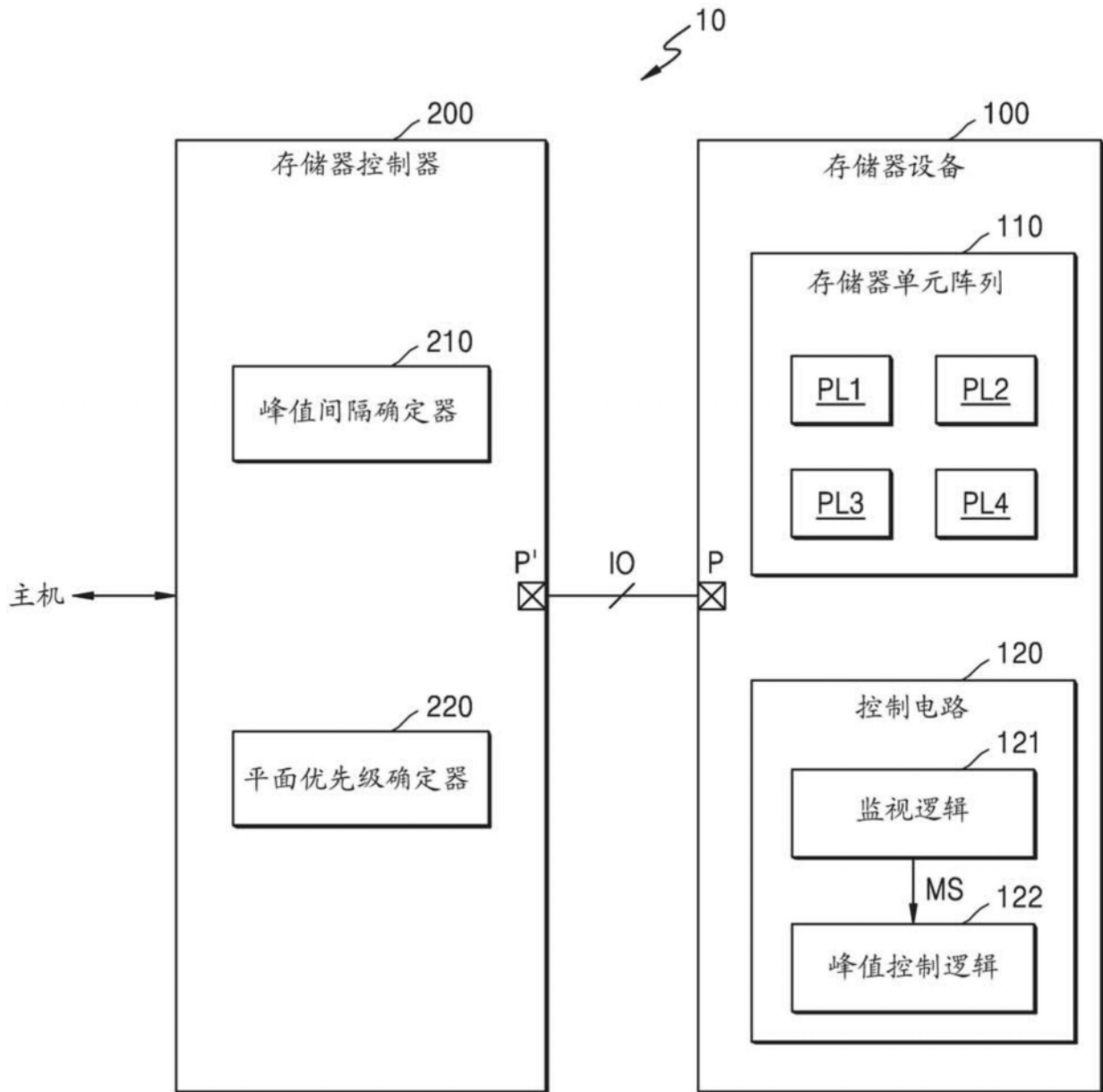


图1

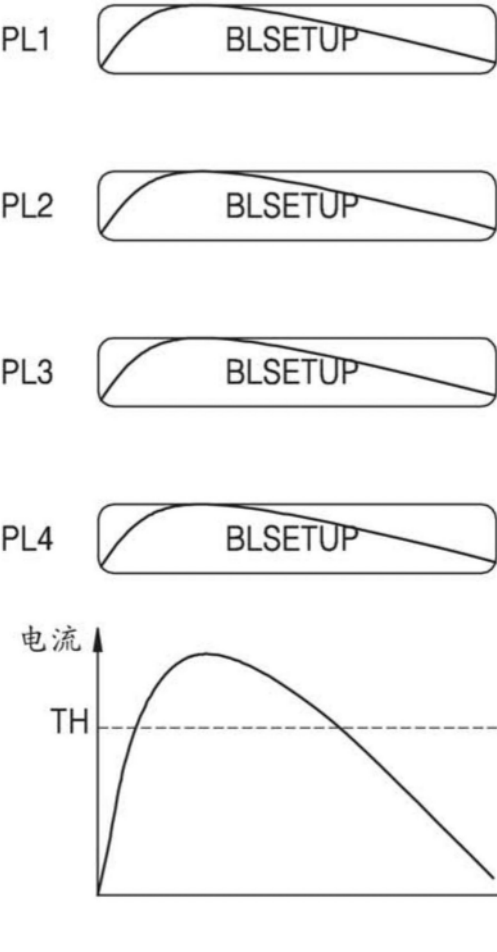


图2A

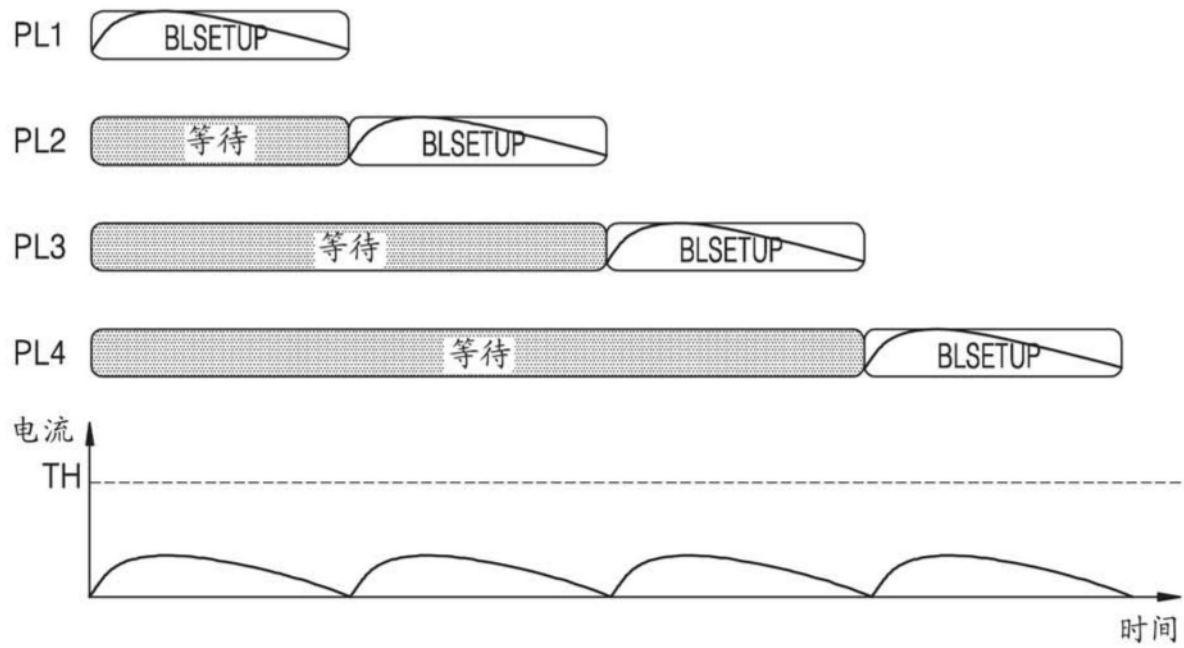


图2B

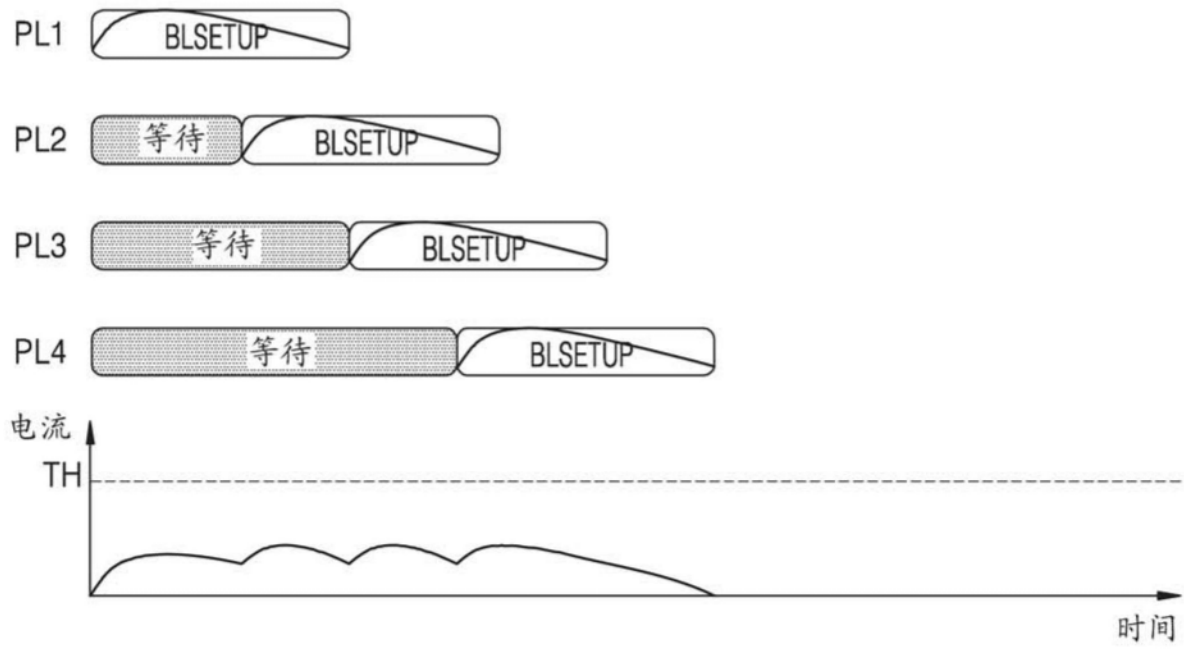


图2C

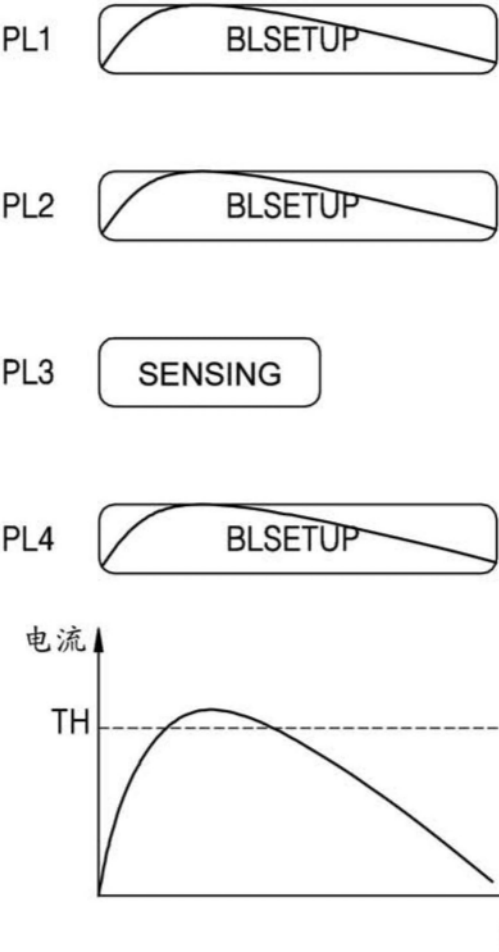


图3A

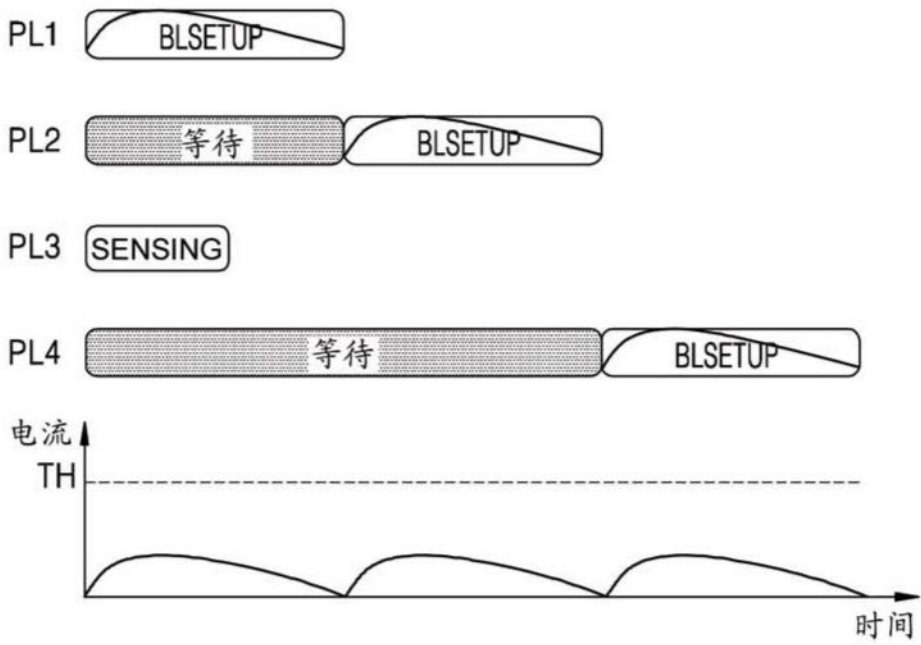


图3B

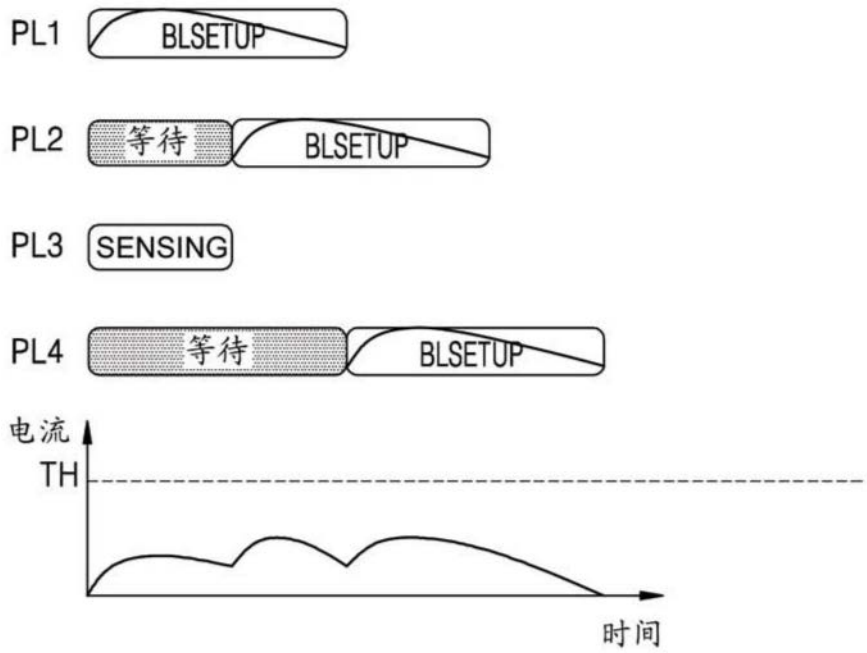


图3C

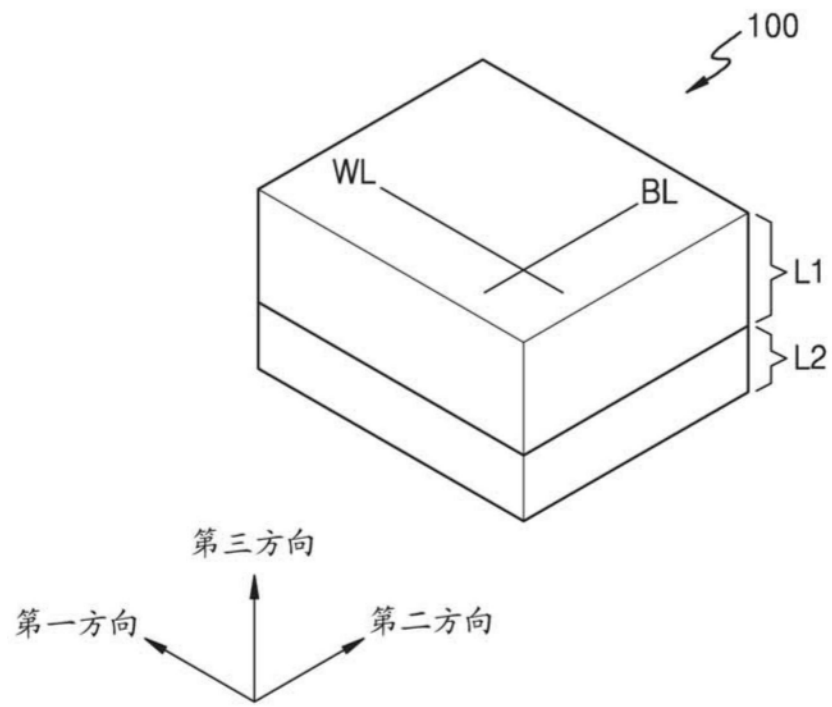


图4

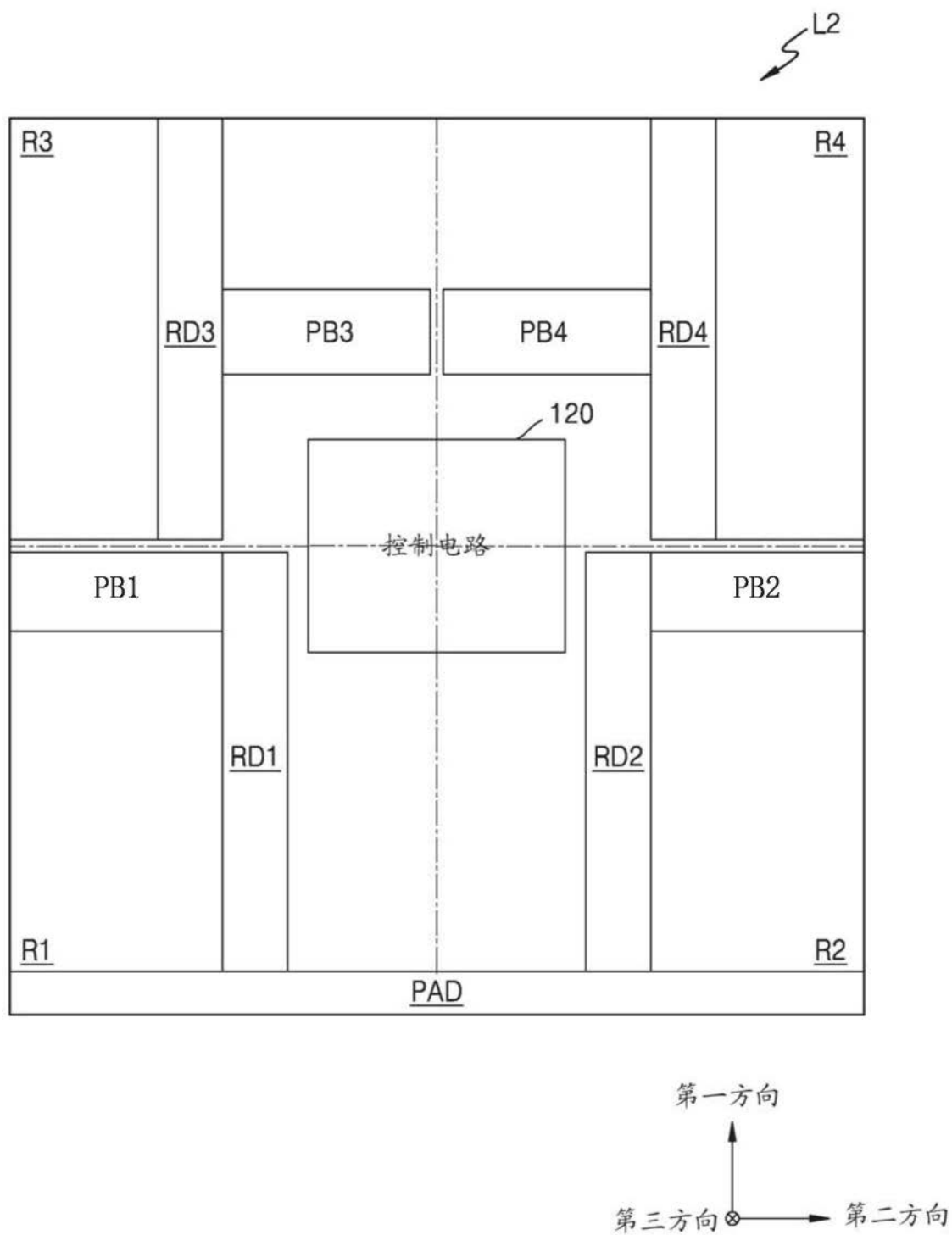


图5



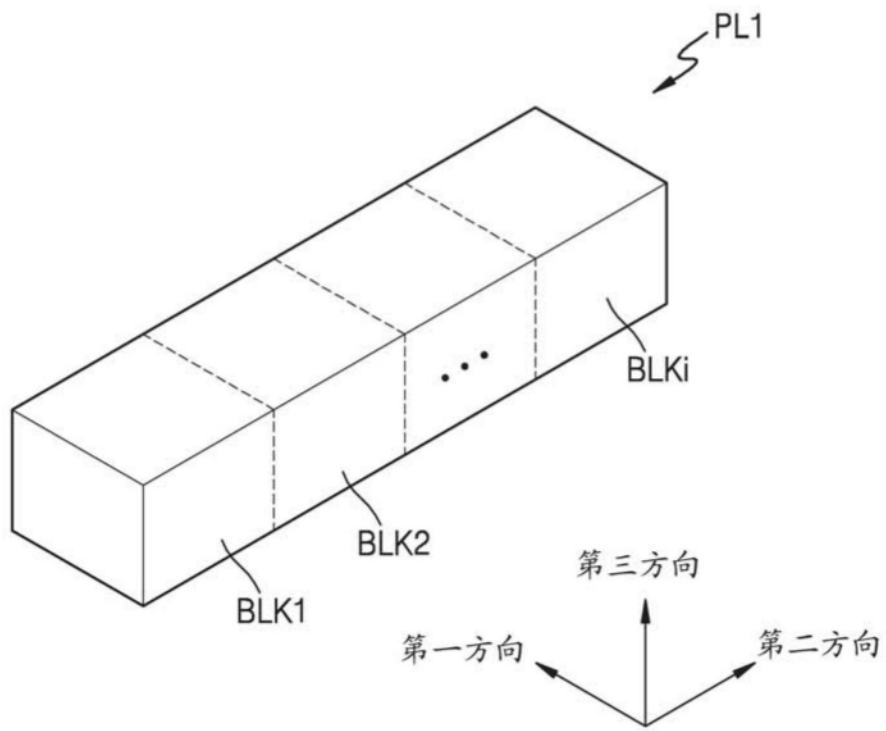


图6

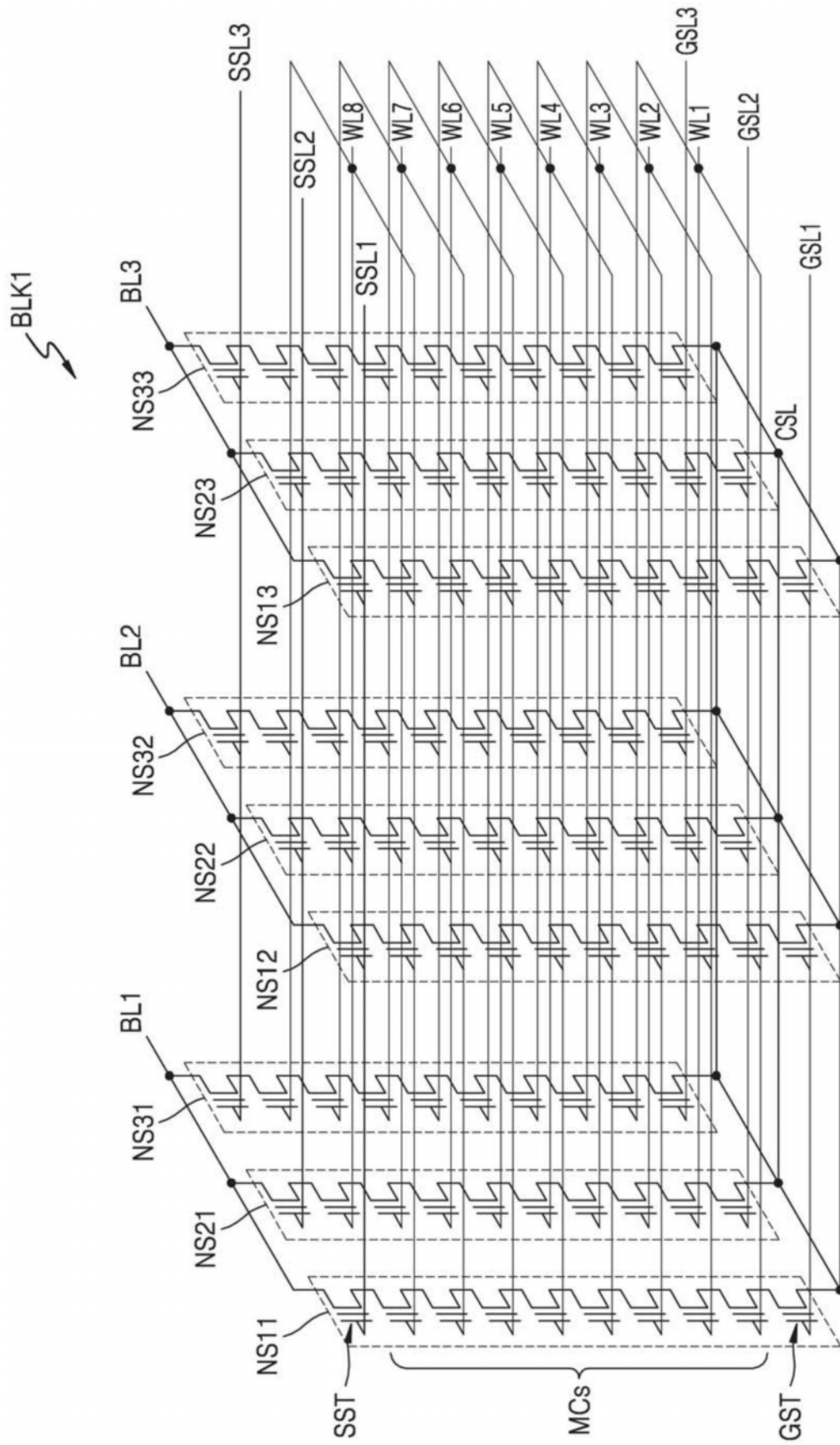


图7A

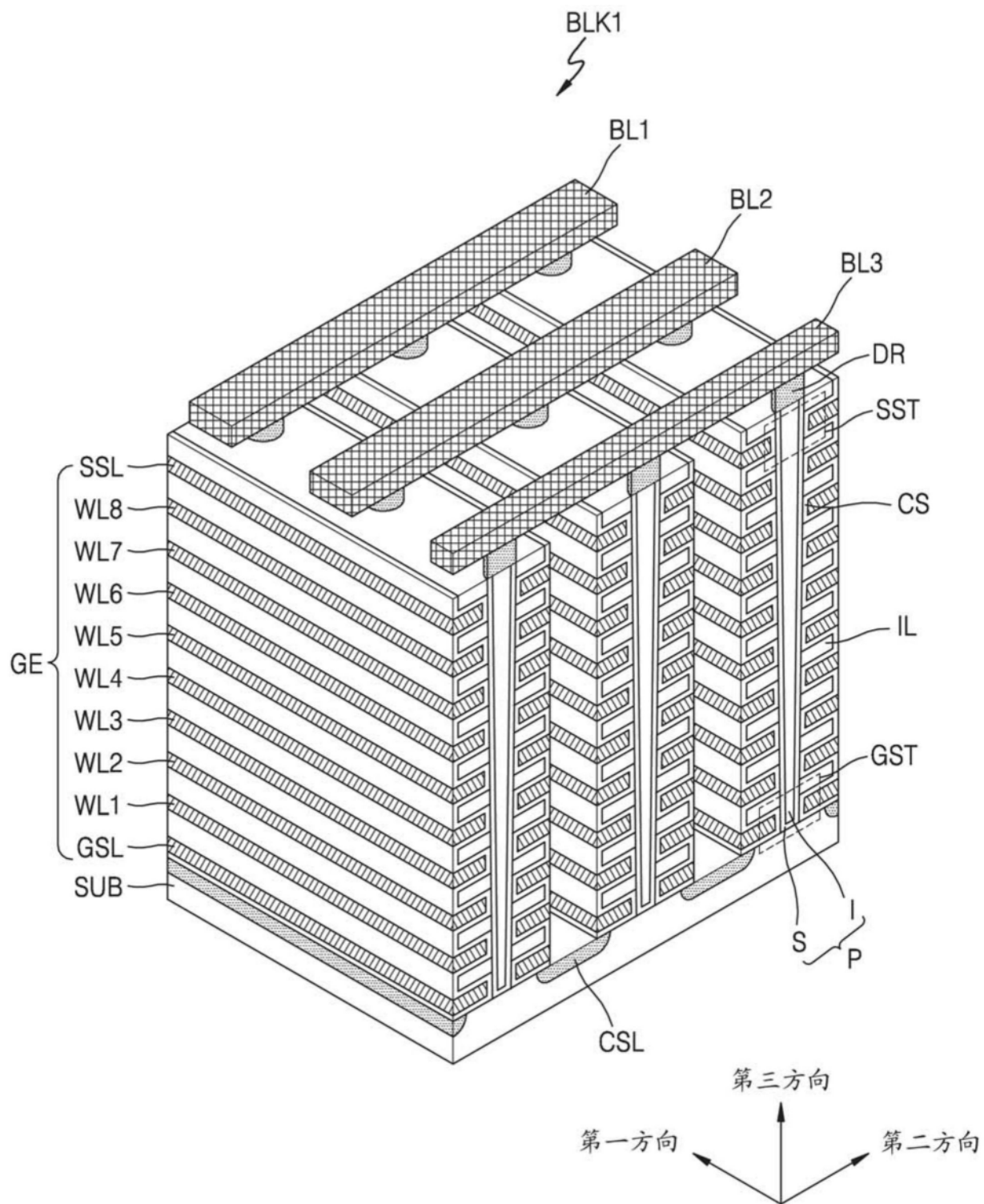


图7B

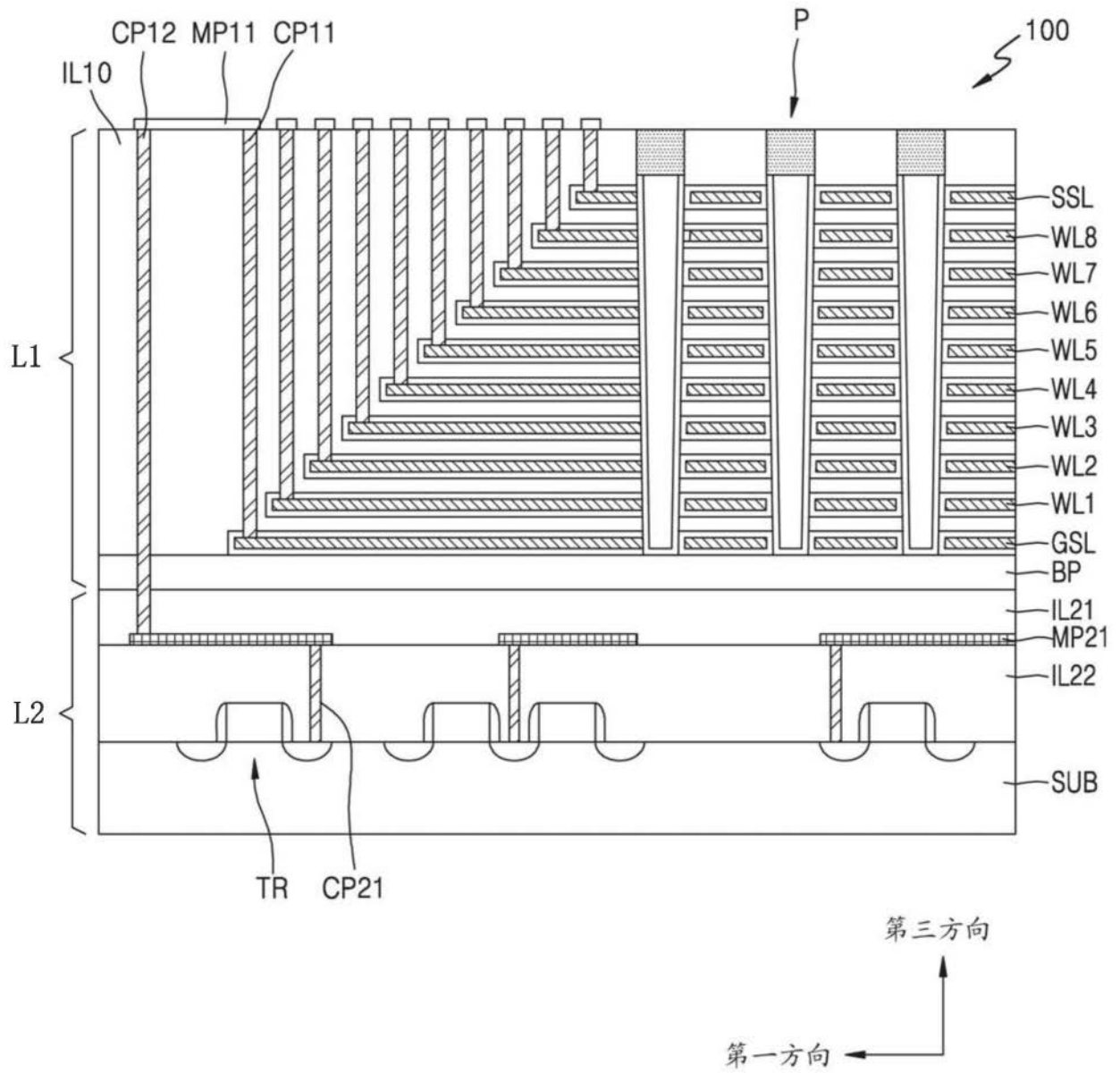


图8

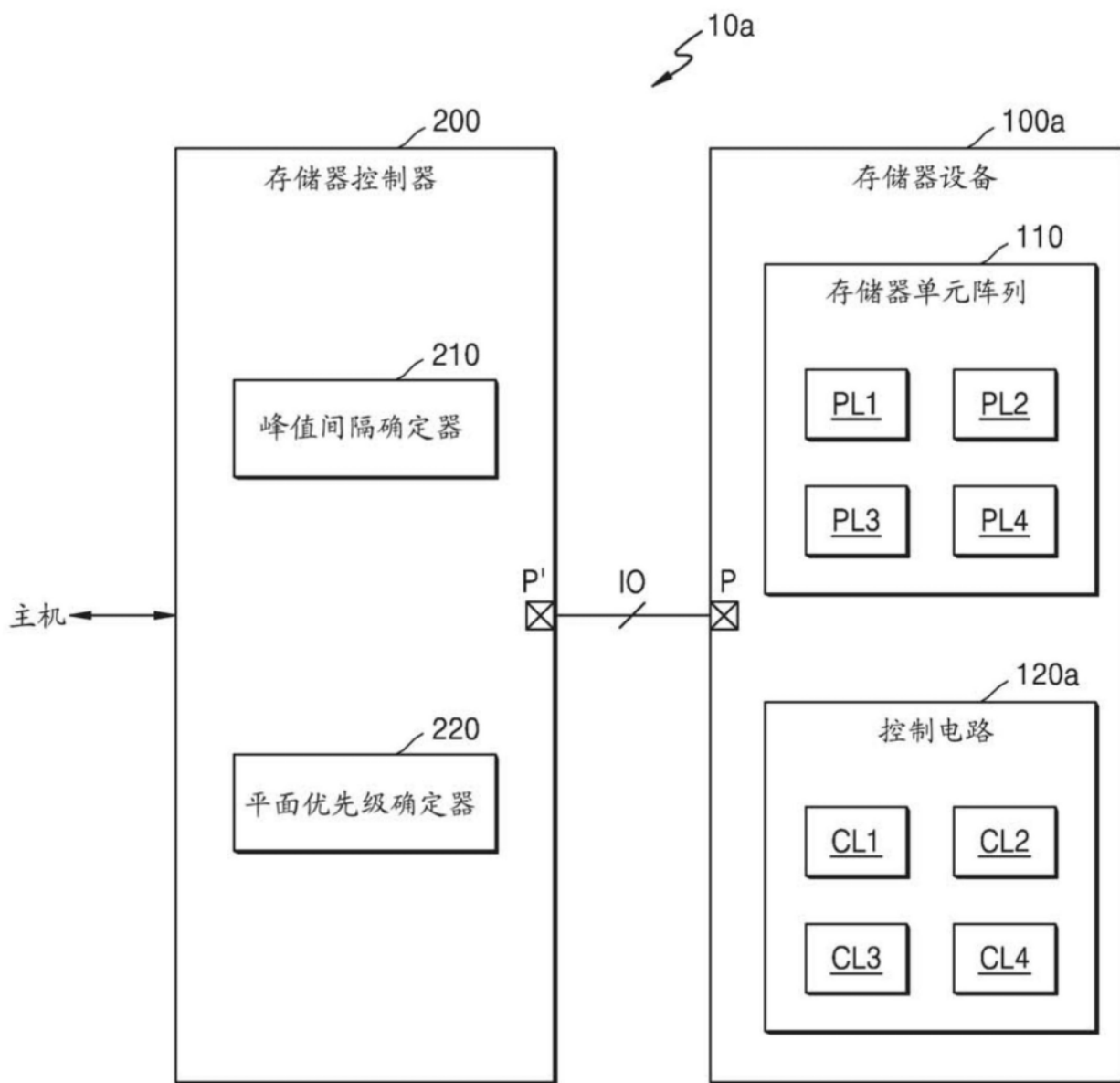


图9

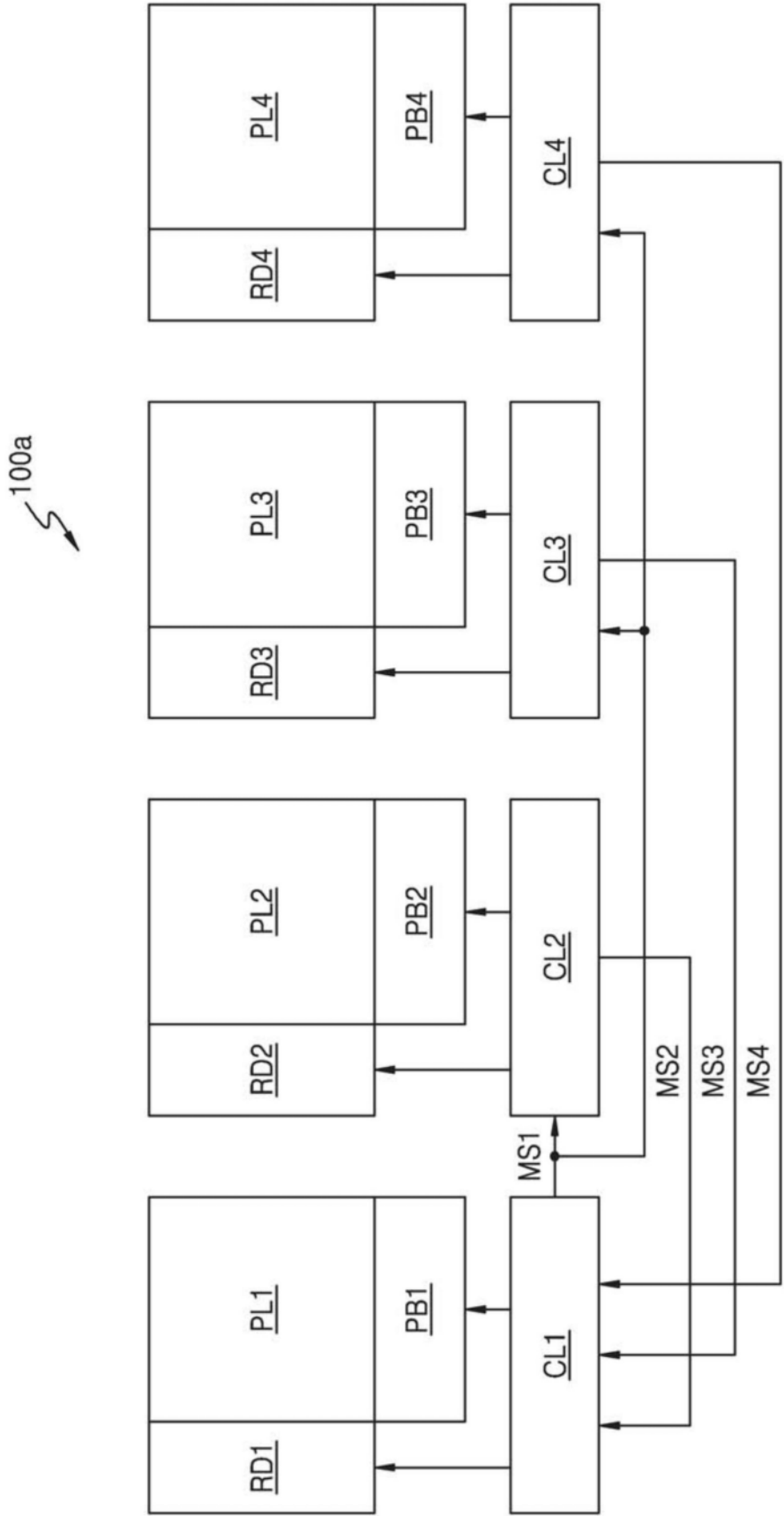


图10

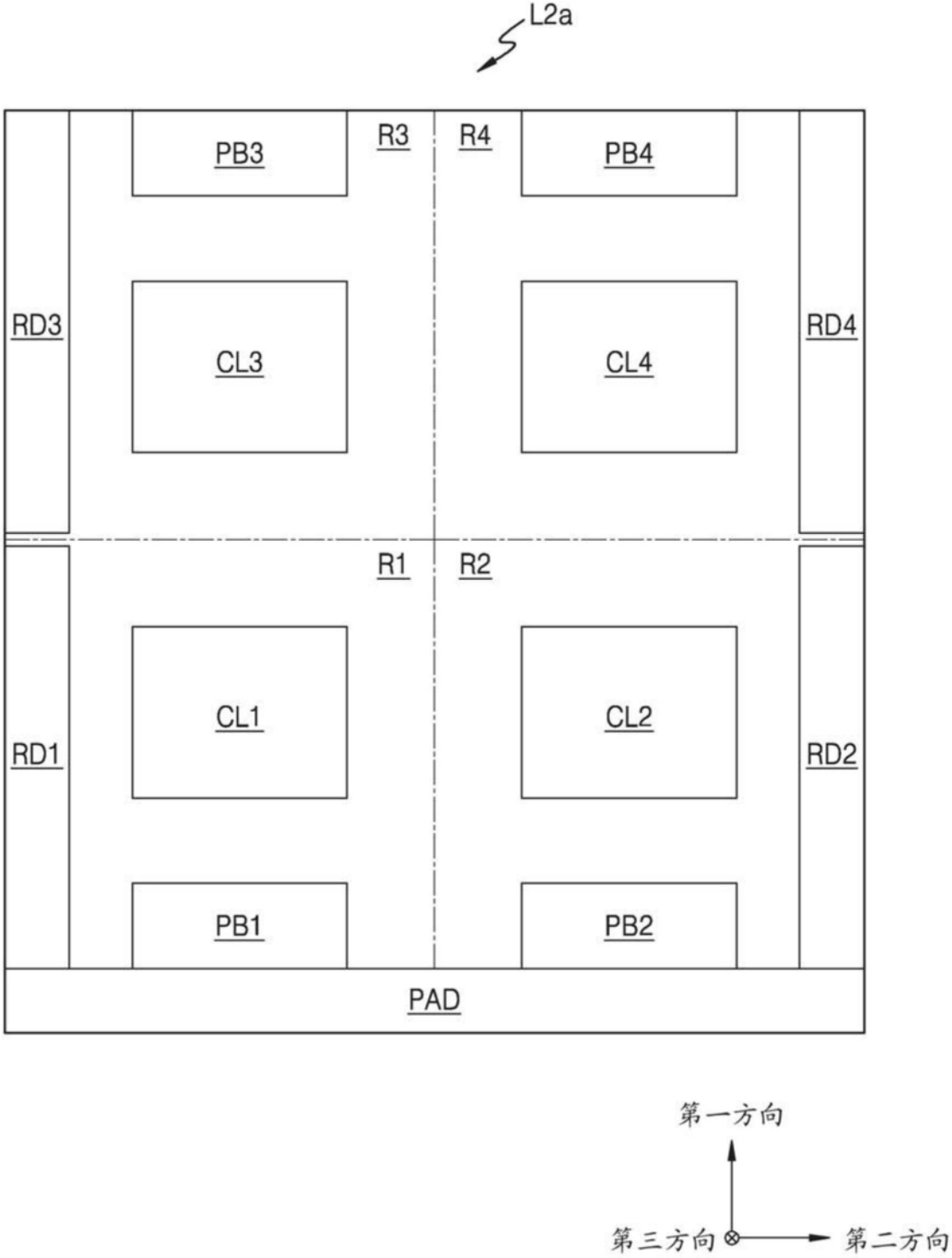


图11

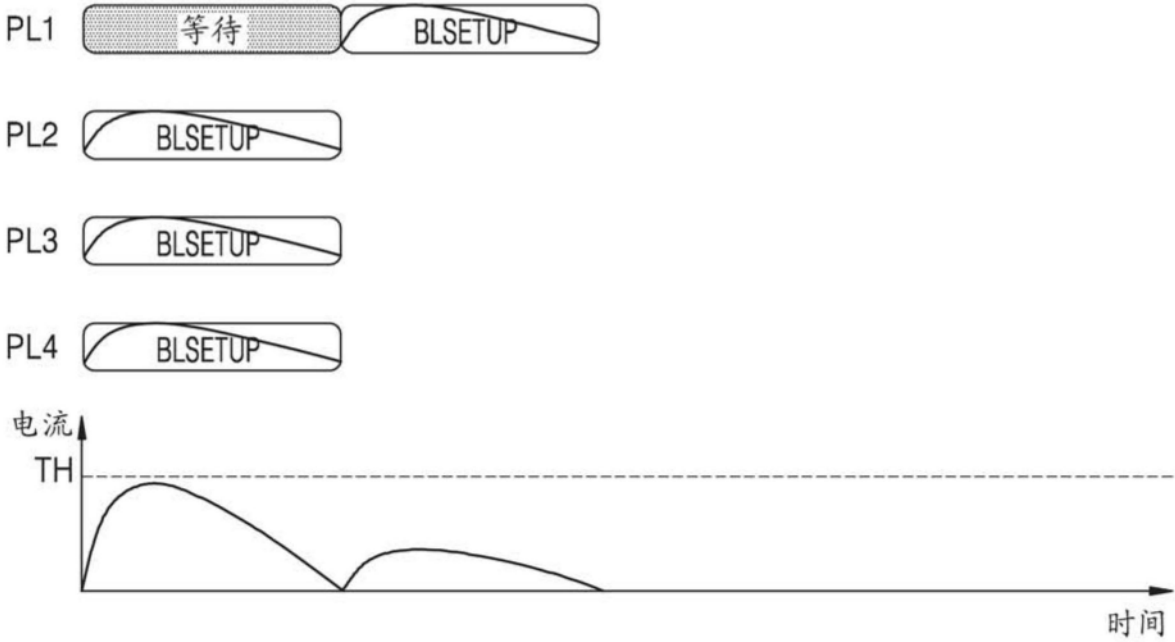


图12A

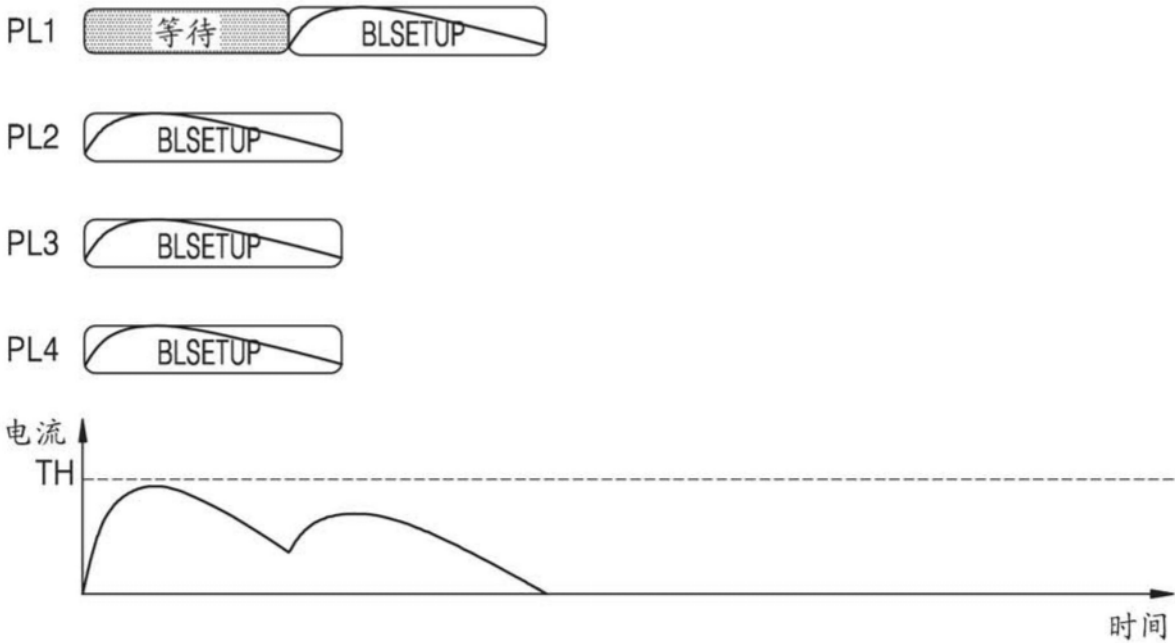


图12B



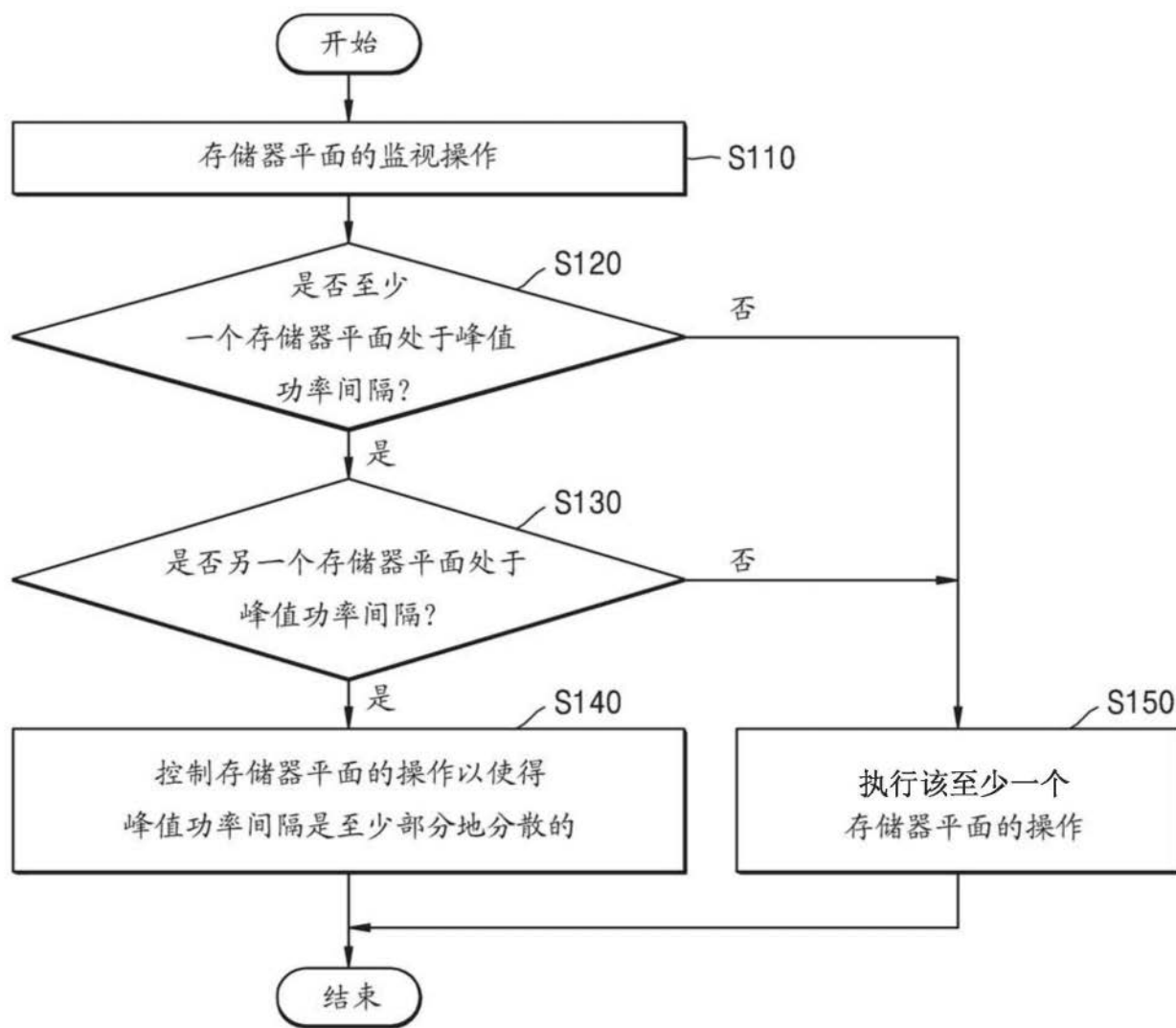


图13

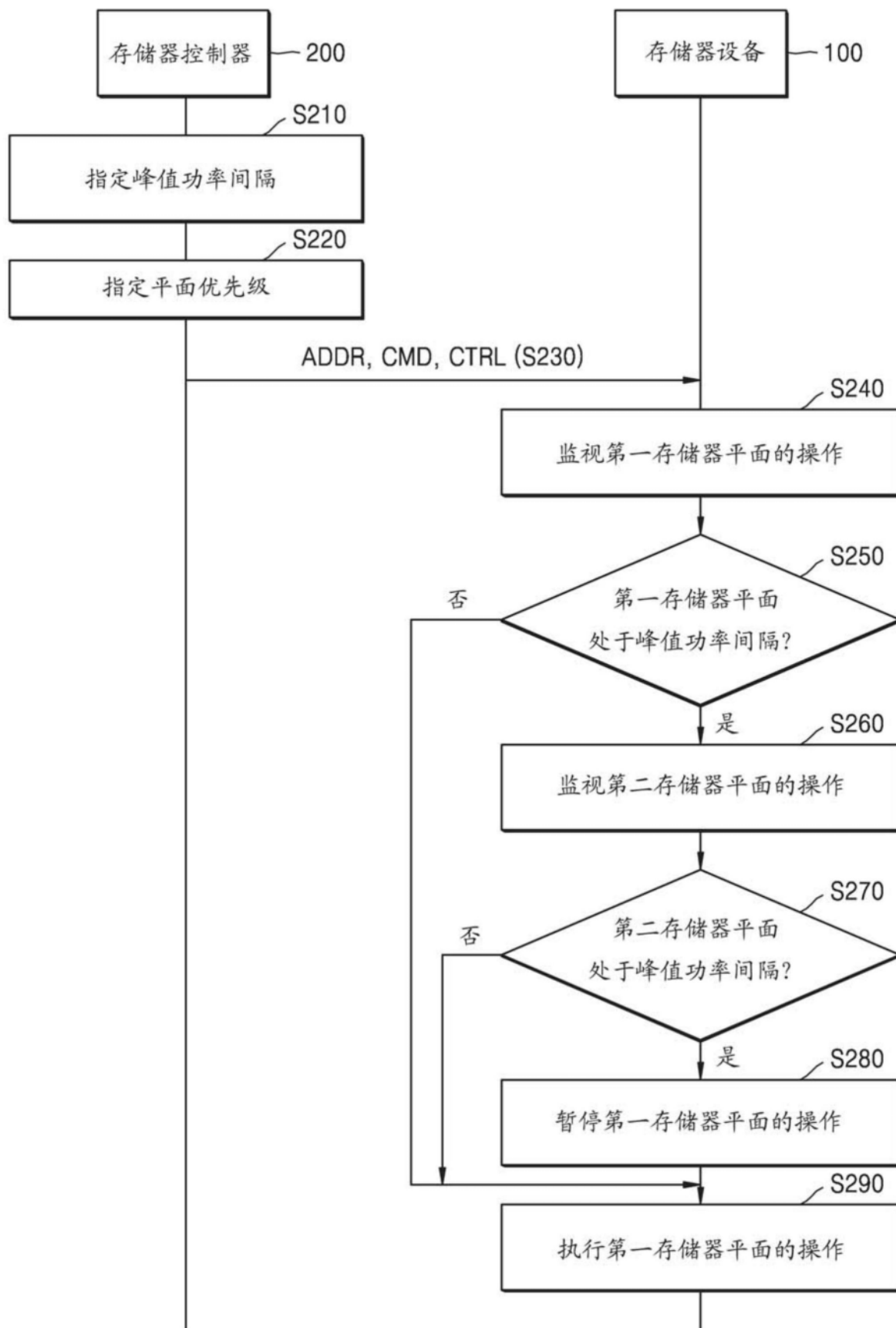


图14

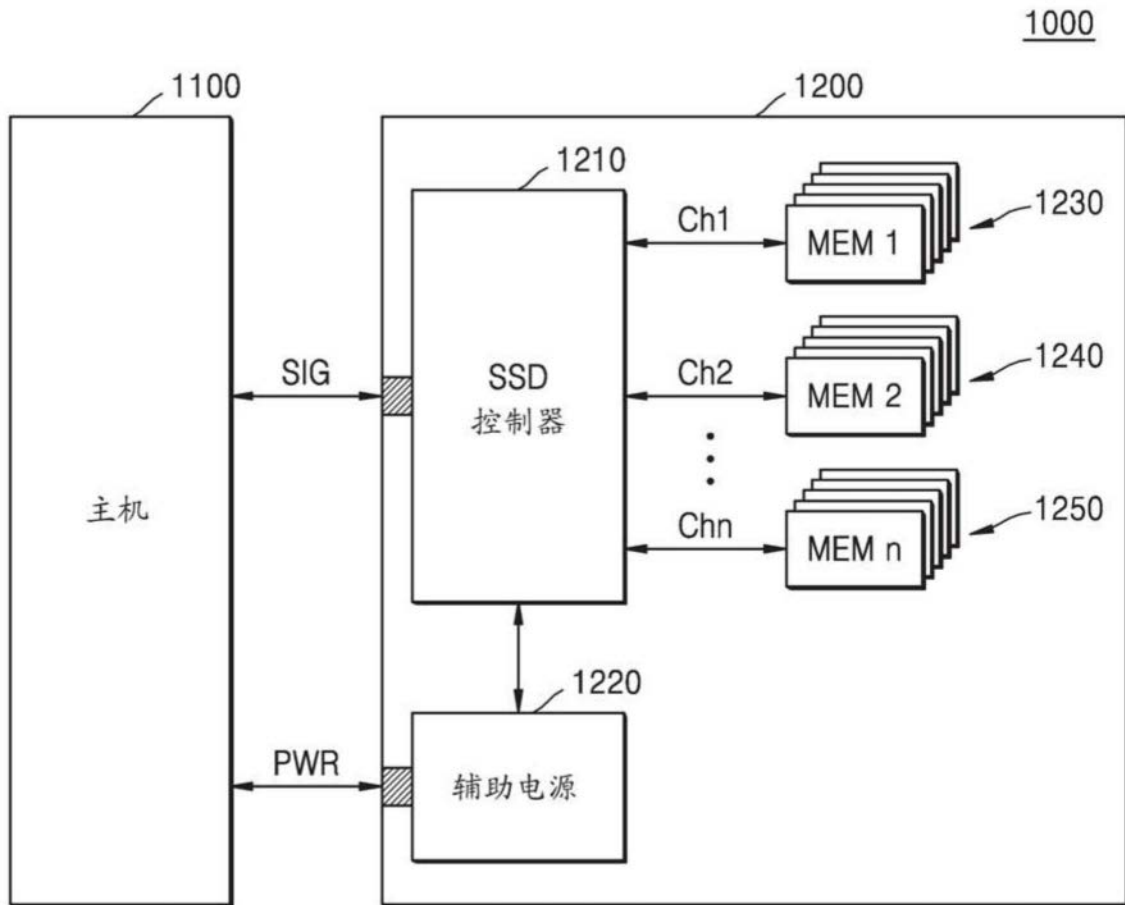


图15