

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 13 日(13.09.2012)



(10) 国際公開番号

WO 2012/120951 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2012/052777
- (22) 国際出願日: 2012 年 2 月 7 日(07.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2011/055408 2011 年 3 月 8 日(08.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(Unisant Electronics
Singapore Pte Ltd.) [SG/SG]; 179098 ノースブリッジ
ロード 111、ペニンシュラ プラザ、 #
16-04 Singapore (SG).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 舩岡 富士
雄(MASUOKA Fujio) [JP/JP]; 〒1020073 東京都千代
田区九段北1-15-2 九段坂パークビル4
F Semicon Consulting 株式
会社内 Tokyo (JP). 原田 望(HARADA Nozomu)
[JP/JP]; 〒1020073 東京都千代田区九段北1-1

5-2 九段坂パークビル4F Semicon Consulting 株式会社内 Tokyo (JP).

(74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

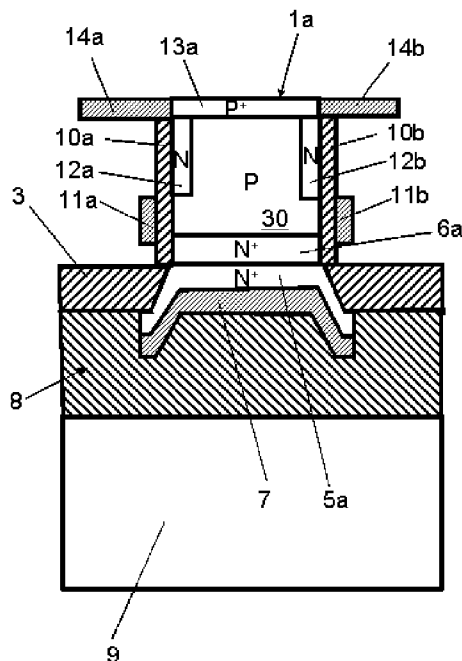
(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法及び、半導体装置

[図1K]



(57) Abstract: A production method for a semiconductor device having: a step in which a conductor layer (7) and a first semiconductor layer (5a) including donor impurities or acceptor impurities are formed upon a first semiconductor substrate; a step in which a second insulating layer (8) is formed so as to cover the first semiconductor layer (5a); a step in which the thickness of the first semiconductor substrate (9) is reduced to a prescribed thickness; a step in which a columnar semiconductor (1a) having a columnar structure is formed from the first semiconductor substrate upon the first semiconductor layer (5a); a step in which a first semiconductor area (6a) is formed on the columnar semiconductor (1a) by scattering impurities from the first semiconductor layer (5a); and a step in which pixels for a solid-state imaging device are formed using the columnar semiconductor (1a) after the impurities have been scattered.

(57) 要約: 半導体装置の製造方法は、第1半導体基板上に、導体層(7)及びドナー不純物又はアクセプタ不純物を含む第1の半導体層(5a)を形成する工程と、第1の半導体層(5a)を覆うように第2の絶縁層(8)を形成する工程と、第1半導体基板(9)の厚さを所定の厚さまで薄くする工程と、第1半導体基板から第1の半導体層(5a)上に柱状構造を有する柱状半導体(1a)を形成する工程と、第1の半導体層(5a)から不純物を拡散させることで柱状半導体(1a)に第1の半導体領域(6a)を形成する工程と、不純物を拡散させた後の柱状半導体(1a)を用いて、固体撮像装置の画素を形成する工程と、を有する。

WO 2012/120951 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は、半導体装置の製造方法、及び、半導体装置に関し、特に、柱状構造を有する半導体内にチャネル領域が形成されているトランジスタを備える半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] CCD及びCMOS型などの固体撮像装置はビデオカメラ、ステールカメラなどに広く用いられている。そして、固体撮像装置の高解像度化、高速動作化、及び高感度化などの性能向上が求められている。

[0003] 図17に示されるように、1つの画素が1つの柱状半導体110内に構成されている固体撮像装置が知られている（例えば、特許文献1を参照）。

この画素構造においては、半導体基板上に固体撮像装置の信号線として機能するN⁺型シリコン層51が形成されている。また、N⁺型シリコン層51に柱状半導体110が接続されている。その柱状半導体110には、P型シリコン層52、絶縁膜53a、53b、ゲート導体層54a、54bからなる、蓄積電荷を除去するためのMOSトランジスタが形成されている。さらに、柱状半導体110には、このMOSトランジスタに接続され、光（電磁エネルギー波）の照射によって発生する電荷を蓄積するフォトダイオードが形成されている。このフォトダイオードは、P型シリコン層52とN型シリコン層58a、58bとから構成される。また、このフォトダイオードで囲まれたP型半導体52をチャネル、フォトダイオードをゲート、フォトダイオード上に形成され、画素選択線57a、57bに接続されたP⁺型シリコン層56、N⁺型シリコン層51近傍のP型シリコン層52を、それぞれ、ソース、ドレインとした接合電界効果トランジスタ（接合トランジスタ）が形成されている。

[0004] この固体撮像装置の基本動作は、光照射により発生した信号電荷（この場

合は電子)をフォトダイオードに蓄積する信号電荷蓄積動作と、N⁺型シリコン層51近傍のP型シリコン層52とP⁺型シリコン層56との間に流れるソース・ドレイン電流を、前述の蓄積信号電荷に応じたフォトダイオード電圧によるゲート電圧により変調し、これを信号電流として読み出す信号読み出し動作と、この信号読み出し動作の完了後、フォトダイオードに蓄積されている信号電荷を、MOSトランジスタのゲート導体層54a、54bにオン電圧を印加してN⁺型シリコン層51に除去するリセット動作とからなる。

[0005] 2次元固体撮像装置においては、図17に示される画素が感光領域に2次元状に配列されている。そして、信号読み出し動作は、N⁺型シリコン層51を介して、画素信号(信号電流)が感光領域の周辺に設けられた出力回路に伝達されることにより行われる。また、リセット動作も、画素と感光領域の周辺回路との電氣的伝送を介して行われる。そして、固体撮像装置の画素数、又は単位時間当たりの読出し画面数を増加させるには、信号読み出し動作の高速動作化が必要となる。このため、信号線であるN⁺型シリコン層51の電気抵抗の低減が求められる。

[0006] このようなN⁺型シリコン層51の低電気抵抗化を実現するために、図18Aに示されるように、N⁺型シリコン層51の裏面に、シリコン基板60上に形成した金属層59を接合させた構造が考えられる。これにより信号線の電気抵抗は、金属層59によってほぼ決定されるので、前述した信号読出し動作の高速動作化が実現される。しかし、N⁺型シリコン層51に接合させた金属層59を形成することは、金属材料とシリコン材料との接合の親和性の観点から困難である。

[0007] また、シリコン基板60上に金属層59を形成するには、以下の方法が考えられる。即ち、図18Bに示されるように、半導体基板61上に酸化シリコン層62を形成し、その酸化シリコン層62上に金属層59を形成する。そして、金属層59が形成された半導体基板61と半導体基板64とを接着する。その後、半導体基板64において、図18Bにおいて破線で示した部分に画素を形成する。図18Bに示される一点鎖線D-D'は半導体基板6

4の研磨、エッチング、又は他の分離方法により、半導体基板64を所定の高さに成形した状態を示している。

[0008] しかしながら、このような製造方法では、金属層59と半導体基板64とが直接接着されるので、金属層59と半導体基板64との熱膨張係数の異なりによって、半導体基板61、64にソリ、クラック、又はハガレが発生してしまう。図18Aに示されるように、信号読出し動作の高速動作化のため、N⁺型シリコン層51の裏面に、ソリ、クラック、又はハガレの発生なく金属層59を直接貼り合わせる方法を開発することには大きな技術的意義がある。

[0009] そして、このような課題を解決することで、固体撮像装置以外の半導体装置や、半導体装置に設けられる回路素子の高集積化、高性能化を実現することが強く求められている。

[0010] また、信号読出し動作の高速動作化のため、柱状構造を有する柱状半導体の側面をチャネル領域とするとともに、ゲート電極が当該チャネル領域を取り囲む構造を有する縦型のMOSトランジスタであるSGT (Surrounding Gate Transistor) (以下、単に「SGT」と省略する。)がある(例えば、特許文献2を参照)。

[0011] このようなSGTでは、図19に示されるように、埋め込み酸化膜基板66上に平面状シリコン膜67が形成され、平面状シリコン膜67と柱状シリコン層68とによって柱状構造が形成されている。平面状シリコン膜67にはドレインとして機能するP⁺型シリコン拡散層69が形成されている。柱状シリコン層68の上部にはソースとして機能するP⁺型シリコン拡散層70が形成され、柱状シリコン層68の外周部にはゲート絶縁層71が形成されている。このゲート絶縁層71の外周部にはゲート電極72が形成されている。これにより、P⁺型シリコン拡散層69とP⁺型シリコン拡散層70との間の柱状シリコン層68をチャネルとしたP型チャネルSGTが形成されている。

[0012] また、ゲート電極72、P⁺型シリコン拡散層70、及びP⁺型シリコン拡

散層 69 を囲むように、窒化シリコン (SiN) 膜 73 と酸化シリコン (SiO₂) 膜 74 とが形成されている。酸化シリコン層 74 内にコンタクトホール 75 が形成され、このコンタクトホール 75 を介して、P⁺型シリコン拡散層 70 がソース金属配線 76 に接続されている。これにより、1 個の P 型チャネル SGT が形成されている。

[0013] 図 19 に示される P⁺型シリコン拡散層 69 は、平面状シリコン膜 67 が同一平面上で延長された所定の部位で図示しない金属配線と接続されている。SGT を有する半導体装置において、更なる信号読出し動作の高速動作化を実現するには、この P⁺型シリコン拡散層 69 と上記金属配線との接続が、P⁺型シリコン拡散層 70 のように、短い距離で行われることが要求される。

[0014] しかしながら、図 19 に示される SGT では、上記金属配線と P⁺型シリコン拡散層 69 との間、又は、P⁺型シリコン拡散層 69 において SGT のチャネルのドレイン端までの距離に相当する電気抵抗が存在するようになる。このため、SGT を有する半導体装置においても、固体撮像装置と同様に、信号読出し動作の高速動作化を実現するには、P⁺型シリコン拡散層 69 の裏面に直接的に金属層を接合して電気抵抗の低下を図ることが必要になる。

先行技術文献

特許文献

[0015] 特許文献1：国際公開第 2009/034623 号

特許文献2：米国特許出願公開第 2010/0213539 (A1) 号明細書

非特許文献

[0016] 非特許文献1：Hidekazu Takahashi, Masakuni Kinoshita, Kazumichi Morita, Takahiro Shirai, Toshiaki Sato, Takayuki Kimura, Hiroshi Yuzurihara, Shunsuke Inoue, Member, IEEE, and Shigeyuki Matsumoto: "A 3.9- μ m Pixel Pitch VGA Format 10-b Digital Output CMOS Image Sensor With 1.5 Transistor/Pixel", IEEE Journal of Solid-State Circuits, Vol.39, No.12, pp.2417-2425 (December 2004)

非特許文献2：M.Bruehl: "Silicon on Insulator material technology", Ele

ctronics Letters Vol.31, No.14, pp.1201-1202 (6th July, 1995)

非特許文献3: Takao Yonehara, Kiyofumi Sakaguchi, and Nobuhiko Sato: "Epitaxial layer transfer by bond and etch back of porous Si", Appl. Phys. Lett. Vol.64, No.16, pp.2108-2110 (18 April, 1994)

発明の概要

発明が解決しようとする課題

- [0017] 2次元固体撮像装置においては、上述したとおり、信号読み出し動作は、信号線として機能するN⁺型シリコン層51を介して、画素信号（信号電流）が感光領域の周辺に設けられ外部回路に伝達されることにより行われる。また、リセット動作も、画素と感光領域の外部回路との電氣的伝送を介して行われる。この電氣的伝送の応答性は、画素と周辺回路間とを接続する配線の電気抵抗と寄生容量とに大きく影響される。固体撮像装置の画素数、又は単位時間当たりの読出し画面数を増加させるには、そのような配線の電気抵抗の低減が求められる。
- [0018] 図17に示される固体撮像装置においては、そのような電気抵抗は、N⁺型シリコン層51の電気抵抗によってほぼ決定される。N⁺型シリコン層51はシリコン（Si）半導体にリン（P）やヒ素（As）などのドナー不純物をイオンドーピング（イオン注入）することで形成されるため、このN⁺型シリコン層51の電気抵抗値は、アルミニウム（Al）、銅（Cu）、タングステン（W）、ニッケル（Ni）など通常の半導体装置に使用されている金属の電気抵抗値よりも小さくすることができない。このため、図17に示される固体撮像装置では、金属配線によって画素と周辺回路との間の電氣的接続を行う固体撮像装置と比較して、高速動作特性に劣る問題がある。
- [0019] また、画素内でN⁺型シリコン層を横方向に拡張するとともに、この拡張領域に形成されたコンタクトホールを介して接続した金属配線によって画素と周辺回路との電氣的接続を行う画素構造では、画素の集積度が低下するようになる。
- [0020] また、上述したように、図19に示されるSGTにおいても、P⁺型シリコ

ン拡散層 69 は平面状シリコン膜 67 が延長された部位で金属配線と接続される。このような P⁺型シリコン拡散層 69 と金属配線との接続による手段では、P⁺型シリコン拡散層 70 のように金属配線と短い距離で接続することができないので、金属配線と SGT のチャンネルに最も近接した P⁺型シリコン拡散層 69 の端部までに相当の電気抵抗が存在するようになる。このため、SGT を有する半導体装置において、更なる高速動作化を実現するには、この電気抵抗を低減することが必要になる。

[0021] 本発明は、上述した事情に鑑みてなされたものであり、高集積、高速動作が実現される半導体装置を提供することを目的とする。

課題を解決するための手段

[0022] 上記目的を達成するため、本発明の第 1 の観点に係る半導体装置の製造方法は、

半導体基板上の所定領域に第 1 の絶縁層を形成し、前記所定領域上の第 1 の絶縁層を除去することで、絶縁層除去領域を形成する第 1 絶縁層形成・除去工程、または、前記所定領域の周辺において、前記半導体基板を厚さ方向に一部除去し、当該半導体基板を除去した半導体基板除去領域に第 1 の絶縁層を形成する第 2 絶縁層形成・除去工程と、

少なくとも前記所定の領域を覆うように、前記半導体基板上にドナー不純物又はアクセプタ不純物を含む第 1 の半導体層を形成する第 1 半導体層形成工程と、

前記第 1 の半導体層上に導体層を形成する導体層形成工程と、

前記導体層及び前記第 1 の半導体層を所定の形状に成形する成形工程と、

前記所定の形状に成形した導体層及び第 1 の半導体層を覆うように、第 2 の絶縁層を形成する第 1 絶縁層形成工程と、

前記第 2 の絶縁層の表面を平坦化する平坦化工程と、

前記平坦化された前記第 2 の絶縁層の表面に、基板を接着する接着工程と、

、

前記半導体基板を所定の厚さまで薄くする薄膜化工程と、

前記第 1 の半導体層上に、前記半導体基板から柱状構造を有する柱状半導体を形成する柱状半導体形成工程と、

前記柱状半導体に回路素子を形成する回路素子形成工程と、を備え、

少なくとも前記第 1 半導体層形成工程以後に、前記ドナー不純物又はアクセプタ不純物を含む前記第 1 の半導体層から当該不純物を拡散させることで前記柱状半導体に第 1 の半導体領域を形成する第 1 半導体領域形成工程をさらに備える、

ことを特徴とする。

[0023] 前記回路素子形成工程は、

前記柱状半導体の外周部に第 3 の絶縁層を形成するとともに、前記第 3 の絶縁層の外周部にゲート導体層を形成する工程と、

前記ゲート導体層の上方部位かつ前記柱状半導体の表層部に、前記第 1 の半導体領域と同一導電型である第 4 の半導体領域を形成する工程と、

前記柱状半導体において、前記第 3 の絶縁層の上方部位に、前記第 1 の半導体領域と反対導電型の第 3 の半導体領域を形成する工程と、を含む、ことが好ましい。

[0024] 前記回路素子形成工程は、

前記柱状半導体の外周部に第 3 の絶縁層を形成するとともに、前記第 3 の絶縁層の外周部にゲート導体層を形成する工程と、

前記柱状半導体における前記第 3 の絶縁層の上方部位に、前記第 1 の半導体領域と同一導電型の第 5 の半導体領域を形成する工程と、を含む、ことが好ましい。

[0025] 前記回路素子形成工程は、

前記柱状半導体の上方部位に、前記第 1 の半導体領域と反対導電型の第 6 の半導体領域を形成する工程を含む、ことが好ましい。

[0026] 前記第 1 半導体層形成工程は、前記第 1 の半導体層と同層に、電気抵抗として機能する第 2 の半導体層を形成する工程を含む、ことが好ましい。

[0027] 前記第 1 半導体層形成工程は、容量電極として機能する前記第 1 の半導体

層上の所定の領域に容量絶縁膜として機能する絶縁膜を形成する工程を含み、

前記導体層形成工程は、前記絶縁膜上に、前記第 1 の半導体層と共に容量電極として機能する導体層を形成する工程を含む、ことが好ましい。

[0028] 前記第 1 絶縁層形成・除去工程は、前記半導体基板上に、第 1 の絶縁層と共に第 4 の絶縁層を形成するとともに、予め設定した容量形成領域に、前記第 4 の絶縁層よりも厚さが薄く、容量絶縁膜として機能する第 5 の絶縁層を形成する工程を含み、

前記導体層形成工程は、前記第 5 の絶縁層上に、容量電極として機能する導体層を形成する工程を含み、

前記第 1 及び第 2 絶縁層形成・除去工程は、前記容量形成領域に、ドナー不純物又はアクセプタ不純物を有し、容量電極として機能する不純物層を形成する容量形成工程を含む、ことが好ましい。

[0029] 前記半導体基板上にマスク合わせマーク形成領域を設定するマスク合わせマーク形成領域設定工程と、

前記マスク合わせマーク形成領域に、マスク合わせ孔を形成し、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導体層の少なくとも一つを露出させる工程と、

前記マスク合わせ孔を通して、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導体層の内の少なくとも一つからなるマスク合わせマークを形成するマスク合わせマーク形成工程と、

前記マスク合わせマークを基準として、フォトマスクのマスク合わせを行うマスク合わせ工程と、をさらに備える、ことが好ましい。

[0030] 前記マスク合わせ孔に透明絶縁体を埋め込む工程をさらに備え、

前記マスク合わせマーク形成工程では、前記透明絶縁体を通して、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導体層の内の少なくとも一つからなるマスク合わせマークを形成し、

前記マスク合わせ工程では、前記マスク合わせマークを基準として、フォ

トマスクのマスク合わせを行う、ことが好ましい。

[0031] 前記第 1 または第 2 絶縁層形成・除去工程と、前記第 1 半導体層形成工程との間に、前記絶縁層除去領域を覆うように、ドナー不純物及びアクセプタ不純物がドーピングされていない第 2 の半導体層を形成する工程をさらに備える、ことが好ましい。

[0032] 前記第 2 絶縁層形成・除去工程は、前記柱状半導体を形成する領域の周辺の前記半導体基板をエッチングする半導体基板エッチング工程と、

前記エッチングされた領域の前記半導体基板上に、前記第 1 の絶縁層を形成する工程と、

前記エッチングにより露出した前記半導体基板と、当該露出した半導体基板の周辺に位置する前記第 1 の絶縁層上に、前記第 1 の半導体層を形成する工程と、を含む、

ことが好ましい。

[0033] 前記第 2 絶縁層形成・除去工程は、前記柱状半導体を形成する領域の前記半導体基板の周辺の領域を選択的に酸化して前記第 1 の絶縁層としての選択酸化層を形成する工程を含む、

ことが好ましい。

[0034] 前記柱状半導体を形成する領域における前記半導体基板上に、少なくとも 2 つ以上の、互いに分離された前記第 1 の絶縁層を形成する領域を形成する工程と、

前記互いに分離された領域における前記第 1 の絶縁層で囲まれ、かつ、露出した前記半導体基板の表面上に、互いに分離され、ドナーまたはアクセプタがドーピングされた複数の前記第 1 の半導体層と、前記第 1 の半導体層に接続された前記導体層と、を形成する工程を含む、

ことが好ましい。

[0035] 本発明の第 2 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対導電型の半導体又は真性半導体からなる第 2 の半導体領域を備え、

前記第 2 の半導体領域と前記第 4 の半導体領域とから電磁エネルギー波の照射により発生する信号電荷を蓄積するダイオードが形成され、

前記ダイオードがゲートとして機能し、前記第 1 の半導体領域と前記第 3 の半導体領域のいずれか一方がソース、他方がドレインとしてそれぞれ機能し、かつ、前記第 2 の半導体領域に形成されたチャネルを流れるとともに前記ダイオードに蓄積された信号電荷量に応じて変化する電流を信号取り出し手段によって取り出し可能とされた接合電界効果トランジスタが形成され、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半導体領域及び前記第 4 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタによって、前記ゲート導体層に電圧が印加されることで、前記ダイオードに蓄積された信号電荷を前記第 1 の半導体領域に除去する信号電荷除去手段が形成されている、ことを特徴とする。

[0036] 本発明の第 3 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対導電型又は真性半導体からなる第 2 の半導体領域を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半導体領域及び前記第 5 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタが形成されている、ことを特徴とする。

[0037] 本発明の第 4 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第 1 の半導体領域と第 6 の半導体領域との間に、前記第 1 の半導体領域と反対導電型又は真性半導体からなる第 2 の半導体領域を備え、

前記第 2 の半導体領域と、前記第 6 の半導体領域と、からダイオードが形

成されている、ことを特徴とする。

[0038] 本発明の第5の観点に係る半導体装置は、本発明の第1の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第1の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体は、前記第1の半導体領域にアクセプタ不純物がドーピングされている複数の第1の柱状半導体と、前記第1の半導体領域にドナー不純物がドーピングされている複数の第2の柱状半導体とからなる、ことを特徴とする。

[0039] 本発明の第6の観点に係る半導体装置は、本発明の第1の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第1の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体における、複数の前記第1の半導体領域、及び、複数の前記導体層の内の両方、又は、一方が互いに接続されている、ことを特徴とする。

[0040] 本発明の第7の観点に係る半導体装置は、本発明の第1の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第1の半導体層上に複数の前記柱状半導体が形成されており、

前記各柱状半導体は、

前記第1の半導体領域上に形成された当該第1の半導体領域と反対導電型の半導体又は真性半導体からなる第2の半導体領域と、

前記第2の半導体領域上に形成された第5の半導体領域と、

前記第2の半導体領域の外周部に形成された第3の絶縁層と、

前記第3の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第1の半導体領域及び前記第5の半導体領域の一方がソースとして機能し、他方がドレインとして機能するMOSトランジスタが形成され、

前記第1の半導体層は、前記複数の柱状半導体に亘って連続して繋がるように形成されているとともに、前記繋がるように形成された前記第1の半導

体層は、絶縁層に形成されたコンタクトホールを介して、外部回路に接続するための配線層に接続されている、ことを特徴とする。

[0041] 本発明の第 8 の観点に係る半導体装置は、本発明の第 1 の観点に係る半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、

前記各柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対導電型の半導体又は真性半導体からなる第 2 の半導体領域と、

前記第 2 の半導体領域上に形成された第 5 の半導体領域と、

前記第 2 の半導体領域の外周部に形成された第 3 の絶縁層と、

前記第 3 の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半導体領域及び前記第 5 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタが形成され、

前記第 1 の半導体層は、前記複数の柱状半導体に亘って連続して繋がるように形成されているとともに、前記第 1 の半導体層は、絶縁層に形成されたコンタクトホールを介して、所定のトランジスタのゲートに接続するための配線層に接続されていることを特徴とする。

発明の効果

[0042] 本発明によれば、高集積化、高速動作化が実現される半導体装置を提供することができる。

図面の簡単な説明

[0043] [図1A]本発明の第 1 実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1B]第 1 実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1C]第 1 実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1D]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1E]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1F]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1G]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1H]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1I]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1J]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1K]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図1L]第1実施形態に係る固体撮像装置の製造方法を説明するための断面図である。

[図2]本発明の第2実施形態に係るNチャネル型SGTの構造を示す断面図である。

[図3A]本発明の第3実施形態に係る、Nチャネル型SGTとPチャネル型SGTとを同一基板上に形成する方法を説明するための断面図である。

[図3B]第3実施形態に係る、Nチャネル型SGTとPチャネル型SGTとを同一基板上に形成する方法を説明するための断面図である。

[図4]本発明の第4実施形態に係る、複数のSGTが金属配線層で接続される構造を有する半導体装置の製造方法を説明するための断面図である。

[図5A]本発明の第5実施形態に係る、半導体装置に電気抵抗を形成する方法を説明するための断面図である。

[図5B]第5実施形態に係る、半導体装置に電気抵抗を形成する方法を説明するための断面図である。

[図5C]第5実施形態に係る、半導体装置に電気抵抗を形成する方法を説明するための断面図である。

[図6A]本発明の第6実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図6B]第6実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図6C]第6実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図7A]本発明の第7実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図7B]第7実施形態に係る、半導体装置に容量を形成する方法を説明するための断面図である。

[図8A]本発明の第8実施形態に係る、半導体装置にダイオードを形成する方法を説明するための断面図である。

[図8B]第8実施形態に係る、半導体装置にダイオードを形成する方法を説明するための断面図である。

[図8C]第8実施形態の変形例に係る、半導体装置にP I Nダイオードを形成する方法を説明するための断面図である。

[図9A]本発明の第9実施形態に係るC M O Sインバータ回路を説明するための回路図である。

[図9B]第9実施形態に係るC M O Sインバータ回路を説明するための回路平面配置図である。

[図9C]第9実施形態に係る、半導体装置にC M O Sインバータ回路を形成する方法を説明するための断面図である。

[図10A]本発明の第10実施形態に係る、2段構造のC M O Sインバータ回路を説明するための回路図である。

[図10B]第10実施形態に係る、2段構造のCMOSインバータ回路を説明するための回路平面配置図である。

[図10C]第10実施形態に係る、2段構造のCMOSインバータ回路を形成する方法を説明するための断面図である。

[図11A]本発明の第11実施形態に係る、シリコン柱の位置精度を高める方法を説明するための断面図である。

[図11B]第11実施形態に係る、半導体基板にマスク合わせマークを形成する方法を説明するための断面図である。

[図12]第11実施形態の変形例に係る、シリコン柱の位置精度を高める製造方法を説明するための断面図である。

[図13A]本発明の第12実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図13B]第12実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図14A]本発明の第13実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図14B]第13実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図15A]第13実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図15B]第13実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図16A]第14実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図16B]第14実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図16C]第14実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図17]従来例の固体撮像装置の画素の構造を示す断面図である。

[図18A]従来例の固体撮像装置を高速動作させる画素の断面図である。

[図18B]従来例の固体撮像装置を高速動作させる画素を得るための半導体基板の接着工程を説明するための図である。

[図19]従来例のSGTを有する画素の断面図である。

発明を実施するための形態

[0044] 以下、本発明の実施形態に係る半導体装置の製造方法について、図1A～図16Cを参照しながら説明する。

[0045] (第1実施形態)

図1A～図1Lに、本発明の第1実施形態に係る、固体撮像装置の製造方法を示す。

本実施形態に係る固体撮像装置の製造方法においては、図1Aに示されるように、P型シリコンからなる第1の半導体基板1の所定の深さに、高濃度水素イオン(H⁺)をイオンドープすることによって、第1の半導体基板1を上下の2つの部分に分離するための分離層2を形成する(非特許文献2参照)。また、第1の半導体基板1上に、熱酸化又はCVD(Chemical Vapor Deposition)法によって、絶縁膜である第1酸化シリコン層3を形成する。なお、第1の半導体基板1は、P型シリコンの代わりに、実質的に不純物を含まない真性半導体(i型シリコン)であってもよい。

[0046] 続いて、図1Bに示されるように、第1酸化シリコン層3において、固体撮像装置の信号線用ドレインが形成される部分に相当する酸化シリコン(SiO₂)を除去することで酸化シリコン除去領域48(図11A、図13A参照)である孔4を形成する。

[0047] 続いて、図1Bに示されるように、この孔4を覆うように、第1酸化シリコン層3及び第1の半導体基板1の上に、CVD法によって多結晶シリコン層5を形成する。

[0048] 続いて、図1Cに示されるように、この多結晶シリコン層5に、リン(P)又はヒ素(As)などのドナー不純物をイオンドープすることで、第1の

半導体基板 1 及び第 1 酸化シリコン層 3 上に、固体撮像装置の信号線となる N⁺多結晶シリコン層 5 a を形成する。

[0049] 続いて、図 1 D に示されるように、N⁺多結晶シリコン層 5 a 上に、蒸着法又は C V D 法によって、タングステン (W)、タングステン・シリサイド (W S i)、ニッケル (N i)、ニッケルシリサイド (N i S i) などからなる単層、又は、これらの層が複数積層されてなる金属層 7 を形成する。

[0050] 続いて、図 1 E に示されるように、マスクを用いたエッチング処理によって、N⁺多結晶シリコン層 5 a 及び金属層 7 において孔 4 を埋め込んでいる部分が残存するように、N⁺多結晶シリコン層 5 a 及び金属層 7 を所定の形状に成形する。この N⁺多結晶シリコン層 5 a 上には、固体撮像装置の画素における接合電界効果トランジスタのソース又はドレインが形成される。

[0051] 続いて、図 1 F に示されるように、N⁺多結晶シリコン層 5 a、金属層 7 及び第 1 酸化シリコン層 3 を覆うように、C V D 法によって絶縁膜である第 2 酸化シリコン層 8 を形成する。そして、その第 2 酸化シリコン層 8 の表面を C M P (Chemical Mechanical Polishing; 化学機械的研磨) によって平坦化する。

[0052] 続いて、図 1 G に示されるように、シリコン (S i) からなり、表面が平坦化された第 2 半導体基板 9 を用意し、その第 2 半導体基板 9 の平坦化された表面と第 2 酸化シリコン層 8 の平坦化された表面同士を圧着によって接着する。この接着処理では、互いの熱膨張率の差異が小さい、第 2 半導体基板 9 におけるシリコン層と、第 2 酸化シリコン層 8 におけるシリコン層とが互いに接着されるので、両接着部材の熱膨張係数の異なりによる、ソリ、クラック、ハガレが発生しにくい積層構造が得られる。

[0053] 続いて、図 1 H に示されるように、4 0 0 ~ 6 0 0 °C の熱処理によって、第 1 の半導体基板 1 において、分離層 2 を境界として下方の部分を除去して第 1 の半導体基板 1 を所定の厚さまで薄くする (図 1 H では、図 1 A ~ 図 1 G と図面の上下関係を反転表示している。)。ここで、N⁺多結晶シリコン層 5 a は、図 1 4 に示される N⁺型シリコン層 5 1 に対応するものであり、本実

施形態では、N⁺多結晶シリコン層5 aには、その全ての形成領域に亘って金属層7が接合されている。

[0054] 続いて、図1 Iに示されるように、第1の半導体基板1において、N⁺多結晶シリコン層5 aの直上領域のシリコン層が残存するように、当該直上領域におけるシリコン層以外の領域のシリコン層をエッチングによって除去する。これにより、柱状構造を有するシリコン(Si)柱1 aを形成する。このシリコン柱1 aは、図1 K、図1 Lなどに示されるP型シリコン層3 0となる。

[0055] 続いて、図1 Jに示されるように、熱処理を行い、N⁺多結晶シリコン層5 aからシリコン柱1 aにドナー不純物を熱拡散させ、シリコン柱1 aの下方部分にN⁺拡散層6 aを形成する。

[0056] 続いて、図1 Kに示されるように、熱酸化を行い、シリコン柱1 aの外周部に、絶縁体である第3酸化シリコン層1 0 a、1 0 bを形成する。さらに、蒸着法又はCVD法によって、第3酸化シリコン層1 0 a、1 0 bの外周部にゲート導体層1 1 a、1 1 bを形成する。

[0057] 続いて、図1 Kに示されるように、ゲート導体層1 1 a、1 1 bの上方部位かつシリコン柱1 aの表層部に、リン(P)やヒ素(As)などのドナー不純物をイオンドーピングすることでN型シリコン層1 2 a、1 2 bを形成する。このN型シリコン層1 2 a、1 2 bと、シリコン柱1 aのP型シリコン層3 0とから、入射した光に応じた信号電荷(この場合は電子)を蓄積する信号電荷蓄積手段としてのフォトダイオードが形成される。信号電荷は、N⁺拡散層6 aとP⁺型シリコン層1 3 aとの間におけるシリコン柱1 a(P型シリコン層3 0)に蓄積される。

[0058] 続いて、図1 Kに示されるように、シリコン柱1 aにおいて、第3酸化シリコン層1 0 a、1 0 bの上方部位に、ボロン(B)などのアクセプタ不純物をイオンドーピングすることによって、P⁺型シリコン層1 3 aを形成する。そして、このP⁺型シリコン層1 3 aを画素選択金属配線1 4 a、1 4 bに電氣的に接続する。

- [0059] また、図 1 L に示されるように、固体撮像装置の画素を構成するシリコン柱 1 a に隣接し、別の画素を構成するシリコン柱 1 b の外周部に、熱酸化によって、絶縁体である第 3 酸化シリコン層 1 0 c、1 0 d を形成する。このシリコン柱 1 b は、シリコン柱 1 a と同様に、図 1 A ～図 1 K に示される工程で形成されたものである。
- [0060] 続いて、図 1 L に示されるように、第 3 酸化シリコン層 1 0 c、1 0 d の外周部に、蒸着法又は C V D 法によって、ゲート導体層 1 1 c、1 1 d を形成する。
- [0061] 続いて、図 1 L に示されるように、ゲート導体層 1 1 c、1 1 d の上方部位かつシリコン柱 1 a の表層部に、リン (P) やヒ素 (A s) などのドナー不純物をイオンドーピングすることで N 型シリコン層 1 2 c、1 2 d を形成する。この N 型シリコン層 1 2 c、1 2 d と、シリコン柱 1 b と、によって、入射した光に応じた信号電荷（この場合は電子）を蓄積する信号電荷蓄積手段としてのフォトダイオードが形成される。信号電荷は、N⁺拡散層 6 a b と P⁺型シリコン層 1 3 b との間におけるシリコン柱 1 b (P 型シリコン層 3 0) に蓄積される。
- [0062] 続いて、図 1 L に示されるように、シリコン柱 1 a において、第 3 酸化シリコン層 1 0 c、1 0 d の上方部位に、ボロン (B) などのアクセプタ不純物をシリコン柱 1 b にイオンドーピングすることによって、P⁺型シリコン層 1 3 b を形成する。
- そして、この P⁺型シリコン層 1 3 a、1 3 b を画素選択金属配線 1 4 c、1 4 d に電氣的に接続する。以上の工程により、固体撮像装置における複数の画素が形成される。
- [0063] なお、本実施形態では、図 1 J に示される工程において、熱処理によって、シリコン柱 1 a 内の N⁺拡散層 6 a は、N⁺多結晶シリコン層 5 a からシリコン柱 1 a にドナー不純物を熱拡散させることで形成した。これに限られず、N⁺拡散層 6 a は、図 1 C に示される N⁺多結晶シリコン層 5 a が形成された後の任意の段階における熱処理によって、N⁺多結晶シリコン層 5 a から第

1の半導体基板1内にドナー不純物を拡散させることで形成することもできる。即ち、図1Cに示される、N⁺多結晶シリコン層5aを形成した工程以後に、ドナー不純物を含むN⁺多結晶シリコン層5aから当該不純物を拡散させることでシリコン柱1aにN⁺拡散層6aを形成することもできる。例えば、N⁺拡散層6aは、図1Kで示す段階において、シリコン柱1a（P型シリコン層30）を形成した後に形成してもよい。さらに、このようなN⁺拡散層6aを形成するための熱処理は、1回のみでもよいし、複数回に分けて行うこともできる。

[0064] 以上の図1A～図1Lに示される工程によって、本実施形態に係る固体撮像装置が形成される。また、各シリコン柱1a、1bには、固体撮像装置の画素が形成される。

[0065] 本実施形態では、図1Lを参照して、シリコン柱1a、1bの下方に形成され、互いに接合されているN⁺多結晶シリコン層5a及び金属層7は、固体撮像装置の信号線を構成するとともに、2つのシリコン柱1a、1bにおけるN⁺拡散層6a、6abを互いに電氣的に接続している。これにより、N⁺多結晶シリコン層5a及び金属層7から構成される信号線が低電気抵抗化され、固体撮像装置の高速駆動化が実現される。

[0066] 本実施形態では、シリコン柱1a、1b内において、接合電界効果トランジスタが形成されている。この接合電界効果トランジスタでは、N型シリコン層12a、12b（12c、12d）及びP型シリコン層30によって構成されるフォトダイオードがゲート、P⁺型シリコン層13a、13bがドレイン、N⁺拡散層6a、6abがソースとしてそれぞれ機能する。そして、シリコン柱1a、1b内には、この接合電界効果トランジスタのチャンネルが形成されている。

[0067] また、本実施形態では、接合電界効果トランジスタによってシリコン柱1a、1b内のチャンネルを流れるとともに、上記フォトダイオードに蓄積された信号電荷量に応じて変化する電流を電気信号として取り出す信号取り出し手段としての外部回路（図示せず）が設けられている。

- [0068] さらに、図1Lに示すシリコン柱1a、1bには、上記フォトダイオードに蓄積された信号電荷を、N⁺拡散層6a、6abに除去する信号電荷除去手段としてのMOSトランジスタが形成されている。
- [0069] このMOSトランジスタでは、シリコン柱1a、1bを囲むように、第3酸化シリコン層10a、10b、10c、10dの外周面に形成されたゲート導体層11a、11b、11c、11dがゲート、N⁺拡散層6a、6abがドレイン、N型シリコン層12a、12b、12c、12dがソースとしてそれぞれ機能する。そして、P型シリコン層30内には、このMOSトランジスタのチャンネルが形成される。
- [0070] 本実施形態では、図1Gに示されるように、第2半導体基板9のシリコン層と、第1の半導体基板1上の第2酸化シリコン層8とが、平坦化された互いの表面同士で接着される。このように本実施形態では、第1の半導体基板1（第2酸化シリコン層8）と第2半導体基板9との接着が、第1の半導体基板1と第2半導体基板9の全面において、接着の親和性が高いSi（シリコン）面とSiO₂（酸化シリコン）面との間で行われるので、ソリ、クラック、ハガレが発生しにくい積層構造が得られる。
- [0071] また、本実施形態では、固体撮像装置の画素において信号線を構成するN⁺多結晶シリコン層5aには金属層7が接合されている。このN⁺多結晶シリコン層5aと金属層7は、図1Kに至る工程での熱処理または追加の熱処理により、N⁺多結晶シリコン層5aと金属層7との反応によりシリサイド層となってもよい。これらいずれの場合でも、N⁺多結晶シリコン層5aと金属層7、またはこれらのシリサイド層は低抵抗化されているので、画素と当該画素の周辺回路との間の電気抵抗を下げることができる。これにより、従来例の固体撮像装置と比較して、画素数の増加、又は単位時間あたりの読出し画面数の増加に際しても、固体撮像装置の高速動作化が実現できる。
- [0072] また、本実施形態では、図1Kを参照して、P型シリコン層30とN型シリコン層12a、12bとから構成されるPN接合部（フォトダイオード）と、P型シリコン層30とN⁺拡散層6aとから構成されるPN接合部は、い

ずれも単結晶シリコンからなるシリコン柱 1 a 内に形成される。このように P N 接合部が単結晶シリコン内で形成されるため、リーク電流が低い固体撮像装置の画素が構成される。

[0073] さらに、本実施形態では、画素を構成するシリコン柱 1 a、1 b（図 1 L 参照）の上方部から入射した光は、光電変換領域であるシリコン柱 1 a に到達し、金属層 7 で反射されるので、シリコン柱 1 a 内での光路長が増加し、固体撮像装置の感度向上が実現される。また、本実施形態では、シリコン柱 1 a、1 b の高さを低くしても、従来例と同じ感度を得ることができるので、従来例と同じ感度を得ながら固体撮像装置の製造が容易になる効果も得られる。

[0074] なお、本実施形態においては、図 1 B に示されるように、第 1 酸化シリコン層 3 及び第 1 の半導体基板 1 上に、孔 4 を埋め込む（覆う）ように、C V D 法によって、N⁺多結晶シリコン層 5 a となる多結晶シリコン層 5 を形成した。このように C V D 法によって多結晶シリコン層 5 を形成する代わりに、エピタキシャル成長により単結晶シリコン層を形成してもよい。エピタキシャル成長を用いる場合には、第 1 酸化シリコン層 3 上にも単結晶シリコン層を形成することができるので、その後、図 1 C ～図 1 K に示される工程と同様にして固体撮像装置を形成することができる。

[0075] また、図 1 H においては、第 1 の半導体基板 1 において、分離層 2 を境界とし、400～600℃の熱処理によって下方の部分を除去することで、第 1 の半導体基板 1 を所定の厚さまで薄くした。これに限られず、第 1 の半導体基板 1 の薄膜化は、第 1 の半導体基板 1 として、P⁺型基板と、この P⁺型基板にエピタキシャル成長で形成した P 型シリコン層とから構成される基板を用いて、エッチングと C M P によって行うこともできる。

[0076] （第 2 実施形態）

以下、図 2 を参照して、本発明の第 2 実施形態に係る、S G T（Surrounding Gate Transistor）を有する半導体装置の製造方法を説明する。

本実施形態では、第 1 実施形態の図 1 A ～図 1 L で示される工程において

、図1A～図1Jで示される工程までは、図1Jにおいて信号線を構成するN⁺多結晶シリコン層5aを、SGTにおいてドレインとして機能するN⁺多結晶シリコン層55aに置き換えるものとする。第1実施形態（図1J参照）と同様に、N⁺多結晶シリコン層55aには金属層7が接合されており、N⁺多結晶シリコン層55aからのドナー不純物の熱拡散によってシリコン柱1a内にN⁺拡散層6aが形成されている。

[0077] 本実施形態では、図1Jに続いて、図2に示される工程において、酸化法又はCVD法によって、シリコン柱1aの外周部にゲート絶縁層15a、15bを形成するとともに、ゲート絶縁層15a、15bの外周部に、SGTのゲートとして機能するゲート導体層16a、16bを形成する。

[0078] 続いて、シリコン柱1aにおいて、ゲート導体層16a、16bの上方部位に、リン（P）やヒ素（As）などのドナー不純物をイオンドーピングすることによって、SGTのソースとして機能するN⁺型シリコン層17aを形成する。

[0079] 続いて、そのN⁺型シリコン層17a上に、蒸着法とパターンエッチングによって金属配線層18aを形成する。

以上により、第2半導体基板9上にNチャネル型SGTが形成される。ここで、N⁺拡散層6a、N⁺多結晶シリコン層55aは、Nチャネル型SGTにおいてソースまたはドレインとして機能する。

[0080] 本実施形態によれば、SGT（Nチャネル型SGT）において、ドレインとして機能するN⁺多結晶シリコン層55aの裏面全体に金属層7が接合されている。この構成により、金属層7からN⁺拡散層6aまでの電気抵抗が低減するので、高速動作化が実現されたSGTが得られる。

[0081] （第3実施形態）

以下、図3A、図3Bを参照して、本発明の第3実施形態に係る、SGTを有する半導体装置の製造方法を説明する。本実施形態では、Nチャネル型SGTとPチャネル型SGTとを同一の半導体基板上に形成する。本実施形態及びその変形例における半導体装置の製造工程は、以下に特に説明する場

合を除いて、第1実施形態と同様である。

[0082] 本実施形態では、図3A、図3Bを参照して、第1の半導体基板1上において、Nチャネル型SGT形成領域1nにはNチャネル型SGT、Pチャネル型SGT形成領域1pにはPチャネル型SGTをそれぞれ形成する。

Nチャネル型SGT形成領域1nにおけるNチャネル型SGTは、第1実施形態の図1A～図1J、第2実施形態の図2に示される工程と同様にして形成する。

[0083] 一方、Pチャネル型SGT形成領域1pにおけるPチャネル型SGTは、第1実施形態の図1A～図1J、第2実施形態の図2に示される工程と同様にして形成する。但し、図1Cに対応する工程では、Nチャネル型SGTのドレインとして機能するN⁺多結晶シリコン層55aを形成する代わりに、Pチャネル型SGT形成領域1pにおける多結晶シリコン層5に、ボロン(B)などのアクセプタ不純物をイオンドーピングすることによって、Pチャネル型SGTのソースとして機能するP⁺拡散層6a、P⁺多結晶シリコン層55bを形成する。

[0084] 続いて、図1D～図1Jに対応する工程、図2に対応する工程を経て、図3Bに示されるように、シリコン柱1aによって構成されるNチャネル型SGTと、シリコン柱1bによって構成されるPチャネル型SGTとが形成される。なお、シリコン柱1bでは、Pチャネル型SGTのシリコン柱1b(P型シリコン)に、リン(P)やヒ素(As)などのドナー不純物をイオンドーピングすることでN型シリコン層30aを形成する。

[0085] ここで、図1Jに対応する工程では、熱処理によって、シリコン柱1a、1b中にN⁺多結晶シリコン層55a、P⁺多結晶シリコン層55bからドナー不純物、アクセプタ不純物をそれぞれ熱拡散させ、N⁺拡散層6a、P⁺拡散層6bを形成する。

[0086] また、図2に対応する工程では、熱酸化又はCVD法によって、シリコン柱1a、1bの外周部に、ゲート絶縁層15a、15b、15c、15dを形成するとともに、ゲート絶縁層15a、15b、15c、15dの外周部

に、CVD法によってゲート導体層16a、16b、16c、16dを形成する（図3B参照）。

[0087] そして、図3Bに示される工程では、シリコン柱1a、1bにおいて、ゲート導体層16a、16b、16c、16dの上方部位に、ドナー不純物、アクセプタ不純物をそれぞれイオンドーピングすることによって、Nチャネル型SGTのソースまたはドレインとして機能するN⁺型シリコン層17a、Pチャネル型SGTのソースまたはドレインとして機能するP⁺型シリコン層17bをそれぞれ形成する。

[0088] 続いて、図3Bに示される工程において、Nチャネル型SGTにおけるN⁺型シリコン層17a、Pチャネル型SGTにおけるP⁺型シリコン層17bに電氣的に接続されるように、例えば蒸着法及びエッチングによって金属配線層18a、18bを形成する。

以上により、第2半導体基板9上にNチャネル型SGT及びPチャネル型SGTが形成される。

[0089] 本実施形態では、Nチャネル型SGTにおけるシリコン柱1a内のN⁺多結晶シリコン層55a及びN⁺拡散層6aと、N⁺型シリコン層17aとは、いずれか一方がドレインであれば、他方はソースとして機能する。また、Pチャネル型SGTにおけるシリコン柱1b内のP⁺多結晶シリコン層55b及びP⁺拡散層6bと、P⁺型シリコン層17bとは、いずれか一方がドレインであれば、他方はソースとして機能する。

本実施形態によれば、第2半導体基板9上に、Nチャネル型SGTとPチャネル型SGTとを容易に形成することができる。

[0090] 本実施形態では、Nチャネル型SGTのシリコン柱1a（P型シリコン層30）を形成した後、Pチャネル型SGTのシリコン柱1b（P型シリコン）に、リン（P）やヒ素（As）などのドナー不純物をイオンドーピングすることでN型シリコン層30aを形成した。これに限られず、本実施形態の変形例として、図1Aにおける第1の半導体基板1を、P型シリコンに代えて、不純物がドーピングされていない真性半導体であるi型シリコンとし、図1

I に対応する工程においては、Nチャネル型SGTにおけるシリコン柱1aにはボロン(B)などのアクセプタ不純物をイオンドーピングしてP型シリコン層30を形成するとともに、Pチャネル型SGTにおけるシリコン柱1aには、リン(P)やヒ素(As)などのドナー不純物をイオンドーピングすることでN型シリコン層30aを形成することも可能である。

[0091] また、本実施形態では、シリコン柱1a、1bのいずれにも真性半導体を用い、シリコン柱1a、1b内部の真性半導体をNチャネル型、Pチャネル型SGTのチャネルとしても良い。

[0092] (第4実施形態)

以下、図4を参照して、本発明の第4実施形態に係る、複数のSGTを有する半導体装置の製造方法を説明する。

本実施形態では、第3実施形態と同様にして、Nチャネル型SGT形成領域1nにはNチャネル型SGT、Pチャネル型SGT形成領域1pにはPチャネル型SGTをそれぞれ形成する(図3A、図3B参照)。

[0093] 本実施形態では、第1及び第3実施形態とほぼ同様にして、Nチャネル型SGTとPチャネル型SGTとを、同一の半導体基板である第2半導体基板9上に形成する(図1A～図1J、図3A、図3B参照)。但し、図1Eに対応する工程では、図4に示されるように、複数のNチャネル型SGT、Pチャネル型SGTにおいて、ソースとして機能するN⁺多結晶シリコン層55a、ドレインとして機能するP⁺多結晶シリコン層55b同士を金属層7aa、7bbを延長することで電氣的に接続する。

[0094] 即ち、本実施形態では、図1Dに対応する工程において、N⁺多結晶シリコン層55a、P⁺多結晶シリコン層55bとなるシリコン層を覆うように、蒸着法とエッチングによって金属層7を形成する。そして、エッチングによって、金属層7、N⁺多結晶シリコン層55a及びP⁺多結晶シリコン層55bを、所定の形状に成形する。これにより、図4に示されるように、N⁺多結晶シリコン層55a、P⁺多結晶シリコン層55b、第1接続用金属層7a、7bをそれぞれ形成する。

- [0095] 本実施形態では、図3Bに対応する工程に続いて、図4を参照して、第1接続用金属層7a上に酸化シリコン層20を形成し、当該酸化シリコン層20にコンタクトホール21cを形成する。次に、コンタクトホール21c及び第1接続用金属層7aを介して、N⁺多結晶シリコン層55a及びP⁺多結晶シリコン層55bと、酸化シリコン層20の上部に形成された外部金属配線層22cとを接続する。
- [0096] また、本実施形態の図4では、Nチャネル型SGTのN⁺多結晶シリコン層55a、Pチャネル型SGTのP⁺多結晶シリコン層55bの裏面全体にそれぞれ金属層7aa、7bbが接合されている。そして、複数のシリコン柱1a、1bにおいて、N⁺拡散層6a、6b、及び、複数の金属層7aa、7bbが互いに接続されている。
- [0097] なお、本実施形態において、図4では、N⁺拡散層6a、N⁺多結晶シリコン層55aがNチャネル型SGTのソースまたはドレイン、P⁺多結晶シリコン層55bがPチャネル型SGTのソースまたはドレインとしてそれぞれ機能する。
- [0098] 上述したように、本実施形態によれば、複数のSGTにおいて、N⁺多結晶シリコン層55a、P⁺多結晶シリコン層55bによって構成されるソース、ドレイン同士が、酸化シリコン層20の上表面において金属配線層22a、22b、22cが形成されている領域にコンタクトホールなどを介して引き出された上で互いに接続されることなく、第1接続用金属層7aを延長することで互いに電氣的に接続される。これによりSGTを有する回路素子の集積度を高めることができる。
- [0099] また、本実施形態に係る半導体装置の製造方法は、固体撮像装置の製造方法に適用することができる。この場合、例えば、非特許文献1に記載されている複数の画素信号を1個の増幅用のMOSトランジスタで読み出す構成の固体撮像装置において、各画素におけるドレイン同士を互いに第1接続用金属層7aで接続する。この場合も、各画素のドレイン、ソースは、コンタクトホールなどを介して上層部の別の金属配線に接続させた上で互いに接続す

る必要がない。このため、固体撮像装置の画素の更なる高集積化が実現される。

[0100] (第5実施形態)

以下、図5A～図5Cを参照して、本発明の第5実施形態に係る、半導体装置に電気抵抗を形成する方法を説明する。本実施形態及びその変形例における半導体装置の製造工程は、以下に特に説明する場合を除いて、第1実施形態と同様である。

本実施形態では、図1Bに示される、第1の半導体基板1上に形成された多結晶シリコン層5を用いることで、半導体装置の回路素子である電気抵抗を形成する。

[0101] 本実施形態では、図1Aに示される工程では、第1の半導体基板1の所定の深さに、この第1の半導体基板1を上下の2つの部分に分離するための分離層2を形成するとともに、第1の半導体基板1上に、絶縁体である第1酸化シリコン層3を形成する。

[0102] 続いて、図1Bに示される工程では、その第1酸化シリコン層3上に多結晶シリコン層5を形成し、図1Cに示される工程では、この多結晶シリコン層5に、リン(P)又はヒ素(As)などのドナー不純物をイオンドープすることで、N⁺多結晶シリコン層5aを形成する。

[0103] 本実施形態では、図1B、図1Cに示される工程において、図5Aに示されるように、第1酸化シリコン層3上の多結晶シリコン層5の所定領域に、リン(P)又はヒ素(As)などのドナー不純物を所定の濃度でイオンドープすることでN⁺多結晶シリコン層23a、23bを形成する。このN⁺多結晶シリコン層23a、23b、ドナー不純物がイオンドープされていない多結晶シリコン層23c、あるいは所定の不純物がドーパされた多結晶シリコン層23によって、多結晶シリコン層5の所定領域(多結晶シリコン層23)における電気抵抗値が低下し、電気抵抗が形成される。このように、N⁺多結晶シリコン層23a、23b、多結晶シリコン層23は、N⁺多結晶シリコン層5a(図1C参照)と同様に、多結晶シリコン層5(図1B参照)から

形成されるので、N⁺多結晶シリコン層5 aと同層に位置する。

[0104] 続いて、図1 Dに示される工程では、N⁺多結晶シリコン層2 3 a、2 3 b上に、金属層7と同層に位置する金属配線層2 4 a、2 4 bを、金属層7と同様に形成する。

[0105] 本実施形態によれば、多結晶シリコン層5の所定領域に、所定の濃度のドナー不純物をイオンドープすることで、所定の電気抵抗値を有するN⁺多結晶シリコン層2 3 a、2 3 b、多結晶シリコン層2 3が形成される。また、N⁺多結晶シリコン層2 3 a、2 3 b、多結晶シリコン層2 3は、N⁺多結晶シリコン層5 aと同層に形成される。これにより、同一の半導体基板上に、固体撮像装置、SGTなどの半導体装置と共に電気抵抗（回路素子）を作成することができるだけでなく、製造工程が簡略化されるようになる。

[0106] また、本実施形態では、図5 Bを参照して、図1 Bに示される工程で多結晶シリコン層2 5を形成し、エッチングによって所定の形状とした後、蒸着法又はCVD法によって、その多結晶シリコン層2 5に接続する金属配線層2 6 a、2 6 bを形成する。このようにして、多結晶シリコン層2 5によっても半導体装置における電気抵抗が形成される。

[0107] また、本実施形態の変形例では、図5 Cを参照して、第2半導体基板9上に第2酸化シリコン層8を形成し、その第2酸化シリコン層8上に、上述した方法によってN⁺多結晶シリコン層2 3 a、2 3 b及び多結晶シリコン層2 3を形成する。その後、N⁺多結晶シリコン層2 3 a、2 3 b及び多結晶シリコン層2 3上に第1酸化シリコン層3を形成し、その第1酸化シリコン層3上に、酸化シリコン層2 0（図4参照）を形成することも可能である。なお、図5 Cでは、N⁺多結晶シリコン層2 3 a、2 3 b及び多結晶シリコン層2 3から図5 Aに示される電気抵抗が形成されている。

[0108] また、本実施形態及び図5 Cに示される変形例では、図4を参照して、第1酸化シリコン層3上には、SGTを有する回路素子又は金属配線が形成されている。

さらに、図5 Cに示される変形例では、電気抵抗を構成する多結晶シリコ

ン層 2 3 は、絶縁体である第 1 酸化シリコン層 3 の下方に形成されている。

[0109] 本変形例によれば、図 5 C に示されるように、 SiO_2 層（第 1 酸化シリコン層 3）の上下において、電気抵抗を構成する多結晶シリコン層 2 3 と重なるように、図 4 に示される回路素子の金属配線層 2 2 a、2 2 b、2 2 c を形成することができる。これによって、電気抵抗を有する半導体装置（回路素子）の更なる高集積化が実現される。

[0110] （第 6 実施形態）

以下、図 6 A ～図 6 C を参照して、本発明の第 6 実施形態に係る、半導体装置に容量を形成する方法を説明する。本実施形態における半導体装置の製造工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

本実施形態では、図 1 B に示される、第 1 の半導体基板 1 上に形成された多結晶シリコン層 5 を用いることで、半導体装置の回路素子である容量を形成する。

[0111] 本実施形態では、図 1 A に示される工程では、第 1 の半導体基板 1 の所定の深さに、この第 1 の半導体基板 1 を上下の 2 つの部分に分離するための分離層 2 を形成するとともに、第 1 の半導体基板 1 上に、絶縁体である第 1 酸化シリコン層 3 を形成する。

[0112] 続いて、図 1 B に示される工程では、その第 1 酸化シリコン層 3 上に多結晶シリコン層 5 を形成し、図 1 C に示される工程では、この多結晶シリコン層 5 に、リン（P）又はヒ素（As）などのドナー不純物をイオンドープすることで、 N^+ 多結晶シリコン層 5 a を形成する。

[0113] ここで、図 1 C に示される工程に続いては、図 6 A を参照して、熱酸化又は CVD 法によって、 N^+ 多結晶シリコン層 5 a の表層部に容量酸化シリコン層 2 7 を形成する。

[0114] 続いて、図 6 B を参照して、マスクを用いたエッチングによって、容量が形成される容量領域において、容量絶縁膜として機能する容量酸化シリコン層 2 7 を所定の形状に成形する。

そして、図 1 D に示される工程では、所定形状に成形された容量酸化シリ

コン層 27 上に、蒸着法又は CVD 法によって、容量電極として機能する金属層 28 を形成する。この金属層 28 は、第 1 実施形態の金属層 7 と同層に形成する。

[0115] 続いて、図 1 E ～図 1 H、図 4 に示される各工程を経ることにより、図 6 C に示されるような積層構造が形成される。即ち、第 2 半導体基板 9 上に第 2 酸化シリコン層 8 が形成され、この第 2 酸化シリコン層 8 の内部において、容量が形成される容量領域に、容量電極として機能する金属層 28、及び、金属層 28 に積層され、容量絶縁膜として機能する容量酸化シリコン層 27 が配置されている。そして、容量酸化シリコン層 27 及び第 2 酸化シリコン層 8 上に、N⁺多結晶シリコン層 5 a、第 1 酸化シリコン層 3 及び酸化シリコン層 29（酸化シリコン層 20）がこの順で積層された構造が得られる。この構造では、金属層 28 及び N⁺多結晶シリコン層 5 a が容量電極として機能するとともに、容量酸化シリコン層 27 が容量絶縁膜として機能する容量が形成されている。

[0116] 本実施形態では、第 1 実施形態に係る固体撮像装置の製造方法の図 1 D ～図 1 H に示される工程において、N⁺多結晶シリコン層 5 a の表層に絶縁層 27 を形成する工程（図 6 A 参照）と、容量酸化シリコン層 27、金属層 28 を形成する工程（図 6 B 参照）とが追加される。これにより、同一の半導体基板上に、固体撮像装置の画素、SGT などの半導体装置と共に容量（回路素子）を形成することができるだけでなく、製造工程が簡略化されるようになる。

[0117] （第 7 実施形態）

以下、図 7 A、図 7 B を参照して、本発明の第 7 実施形態に係る、半導体装置に容量を形成する方法を説明する。本実施形態における半導体装置の製造工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

本実施形態では、図 1 B に示される、第 1 の半導体基板 1 上に形成された多結晶シリコン層 5 を用いることで、半導体装置の回路素子である容量を形成する。

- [0118] 本実施形態では、図 1 A に示される工程では、第 1 の半導体基板 1 の所定の深さに、この第 1 の半導体基板 1 を上下の 2 つの部分に分離するための分離層 2 を形成するとともに、第 1 の半導体基板 1 上に、絶縁体である第 1 酸化シリコン層 3 を形成する。
- [0119] 続いて、図 1 B に示される工程では、多結晶シリコン層 5 を形成する前に、第 1 酸化シリコン層 3 上に図 7 A に示される容量形成領域 100 を設定するとともに、この容量形成領域 100 における酸化シリコンをエッチングにより除去することで、凹形状の酸化シリコン層除去領域を形成する。即ち、図 1 B に示される工程では、図 7 A に示されるように、当該酸化シリコン層除去領域の周囲に酸化シリコン層 101 a、101 b を残存させるとともに、この酸化シリコン層除去領域には、酸化シリコン層 101 a、101 b よりも厚さが薄い酸化シリコン層 103 を残存させる。そして、その酸化シリコン層 101 a、101 b をマスクとして用い、ボロン (B) などのアクセプタ不純物をイオンドーピング又は熱拡散することで、酸化シリコン層 103 を通して容量形成領域 100 における第 1 の半導体基板 1 の表層に P⁺拡散層 102 を形成する。そして、図 1 B を参照して、その第 1 酸化シリコン層 3 上に、酸化シリコン層除去領域を埋め込むように多結晶シリコン層 5 を形成する。
- [0120] 続いて、図 1 C に示される工程では、この多結晶シリコン層 5 に、リン (P) 又はヒ素 (As) などのドナー不純物をイオンドープすることで、N⁺多結晶シリコン層 104 を形成する (図 7 A 参照)。
- [0121] 続いて、図 1 D に示される工程では、蒸着法又は CVD 法によって、N⁺多結晶シリコン層 104 上に金属層 105 を形成する (図 7 A 参照)。この金属層 105 は、第 1 実施形態における金属層 7 と同層に形成する。
- [0122] 続いて、図 1 E に示される工程と同様にして、容量が形成される容量形成領域 100 において、N⁺多結晶シリコン層 104 と、N⁺多結晶シリコン層 104 上に形成され、容量電極として機能する金属層 105 とを所定の形状に成形する。

[0123] 続いて、第1実施形態の図1F～図1Iに示される工程を経た後、図7Bを参照して、シリコン柱1aにおいてP⁺拡散層102を残存させるとともに、そのP⁺拡散層102及び酸化シリコン層101a、101bを覆うように酸化シリコン層107を形成する。

[0124] 続いて、図7Bを参照して、酸化シリコン層107にコンタクトホール108を形成し、そのコンタクトホール108を介して、酸化シリコン層107上の金属配線層109とP⁺拡散層102とを電氣的に接続する。

[0125] 以上によって、図7Bに示されるように、容量形成領域100（図7A参照）に、N⁺多結晶シリコン層104、金属層105、及びP⁺拡散層102が容量電極として機能し、酸化シリコン層101a、101b間の酸化シリコン層103が容量絶縁膜として機能する容量が形成される。

[0126] 本実施形態では、P⁺拡散層102は、酸化シリコン層101a、101bをマスクとして用い、ボロン（B）などのアクセプタ不純物を第1の半導体基板1にイオンドーピング又は熱拡散することで形成した。これに限られず、P⁺拡散層102は、酸化シリコン層101a、101bを形成する前に、均一な厚さの第1酸化シリコン層3（図1A参照）上から高加速電圧によるイオンドーピングを行うことで容量形成領域100以外の所定の領域内に形成することもできる。

[0127] 本実施形態によれば、図7Bに示される構造によって、コンタクトホール108によって、半導体装置の任意の場所から各容量間の接続や外部回路への電気信号の取り出しが可能となる。これにより、回路素子の更なる高集積化が実現されるようになる。

[0128] （第8実施形態）

以下、図8A～図8Cを参照して、本発明の第8実施形態に係る、半導体装置にダイオードを形成する方法を説明する。本実施形態及びその変形例における半導体装置の製造工程は、以下に特に説明する場合を除いて、第1実施形態と同様である。

本実施形態では、図1Bに示される、第1の半導体基板1上に形成された

多結晶シリコン層 5 を用いることで、半導体装置の回路素子であるダイオードを形成する。

[0129] 本実施形態では、第 1 実施形態の図 1 A～図 1 I に示される工程を経ることで、図 8 A に示されるように、第 2 半導体基板 9 上に第 2 酸化シリコン層 8 が形成されるとともに、ダイオード形成領域 100 a に、金属層 7、N⁺多結晶シリコン層 5 a、シリコン柱 1 a が下方からこの順で形成される。また、第 2 酸化シリコン層 8 上において、N⁺多結晶シリコン層 5 a の周囲には第 1 酸化シリコン層 3 が形成されている。

[0130] 続いて、図 8 A に示される構造において、シリコン柱 1 a が真性シリコンで形成されている場合には、ボロン (B) などのアクセプタ不純物をイオンドーピングすることで、図 8 B に示される P 型シリコン層 30 を形成する。なお、シリコン柱 1 a が第 1 実施形態のように P 型に形成されている場合には、アクセプタ不純物のイオンドーピングは不要である。

[0131] 続いて、図 8 B を参照して、熱処理を行い、N⁺多結晶シリコン層 5 a から P 型シリコン層 30 中にドナー不純物を熱拡散させ、P 型シリコン層 30 (シリコン柱 1 a) の下方部位に N⁺拡散層 6 a を形成する。

[0132] 続いて、図 8 B を参照して、P 型シリコン層 30 (シリコン柱 1 a) の上方部位に、ボロン (B) などのアクセプタ不純物をイオンドーピングすることにより、P⁺型シリコン層 31 を形成するとともに、蒸着法及びエッチングによって、P⁺型シリコン層 31 上に金属層 32 を形成する。

[0133] 続いて、図 8 B を参照して、P 型シリコン層 30 及び金属層 32 を覆うように、酸化シリコン層 33 を形成し、その酸化シリコン層 33 において、金属層 32 上の領域にコンタクトホール 34、金属配線層 35 をこの順に形成する。これにより、金属配線層 35 と金属層 32 とをコンタクトホール 34 を介して電氣的に接続する。

[0134] 本実施形態では、P⁺型シリコン層 31 と P 型シリコン層 30 とによって p n 接合ダイオードが形成されている。

[0135] 本実施形態によれば、同一の半導体基板上に、固体撮像装置の画素、S G

Tなどの半導体装置と共にダイオード（回路素子）を形成することができるだけでなく、製造工程が簡略化されるようになる。

[0136] 図8Cに、シリコン柱1aにPINフォトダイオードが形成されている本実施形態の変形例を示す。この変形例では、第8実施形態に示されるシリコン柱1aには、P型シリコン層30に代えて、真性半導体であるi型シリコン層30bが形成されている。そして、i型シリコン層30b上には、P⁺型シリコン層31が形成されている。そして、i型シリコン層30bと、P⁺型シリコン層31とによってPINフォトダイオードが形成されている。

[0137] このPINフォトダイオードにおいては、図8Cを参照して、P⁺型シリコン層31の上部から光が入射する。このため、その光の入射を妨害しないように、P⁺型シリコン層31と外部回路とを接続するための金属層32が、P⁺型シリコン層31の外周領域に形成されている。

[0138] 本変形例のPINフォトダイオードによれば、i型シリコン層30bの全体又は広範囲の領域に空乏層が形成されるので、広い光電変換領域を確保することができるとともに、容量形成領域の厚さに相当する空乏層の厚さが大きくなるため、低容量化が図られる。そして、このPINフォトダイオードは、光コネクショ​​ン受光素子として、半導体装置の回路素子と同一の半導体基板上に形成される。

[0139] 本変形例のPINフォトダイオードは、光スイッチとして機能するため、入力回路配線の抵抗・容量によるRC遅延がなく、回路入力部の高速化及び、回路全体の高速化が実現される。

[0140] 本変形例によれば、同一の半導体基板上に、固体撮像装置の画素、SGTなどの半導体装置と共にPINフォトダイオード（回路素子）を形成することができるだけでなく、製造工程が簡略化されるようになる。

[0141] （第9実施形態）

以下、図9A～図9Cを参照して、本発明の第9実施形態に係る、SGTを用いたCMOSインバータ回路について説明する。

図9Aに、本実施形態によるSGTを用いたCMOSインバータ回路を示

す。図9Aに示されるように、Pチャネル型MOSトランジスタ37aとNチャネル型MOSトランジスタ37bとが直列に接続されている。Pチャネル型MOSトランジスタ37aとNチャネル型MOSトランジスタ37bのゲート同士がゲート接続配線38を介して接続され、ゲート接続配線38は入力端子配線Viに接続されている。Pチャネル型MOSトランジスタ37aのソースは、電源端子配線Vddに接続されている。Pチャネル型MOSトランジスタ37aのドレインとNチャネル型トランジスタ37bのドレインとはドレイン接続配線39を介して出力端子配線Voに接続されるとともに、Nチャネル型MOSトランジスタ37bのソースはグランド電位となっているグランド端子配線Vssに接続されている。

[0142] 図9Bに、このSGTを用いたCMOSインバータ回路の平面配置図を示す。

図9Bに示されるように、コンタクトホール41c、シリコン柱40a、コンタクトホール41a、コンタクトホール41b、及びコンタクトホール41d、が直線状に並んで配置されている。

[0143] 入力端子配線Viは、コンタクトホール41cから電気信号（ゲート電圧）を入力するためのものである。電源端子配線Vddは、コンタクトホール41aから電源電圧を供給するためのものである。グランド端子配線Vssは、コンタクトホール41bを介してグランドに接続するためのものである。出力端子配線Voは、コンタクトホール41dから電気信号を出力するためのものである。

[0144] コンタクトホール41cは、Pチャネル型MOSトランジスタ37aとNチャネル型MOSトランジスタ37bのゲート同士を接続するゲート接続配線38上に形成されている。シリコン柱40aは、Pチャネル型MOSトランジスタ37aを構成している。コンタクトホール41aは、シリコン柱40a上に形成されている。シリコン柱40bは、Nチャネル型MOSトランジスタ37bを構成している。コンタクトホール41bはシリコン柱40b上に形成されている。コンタクトホール41dは、Pチャネル型MOSトラ

ンジスタ 37 a のドレインと N チャネル型 MOS トランジスタ 37 b のドレインとを互いに接続したドレイン接続配線 39 上に形成されている。

[0145] そして、このコンタクトホール 41 b 及びコンタクトホール 41 d の列方向と直交する行方向に延びるように、それぞれ、入力端子配線 V_i 、電源端子配線 V_{dd} 、グランド端子配線 V_{ss} 、及び出力端子配線 V_o が配置されている（図 9 A 参照）。

[0146] 図 9 C は、図 9 B の B-B' 線での断面構造図である。以下、図 9 C を参照して、上述した CMOS インバータ回路を形成する方法を説明する。本実施形態において、CMOS インバータ回路の形成工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

[0147] 本実施形態において、図 9 C に示される、P チャネル型 MOS トランジスタ 37 a、N チャネル型 MOS トランジスタ 37 b を有する CMOS インバータ回路は、図 3 B に示される回路における、N チャネル型 MOS トランジスタと P チャネル型 MOS トランジスタとの左右の位置関係が入れ替わっているが、図 3 A、図 3 B に示される第 3 実施形態と同様にして形成される。以下、上記実施形態と共通又は対応する符号で示される部分の説明は省略する。

[0148] 図 9 C に示されるように、P チャネル型 MOS トランジスタ 37 a においてドレインとして機能する P⁺拡散層 6 b、P⁺多結晶シリコン層 55 b と、N チャネル型 MOS トランジスタ 37 b においてドレインとして機能する N⁺拡散層 6 a、N⁺多結晶シリコン層 55 a との下方にドレイン接続配線 39 が形成されている。N⁺多結晶シリコン層 55 a 及び P⁺多結晶シリコン層 55 b の下面にはドレイン接続配線 39 が接合されている。N⁺多結晶シリコン層 55 a 及び P⁺多結晶シリコン層 55 b は、ドレイン接続配線 39 を介して接続されている。そして、ドレイン接続配線 39 は、絶縁層 43 b 上に形成され、酸化シリコン層 45 を貫通するコンタクトホール 41 d を介して出力端子配線層 V_o に接続されている。

[0149] また、P チャネル型 MOS トランジスタ 37 a のゲート導体層 16 b a、

16bbと、Nチャネル型MOSトランジスタ37bのゲート導体層16aa、16abとは、絶縁層43a上に形成されたゲート接続配線38を介して接続されている。

[0150] また、ゲート接続配線38と、Pチャネル型MOSトランジスタ37aのドレインとなるN⁺拡散層6a、P⁺型シリコン層17b上に形成された金属配線層18b、Nチャネル型MOSトランジスタ37bのドレインとなるN⁺拡散層6a、N⁺型シリコン層17a上に形成された金属配線層18a、ドレイン接続配線39は、それぞれ、酸化シリコン層45を貫通するコンタクトホール41c、41a、41b、41dを介して、酸化シリコン層45上に形成された入力端子配線層Vi、電源端子配線層Vdd、グランド端子配線層Vss、出力端子配線層Voに接続されている。入力端子配線層Vi、電源端子配線層Vdd、グランド端子配線層Vss、出力端子配線層Voとは、互いに平行に配線されている（図9C参照）。

[0151] 本実施形態によれば、Pチャネル型MOSトランジスタ37aにおいてドレインとして機能するP⁺拡散層6a、P⁺多結晶シリコン層55bと、Nチャネル型MOSトランジスタ37bにおいてドレインとして機能するN⁺拡散層6a、N⁺多結晶シリコン層55aとが、互いに近接した状態で接続されるとともに、低い電気抵抗を有するドレイン接続配線39によって電氣的に接続されている。この構造によって、高速かつ高集積度が実現されたCMOSインバータ回路を有する集積回路が得られる。

[0152] （第10実施形態）

以下、図10A～図10Cを参照して、本発明の第10実施形態に係る2段構造のCMOSインバータ回路について説明する。以下、上記第9実施形態と共通又は対応する符号で示される部分及び構造の説明は省略する。

図10Aに、本実施形態で用いる2段構造のCMOSインバータ回路を示す。

図10Aに示されるように、Pチャネル型MOSトランジスタ37a、37cと、Nチャネル型MOSトランジスタ37b、37dとが、それぞれ、

1 段目、2 段目において直列に接続されている。1 段目の P チャネル型 MOS トランジスタ 37 a と N チャネル型 MOS トランジスタ 37 b の各ゲートは、ゲート接続配線 38 a を介して入力端子配線 V_i に接続されている。2 段目の P チャネル型 MOS トランジスタ 37 c と N チャネル型 MOS トランジスタ 37 d の各ゲートは、ゲート接続配線 38 b を介して 1 段目の出力端子配線 V_o に接続されている。1 段目及び 2 段目の P チャネル型 MOS トランジスタ 37 a、37 c の各ドレインは、電源端子配線 V_{dd} に接続されている。1 段目及び 2 段目の P チャネル型 MOS トランジスタ 37 b、37 d の各ソースは、グランド端子配線 V_{ss} に接続されている。

[0153] 1 段目において、P チャネル型 MOS トランジスタ 37 a のドレインと N チャネル型トランジスタ 37 b のドレインとは、ドレイン接続配線 39 a を介して 1 段目の出力端子配線 V_o に接続されている。

2 段目において、P チャネル型トランジスタ 37 c のドレインと N チャネル型トランジスタ 37 d のドレインとは、ドレイン接続配線 39 b を介して出力端子配線 V_{out} に接続されている。

[0154] 図 10 B に、この CMOS インバータ回路の平面配置図を示す。

図 10 B に示されるように、1 段目の P チャネル型 MOS トランジスタ 37 a を構成するシリコン柱 40 a 及び N チャネル型 MOS トランジスタ 37 b を構成するシリコン柱 40 b に形成されたゲート接続配線 38 a 上にコンタクトホール 41 c が形成され、コンタクトホール 41 c は、入力端子配線 V_i と接続されている。ゲート接続配線 38 a は、P チャネル型 MOS トランジスタ 37 a 及び N チャネル型 MOS トランジスタ 37 b のゲート同士を接続する。

[0155] 1 段目において、P チャネル型 MOS トランジスタ 37 a のドレインと N チャネル型 MOS トランジスタ 37 b のドレインとは、1 段目のドレイン接続配線 39 a を介して接続されている。

[0156] 2 段目の P チャネル型 MOS トランジスタ 37 c を構成するシリコン柱 40 c 及び N チャネル型 MOS トランジスタ 37 d を構成するシリコン柱 40

dに形成されたゲート接続配線38b上にコンタクトホール41eが形成され、コンタクトホール41eは、1段目の出力端子配線Vo（図10A参照）に接続されている。

[0157] 1段目のドレイン接続配線39aは、コンタクトホール41e（図10C参照）を介してゲート接続配線38bと接続されている。ゲート接続配線38bは、2段目のPチャネル型MOSトランジスタ37cとNチャネル型MOSトランジスタ37dのゲート同士を接続する。

[0158] 1段目及び2段目のPチャネル型MOSトランジスタ37a、37cのシリコン柱40a、40c上にそれぞれコンタクトホール41a、41cが形成されている。コンタクトホール41a、41cは、いずれも電源端子配線層Vddに接続されている。

[0159] 1段目及び2段目のPチャネル型MOSトランジスタ37b、37dのシリコン柱40b、40d上にそれぞれコンタクトホール41b、41dが形成され、コンタクトホール41b、41dは、いずれもグランド端子配線層Vssに接続されている。

[0160] 2段目のドレイン接続配線39b上にコンタクトホール41fが形成され、コンタクトホール41fは、出力端子配線層Voutに接続されている。

また、入力端子配線層Vi、電源端子配線層Vdd、グランド端子配線層Vss、出力端子配線層Voutは、互いに平行に配線されている。

[0161] 図10Cは、図10BのC-C'線での断面構造図であり、以下、図10Cを参照して、上述した2段構造のCMOSインバータ回路について説明する。本実施形態において、2段構造のCMOSインバータ回路は、第1実施形態と同様にして形成されたものである。

[0162] 図10Cに示される、Pチャネル型MOSトランジスタ37a、Nチャネル型MOSトランジスタ37bを有するCMOSインバータ回路は、図3Bに示されるCMOSインバータ回路における、Nチャネル型MOSトランジスタとPチャネル型MOSトランジスタとの左右の位置関係が入れ替わっているが、図3A、図3Bに示される第3実施形態と同様にして形成される。

- [0163] 図10Cに示されるように、1段目において、Pチャネル型MOSトランジスタ37aのシリコン柱40aの外周を囲むゲート導体層16ba、16bbと、Nチャネル型MOSトランジスタ37bのシリコン柱40bの外周を囲むゲート導体層16aa、16abとが、ゲート接続配線38aを介して接続されている。ゲート接続配線38a上に形成された酸化シリコン層45に、Nチャネル型MOSトランジスタ37b上の金属配線層18aと接続されたコンタクトホール41bが形成されている。コンタクトホール41bは、Nチャネル型MOSトランジスタ37bのグランド端子配線Vssに接続されている。なお、図10Cでは、第1酸化シリコン層3とゲート接続配線38aとの間に酸化シリコン層43が形成されている。
- [0164] 1段目において、Pチャネル型MOSトランジスタ37aのシリコン柱40aの下端部に形成され、ドレインとして機能するP⁺多結晶シリコン層55bと、Nチャネル型MOSトランジスタ37bのシリコン柱40bの下端部に形成され、ドレインとして機能するN⁺多結晶シリコン層55aとは、1段目のドレイン接続配線39aである金属配線層42を介して互いに電氣的に接続されている。
- [0165] そして、金属配線層42は、2段目のPチャネル型MOSトランジスタ37cとNチャネル型MOSトランジスタ37dのゲート同士を接続するゲート接続配線38bと、酸化シリコン層45に形成されたコンタクトホール41eを介して接続されている（図10A、図10B参照）。
- [0166] 1段目のPチャネル型MOSトランジスタ37aのシリコン柱40a上にコンタクトホール41aが形成され、コンタクトホール41aは電源端子配線層Vddに接続されている。1段目のNチャネル型MOSトランジスタ37bのシリコン柱40b上にコンタクトホール41bが形成され、コンタクトホール41bはグランド端子配線層Vssに接続されている。
- [0167] 2段目のドレイン接続配線39b上にコンタクトホール41fが形成され、酸化シリコン層45上において、コンタクトホール41fに出力端子配線層Voutが接続されている（図10A、図10B参照）。

また、入力端子配線層 V_i 、電源端子配線層 V_{dd} 、グランド端子配線層 V_{ss} 、出力端子配線層 V_{out} は互いに平行に配線されている（図 10B 参照）。

[0168] 本実施形態によれば、1 段目の P チャネル型 MOS トランジスタ 37a 及び N チャネル型 MOS トランジスタ 37b のドレイン接続配線 39a として機能する金属配線層 42 が、2 段目の P チャネル型 MOS トランジスタ 37c 及び N チャネル型 MOS トランジスタ 37d のゲート接続配線 38b に、コンタクトホール 41e を介して直接的に接続される。この構成では、金属配線層 42（39a）は、酸化シリコン層 45 に形成したコンタクトホールを介して入力端子配線層 V_i 、電源端子配線層 V_{dd} 、グランド端子配線層 V_{ss} 、出力端子配線層 V_{out} （図 10B 参照）と同層まで引き上げる必要がないので、回路素子の高集積度化が実現される。

[0169]（第 1 実施形態）

以下、図 11A、図 11B を参照して、本発明の第 1 実施形態に係る、半導体基板にマスク合わせマークを形成する方法を説明する。

図 11A で示される工程は、第 1 実施形態における図 1H で示される工程に対応するものである。その他の工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

[0170] 図 11A に示されるように、第 2 半導体基板 9 上には、第 2 酸化シリコン層 8 が形成されている。第 2 酸化シリコン層 8 上には、第 1 酸化シリコン層 3、第 1 の半導体基板 1 がこの順で形成されている。

[0171] 図 11A に示されるように、第 1 の半導体基板 1 上の所定の位置に、マスク合わせのためのマスク合わせマーク形成領域 47a と、回路を形成するための回路形成領域 47b とを設定する。

[0172] 図 11A に示されるマスク合わせマーク形成領域 47a においては、第 1 酸化シリコン層 3 に酸化シリコン層除去領域 48 が形成されている（図 1B 参照）。酸化シリコン層除去領域 48 の中央部には、マーク金属層 49a、マーク多結晶シリコン層 49b が積層状態で形成されている。

[0173] 酸化シリコン層除去領域48は、図1Bに示されるように、固体撮像装置の画素における接合電界効果トランジスタのソース又はドレインが形成される孔4と同時に形成される。

[0174] 一方、図11Aに示されるように、回路形成領域47bの中央部には、金属層7、N⁺多結晶シリコン層5aが積層状態で形成されている（図1H参照）。

[0175] 図11Aに示される状態から、マスク合わせマーク形成領域47aにおける第1の半導体基板1をエッチングすることにより、図11Bに示されるように、所定の位置にマスク合わせ孔50を形成する。これにより、マスク合わせ孔50を通して、マーク金属層49a、マーク多結晶シリコン層49b及び酸化シリコン層除去領域48が露出する。

続いて、マスク合わせ孔50内における、マーク金属層49a、マーク多結晶シリコン層49b及び酸化シリコン層除去領域48の内のいずれか1つを基準となるマスク合わせマークとして、フォトマスクのマスク合わせを行う。

続いて、フォトレジストが形成された領域にフォトマスクを重ねて光を照射し、回路を転写する。

[0176] これに対し、マスク合わせ孔50が存在しない場合には、第1の半導体基板1上にフォトレジストを被覆し、第1の半導体基板1の下方に位置するマーク金属層49a、マーク多結晶シリコン層49b、酸化シリコン層除去領域48のいずれかをマークとしてマスク合わせを行うことになる。この場合には、第1の半導体基板1は、シリコンからなり、青色光、紫外線光の吸収が大きいので、マスク合わせには透過率の高い赤色波長光又は赤外線光が用いられる。このため、マーク像の解像度が低下するとともに、マスク合わせ精度が低下する。

[0177] これに対して、本実施形態によれば、マスク合わせマーク形成領域47aには、青色光、紫外線光の吸収が大きいシリコン層が存在しないので、マーク金属層49a、マーク多結晶シリコン層49b、酸化シリコン層除去領域

48上に直接フォトレジストを形成することができる。このため、高い解像度のマーク像が得られ、マスク合わせ精度が向上する。

[0178] また、本実施形態によれば、酸化シリコン層除去領域48上に直接フォトレジストが形成されるので、図11に示されるN⁺多結晶シリコン層5aとシリコン柱1aとの位置合わせ精度が高められる。

[0179] 以下、図12を参照して、図11A～図11Bに示される態様と比較して、フォトマスクのマスク合わせ精度をさらに向上させる本実施形態の変形例について説明する。以下に特に説明する場合を除いて、第11実施形態と同様とする。

[0180] 図12に示されるように、図11Bに示されるマスク合わせ孔50内に青色光又は紫外線光を透過する透明絶縁層50aを埋め込む。この透明絶縁層50aには、SiO₂膜を用いる。

その後、CMPによって、そのSiO₂膜及び第1の半導体基板1の表面を平坦化する。このマスク合わせ孔50のSiO₂膜による埋め込み工程は、図11を参照して、接合電界効果トランジスタが形成されるシリコン柱1aが形成される前に行われる。

[0181] この変形例によれば、マスク合わせ孔50内の透明絶縁層50aによって、マスク合わせマーク形成領域47aと回路形成領域47bとに被覆するフォトレジストを薄く均一なものとすることができるので、第11実施形態と比較して、マスク合わせ精度がさらに向上するようになる。

[0182] (第12実施形態)

以下、図13A、図13Bを参照して、本発明の第12実施形態に係る半導体装置の製造方法を説明する。

図13Aは、第1実施形態における図1Bに示される工程に対応するものである。その他の工程は、以下に特に説明する場合を除いて、第1実施形態と同様である。

[0183] 本実施形態では、図13Aに示される工程では、第1の半導体基板1の所定の深さに、この第1の半導体基板1を上下の2つの部分に分離するための

分離層 2 を形成するとともに、第 1 の半導体基板 1 上に、絶縁体である第 1 酸化シリコン層 3 を形成する。

[0184] 続いて、図 1 3 A に示されるように、第 1 酸化シリコン層 3 において、所定の領域の酸化シリコン (SiO_2) を除去することで孔 4 を形成する。

[0185] 続いて、図 1 3 A に示されるように、この孔 4 (酸化シリコン層除去領域 4 8) を埋め込むように、第 1 酸化シリコン層 3 及び第 1 の半導体基板 1 の上に、CVD 法によって多結晶シリコン層 1 1 1 を形成する。この多結晶シリコン層 1 1 1 にはドナー不純物又はアクセプタ不純物がドーピングされていない。

[0186] 続いて、図 1 3 B に示されるように、多結晶シリコン層 1 1 1 上に、CVD 法及びドナー不純物のイオンドープによって、ドナー不純物がドーピングされた N^+ 多結晶シリコン層 1 0 6 を形成する。

[0187] 続いて、この N^+ 多結晶シリコン層 1 0 6 上に、図 1 D に示される工程と同様にして金属層 7 を形成する。さらに、図 1 E ~ 1 L で示された工程と同様にして半導体装置を形成する。

[0188] 本実施形態によれば、第 1 の半導体基板 1 と N^+ 多結晶シリコン層 1 0 6 の間に、不純物がドーピングされていない多結晶シリコン層 1 1 1 が形成されている。この多結晶シリコン層 1 1 1 の存在により、図 1 J に示される工程における熱処理によって N^+ 多結晶シリコン層 1 0 6 を拡散源とした場合における、シリコン柱 1 a へのドナー不純物の拡散深さを調整することができる。

[0189] 例えば、図 1 G に示される工程において、第 1 の半導体基板 1 上で、第 2 の半導体基板 9 と第 2 酸化シリコン層 8 とを接着した後の熱処理の条件 (温度、時間) によって、 N^+ 拡散層 6 a が所望の深さを超えて拡散することが想定される場合に、かかる拡散の深さを抑制するために有効となる。

[0190] 一方、アクセプタ不純物を拡散させる場合は、 N^+ 多結晶シリコン層 1 0 6 に代えて P^+ 多結晶シリコン層を用いることができる。ドナー不純物又はアクセプタ不純物がドーピングされていない多結晶シリコン層 1 1 1 には、積極的に不純物がドーピングされていなくとも微量の不純物は含有されていることは、本

実施形態の効果に影響しない。

[0191] (第13実施形態)

以下、図14A、図14B、図15A、図15Bを参照して、本発明の第13実施形態に係る半導体装置の製造方法を説明する。

[0192] 図14Aは、第1実施形態における図1Cに示される工程に対応するものであり、図14Bは、図1Kに示される工程に対応するものである。その他の工程は、以下に特に説明する場合を除いて、第1実施形態と同様である。

[0193] 本実施形態では、図14Aに示すように、酸化シリコン層3aを、第1の半導体基板1の表面において図1Bの孔4に対応する領域4aの周辺にSTI (Shallow Trench Isolation)法によって形成する。具体的には、例えば、まず、領域4aの周辺のシリコン半導体基板1をエッチングする。次にCVD (Chemical Vapor Deposition) 法によって酸化シリコン層を堆積し、CMP (Chemical Mechanical Polishing) して表面を平滑化して第1酸化シリコン層3aを形成する。このシリコン半導体基板1のエッチングは、窒化シリコン層をマスクとして垂直方向に行うよりも、テーパを形成するように行うことが望ましい。これによって、第1酸化シリコン層3aの底部を、領域4aにおけるシリコン半導体基板1の表面よりもシリコン半導体基板1の内側に位置させることができる。この後、ドナー不純物を含んだ多結晶シリコン層5aa (図1Cの多結晶シリコン層5aに対応する。)を形成する。

[0194] その後、図1D～図1Kに示す工程と同様の工程を経ることにより、図14Bに示す画素構造が得られる。図1Kと図14Bとを比較すると、図14Bは、以下の3点で図1Kと異なる。

(1) 図14Bでは、N⁺多結晶シリコン層5aa、金属層7aaが平坦に形成されているのに対し、図1Kでは、N⁺多結晶シリコン層5a、金属層7が上に凸状に形成されていること。

(2) 図14Bでは、第1酸化シリコン層3aが囲むN⁺拡散層6aaが逆台形状に形成されているのに対し、図1Kでは、N⁺拡散層5aは第1酸化シリコン層3の側面に沿って台形状に形成されていること。

(3) 図14Bでは、ゲート導体層11aa、11bbが第1酸化シリコン層3aに接しているのに対し、図1Kでは、ゲート導体層11a、11bは第1酸化シリコン層3と離間していること。

[0195] この(1)～(3)の相違点により、本実施形態によれば、以下のような利点を得られる。即ち、

(1) N⁺拡散層6aaは、N⁺多結晶シリコン層5aaからの熱拡散により形成され、熱拡散の熱処理の前は、ドナー不純物が存在しない層であり、第12実施形態の図13Bにおける多結晶シリコン層111と同様な機能を有するようにできる。このため、多結晶シリコン層111を用いなくても、ゲート導体層11aa、11bbの下部位置に拡散層端が位置するN⁺拡散層6aaを形成することができる。

(2) N⁺拡散層6aaに位置合わせしてシリコン柱1aをエッチングで形成する場合、シリコン柱1aの側面がN⁺拡散層6aaの内側に位置ずれしても、第1酸化シリコン層3aは、厚みのあるN⁺拡散層であるか、または内側に萎んで形成されているため、シリコンエッチングが金属層7aaまで到達し難くなる(図1Kでは、シリコン柱1aがN⁺多結晶シリコン層5aから位置ずれすると、N⁺多結晶シリコン層5aが直接に露出するため、N⁺多結晶シリコン層5aと、その下方に存在する金属層7まで容易にエッチングされる)。

(3) ゲート導体層11aa、11bbと第1酸化シリコン層3aとの間に隙間を形成する必要がないため、ゲート導体層11aa、11bbと、第1酸化シリコン3a上でのゲート導体層配線の形成が容易となる。即ち、図1Kでは、リーク電流低減のため、N⁺拡散層6aとP層シリコン層30とのPN接合の界面の位置を、シリコン柱1aの内部に形成する必要があるので、第1酸化シリコン層3とゲート導体層11a、11bとは離間させねばならない。

[0196] 図15A、図15Bを参照しながら、第13実施形態に係る半導体装置の別の製造方法を説明する。図15Aは、第1実施形態における図1Cに示さ

れる工程に対応するものであり、図 1 5 B は、図 1 K に示される工程に対応するものである。その他の工程は、以下に特に説明する場合を除いて、第 1 実施形態と同様である。

[0197] 本実施形態では、図 1 5 A に示すように、領域 4 a の周辺領域に、L O C O S (Local Oxidation of Silicon) 法によって第 1 酸化シリコン層 3 b を形成する。この L O C O S 法では、領域 4 a 上に薄い酸化シリコン層と窒化シリコン層とを形成し、次に酸化処理を行うことにより、酸化シリコン層 3 b を形成する。その後、図 1 C と同様な工程を経て N⁺多結晶シリコン層 5 b b を形成する。

[0198] その後、図 1 D ~ 図 1 K に示す工程を経ることにより、図 1 5 B に示す画素構造が得られる。図 1 K と図 1 5 B とを比較すると、図 1 5 B は、以下の 2 点で図 1 K と異なる。

(1) 図 1 5 B では、第 1 酸化シリコン層 3 a が囲む N⁺拡散層 6 a a が、図 1 4 B と同様に逆台形状に形成されているのに対し、図 1 K では、N⁺拡散層 5 a は第 1 酸化シリコン層 3 の側面に沿って台形状に形成されていること。

(2) 図 1 5 B では、ゲート導体層 1 1 a a, 1 1 b b が第 1 酸化シリコン層 3 b に接しているのに対し、図 1 K では、ゲート導体層 1 1 a, 1 1 b は第 1 酸化シリコン層 3 と離間していること。

[0199] この (1) 及び (2) の相違点により、本実施形態によれば、以下のような利点がある。即ち、

(1) 図 1 4 B と同様に、N⁺拡散層 6 b b は N⁺多結晶シリコン層 5 b b からの熱拡散により形成され、熱拡散で熱処理する以前は、ドナー不純物が無い層であり、第 1 2 実施形態を説明する図 1 3 B における多結晶シリコン層 1 1 1 と同様な機能を有するようにできる。このため、多結晶シリコン層 1 1 1 を用いなくても、ゲート導体層 1 1 a a, 1 1 b b の下方に拡散層の端部が位置する N⁺拡散層 6 b b を形成することができる。

(2) 図 1 4 B と同様に、N⁺拡散層 6 b b に位置合わせしてシリコン柱 1 a をエッチング形成する場合、シリコン柱 1 a の側面が N⁺拡散層 6 b b の内側

に位置ずれしても、第1酸化シリコン層3 bは、厚みのあるN⁺拡散層6 b bであるか、または内側に萎んで形成されているため、シリコンエッチングが金属層7 a aまで到達し難くなっている。

(3) 図1 4 Bと同様に、ゲート導体層1 1 a a, 1 1 b bと第1酸化シリコン層3 bとの間に隙間を形成する必要があるため、ゲート導体層1 1 a a, 1 1 b bと、第1酸化シリコン3 bの上方でのゲート導体層配線の形成が容易化される。

[0200] (第1 4 実施形態)

以下、図1 6 A～図1 6 Cを参照して、本発明の第1 4 実施形態に係る半導体装置の製造方法を説明する。本実施形態では、シリコン柱1 aの底部に2箇所以上の不純物領域を形成する点に特徴がある。

[0201] 図1 6 Aに、図1 Cに相当する断面構造図を示す。第1酸化シリコン層3 bの、図1 Bの孔4に相当する領域に、第1の孔4 b 1、第2の孔4 b 2を形成し、P型シリコン半導体基板1表面を露出させる。その後、第1の孔4 b 1を含んだ第1の領域B 1にアクセプタイオン（この場合はボロンBイオン）をドーピングしてP⁺多結晶シリコン層5 b 1を形成し、第2の孔を含む第2の領域B 2にドナーイオン（この場合は砒素（As）イオン）をドーピングしたN⁺多結晶シリコン層5 bを形成する。このアクセプタイオン及びドナーイオンのドーピングは、一方のイオンドーピングの終了後に、他方のイオンドーピングを行うようにする。

[0202] 次に、図1 6 Bに示すように、P⁺多結晶シリコン層5 b 1、N⁺多結晶シリコン層5 b 2上に金属層を被覆し、孔4 b 1、4 b 2の周辺の第1酸化シリコン層3 bを囲むP⁺多結晶シリコン層5 b b 1、金属層7 b 1とN⁺多結晶シリコン層5 b b 2、金属層7 b 2とを形成する。

[0203] 次に、図1 F～図1 Kに示す工程と同じ工程を経ることによって、図1 6 Cに示すようにシリコン柱1 aの底部に、P⁺多結晶シリコン層5 b b 1から熱拡散されて形成されたP⁺拡散層6 b 1と、N⁺多結晶シリコン層5 b b 2から熱拡散されて形成されたN⁺拡散層6 b 2とが形成される。

[0204] このような固体撮像装置においては、P⁺拡散層6 b 1、P⁺多結晶シリコン層5 b b 1は、信号読出し用の接合電界効果トランジスタのドレインとして機能し、N⁺拡散層6 b 2、N⁺多結晶シリコン層5 b b 2は、N型シリコン層1 2 a、1 2 bとP型シリコン層3 0とからなるフォトダイオードに蓄積された信号電荷を除去するためのドレインとして機能する。そして、P⁺多結晶シリコン層5 b b 1、N⁺多結晶シリコン層5 b b 2は、金属層7 b 1、7 b 2に接続され、外部回路まで配線される。これにより、シリコン柱1 aに形成された画素から外部回路までの信号読出し線と信号電荷除去線の抵抗が低減され、固体撮像装置の高速駆動が実現される。

[0205] また、本実施形態によれば、以上の工程と同様にして、シリコン柱1 aの底部に2箇所以上の不純物領域を形成することができる。また、本実施形態は、本実施形態以外の実施形態、例えば、固体撮像装置以外の回路素子をシリコン柱1 aに形成する半導体装置の製造方法にも適用できることは勿論である。

[0206] なお、第1実施形態と、第1実施形態に関連する実施形態では、第1酸化シリコン層3は、第1酸化シリコン層3は、熱酸化、陽極酸化、又はCVD (Chemical Vapor Deposition)などで形成した。これに限られず、窒化シリコン (SiN) 膜など他の絶縁膜との多層構造で構成してもよい。

[0207] なお、本発明は上述した第1～第14の実施形態で説明した実施態様に限定されず、種々の変形が可能である。

上記実施形態では、第1の半導体基板1はP型の導電型とした。これに限られず、第1の半導体基板1は、真性半導体であるi型（イントリンシック型）でもよい。また、第1の半導体基板1に形成する回路素子に応じて、N型の導電型とすることもできる。

[0208] 同様に、図3 B、図4、図9 C、図10 Cを用いた実施形態では、Pチャネル型MOSトランジスタのチャネルはN型シリコン層3 0 aに形成され、Nチャネル型MOSトランジスタのチャネルはP型シリコン層3 0に形成されるものとしたが、いずれも真性半導体であるi型シリコンに形成されても

よい。

[0209] 上記実施形態では、図1 Kにおいて、シリコン柱1 aに形成した固体撮像装置の画素において、N⁺多結晶シリコン層5 a、金属層7、N⁺拡散層6 aを個別の材料層としているが、図1 D～図1 Kの間の工程で行う熱処理によって、金属層7の金属材料（Ni，Wなど）と、N⁺多結晶シリコン層5 a、又はN⁺拡散層6 aの一部との反応により、金属層7、N⁺多結晶シリコン層5 a、又はN⁺拡散層6 aの全部又は一部がシリサイド層（NiSi、WSiなど）に変化していてもよい。また、図1 L、図2、図3 B、図4、図8 A、図8 B、図8 C、図9 C、図10 C、図11 B、図12で示される各工程での熱処理によって、金属層7の金属材料とN⁺多結晶シリコン層5 a、又はN⁺拡散層6 aの一部との反応により、金属層7、N⁺多結晶シリコン層5 a、又はN⁺拡散層6 aの全部又は一部がシリサイド層（NiSi、WSiなど）に変化していてもよい。これらによっても、信号線（電気配線）となる部分の電気抵抗値が低下する効果が得られる。

[0210] 上記実施形態では、図1 Hに示されるように、第1の半導体基板1の所定の深さに高濃度水素イオン（H⁺）をイオン注入して形成した分離層2から、400～600℃の熱処理により、第1の半導体基板1を上下に分離し、第1の半導体基板1を所定の厚さまで薄くした。これに限られず、第1の半導体基板1を所定の厚さまで薄くするには、例えば、非特許文献3に示される分離層2に多孔質層を形成する方法を採用してもよい。その他、第1の半導体基板1を上下に分離する方法も採用できる。

[0211] また、第2半導体基板9は、シリコンとは異種の半導体、例えば、炭化シリコン（SiC）などの化合物半導体、絶縁体又は有機樹脂体であってもよい。この構成によっても、第1の半導体基板1に形成される回路素子を保持することができる。

[0212] また、第2酸化シリコン層8、酸化シリコン層20、29、45は、窒化シリコン（SiN）膜などその他の絶縁膜との多層構成であってもよい。

[0213] また、N⁺多結晶シリコン層5 a、55 a、P⁺多結晶シリコン層55 bは

、イオンドープによって形成した。これに限られず、不純物の熱拡散、不純物を混入したドーパド多結晶シリコン層によって形成してもよい。このようなドーパド多結晶シリコン層は、本明細書におけるその他の実施形態においても同様に適用できる。

[0214] また、図1Bにおいて、多結晶シリコン層5は、CVD法によって形成した。これに限られず、多結晶シリコン層5は、エピタキシャル成長によって形成してもよい。この場合、第1の半導体基板1上には単結晶シリコン層が成長し、その成長条件により第1酸化シリコン層3上には多結晶シリコン層が形成される。この場合、単結晶シリコン層がドナー又はアクセプタのシリコン柱1aへの拡散源となる。また、単結晶シリコン層の成長条件（温度など）により第1酸化シリコン層3上にはシリコン層が形成されないようにすることもできる。このように第1酸化シリコン層3上にシリコン層が形成されないようにすることは、本明細書におけるその他の実施形態においても同様に適用できる。

[0215] また、図1Gにおいて、シリコンからなる第2半導体基板9と、CMPで平坦化した第2酸化シリコン層8とを貼り合わせたが、第2半導体基板9の表面に、酸化又はCVD法によって酸化層又は絶縁層を形成した後に第2半導体基板9と第2酸化シリコン層8とを貼り合わせることもできる。

[0216] また、図9Cにおいて、ドレイン接続配線39と出力端子配線Voとはコンタクトホール41dを介して接続した。これに限られず、ドレイン接続配線39と出力端子配線Voとは、コンタクトホール41dの底部がドレイン接続配線39上のN⁺多結晶シリコン層55aに接するようにして接続することもできる。この構成によっても、N⁺多結晶シリコン層55aの電気抵抗は十分に小さいので、回路素子の高速動作が実現される。

[0217] また、図10Cにおいて、ドレイン接続配線として機能する金属配線層42（39a）と2段目のゲート接続配線38bとは、コンタクトホール41eを介して接続した。これに限られず、コンタクトホール41eの底部が金属配線層42上のN⁺多結晶シリコン層55aに接するようにして接続するこ

ともできる。この構成によっても、N⁺多結晶シリコン層55aの電気抵抗は十分に小さいので、回路素子の高速動作が実現される。

[0218] また、図1L、図2、図3Bに示されるような、ゲート導体層11a、11b、11c、11d、16a、16b、16c、16d、図10Cに示されるような、ゲート接続配線38、38a、38bは、蒸着法又はCVD法によって形成した。これに限られず、単層又は異なる種類の複数の金属層から構成したり、不純物をドーピングした多結晶シリコン層又はその多結晶シリコン層と金属層との多層構成とすることもできる。または、ゲート接続配線38、38a、38bは、Nチャネル型とPチャネル型で異なる材料を使用してもよい。ゲート接続配線38、38a、38bに、Nチャネル型とPチャネル型とで互いに異なる材料を使用することは、本明細書におけるその他の実施形態においても同様に適用できる。

[0219] また、図10B、図10Cに示される2段CMOSインバータ回路において、以下のように構成することも可能である。即ち、Pチャネル型MOSトランジスタ37aのシリコン柱40aと、Nチャネル型MOSトランジスタ37bのシリコン柱40bのそれぞれの上方部位のP⁺型シリコン層17b、N⁺型シリコン層17aを、酸化シリコン層45に形成したコンタクトホール41a、41bを介して1段目の出力端子配線層Voutに接続する。そして、Pチャネル型MOSトランジスタ37aのシリコン柱40aの下方部位のP⁺多結晶シリコン層55bと、P⁺拡散層6bとに接続された金属層46bを電源端子配線層Vddとするとともに、Nチャネル型MOSトランジスタ37bのシリコン柱40bの下方部位のN⁺多結晶シリコン層55aと、N⁺拡散層6aとに接続された金属層46aをグランド端子配線層Vssとする。この構造においても、図10Cで示した構造と同様な効果が得られる。

[0220] また、図1Kに示される画素構造において、ゲート導体層11a、11bと信号線となるN⁺拡散層6aとの自己整合を行うために、ゲート導体層11a、11bを形成した後に、ヒ素(As)のイオンドーピング、又は、堆積Asドーピング酸化シリコン層を拡散源として、ゲート導体層11a、11bと

N⁺拡散層 6 a 間のシリコン柱 1 a 内に N⁺型シリコン層を形成してもよい。

[0221] また、図 1 I の第 1 の実施形態において、第 1 の半導体基板 1 を第 1 酸化シリコン層 3 の表面までエッチングしてシリコン柱 1 a を形成しているが、このエッチング処理は、第 1 酸化シリコン層 3 の表面に至る前で停止するようにしてもよい。例えば、図 1 4 A に示されるように、エッチングされずに残存したシリコン層にドナー不純物をドーピングすることで N⁺型シリコン層を形成してもよい。

[0222] また、図 2 に示される SGT においても、ゲート導体層 1 6 a, 1 6 b とソース又はドレインとなる N⁺拡散層 6 a との自己整合を行うために、ヒ素 (As) のイオンドーピング、又は、堆積 As ドープ酸化シリコン層を拡散源として、ゲート導体層 1 6 a, 1 6 b と N⁺拡散層 6 a 間のシリコン柱 1 a 内に N⁺型シリコン層を形成してもよい。

[0223] また、図 1 K に示される第 1 の実施形態の製造方法で形成された固体撮像装置の画素にはフォトダイオードを構成する N 型シリコン層 1 2 a, 1 2 b の外周部に、第 3 酸化シリコン層 1 0 a, 1 0 b を介して光を反射する導体層が形成されてもよい。これにより混色が防止される。また、N 型シリコン層 1 2 a, 1 2 b の外周部のシリコン柱 1 a 内に P⁺型シリコン層 1 3 a と接続された P⁺型シリコン層を形成することで低残像・低ノイズが実現される構造としてもよい。このように、シリコン柱 1 a に固体撮像装置の機能がより高められる構造を適宜形成することができる。

[0224] また、本発明の技術的思想は、同一基板上に 1 つの実施形態における回路素子だけでなく、複数の実施形態における回路素子が形成されるものにも適用されることは言うまでもない。また、各実施形態における各製造工程は、同一の構成が製造される場合には、順序を適宜変更することができる。

[0225] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

産業上の利用可能性

[0226] 本発明は、柱状構造を有する半導体内にチャネル領域が形成されているトランジスタを備える半導体装置に適用できる。

符号の説明

[0227] 1 第1の半導体基板
1 a、1 b、4 0 a、4 0 b、4 0 c、4 0 d シリコン柱
1 n Nチャネル型SGT形成領域
1 p Pチャネル型SGT形成領域
2 分離層
3、3 a、3 b、2 9、1 0 1 a、1 0 1 b 第1酸化シリコン層
4 孔
5、2 3 多結晶シリコン層
5 a、5 b、5 a a、5 b 2、5 b b 2、2 3 a、2 3 b、5 1、5 5 a
、1 0 4 N⁺多結晶シリコン層
5 b 1、5 b b 1、5 5 b P⁺多結晶シリコン層
6 a、6 a a、6 a b、6 b 2 N⁺拡散層
6 b、1 0 2、6 b 1 P⁺拡散層
7、7 a、7 b、7 b 1、7 b 2、7 a a、7 b b、2 6 a、2 6 b、2
8、3 2、5 9、1 0 5 金属層
7 a、7 b、7 a a、7 b b 第1接続用金属層
8 第2酸化シリコン層
9 第2半導体基板
1 0 a、1 0 b 第3酸化シリコン層
1 1 a、1 1 b、1 1 c、1 1 d、1 6 a、1 6 b、1 6 c、1 6 d、1
6 a a、1 6 a b、1 6 b a、1 6 b b、5 4 a、5 4 b ゲート導体層
1 2 a、1 2 b、1 2 c、1 2 d N型シリコン層
1 3 a、1 3 b、1 7 b、3 1、5 6 P⁺型シリコン層
1 4 a、1 4 b、1 4 c、1 4 d 画素選択金属配線層

15 a、15 b、15 c、15 d、71 ゲート絶縁層
17 a、51 N⁺型シリコン層
18 a、18 b、22 a、22 b、22 c、24 a、24 b、26 a、26 b、35、42、109 金属配線層
20、29、33、43、45、62、101 a、101 b、103、107 酸化シリコン層
21 c、34、41 a、41 b、41 c、41 d、41 e、41 f、75、108 コンタクトホール
27 容量酸化シリコン層
30、52 P型シリコン層
30 a、58 a、58 b N型シリコン層
30 b i型シリコン層
37 a、37 c Pチャネル型MOSトランジスタ
37 b、37 d Nチャネル型MOSトランジスタ
38、38 a、38 b ゲート接続配線
39、39 a、39 b ドレイン接続配線
47 a マスク合わせマーク形成領域
47 b 回路形成領域
48 酸化シリコン層除去領域
49 a マーク金属層
49 b マーク多結晶シリコン層
50 マスク合わせ孔
50 a 透明絶縁層
53 a、53 b 絶縁膜
57 a、57 b 画素選択線
60 シリコン基板
61、64 半導体基板
66 埋め込み酸化膜基板

- 67 平面状シリコン膜
- 68 PMOS柱状シリコン層
- 69、70 P⁺型シリコン拡散層
- 71 ゲート絶縁層
- 72 ゲート電極
- 73 窒化シリコン (SiN) 膜
- 74 酸化シリコン (SiO₂) 膜
- 76 ソース金属配線
- 100 容量形成領域
- 106 (ドナー不純物がドーピングされた) N⁺多結晶シリコン層
- 110 柱状半導体
- 111 (ドナー不純物又はアクセプタ不純物がドーピングされていない) 多結晶シリコン層
- Vi 入力端子配線 (層)
- Vdd 電源端子配線 (層)
- Vss グランド端子配線 (層)
- Vo、Vout 出力端子配線 (層)

請求の範囲

[請求項1]

半導体基板上の所定領域に第1の絶縁層を形成し、前記所定領域上の第1の絶縁層を除去することで、絶縁層除去領域を形成する第1絶縁層形成・除去工程、または、前記所定領域の周辺において、前記半導体基板を厚さ方向に一部除去し、当該半導体基板を除去した半導体基板除去領域に第1の絶縁層を形成する第2絶縁層形成・除去工程と、

、

少なくとも前記所定の領域を覆うように、前記半導体基板上にドナー不純物又はアクセプタ不純物を含む第1の半導体層を形成する第1半導体層形成工程と、

前記第1の半導体層上に導体層を形成する導体層形成工程と、

前記導体層及び前記第1の半導体層を所定の形状に成形する成形工程と、

前記所定の形状に成形した導体層及び第1の半導体層を覆うように、第2の絶縁層を形成する第1絶縁層形成工程と、

前記第2の絶縁層の表面を平坦化する平坦化工程と、

前記平坦化された前記第2の絶縁層の表面に、基板を接着する接着工程と、

前記半導体基板を所定の厚さまで薄くする薄膜化工程と、

前記第1の半導体層上に、前記半導体基板から柱状構造を有する柱状半導体を形成する柱状半導体形成工程と、

前記柱状半導体に回路素子を形成する回路素子形成工程と、を備え、

、

少なくとも前記第1半導体層形成工程以後に、前記ドナー不純物又はアクセプタ不純物を含む前記第1の半導体層から当該不純物を拡散させることで前記柱状半導体に第1の半導体領域を形成する第1半導体領域形成工程をさらに備える、

ことを特徴とする半導体装置の製造方法。

- [請求項2] 前記回路素子形成工程は、
前記柱状半導体の外周部に第3の絶縁層を形成するとともに、前記第3の絶縁層の外周部にゲート導体層を形成する工程と、
前記ゲート導体層の上方部位かつ前記柱状半導体の表層部に、前記第1の半導体領域と同一導電型である第4の半導体領域を形成する工程と、
前記柱状半導体において、前記第3の絶縁層の上方部位に、前記第1の半導体領域と反対導電型の第3の半導体領域を形成する工程と、を含む、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記回路素子形成工程は、
前記柱状半導体の外周部に第3の絶縁層を形成するとともに、前記第3の絶縁層の外周部にゲート導体層を形成する工程と、
前記柱状半導体における前記第3の絶縁層の上方部位に、前記第1の半導体領域と同一導電型の第5の半導体領域を形成する工程と、を含む、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記回路素子形成工程は、
前記柱状半導体の上方部位に、前記第1の半導体領域と反対導電型の第6の半導体領域を形成する工程を含む、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項5] 前記第1半導体層形成工程は、前記第1の半導体層と同層に、電気抵抗として機能する第2の半導体層を形成する工程を含む、ことを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。
- [請求項6] 前記第1半導体層形成工程は、容量電極として機能する前記第1の半導体層上の所定の領域に容量絶縁膜として機能する絶縁膜を形成する工程を含み、
前記導体層形成工程は、前記絶縁膜上に、前記第1の半導体層と共に容量電極として機能する導体層を形成する工程を含む、ことを特徴

とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項7] 前記第 1 絶縁層形成・除去工程は、前記半導体基板上に、第 1 の絶縁層と共に第 4 の絶縁層を形成するとともに、予め設定した容量形成領域に、前記第 4 の絶縁層よりも厚さが薄く、容量絶縁膜として機能する第 5 の絶縁層を形成する工程を含み、

前記導体層形成工程は、前記第 5 の絶縁層上に、容量電極として機能する導体層を形成する工程を含み、

前記第 1 及び第 2 絶縁層形成・除去工程は、前記容量形成領域に、ドナー不純物又はアクセプタ不純物を有し、容量電極として機能する不純物層を形成する容量形成工程を含む、ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項8] 前記半導体基板上にマスク合わせマーク形成領域を設定するマスク合わせマーク形成領域設定工程と、

前記マスク合わせマーク形成領域に、マスク合わせ孔を形成し、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導体層の少なくとも一つを露出させる工程と、

前記マスク合わせ孔を通して、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導体層の内の少なくとも一つからなるマスク合わせマークを形成するマスク合わせマーク形成工程と、

前記マスク合わせマークを基準として、フォトマスクのマスク合わせを行うマスク合わせ工程と、をさらに備える、ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項9] 前記マスク合わせ孔に透明絶縁体を埋め込む工程をさらに備え、

前記マスク合わせマーク形成工程では、前記透明絶縁体を通して、前記絶縁層除去領域、前記第 1 の絶縁層及び前記導体層の内の少なくとも一つからなるマスク合わせマークを形成し、

前記マスク合わせ工程では、前記マスク合わせマークを基準として

、フォトマスクのマスク合わせを行う、ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

[請求項10] 前記第 1 または第 2 絶縁層形成・除去工程と、前記第 1 半導体層形成工程との間に、前記絶縁層除去領域を覆うように、ドナー不純物及びアクセプタ不純物がドーピングされていない第 2 の半導体層を形成する工程をさらに備える、ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項11] 請求項 2 に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対導電型の半導体又は真性半導体からなる第 2 の半導体領域を備え、

前記第 2 の半導体領域と前記第 4 の半導体領域とから電磁エネルギー波の照射により発生する信号電荷を蓄積するダイオードが形成され、

前記ダイオードがゲートとして機能し、前記第 1 の半導体領域と前記第 3 の半導体領域のいずれか一方がソース、他方がドレインとしてそれぞれ機能し、かつ、前記第 2 の半導体領域に形成されたチャネルを流れるとともに前記ダイオードに蓄積された信号電荷量に応じて変化する電流を信号取り出し手段によって取り出し可能とされた接合電界効果トランジスタが形成され、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半導体領域及び前記第 4 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタによって、前記ゲート導体層に電圧が印加されることで、前記ダイオードに蓄積された信号電荷を前記第 1 の半導体領域に除去する信号電荷除去手段が形成されている、ことを特徴とする半導体装置。

[請求項12] 請求項 3 に記載の半導体装置の製造方法によって製造される半導体

装置であって、

前記柱状半導体は、

前記第 1 の半導体領域上に形成された当該第 1 の半導体領域と反対導電型又は真性半導体からなる第 2 の半導体領域を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第 1 の半導体領域及び前記第 5 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタが形成されている、ことを特徴とする半導体装置。

[請求項13] 請求項 4 に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記柱状半導体は、

前記第 1 の半導体領域と第 6 の半導体領域との間に、前記第 1 の半導体領域と反対導電型又は真性半導体からなる第 2 の半導体領域を備え、

前記第 2 の半導体領域と、前記第 6 の半導体領域と、からダイオードが形成されている、ことを特徴とする半導体装置。

[請求項14] 請求項 1 又は 3 に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体は、前記第 1 の半導体領域にアクセプタ不純物がドーピングされている複数の第 1 の柱状半導体と、前記第 1 の半導体領域にドナー不純物がドーピングされている複数の第 2 の柱状半導体とからなる、ことを特徴とする半導体装置。

[請求項15] 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記第 1 の半導体層上に複数の前記柱状半導体が形成されており、

前記複数の柱状半導体における、複数の前記第 1 の半導体領域、及び、複数の前記導体層の内の両方、又は、一方が互いに接続されてい

る、ことを特徴とする半導体装置。

[請求項16] 請求項3に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記第1の半導体層上に複数の前記柱状半導体が形成されており、
前記各柱状半導体は、

前記第1の半導体領域上に形成された当該第1の半導体領域と反対導電型の半導体又は真性半導体からなる第2の半導体領域と、

前記第2の半導体領域上に形成された第5の半導体領域と、

前記第2の半導体領域の外周部に形成された第3の絶縁層と、

前記第3の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第1の半導体領域及び前記第5の半導体領域の一方がソースとして機能し、他方がドレインとして機能するMOSトランジスタが形成され、

前記第1の半導体層は、前記複数の柱状半導体に亘って連続して繋がるように形成されているとともに、前記繋がるように形成された前記第1の半導体層は、絶縁層に形成されたコンタクトホールを介して、外部回路に接続するための配線層に接続されている、ことを特徴とする半導体装置。

[請求項17] 請求項3に記載の半導体装置の製造方法によって製造される半導体装置であって、

前記第1の半導体層上に複数の前記柱状半導体が形成されており、
前記各柱状半導体は、

前記第1の半導体領域上に形成された当該第1の半導体領域と反対導電型の半導体又は真性半導体からなる第2の半導体領域と、

前記第2の半導体領域上に形成された第5の半導体領域と、

前記第2の半導体領域の外周部に形成された第3の絶縁層と、

前記第3の絶縁層の外周部に形成されたゲート導体層と、を備え、

前記ゲート導体層がゲートとして機能するとともに、前記第1の半

導体領域及び前記第 5 の半導体領域の一方がソースとして機能し、他方がドレインとして機能する MOS トランジスタが形成され、

前記第 1 の半導体層は、前記複数の柱状半導体に亘って連続して繋がるように形成されているとともに、前記第 1 の半導体層は、絶縁層に形成されたコンタクトホールを介して、所定のトランジスタのゲートに接続するための配線層に接続されている、ことを特徴とする半導体装置。

[請求項 18] 前記第 2 絶縁層形成・除去工程は、前記柱状半導体を形成する領域の周辺の前記半導体基板をエッチングする半導体基板エッチング工程と、

前記エッチングされた領域の前記半導体基板上に、前記第 1 の絶縁層を形成する工程と、

前記エッチングにより露出した前記半導体基板と、当該露出した半導体基板の周辺に位置する前記第 1 の絶縁層上に、前記第 1 の半導体層を形成する工程と、を含む、

ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

[請求項 19] 前記第 2 絶縁層形成・除去工程は、前記柱状半導体を形成する領域の前記半導体基板の周辺の領域を選択的に酸化して前記第 1 の絶縁層としての選択酸化層を形成する工程を含む、

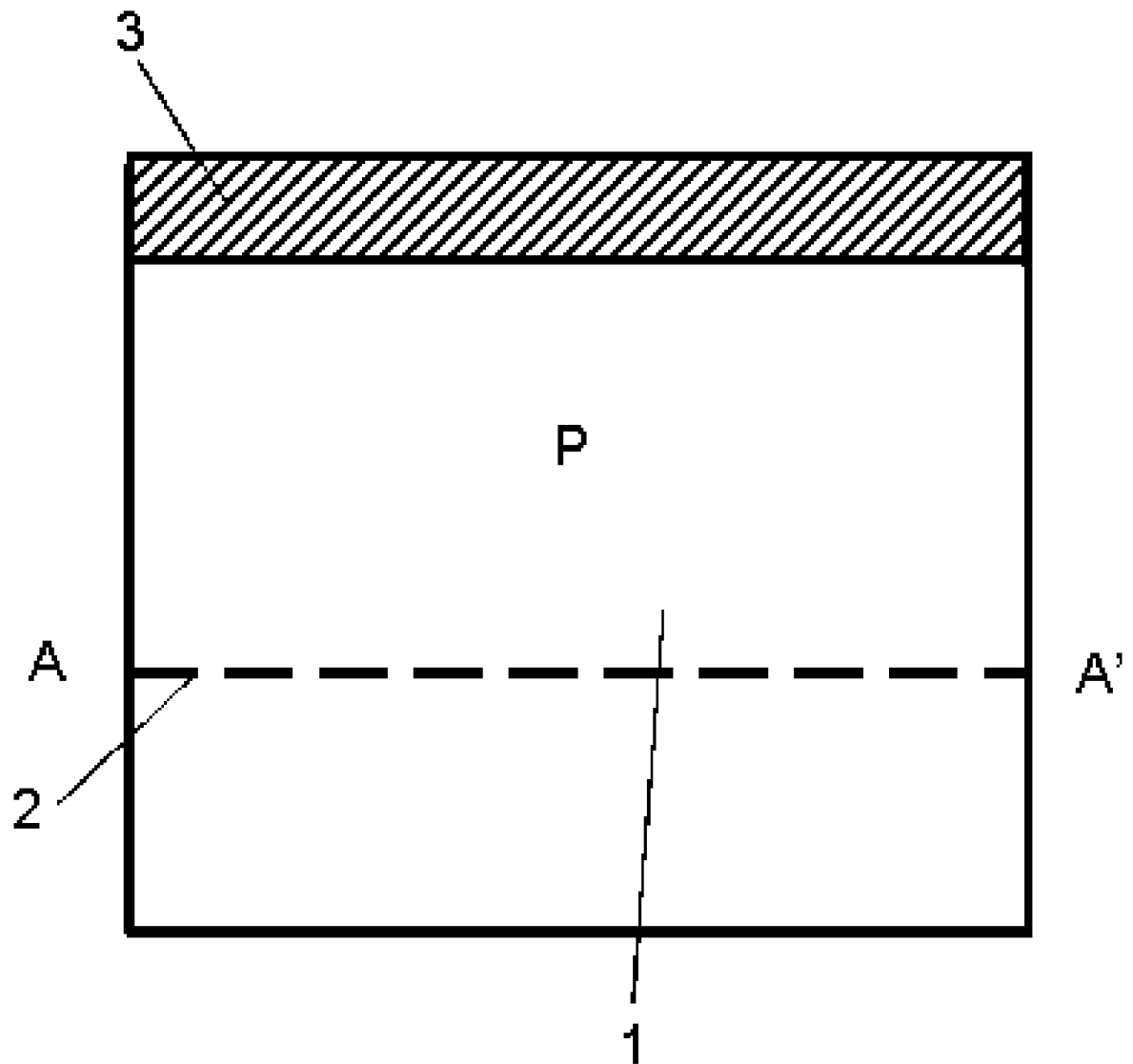
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

[請求項 20] 前記柱状半導体を形成する領域における前記半導体基板上に、少なくとも 2 つ以上の、互いに分離された前記第 1 の絶縁層を形成する領域を形成する工程と、

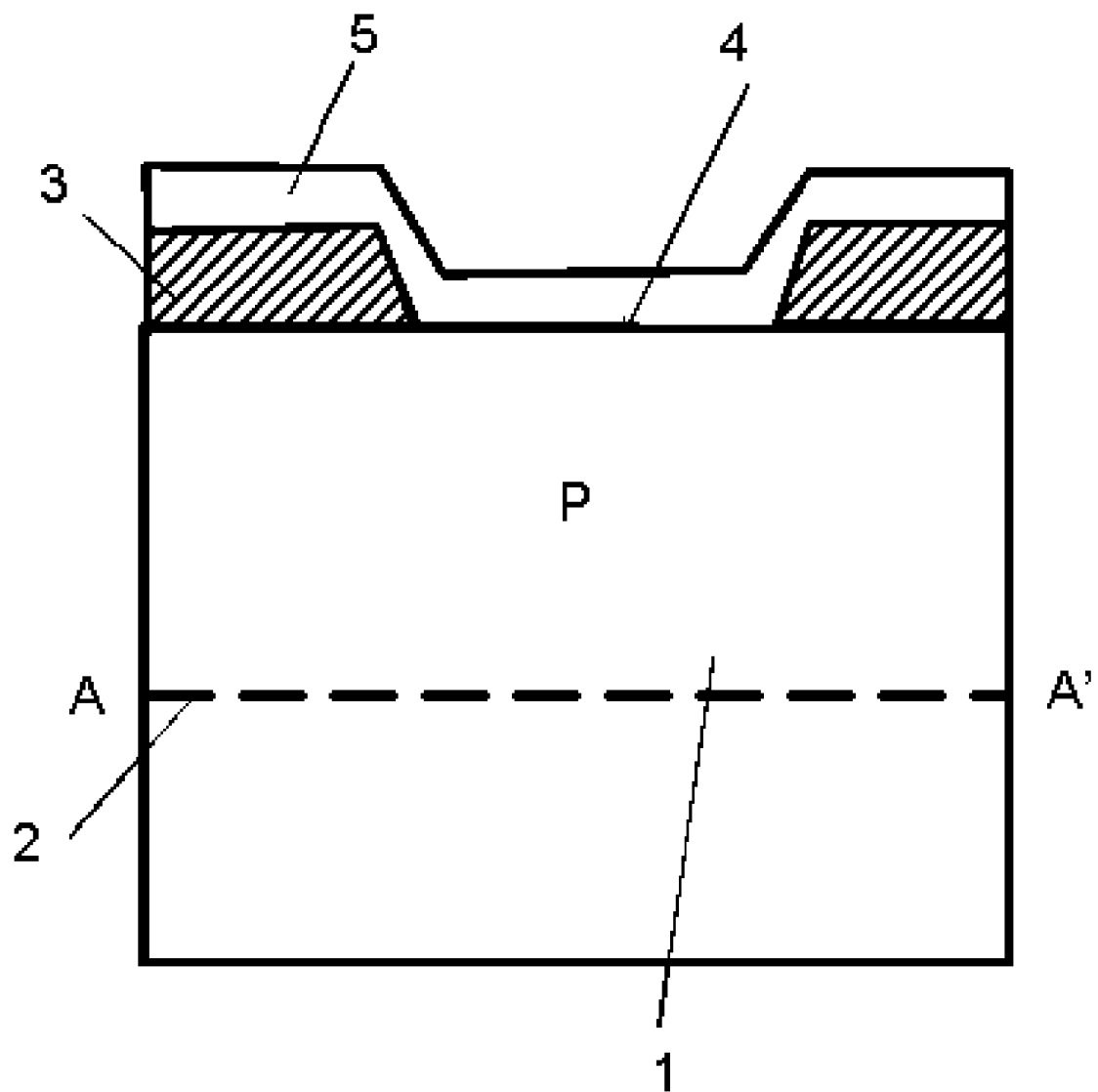
前記互いに分離された領域における前記第 1 の絶縁層で囲まれ、かつ、露出した前記半導体基板の表面上に、互いに分離され、ドナーまたはアクセプタがドーピングされた複数の前記第 1 の半導体層と、前記第 1 の半導体層に接続された前記導体層と、を形成する工程を含む、

ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

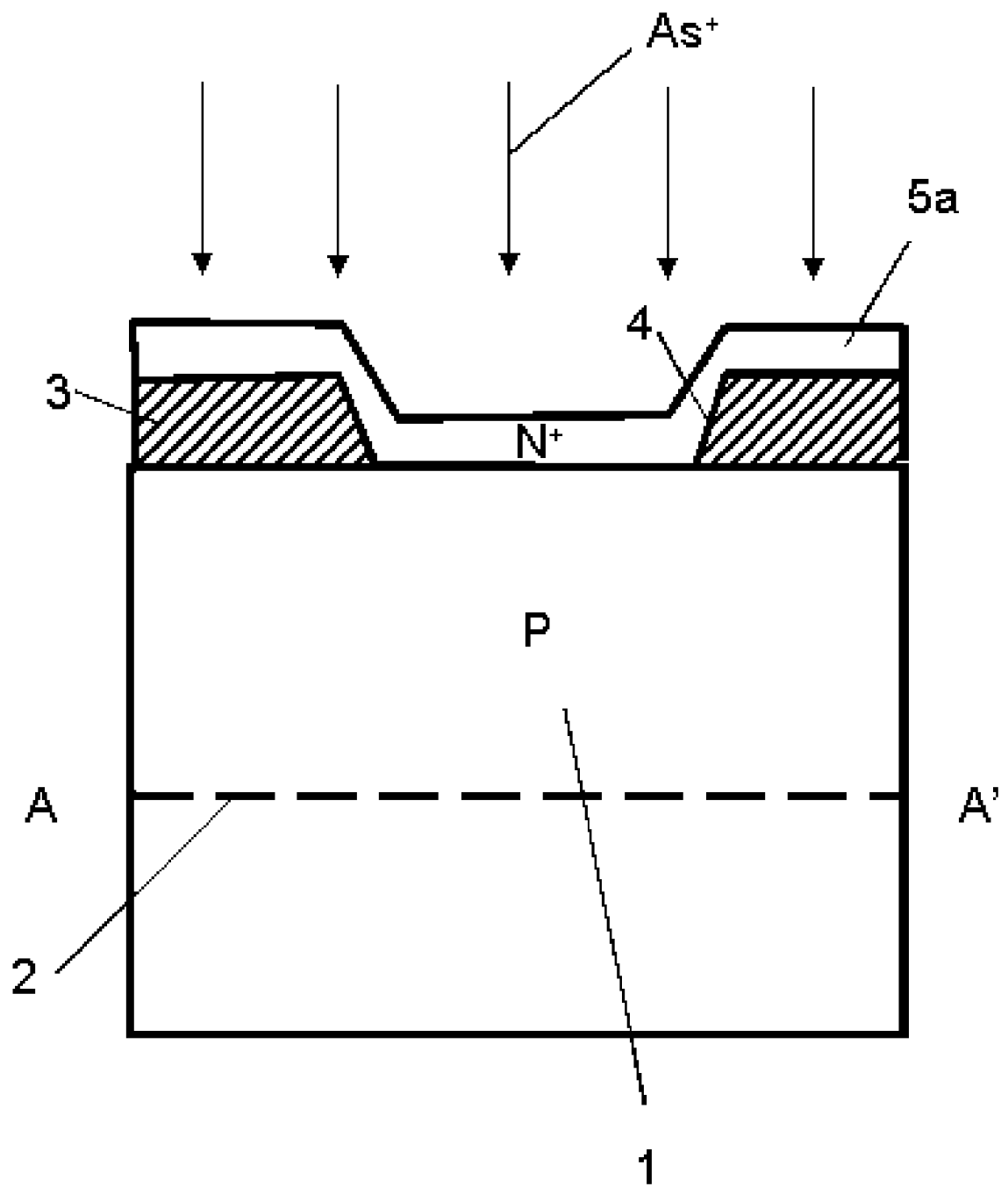
[図1A]



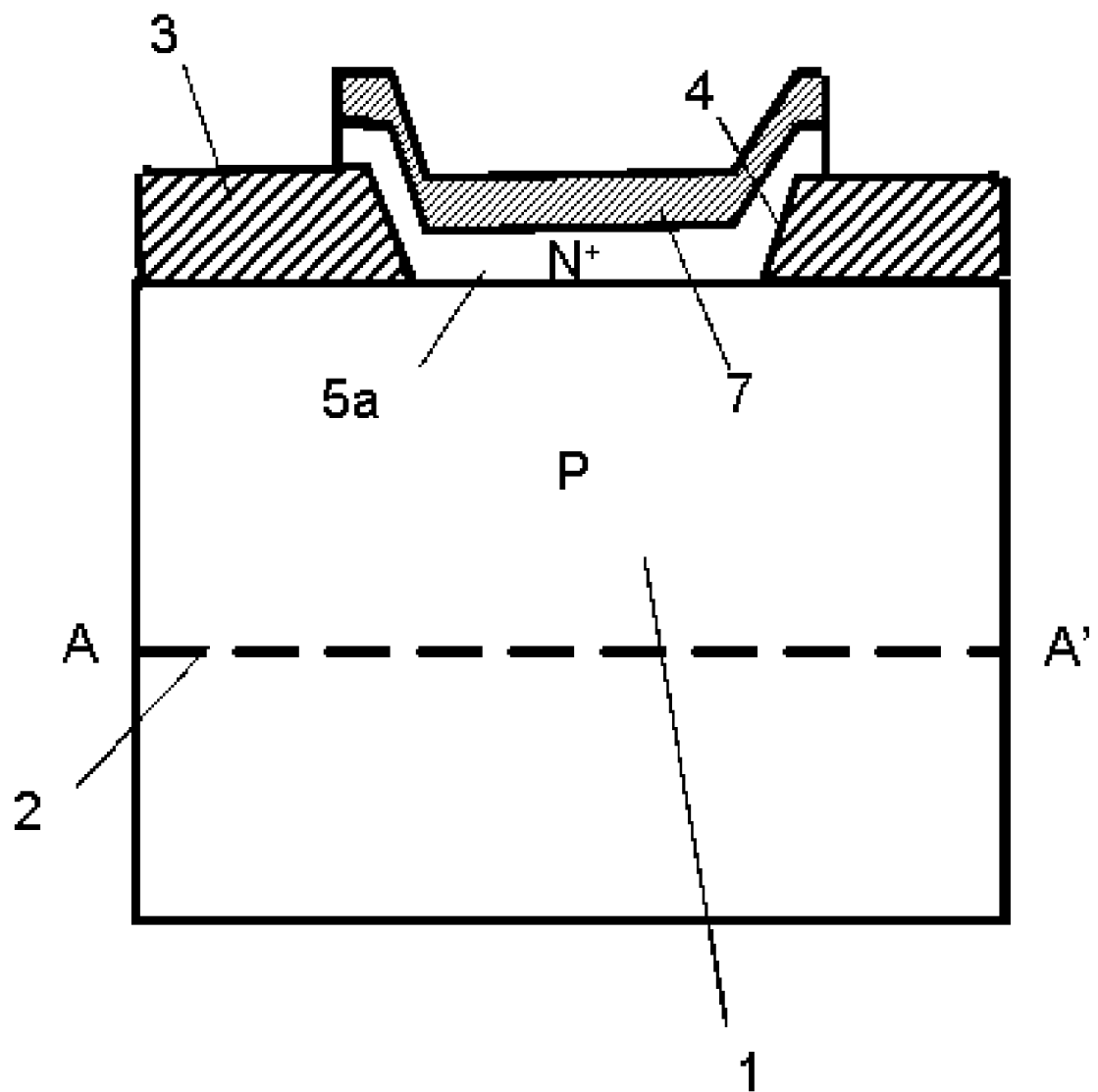
[図1B]



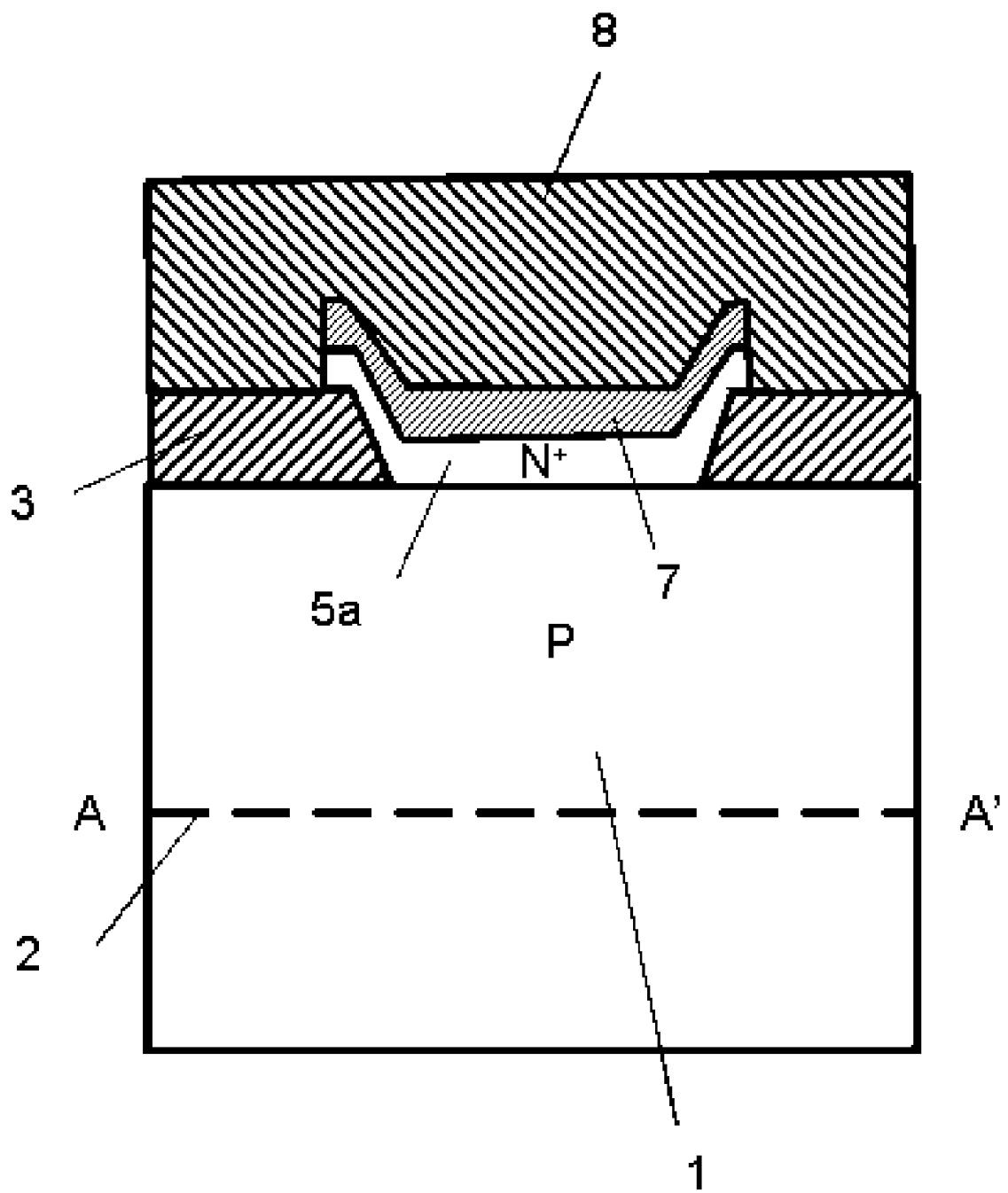
[図1C]



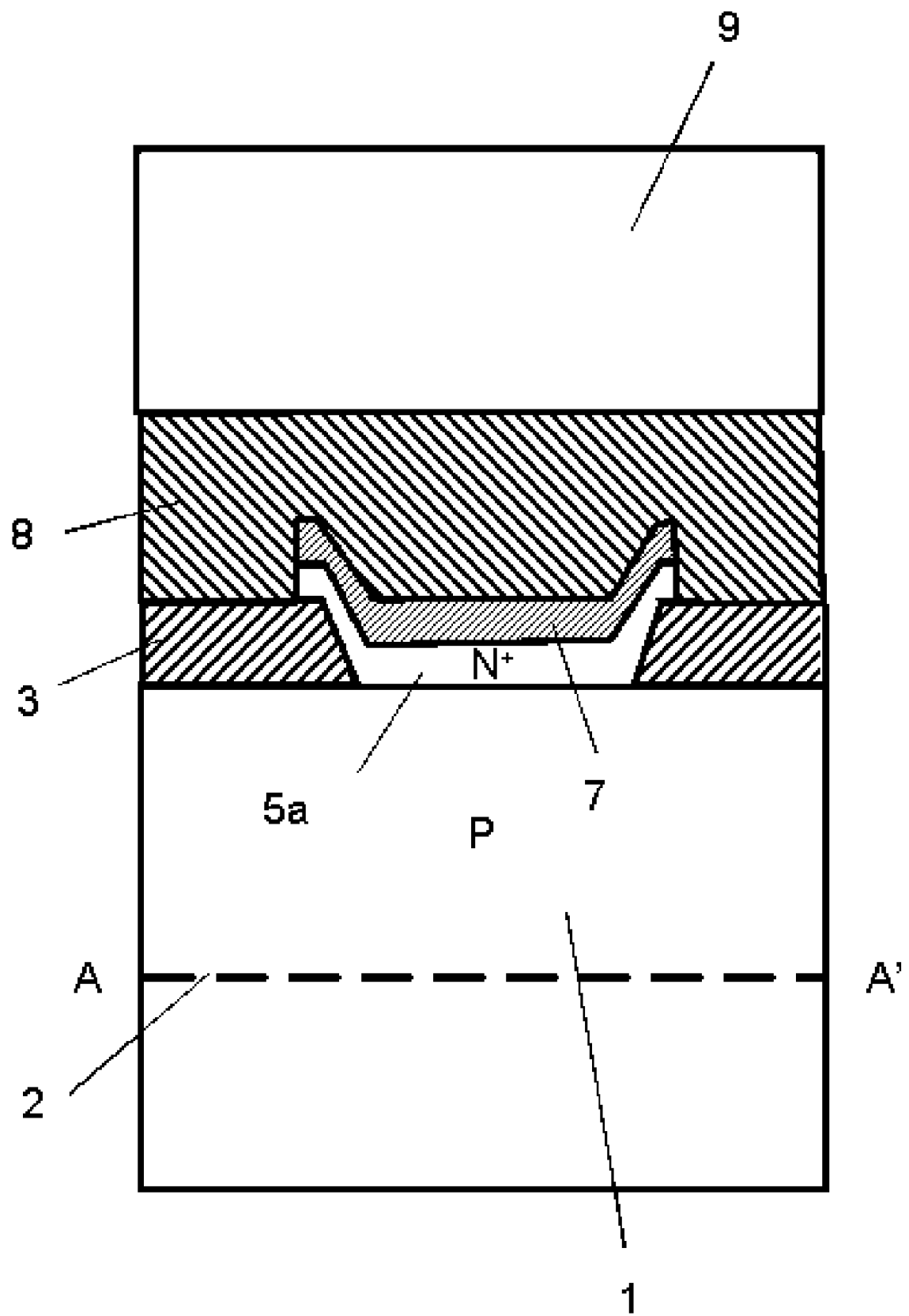
[図1E]



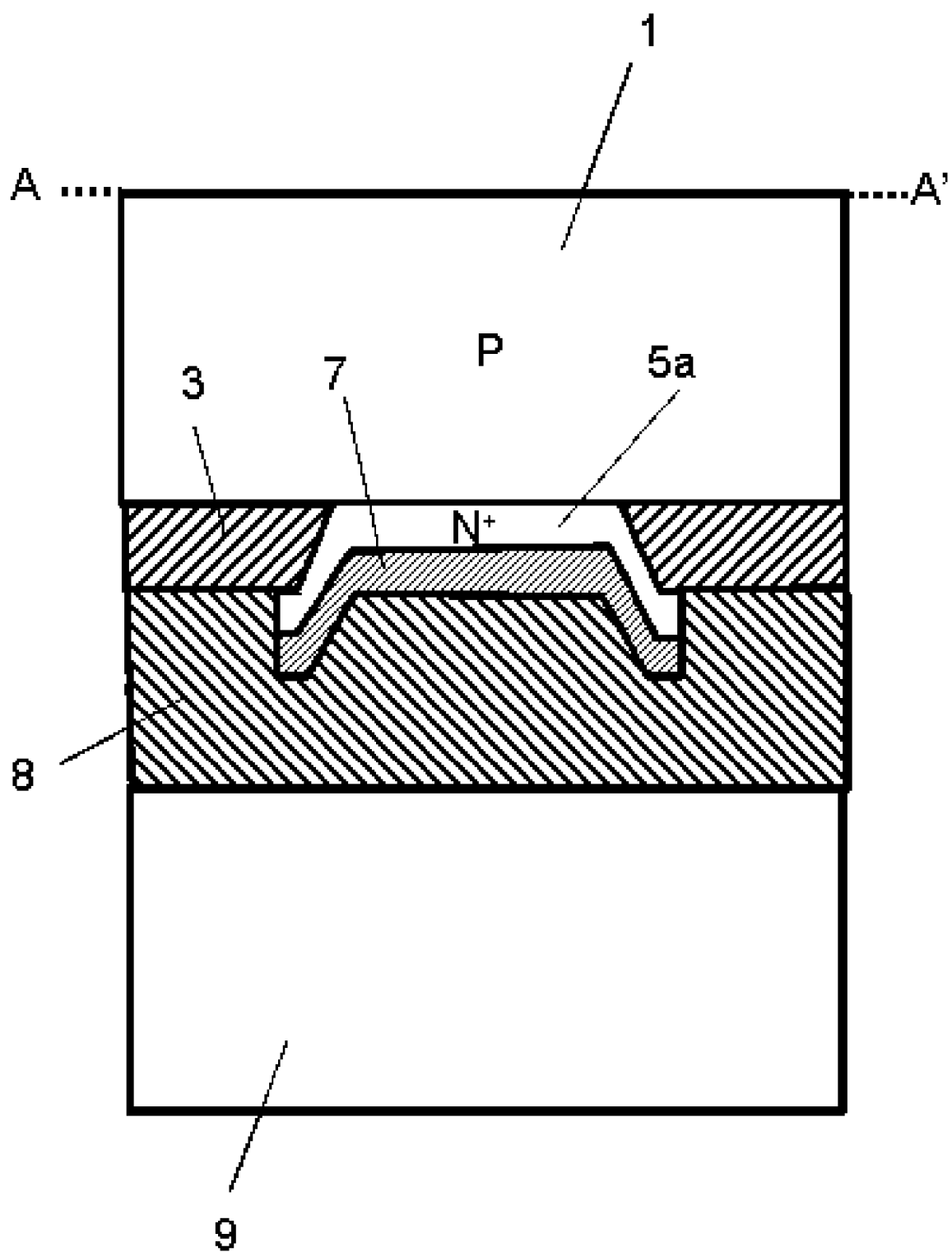
[図1F]



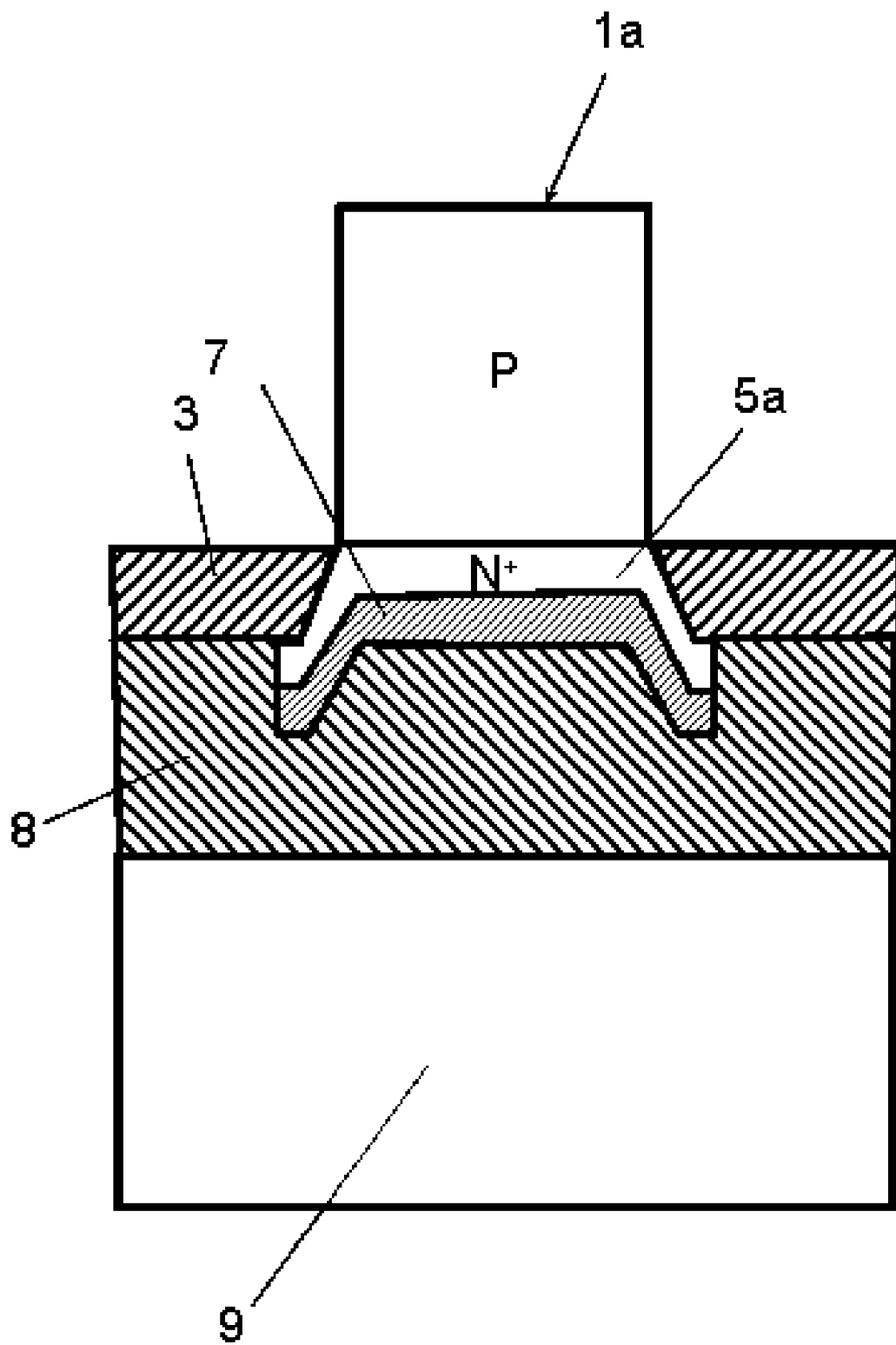
[図1G]



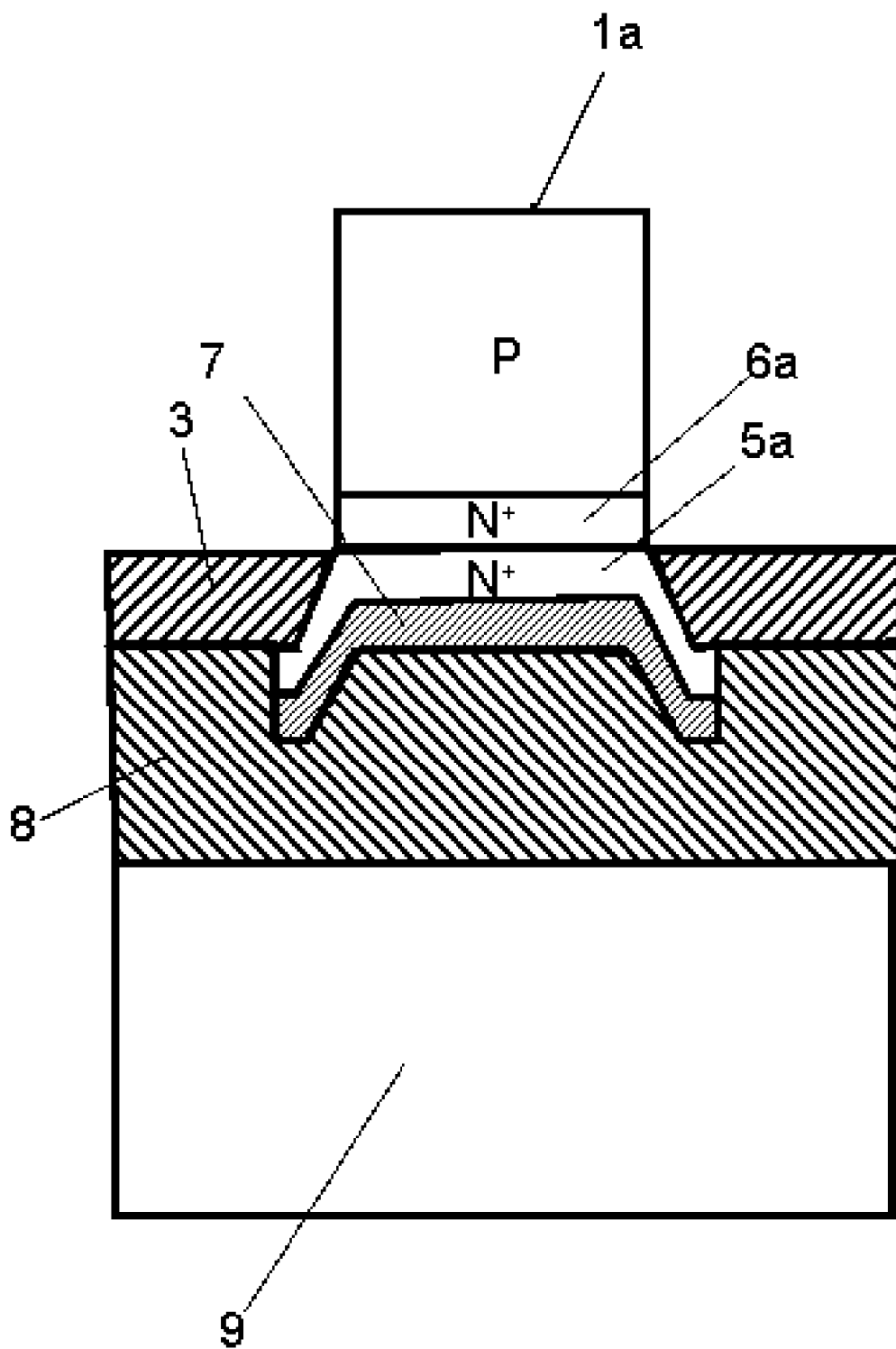
[図1H]



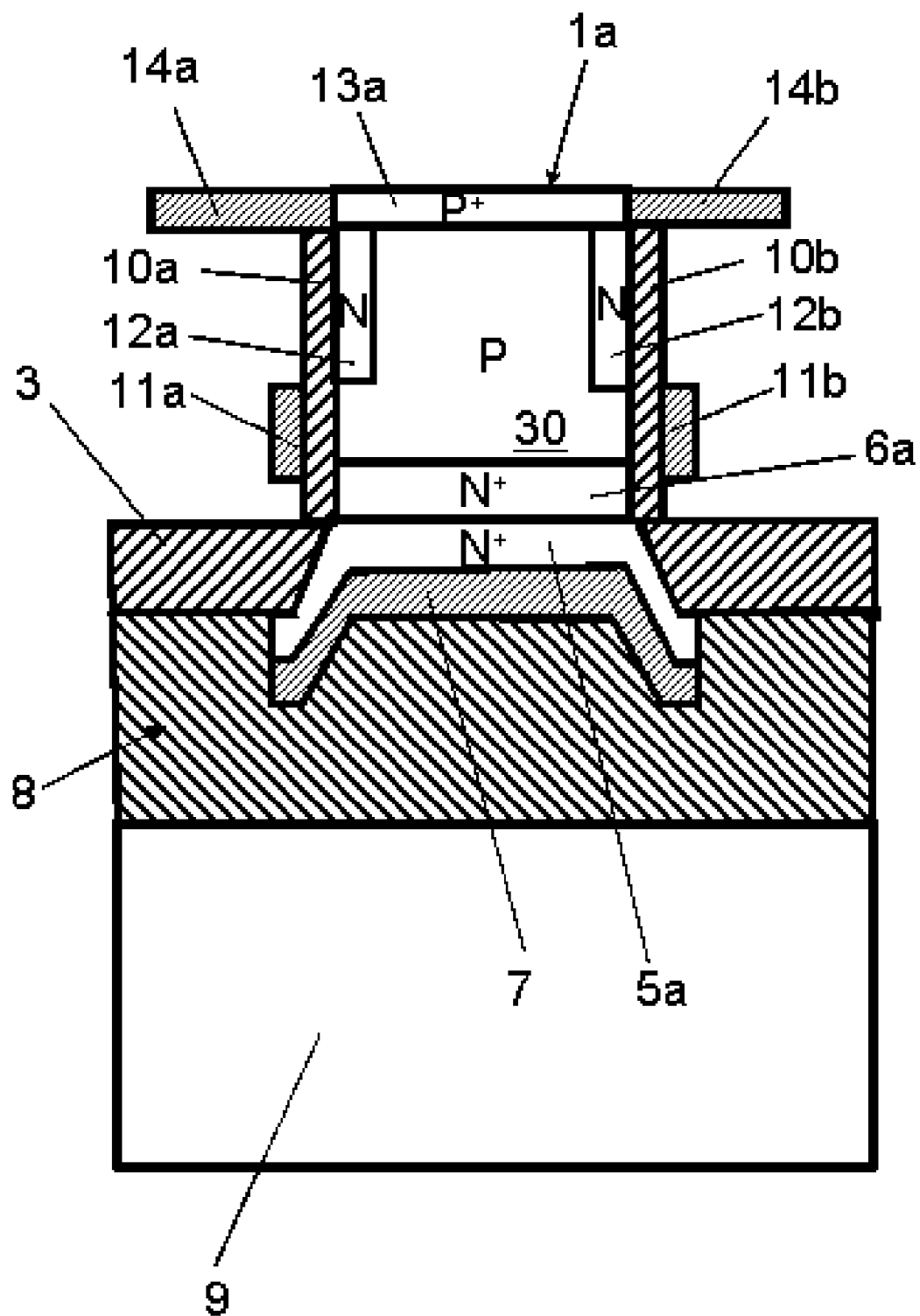
[図1I]



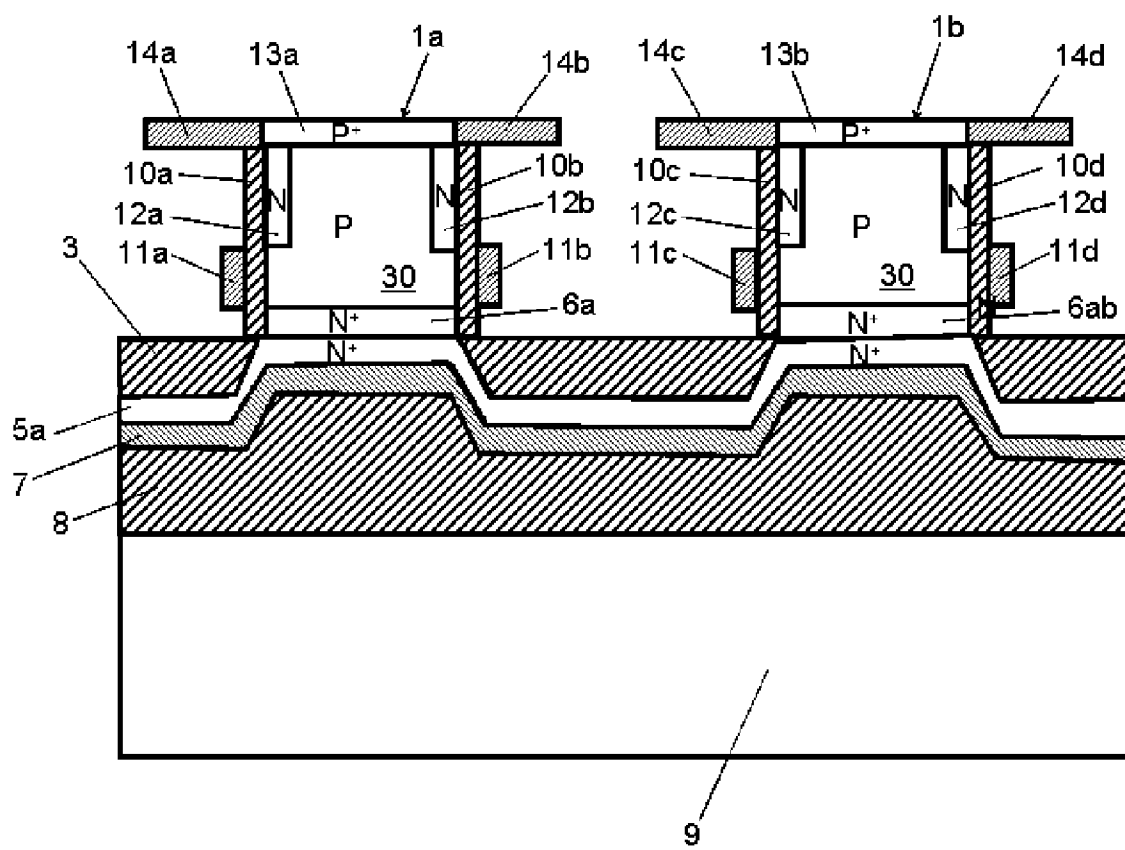
[図1J]



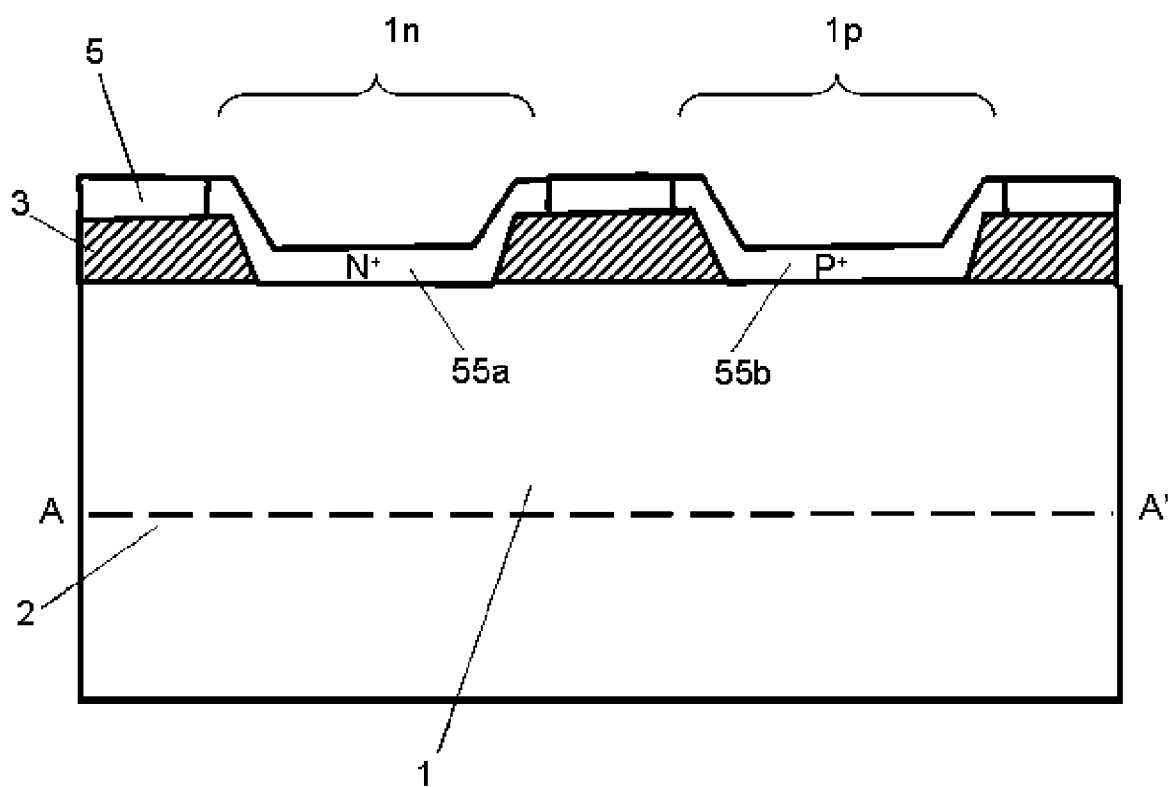
[図1K]



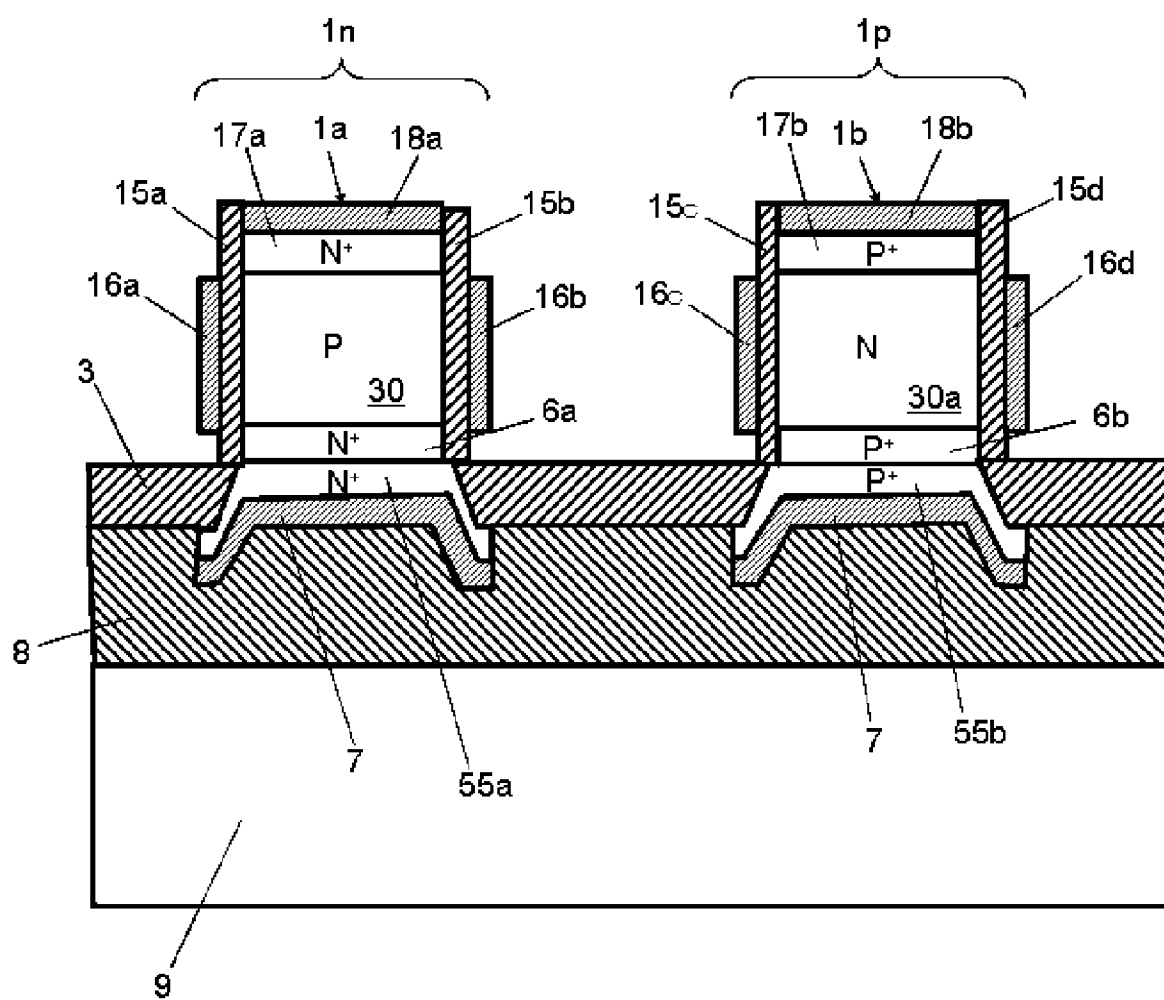
[図1L]



[図3A]



[図3B]



[図4]

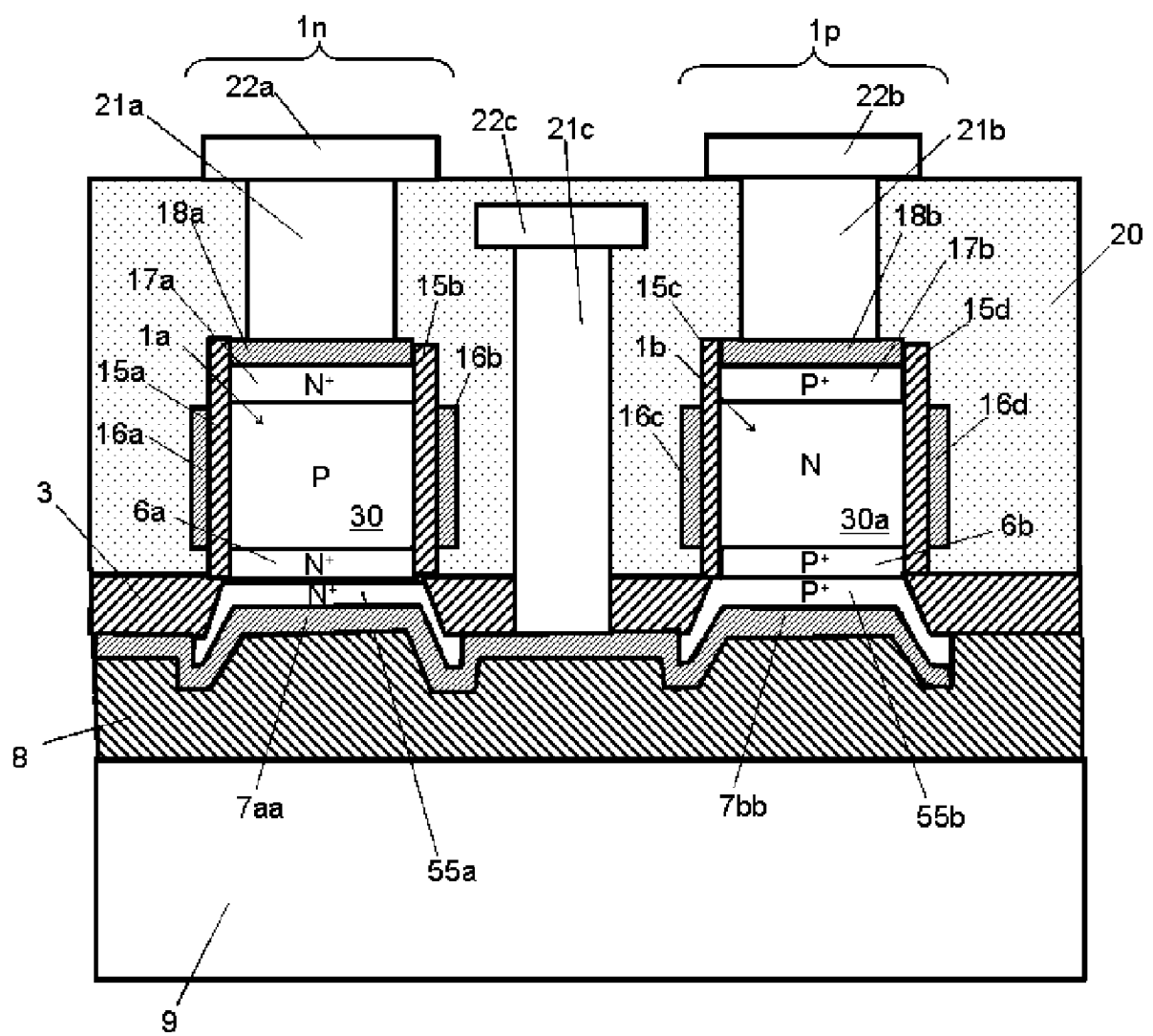
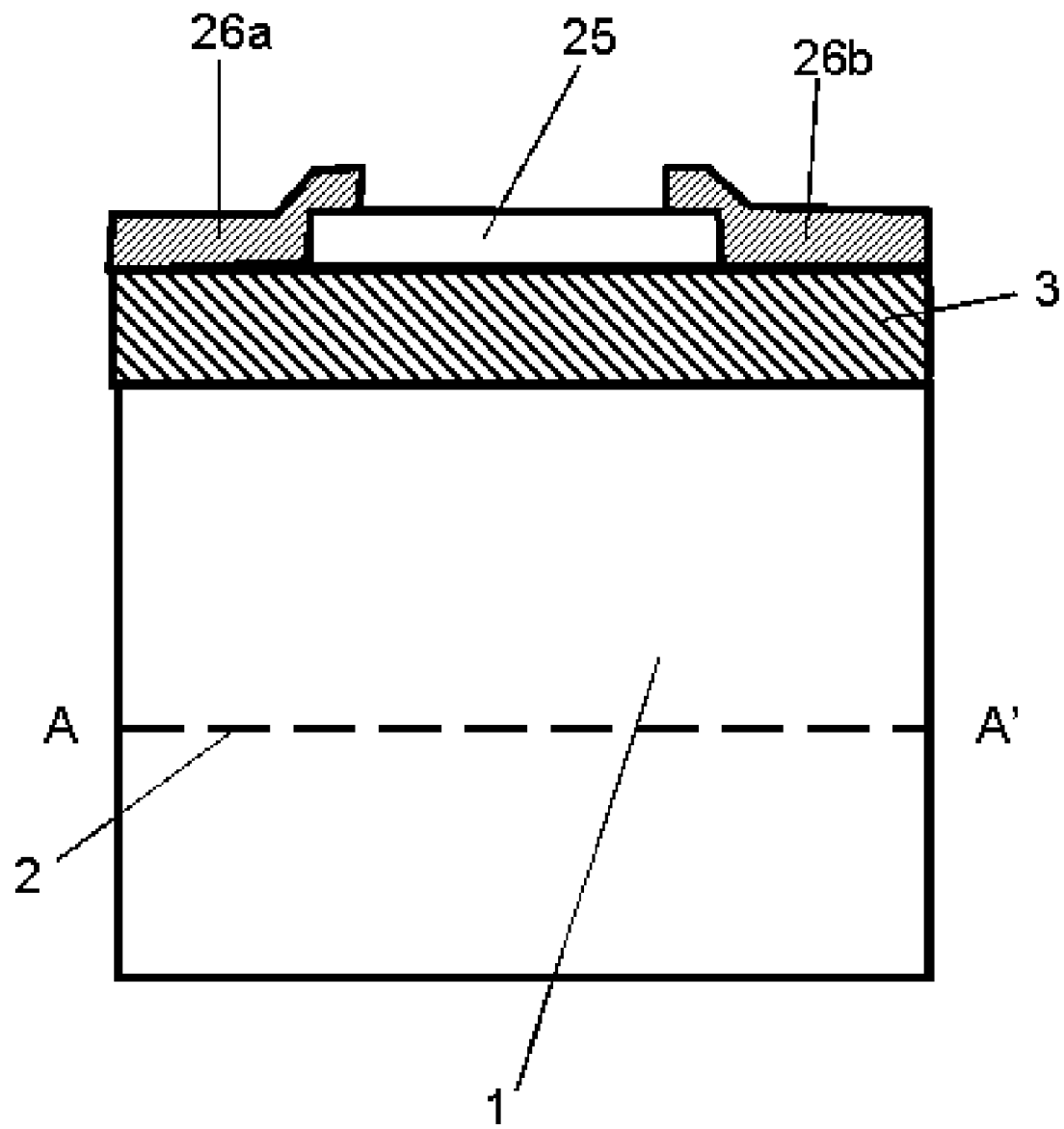
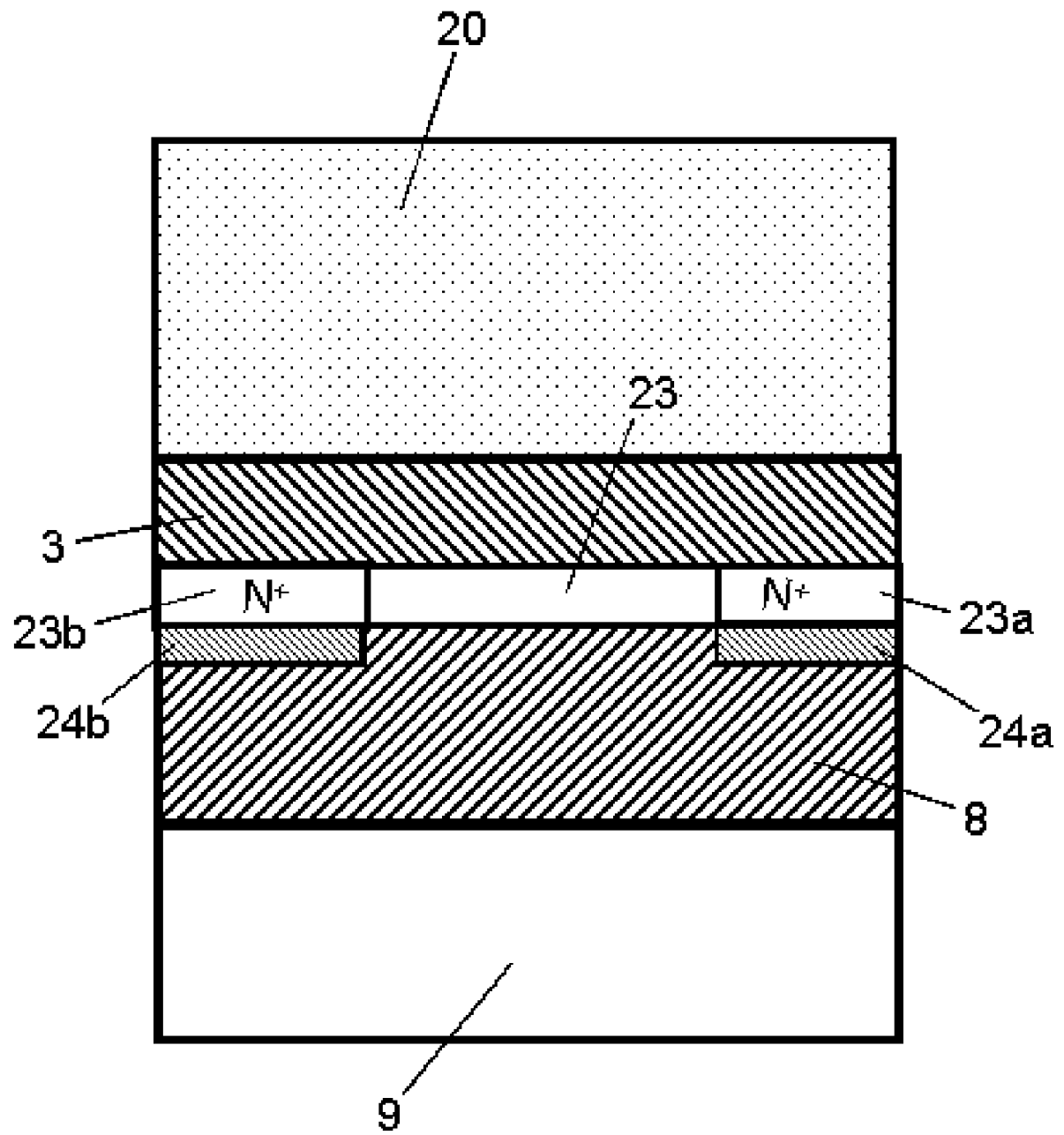


Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate (1) with a dashed line A-A' indicating a cross-section. A layer (2) is formed on the substrate. A thick layer (3) is formed on top of layer (2). A central region (23) is formed in layer (3), flanked by N+ regions (23a, 23b). Above these regions are layers 24a(7) and 24b(7).

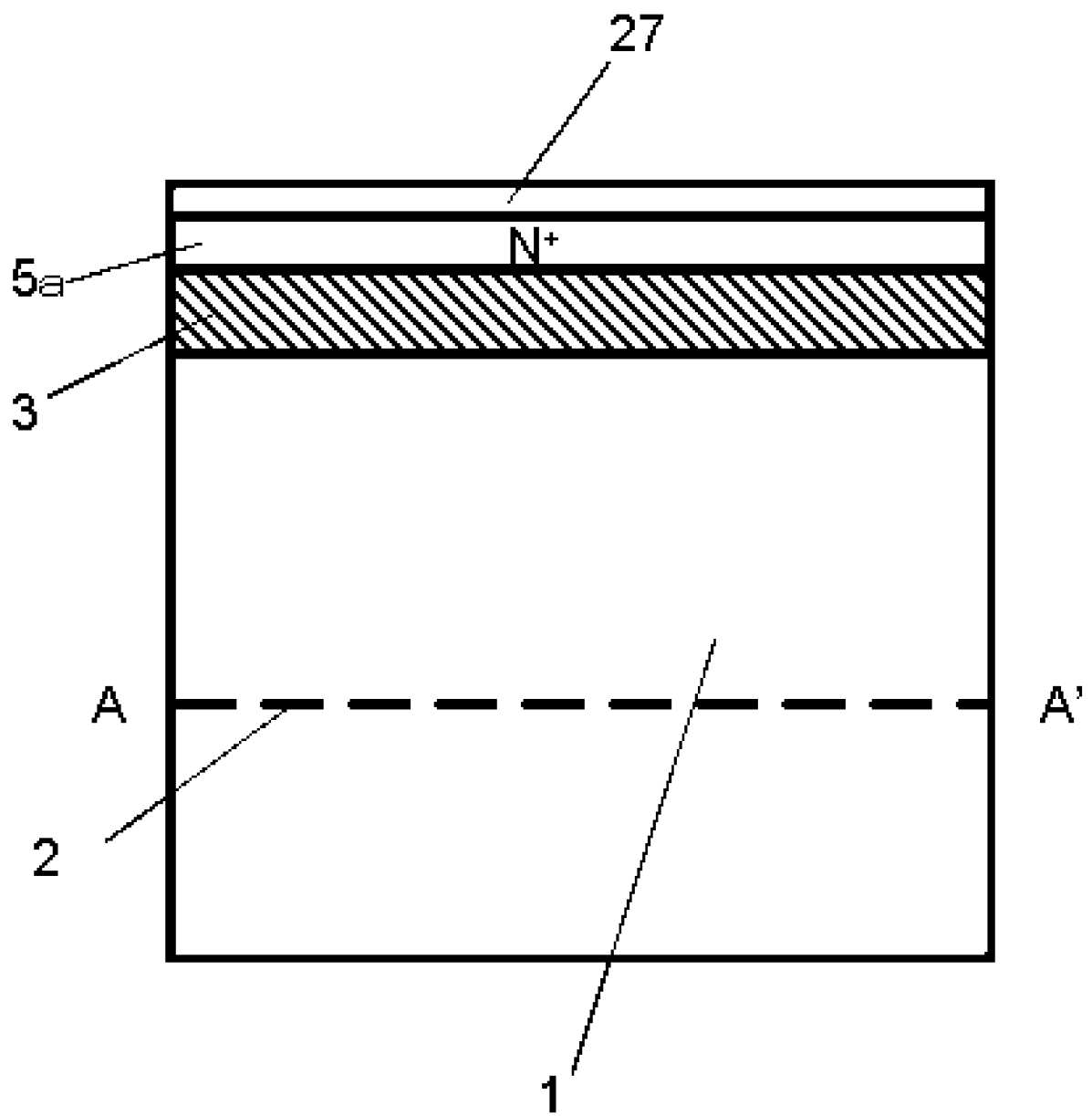
[図5B]



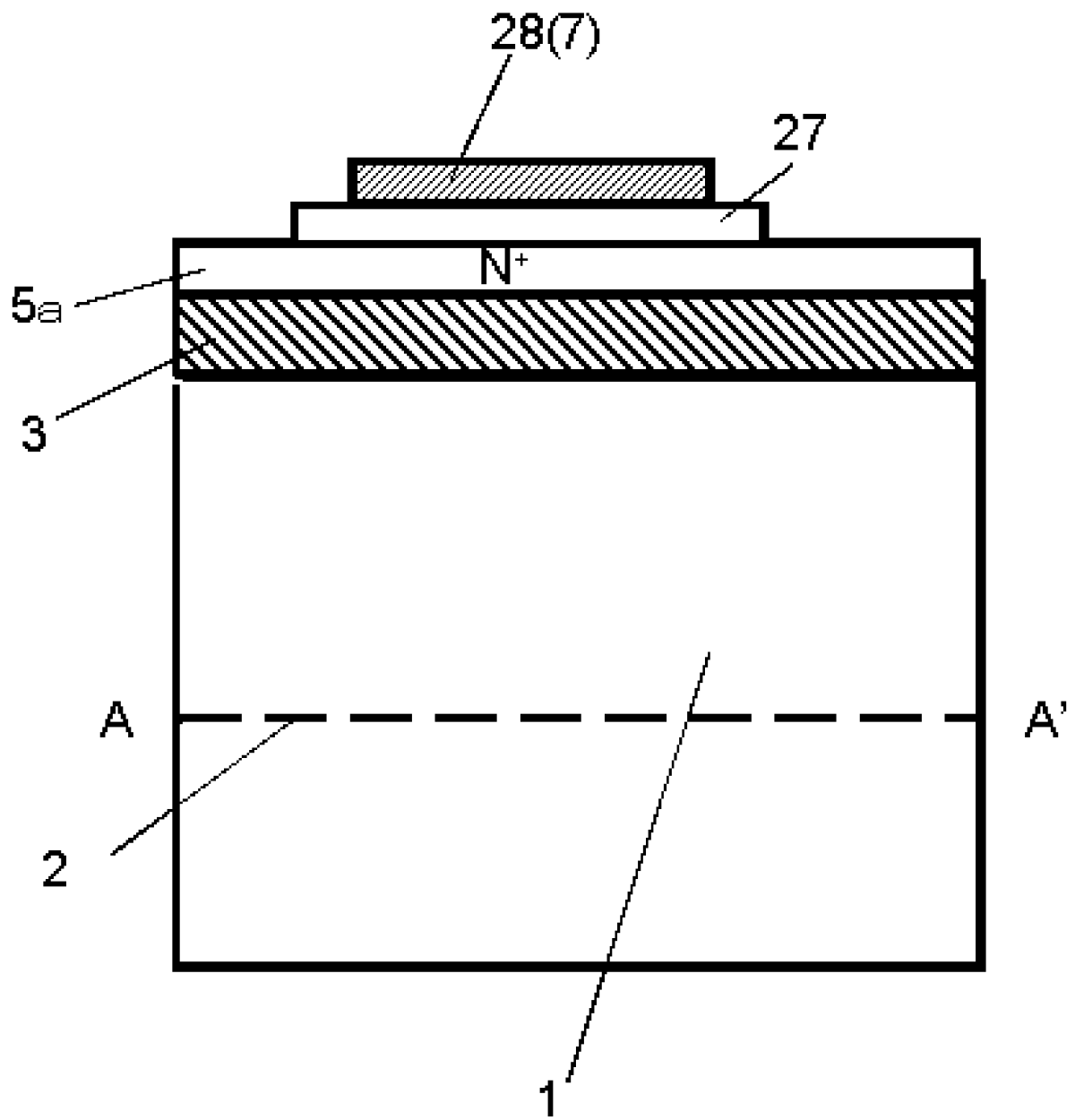
[図5C]



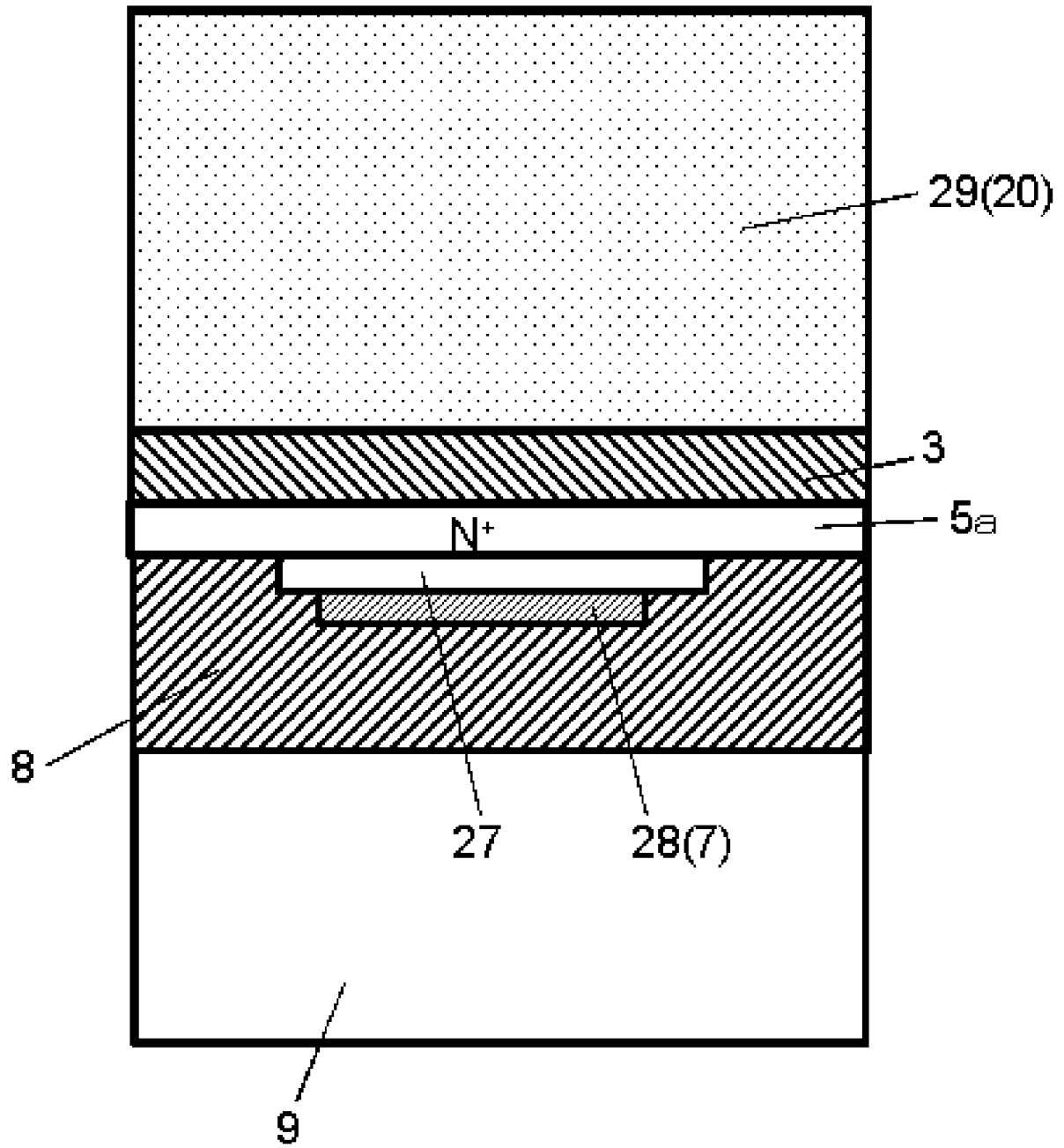
[図6A]



[図6B]

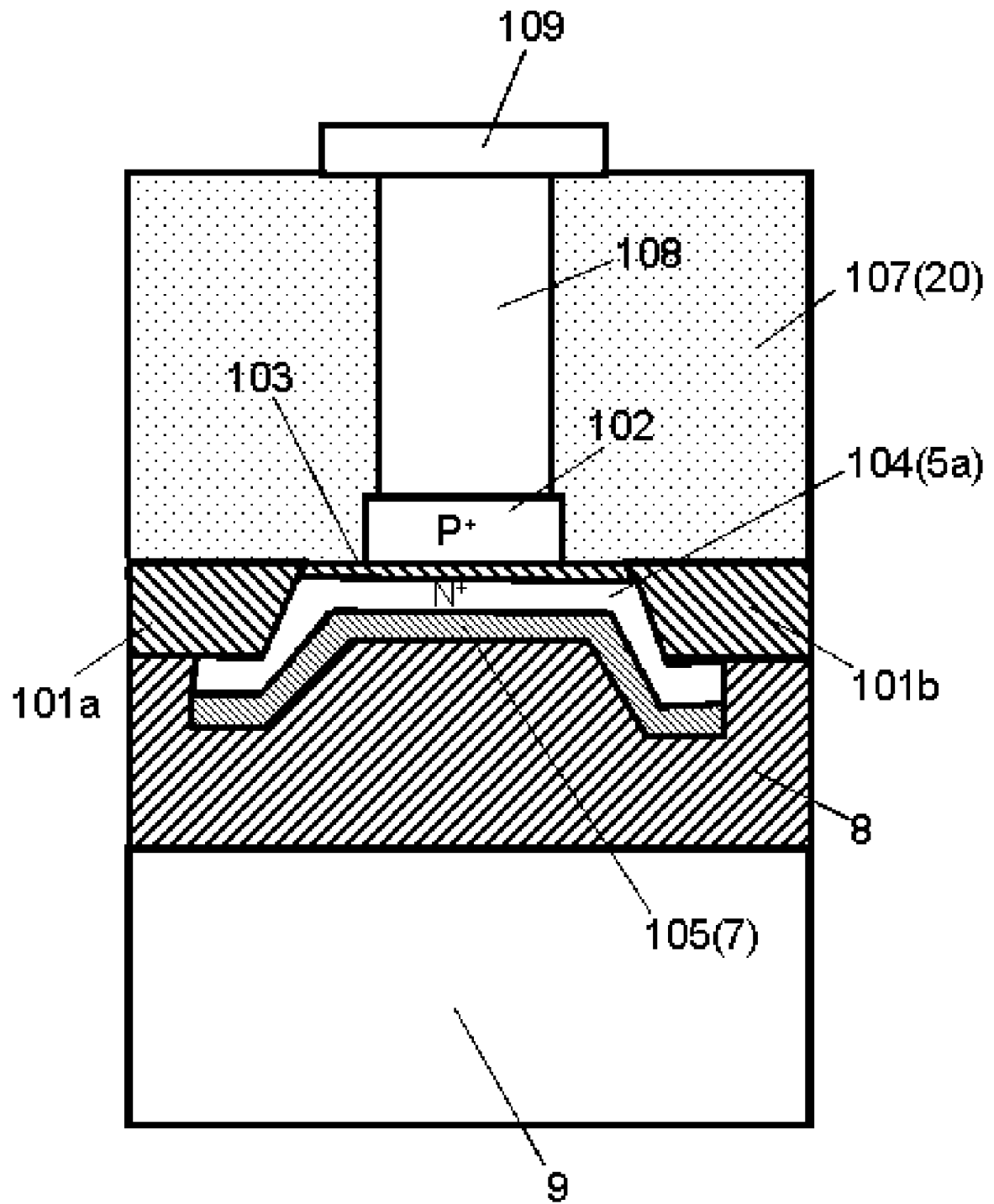


[図6C]

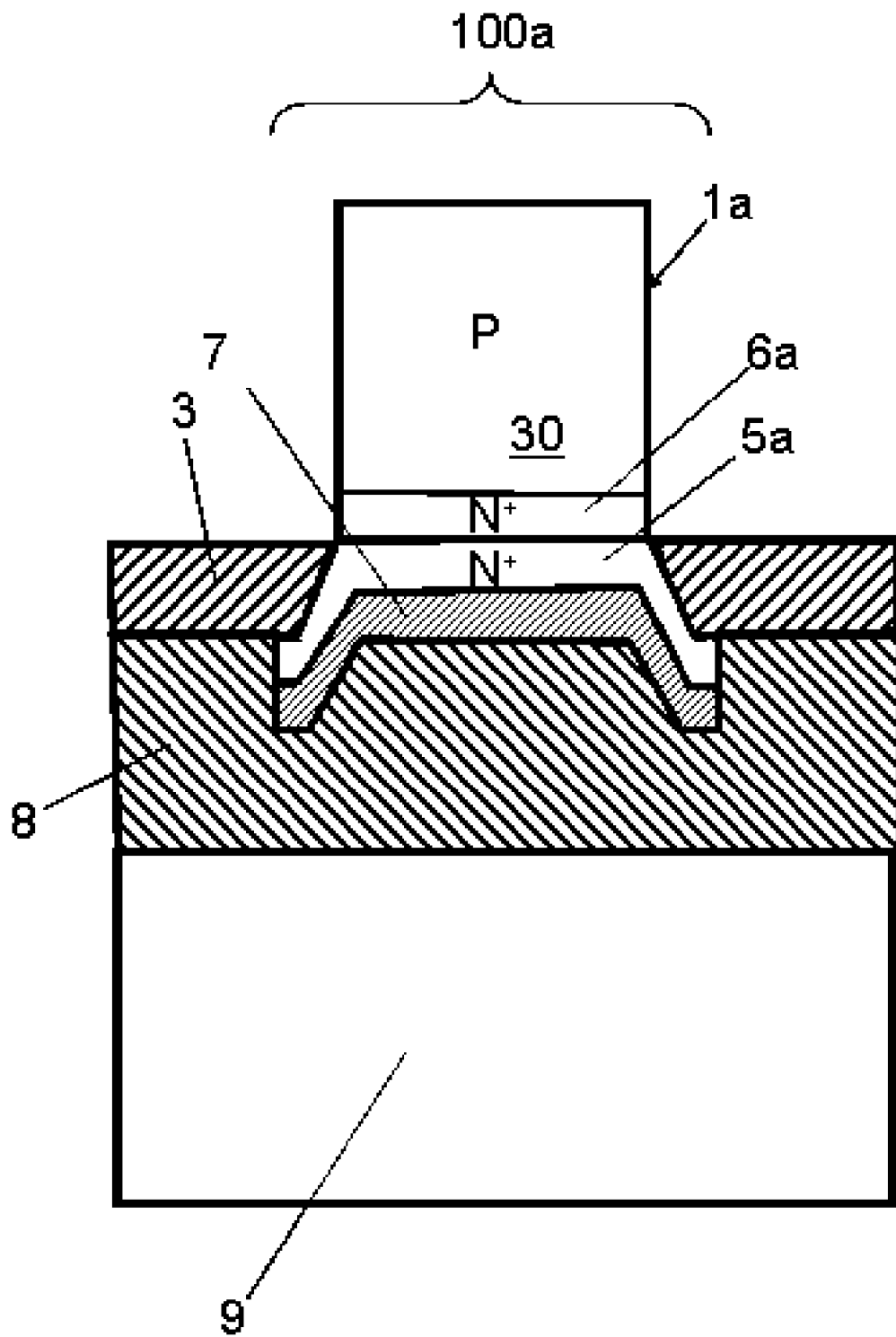


[illegible]

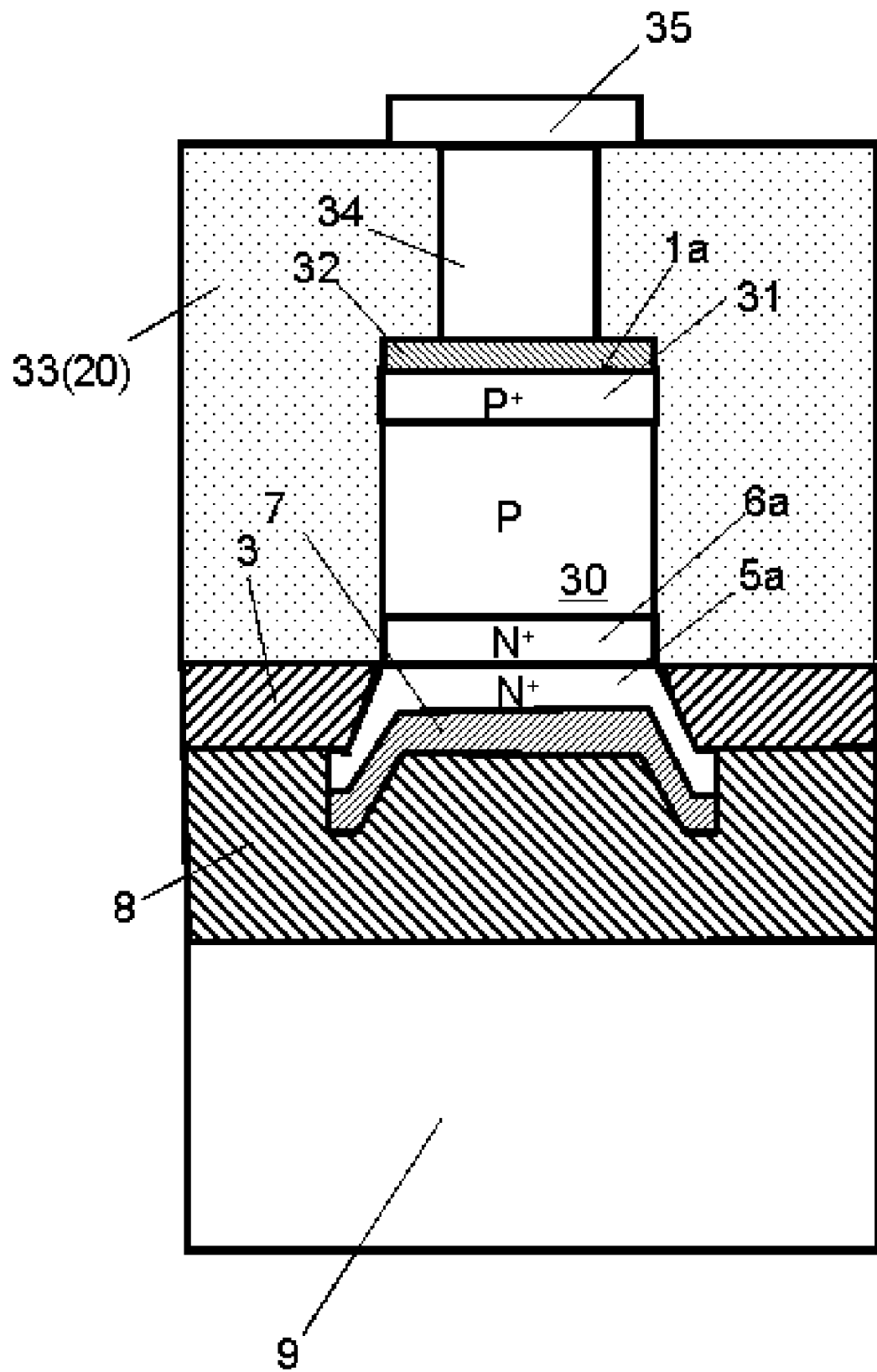
[図7B]



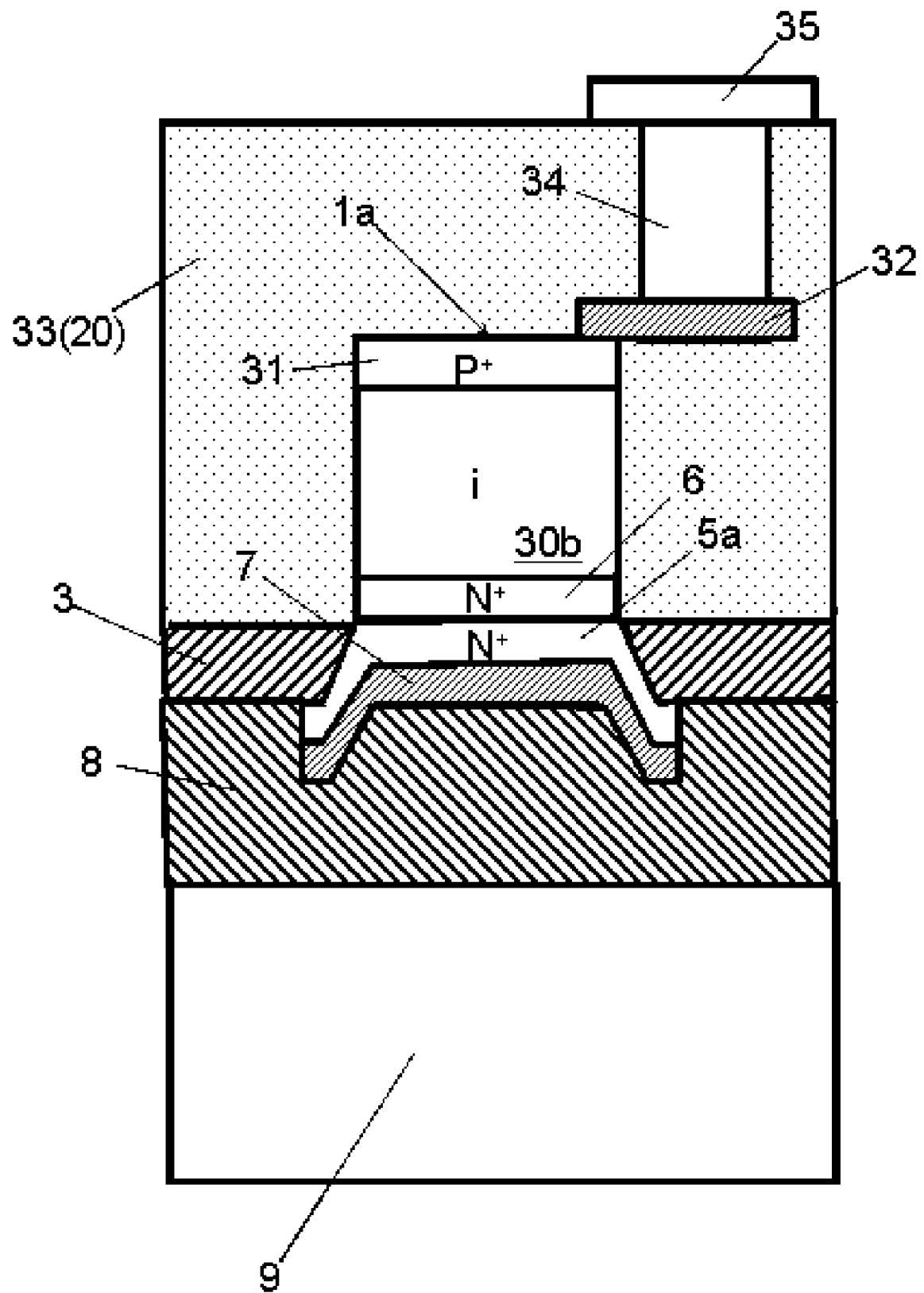
[図8A]



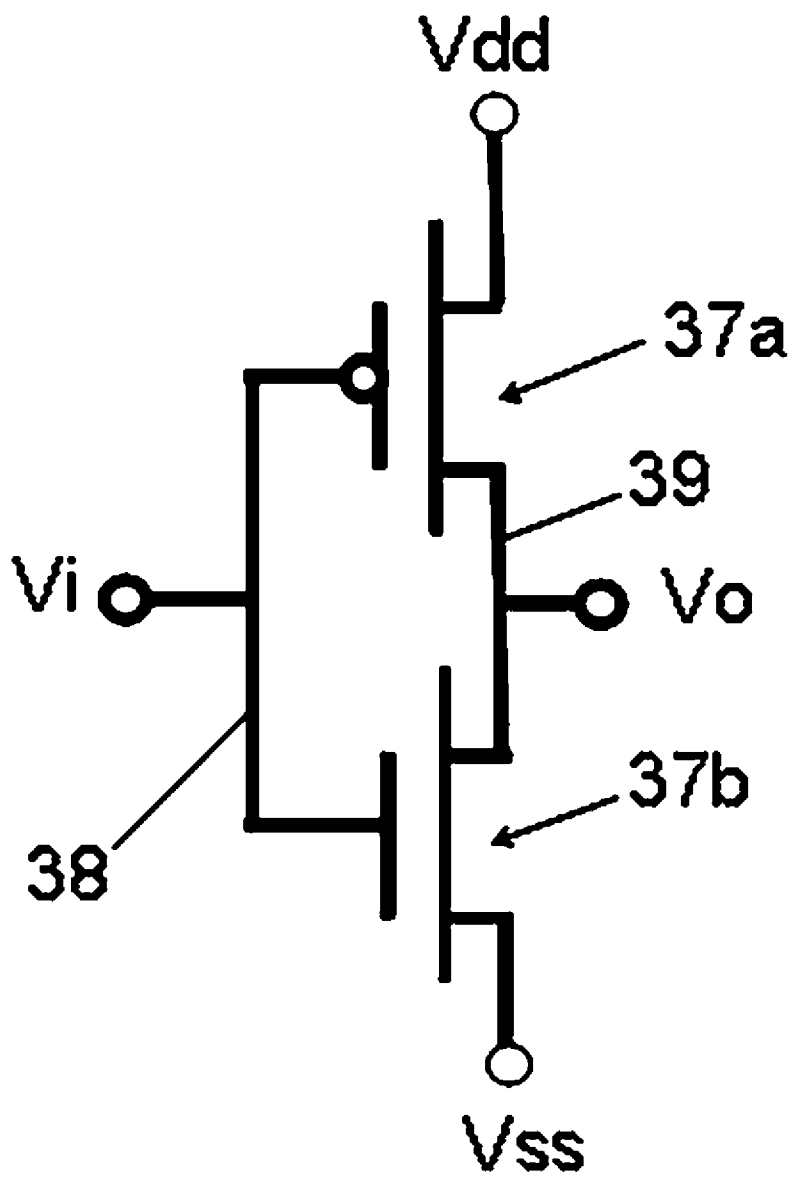
[図8B]



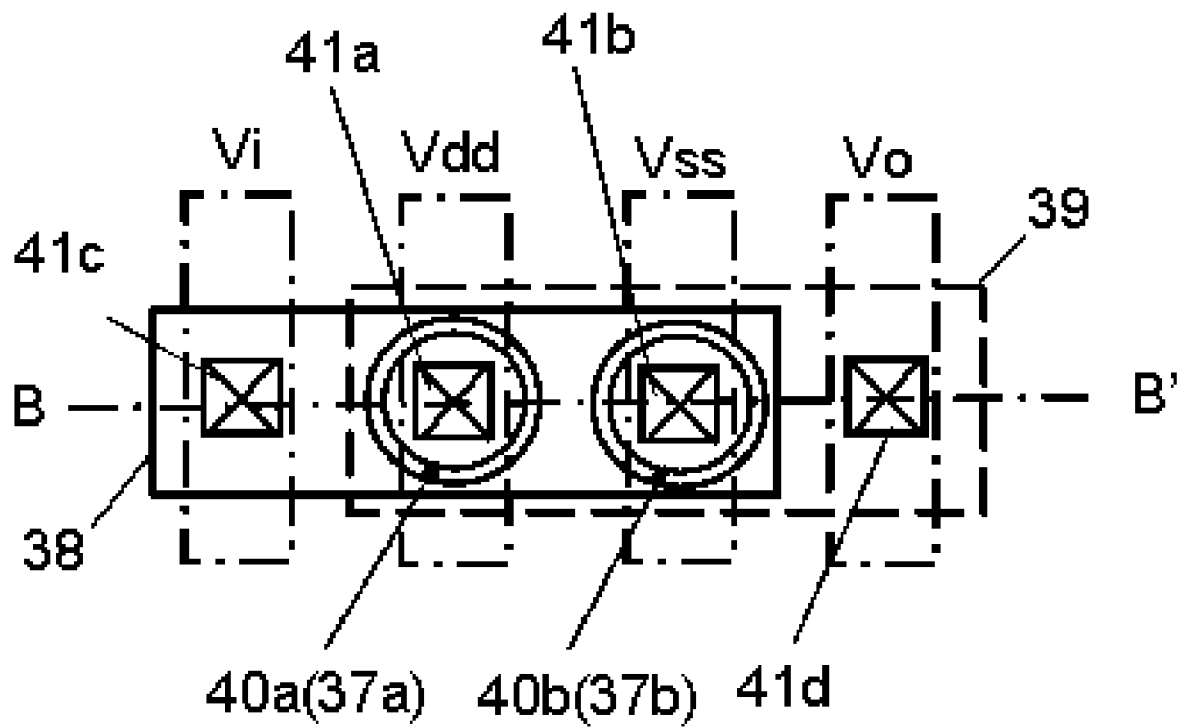
[図8C]



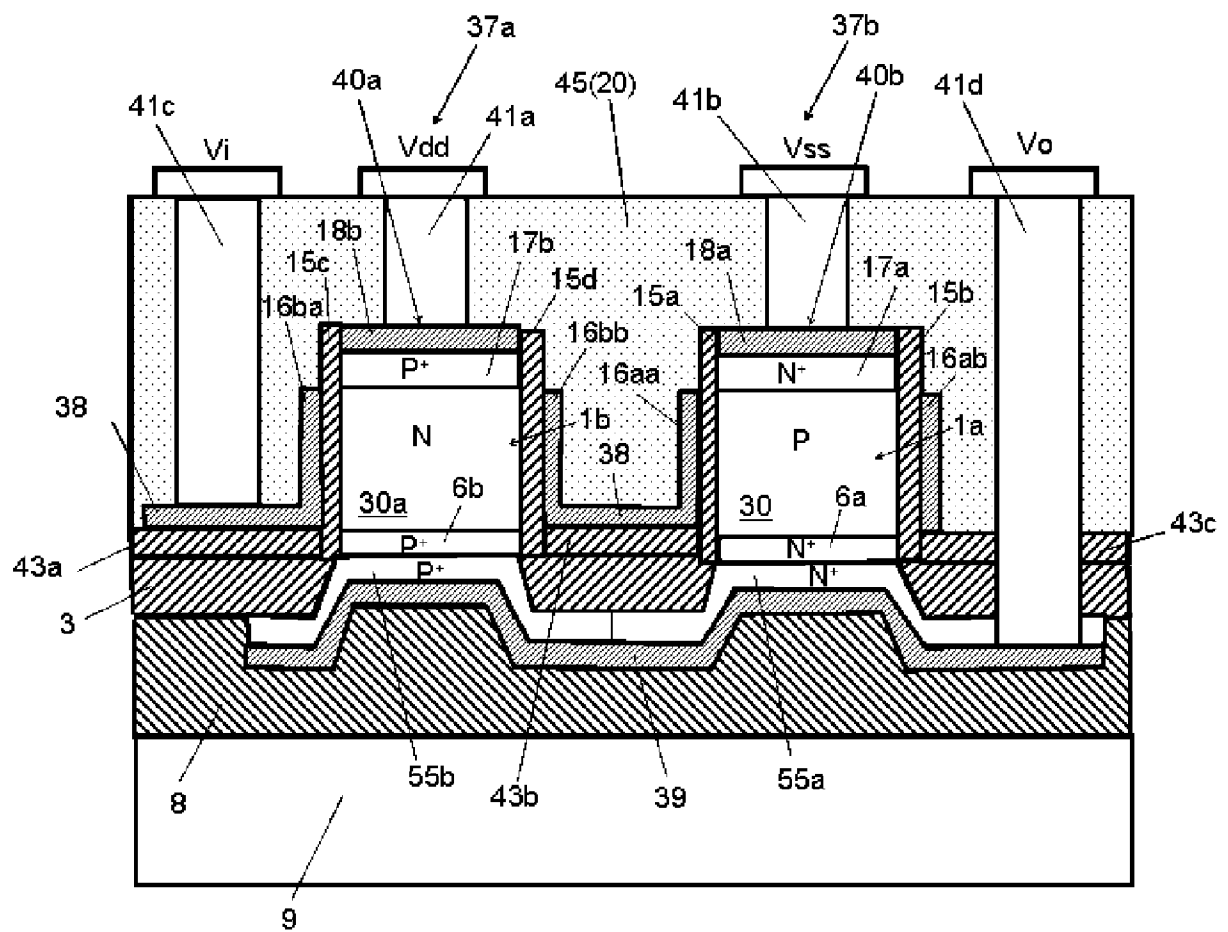
[図9A]



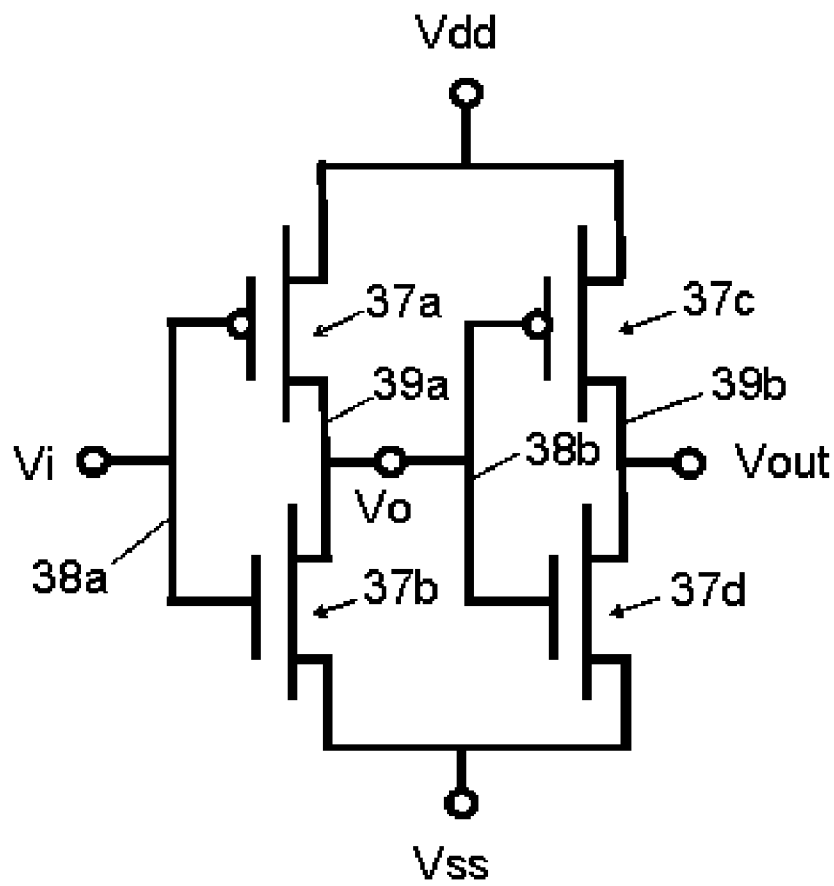
[図9B]



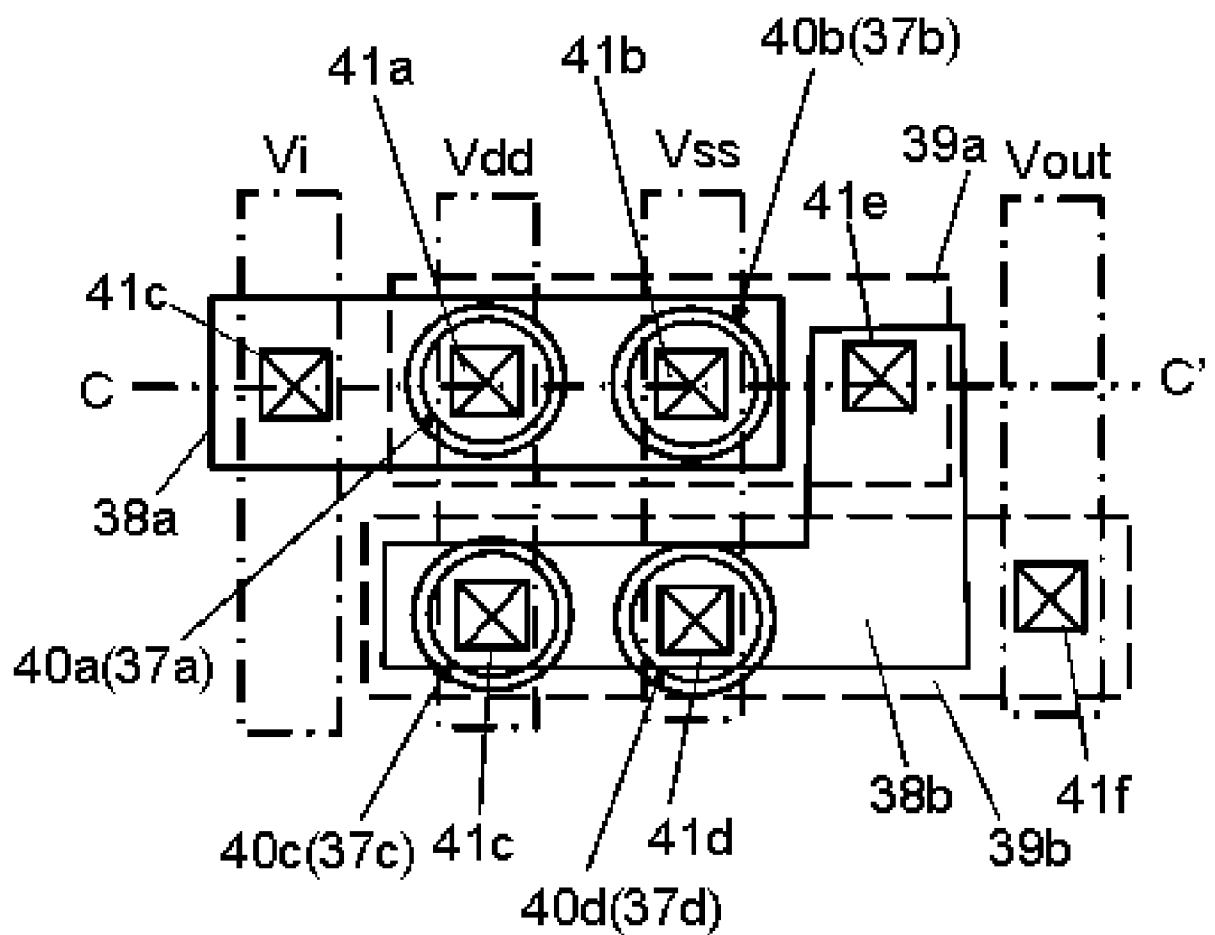
[図9C]



[図10A]

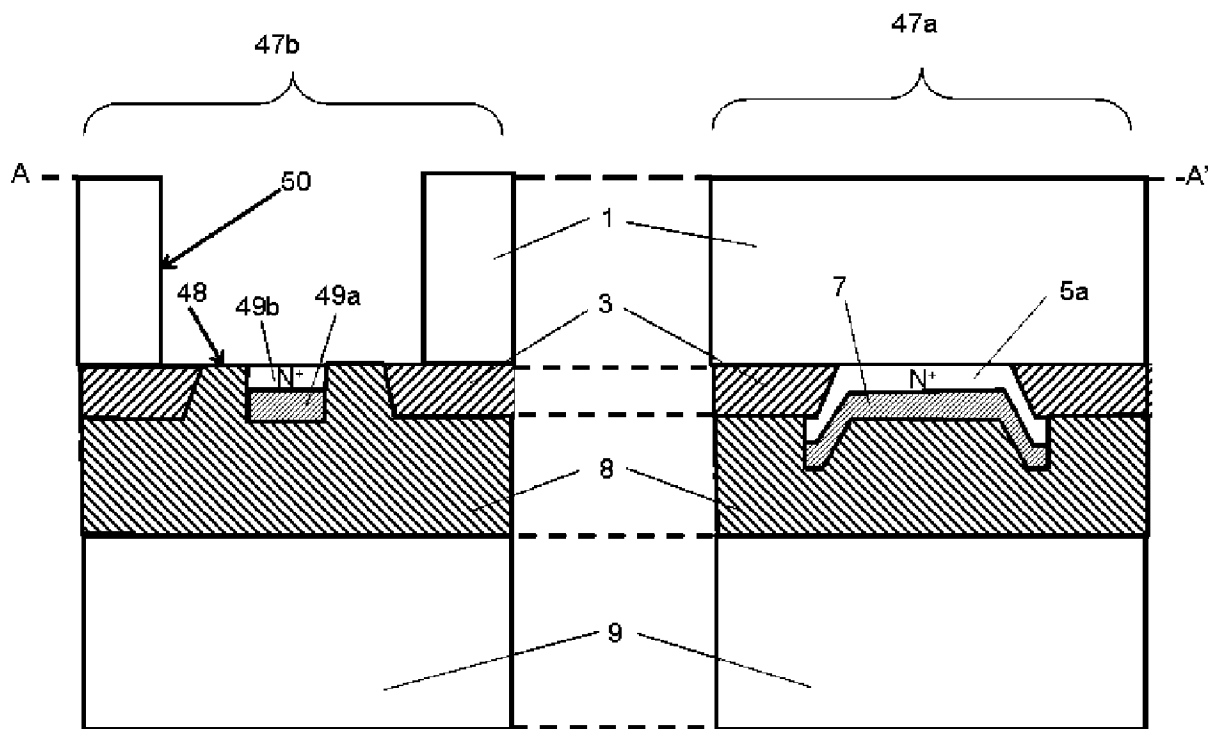


[図10B]

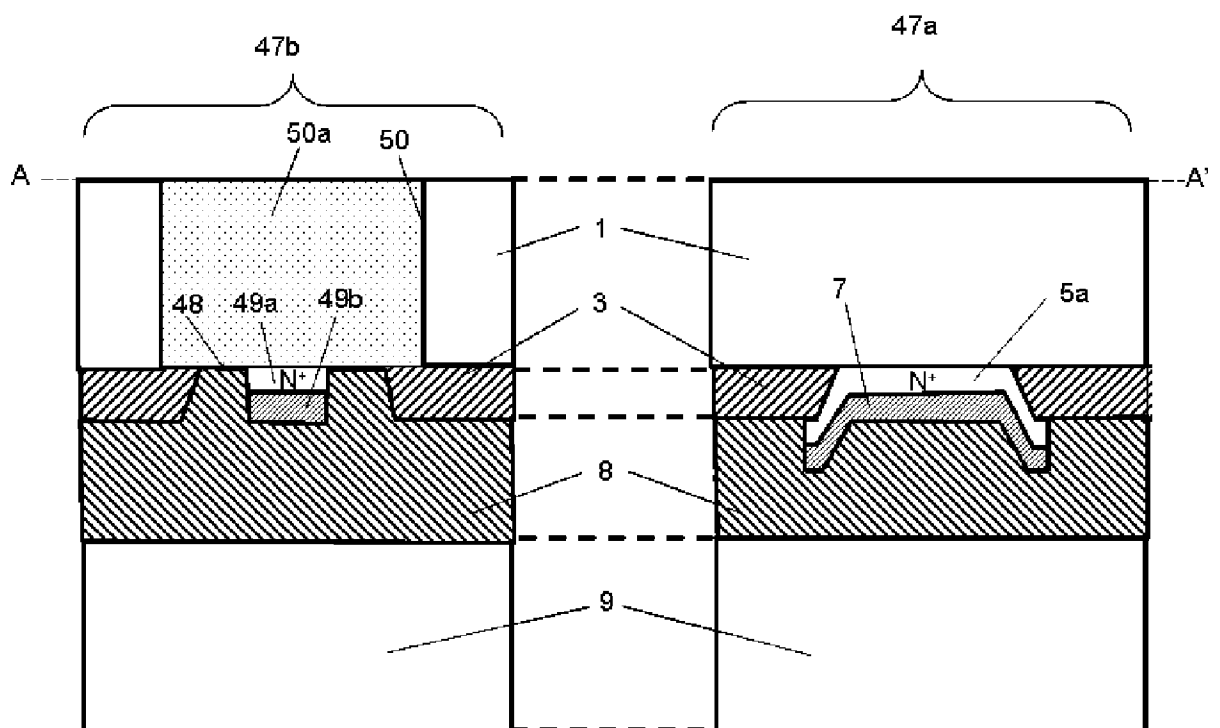


This diagram shows a cross-sectional view of a semiconductor device along line A-A'. The device is divided into two regions, 47a and 47b, by a central vertical line. Region 47a (left) shows a substrate 1 with a layer 3. A well 48 is formed in the substrate, containing an N-type region 49a. A layer 49b is on top of the well. Region 47b (right) shows a similar structure but with a different well profile. A layer 7 is on top of the well, and a layer 4 is on top of the well. A layer 5a is on top of the well. A layer 8 is on top of the well. A layer 9 is on top of the well. The device is labeled with A and -A' on the left and right sides.

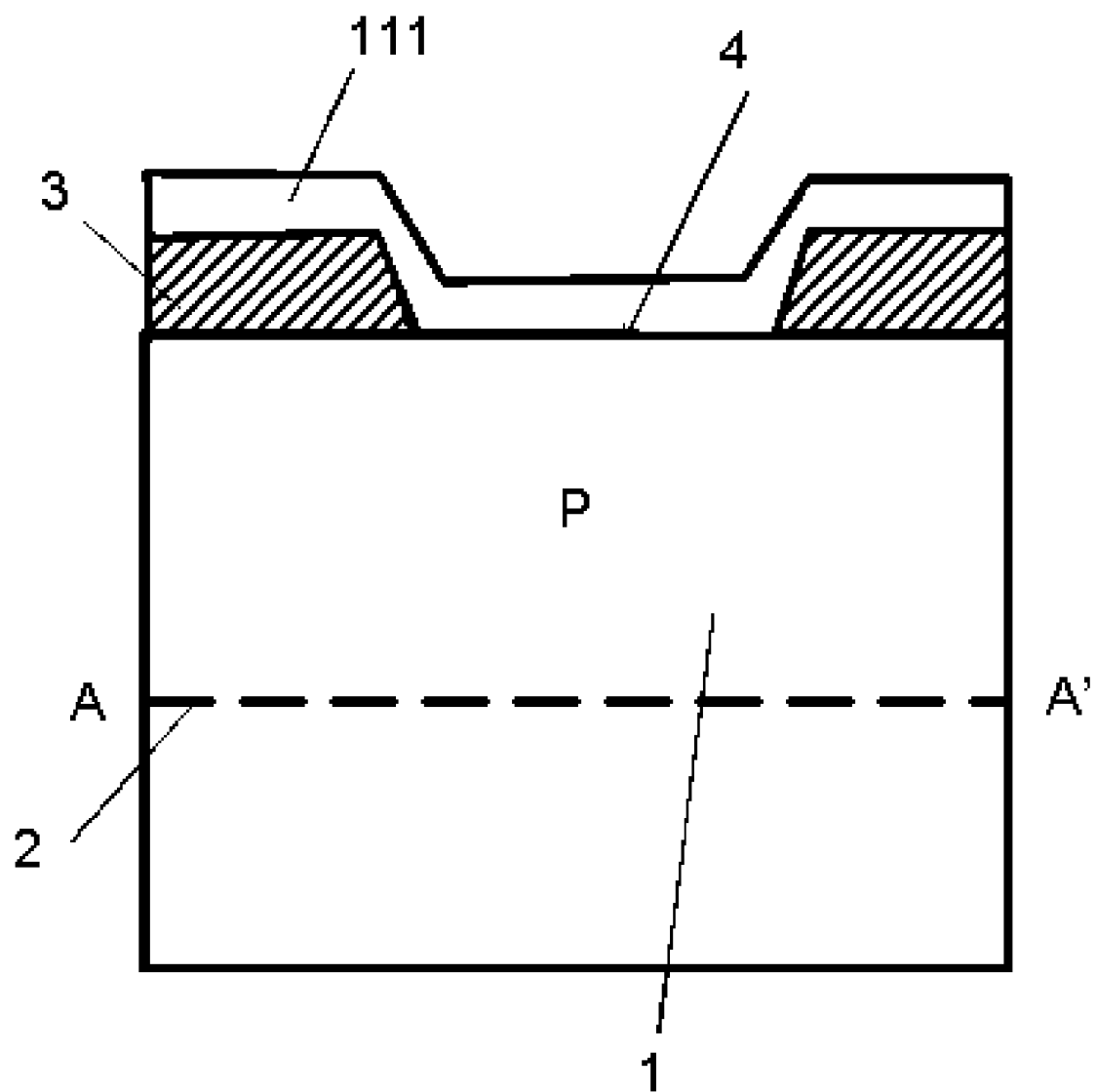
[図11B]



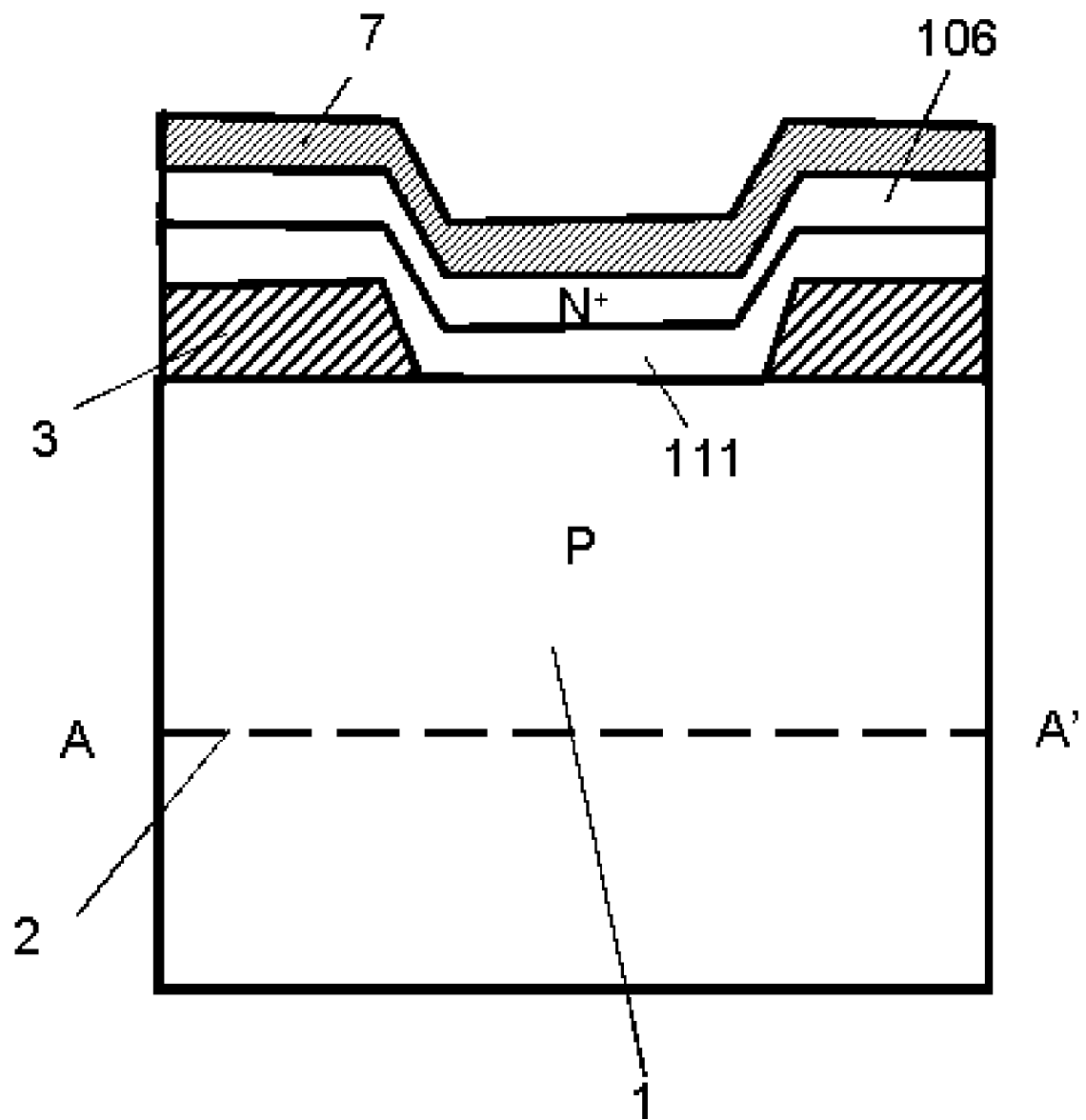
[図12]



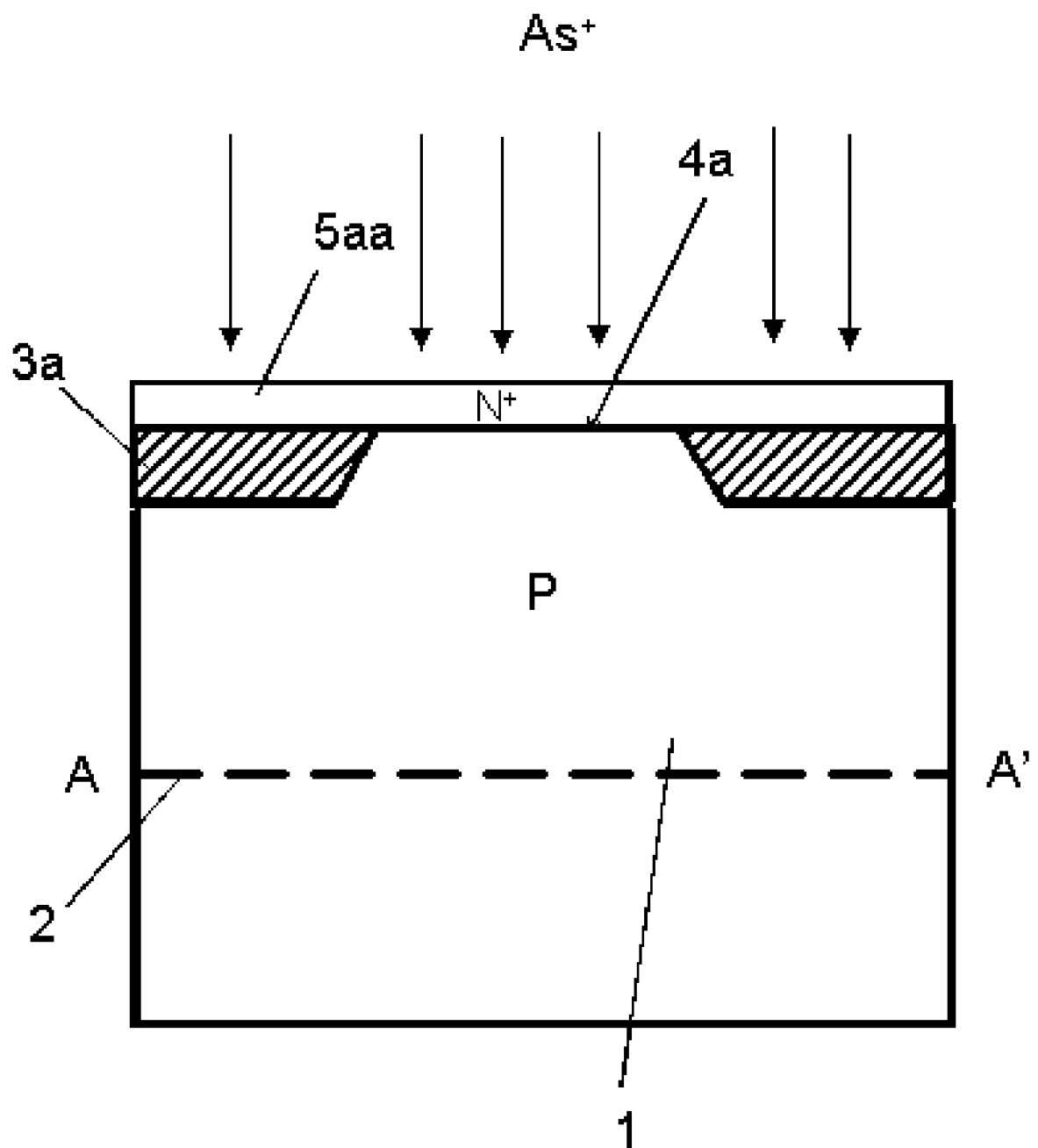
[図13A]



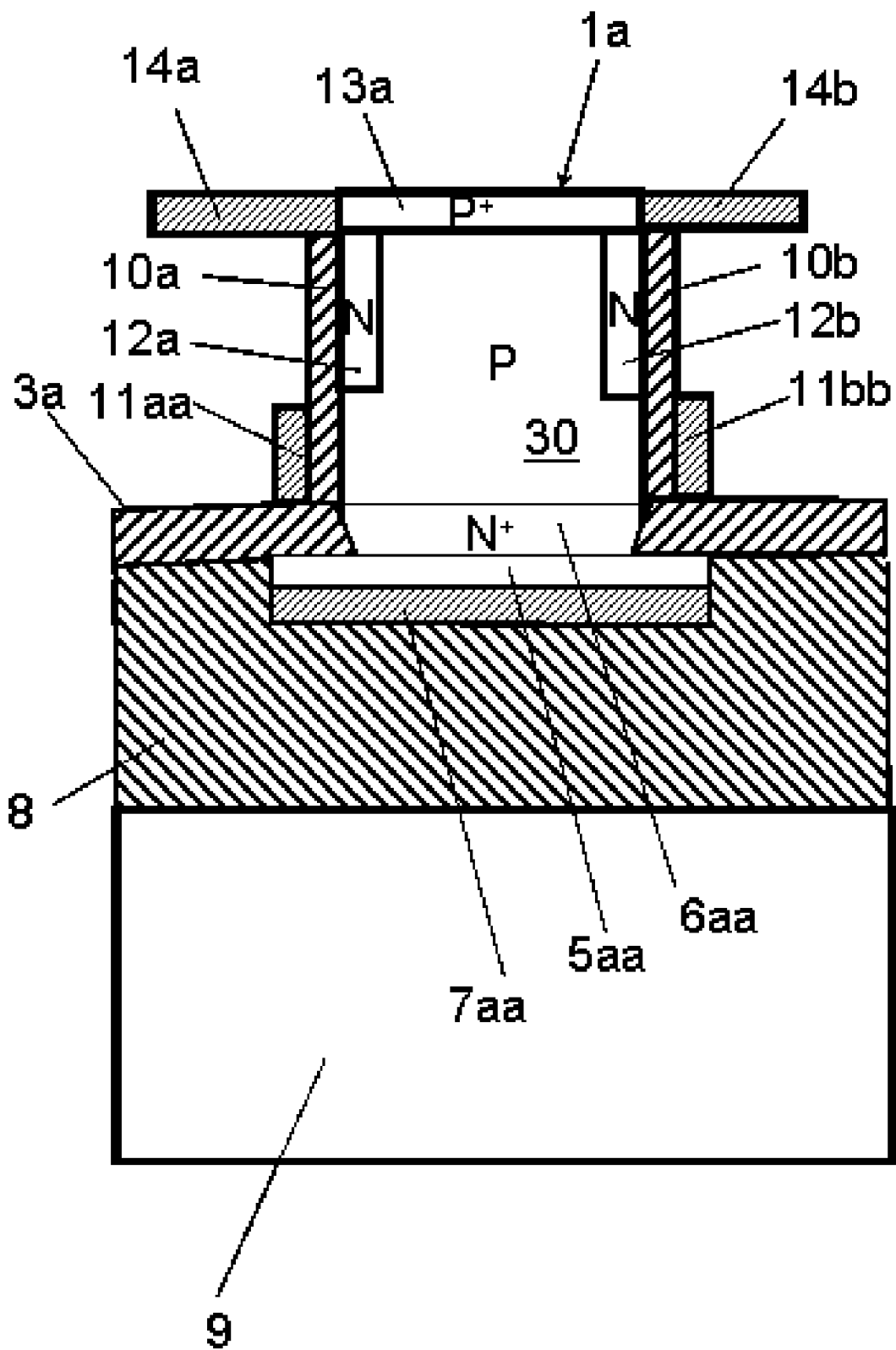
[図13B]



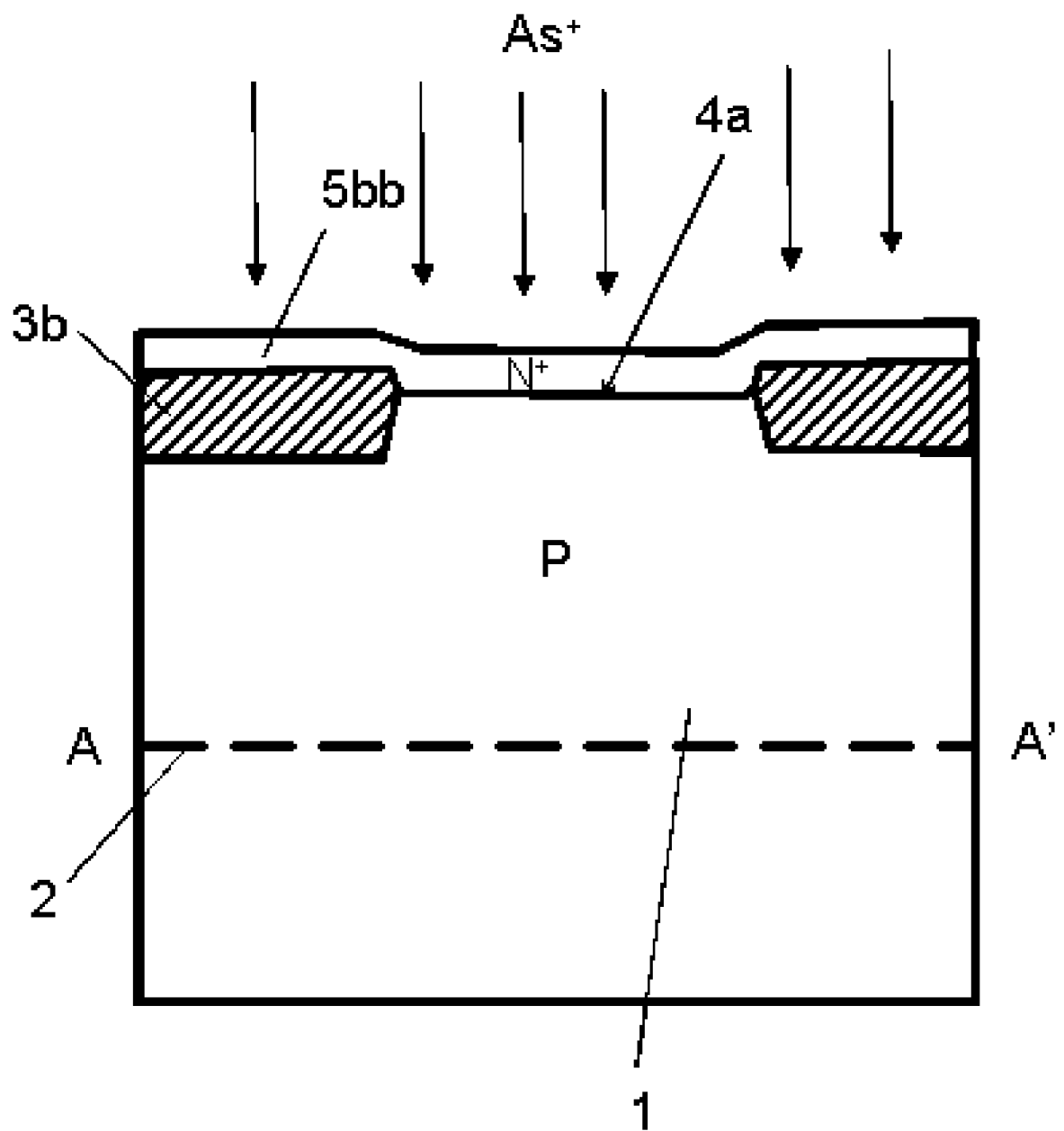
[図14A]



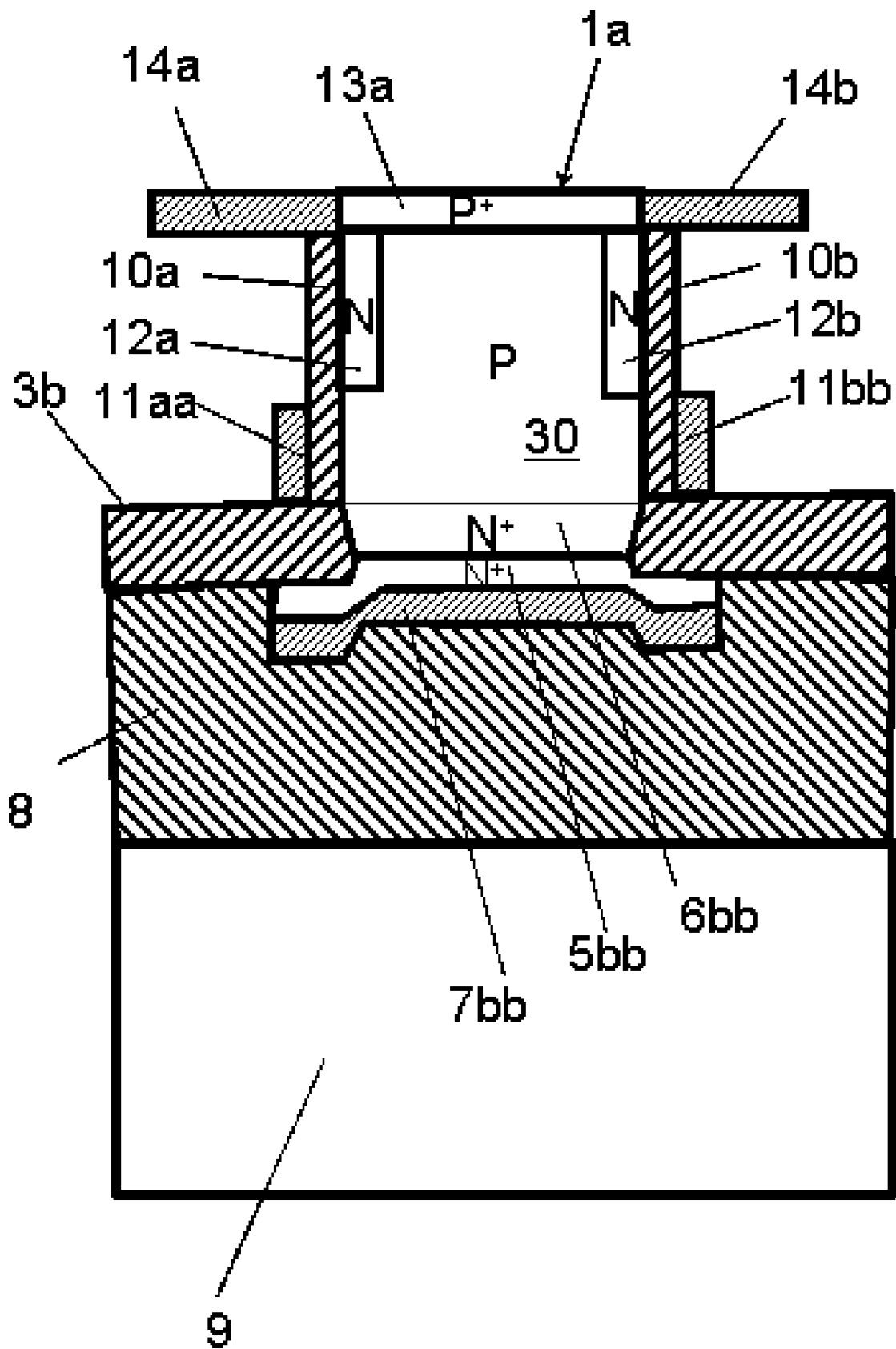
[図14B]



[図15A]



[図15B]



[図16A]

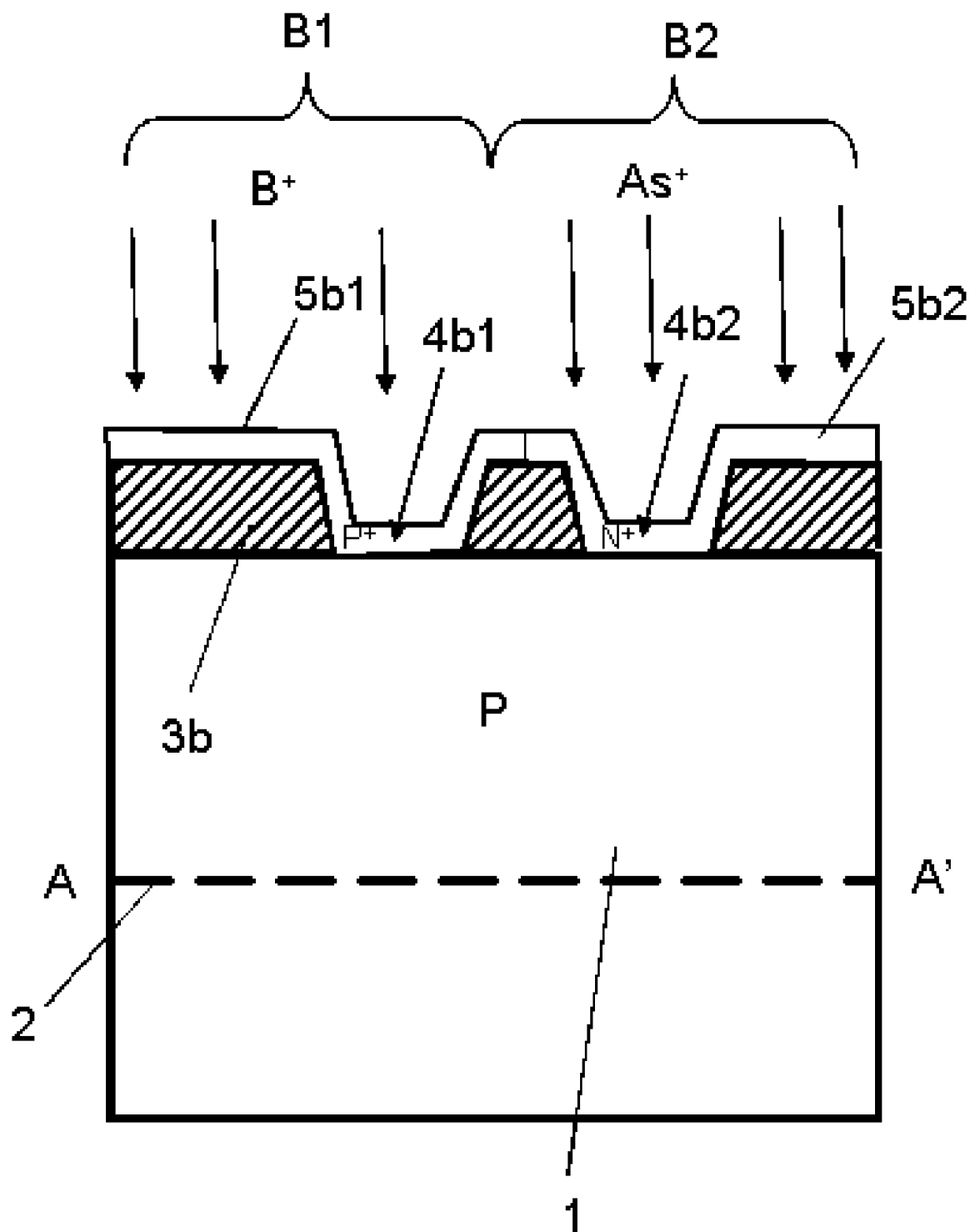
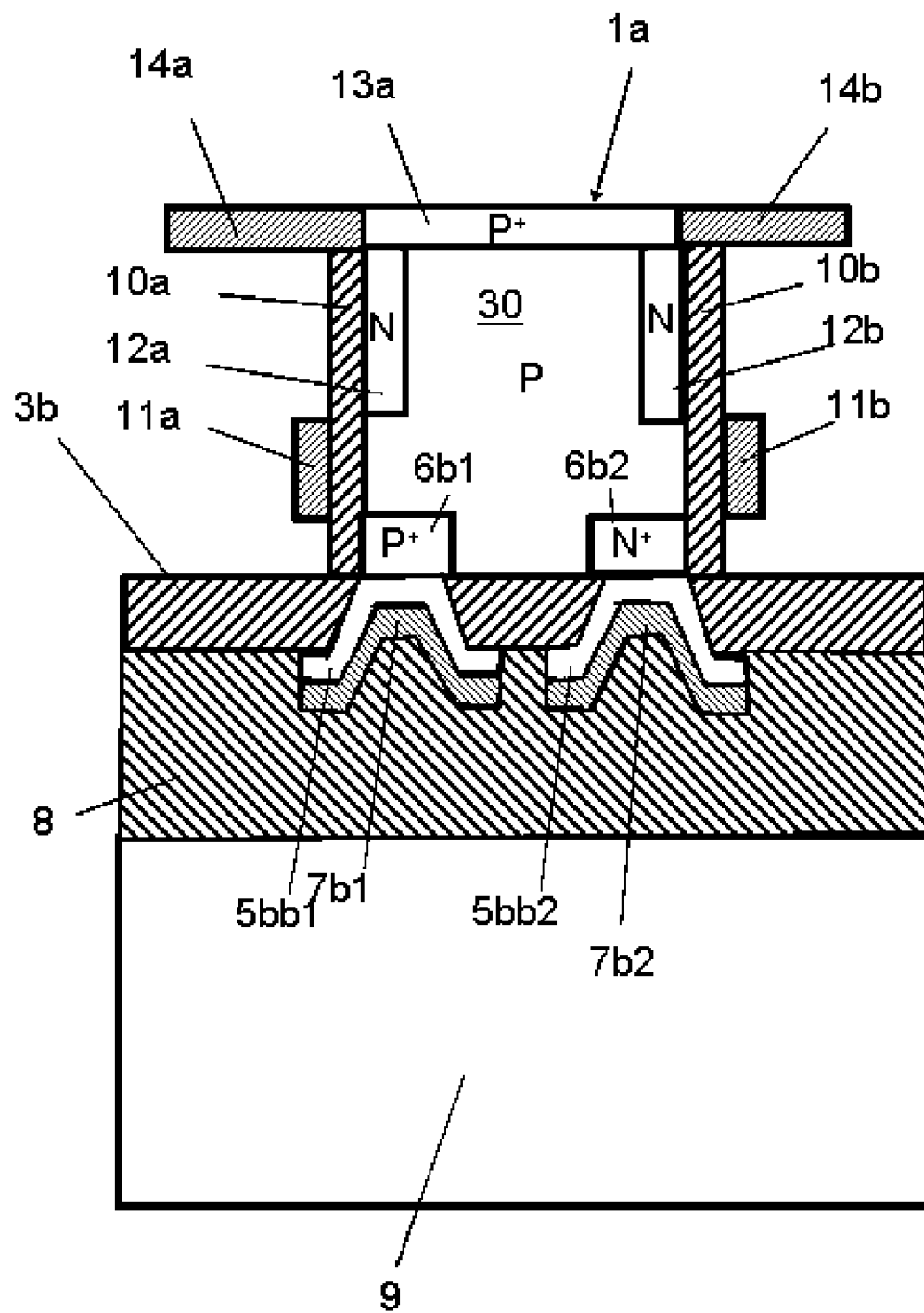
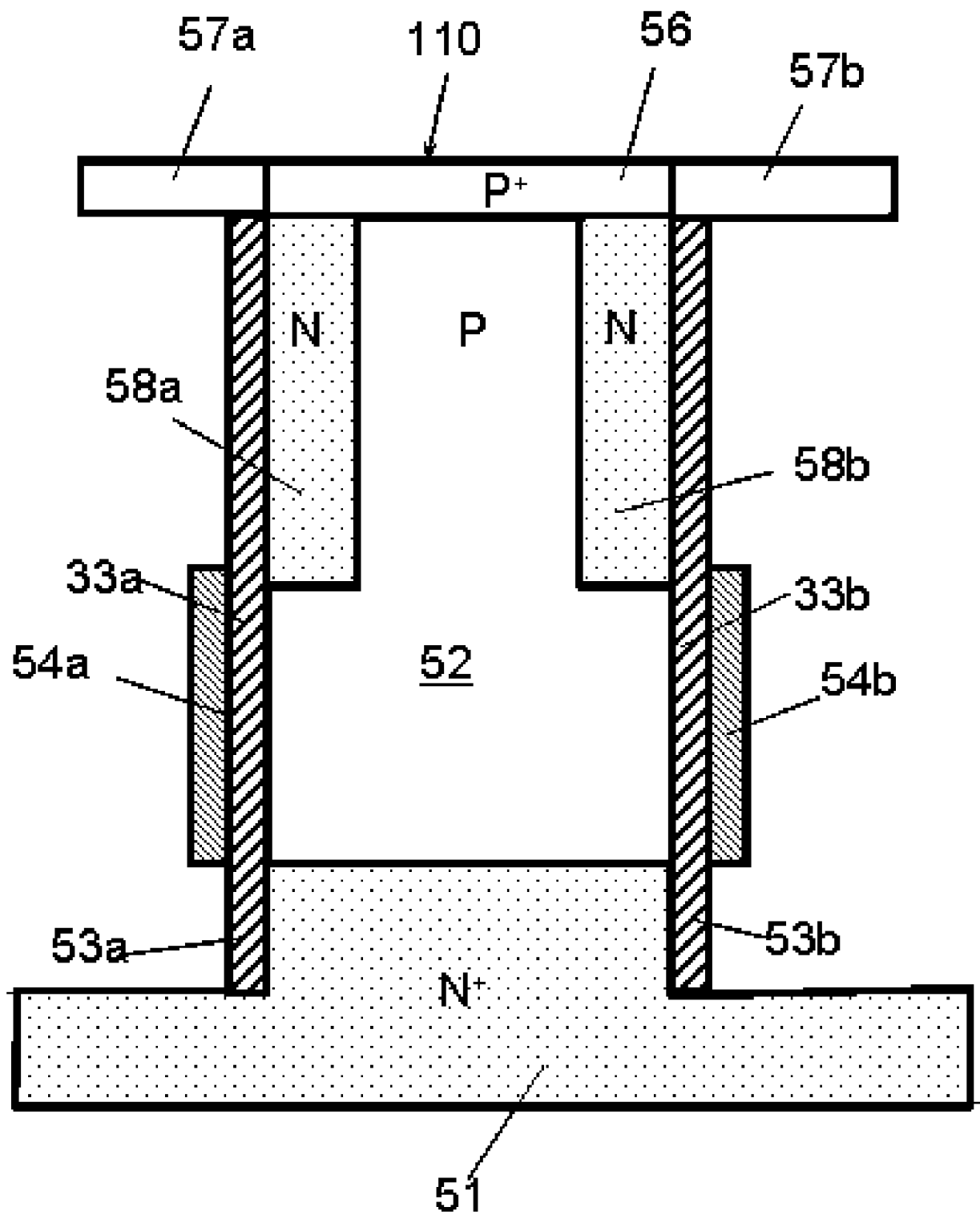


Fig. 1b is a cross-sectional view of a semiconductor device. It shows a substrate 1 with a P-type region 3b. A dashed line A-A' indicates a cross-section. The device features two sets of gates, 4b1 and 4b2, with P+ and N+ regions respectively. Above the gates are two sets of contacts, 5bb1 and 5bb2, with 7b1 and 7b2 regions respectively.

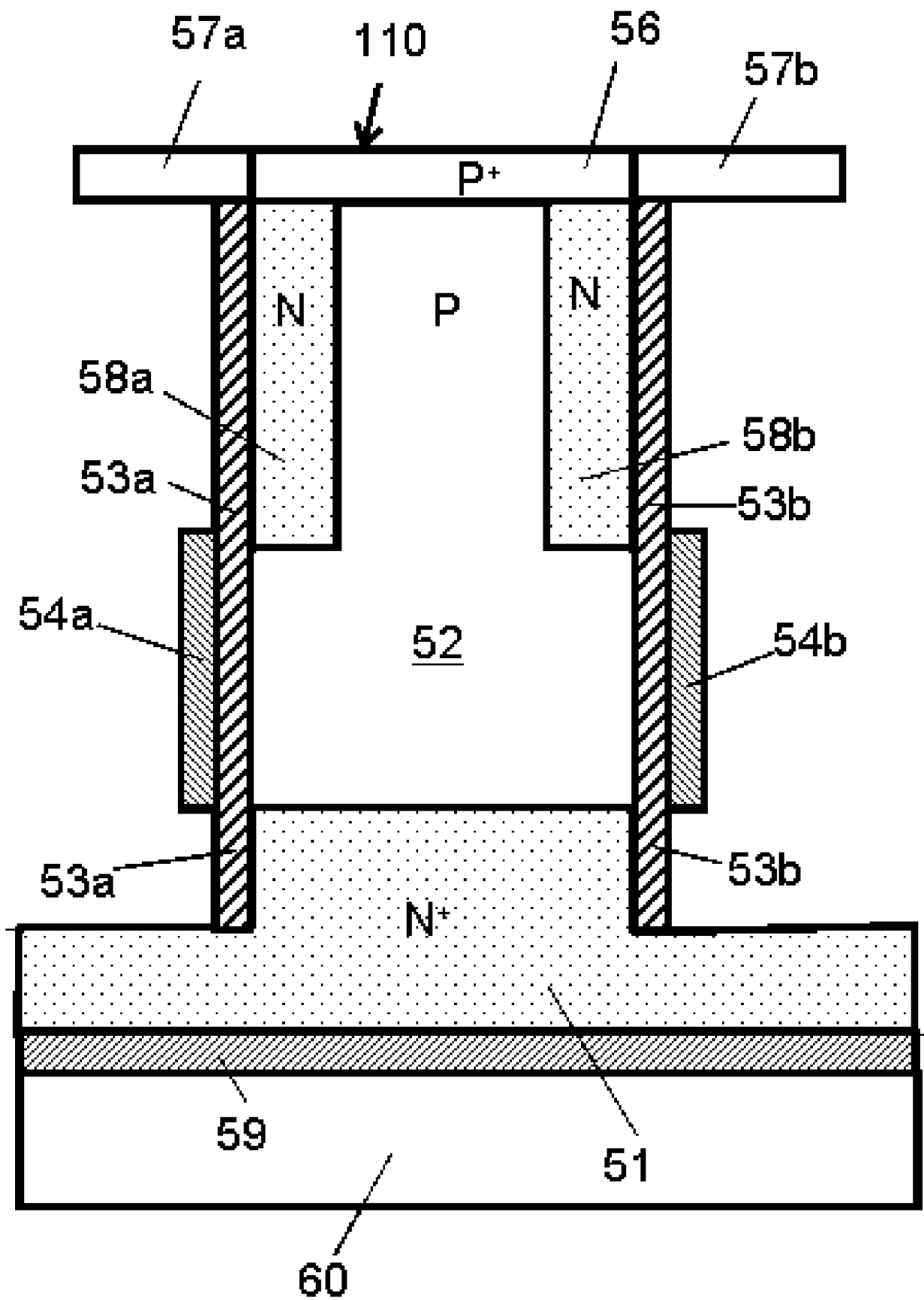
[図16C]



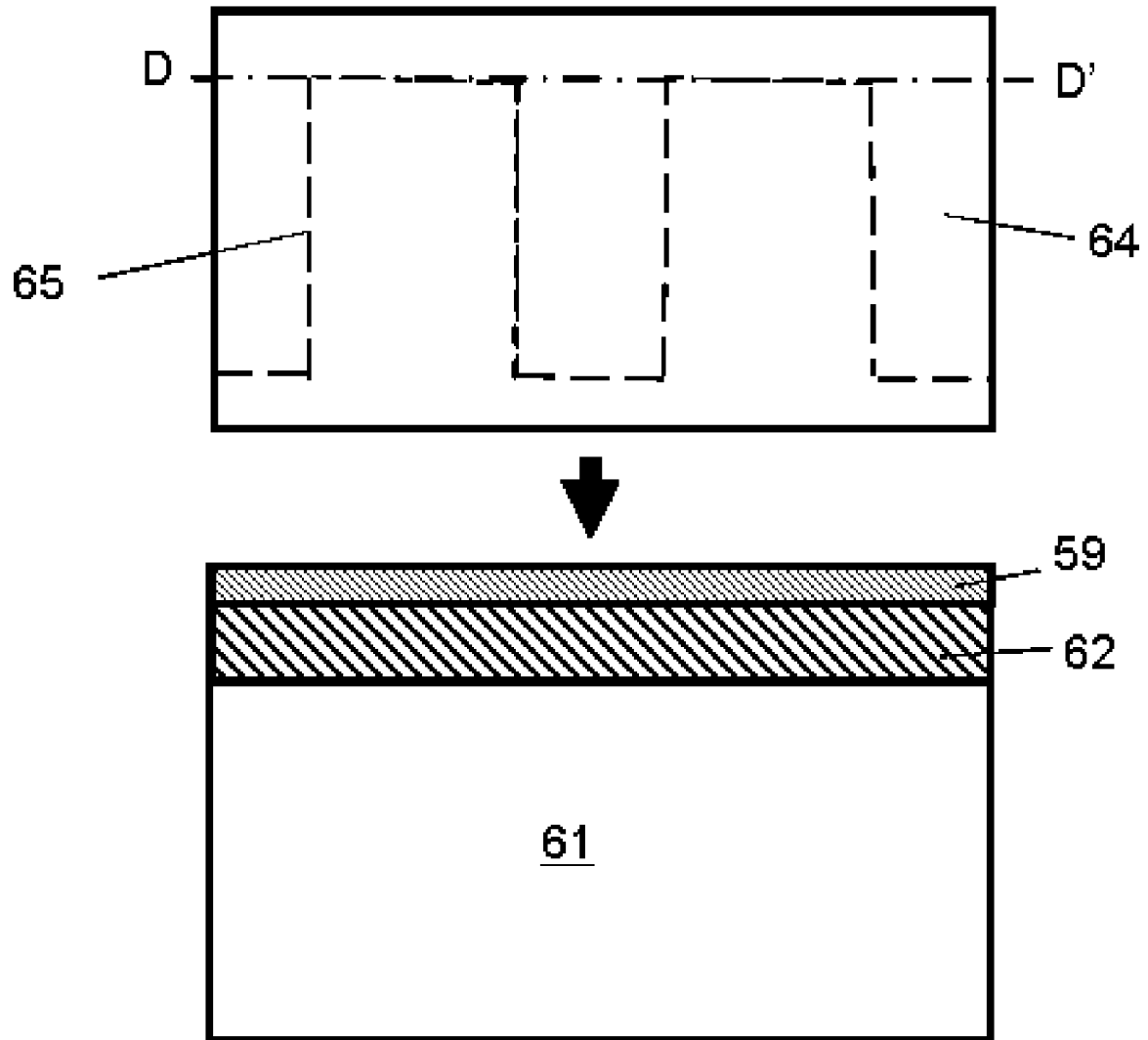
[図17]



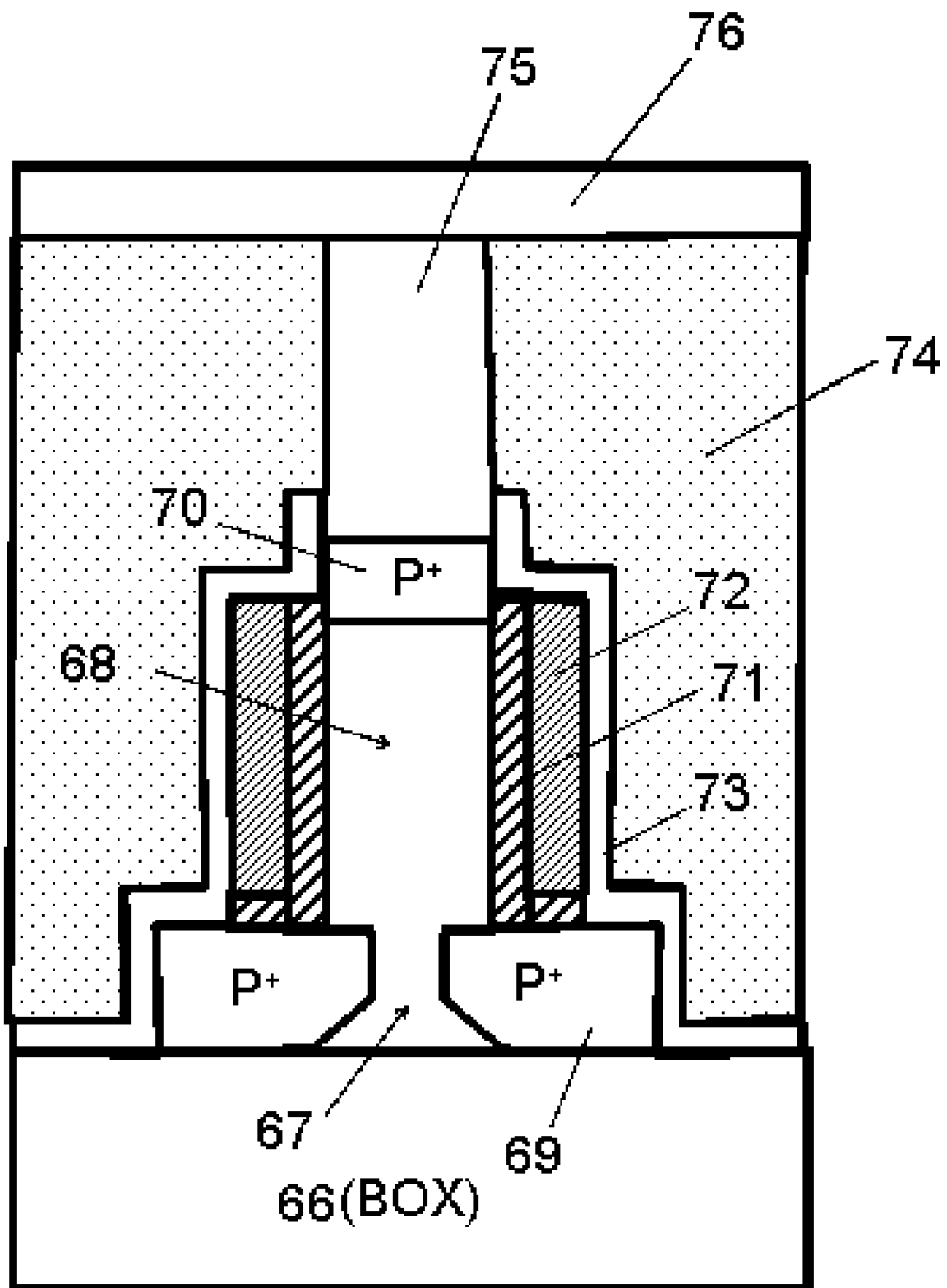
[図18A]



[図18B]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052777

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-026366 A (Toshiba Corp.), 07 December 2005 (07.12.2005), paragraphs [0001] to [0057]; fig. 1 to 23 & US 2004/0262679 A1	1-20
A	JP 2009-164589 A (Elpida Memory, Inc.), 23 July 2009 (23.07.2009), paragraphs [0001] to [0142]; fig. 1 to 49 & US 2009/0152611 A1	1-20
A	WO 2009/034623 A1 (Unisantis Electronics Japan Ltd.), 19 March 2009 (19.03.2009), paragraphs [0001] to [0061]; fig. 1 to 47 & US 2009/0065832 A1 & KR 10-2009-0057351 A & CN 101542733 A & EP 2190018 A1	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 March, 2012 (26.03.12)

Date of mailing of the international search report
03 April, 2012 (03.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-026366 A（株式会社東芝）2005.12.07, 段落 0001-0057, 図 1-23 & US 2004/0262679 A1	1-20
A	JP 2009-164589 A（エルピーダメモリ株式会社）2009.07.23, 段落 0001-0142, 図 1-49 & US 2009/0152611 A1	1-20
A	WO 2009/034623 A1（日本エリクソンエレクトロニクス株式会社）2009.03.19, 段落 0001-0061, 図 1-47 & US 2009/0065832 A1 & KR 10-2009-0057351 A & CN 101542733 A & EP 2190018 A1	1-20

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

26.03.2012

国際調査報告の発送日

03.04.2012

国際調査機関の名称及びあて先
日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿 引 隆

電話番号 03-3581-1101 内線 3462

4M

2934