



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월02일
(11) 등록번호 10-1934644
(24) 등록일자 2018년12월26일

(51) 국제특허분류(Int. Cl.)
H01L 43/08 (2006.01) H01L 43/02 (2006.01)
H01L 43/10 (2006.01) H01L 43/12 (2006.01)
(52) CPC특허분류
H01L 43/08 (2013.01)
H01L 43/02 (2013.01)
(21) 출원번호 10-2017-0097048
(22) 출원일자 2017년07월31일
심사청구일자 2017년07월31일
(56) 선행기술조사문헌
JP2009295824 A*
KR1020130126111 A*
US20100320445 A1*
US20160293834 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
유정우
울산광역시 울주군 언양읍 유니스트길 50
진미진
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
특허법인 무한

전체 청구항 수 : 총 11 항

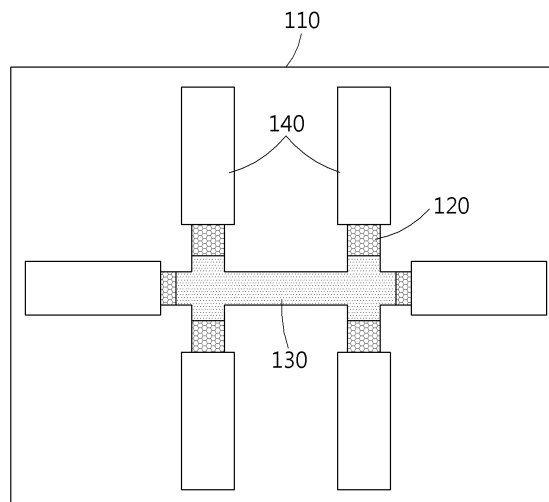
심사관 : 방인환

(54) 발명의 명칭 그래핀 홀 소자, 이의 제조방법 및 이를 포함하는 반도체 소자

(57) 요약

본 발명은, 기판; 상기 기판 상에 형성된 그래핀층; 상기 그래핀층 상의 적어도 일부분에 형성된 금속 클러스터 증착층; 및 상기 그래핀층의 적어도 일부분과 접하고, 전류를 공급하는 전극; 을 포함하고, 게이트 전압에 의한 스핀전류를 생성하는 것인, 그래핀 홀 소자, 이의 제조방법 및 이를 포함하는 스핀 홀 효과의 반도체 소자에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

H01L 43/10 (2013.01)

H01L 43/12 (2013.01)

(72) 발명자

조준현

울산광역시 울주군 언양읍 유니스트길 50

박정민

울산광역시 울주군 언양읍 유니스트길 50

오인선

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호 2017R1A2B4008286

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 핵심개인연구

연구과제명 이중 접합계면 및 다층구조에서의 스핀전하 결합 수송 연구와 소자 응용

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2017.03.01 ~ 2018.02.28

공지예외적용 : 있음

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성된 그래핀층;

상기 그래핀층 상의 적어도 일부분에 형성된 금속 클러스터 증착층; 및

상기 그래핀층의 적어도 일부분과 접하고, 전류를 공급하는 전극;

을 포함하고,

게이트 전압에서 스핀 홀 효과에 의한 스핀전류를 생성하고,

상기 금속 클러스터 증착층은, Au, Pt, W 및 Pd으로 이루어진 군에서 선택된 1종 이상의 금속을 포함하는 클러스터를 포함하고,

상기 금속 클러스터 증착층은, 상기 그래핀층과 화학적 결합 없이 반데르발스 힘에 의한 물리적 결합으로 형성된 것인,

그래핀 스핀 홀 소자.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 그래핀 스핀 홀 소자는, 자성물질 및 자기장 없이, 스핀 홀 효과에 의한 스핀전류를 생성하고,

상기 그래핀 스핀 홀 소자는, 캐리어 농도 $1 \times 10^{12} \text{ cm}^{-2}$ 이상에서 게이트 전압에 의한 스핀전류를 생성하는 것인, 그래핀 스핀 홀 소자.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 스핀 전류는, 2K에서 0.09 이하의 스핀 홀 각도를 갖는 것인, 그래핀 스핀 홀 소자.

청구항 6

제1항에 있어서,

상기 그래핀층은, 단일층 그래핀이고,

상기 그래핀층의 두께는, 1 nm 이하인 것인, 그래핀 스핀 홀 소자.

청구항 7

제1항에 있어서,
상기 금속 클러스터 증착층의 두께는, 1.5 nm 이하인 것인, 그래핀 스핀 홀 소자.

청구항 8

제1항, 제3항 및 제5항 내지 제7항 중 어느 한 항의 그래핀 스핀 홀 소자;
를 포함하고,
스핀 홀 생성을 위한 스핀 홀 효과의 반도체 소자.

청구항 9

기판 상의 적어도 일부분에 그래핀층을 형성하는 단계;
상기 그래핀층 상의 적어도 일부분에 전극을 형성하는 단계;
상기 그래핀층을 패터닝하는 단계; 및
상기 패터닝된 그래핀층의 적어도 일부분에 금속 클러스터 증착층을 형성하는 단계;
를 포함하고,
상기 금속 클러스터 증착층은, Au, Pt, W 및 Pd으로 이루어진 군에서 선택된 1종 이상의 금속을 포함하는 클러스터를 포함하고,
상기 금속 클러스터 증착층은, 상기 그래핀층과 화학적 결합 없이 반데르발스 힘에 의한 물리적 결합으로 형성되고,
게이트 전압에서 스핀 홀 효과에 의한 스핀전류를 생성하는 것인, 그래핀 스핀 홀 소자의 제조방법.

청구항 10

제9항에 있어서,
상기 전극을 형성하는 단계는,
e-빔 리소그래피법으로 상기 그래핀층의 적어도 일부분에 전극을 형성하는 것인, 그래핀 스핀 홀 소자의 제조방법.

청구항 11

제9항에 있어서,
상기 그래핀층을 패터닝하는 단계는,
상기 그래핀층을 산소-플라즈마를 이용하여 홀 바 구조로 패터닝하는 것인, 그래핀 스핀 홀 소자의 제조방법.

청구항 12

제9항에 있어서,
상기 금속 클러스터 증착층을 증착하는 단계는, e-빔 리소그래피법으로 상기 패터닝된 그래핀층의 적어도 일부분에 금속 클러스터 증착층을 형성하는 것인, 그래핀 스핀 홀 소자의 제조방법.

청구항 13

제9항에 있어서,

상기 금속 클러스터 증착층을 증착하는 단계는, 열증착으로 금속 클러스터 증착층을 증착하는 것인, 그래핀 스펀 홀 소자의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은, 그래핀 스펀 홀 소자, 이의 제조방법, 이를 포함하는 반도체 소자에 관한 것이다.

배경 기술

[0002] 그래핀은, 원자 AB 위치 대칭을 갖는 2차원 허니컴 결정이며, 준입자의 "isopin"를 위한 키랄성을 갖는 K- 및 K'-points 주위에 선형적인 분산을 생성한다. 질화붕소(Hexagonal boron nitride)와 그래핀이 매칭될 때, 부격자 비대칭(Sublattice asymmetry)은, 밸리 홀 효과(Valley Hall effect)에 의한 "isospins"의 분리를 유도하는 베리곡률(Berry curvature)을 일으킬 수 있다.

[0003] "isospin" 양자수는 다른 차원을 추가하는 반면에, 그래핀 내의 전자의 실제 "spin"의 조작은 스핀트로닉스(spintronics)의 프로티어로 남아있다.

[0004] 그래핀 내에서 전자 스핀을 이용하기 위한 필수 조건은, 스핀-오비탈 커플링(Spin-orbit coupling, SOC) 제어의 용이성이다. SOC를 그래핀에 주입시키면 스핀 홀 효과(Spin Hall Effect, SHE)와 역효과(Inversion Spin Hall Effect)를 통해 전자 스핀을 분리(Splitting) 및 검출할 수 있다. 또한, 파괴된 반전 대칭(Inversion symmetry), 즉 Rashba SOC로부터 발생된 SOC는 게이트 제어 가능한 스핀 세차 운동(Controllable spin precession)을 허용한다.

[0005] original Datta-Das 개념은 예외적으로 긴 평균 자유 경로를 갖는 채널을 통해서만 달성될 수 있다. 스핀 전계 효과 트랜지스터(Spin Field Effect Transistor)의 original Datta-Das 개념은, 예외적으로 긴 평균 프리패스를 갖는 채널을 통하여 획득될 수 있다.

[0006] 그래핀에서 SOC를 향상시키기 위한 방법은, 스핀트로닉스(Spintronics)를 선도할 수 있는 이상적인 소재가 될 것이다. 지금까지, 그래핀에서 SOC를 향상시키기 위한 여러 가지 방법이 연구되어왔다. 예를 들어, 그래핀의 화학적으로 흡착된 수소와 불소 원자는 sp^3 혼성화에 의한 평면 구조의 왜곡을 통해 강한 SOC (~ 10 meV)를 유도하는 것으로 예측하였다. 또한, 이론적 계산에 의하면 그래핀에서 물리적으로 결합된 원자는 sp^2 혼성화 및 부격자 대칭(Sublattice symmetry)을 파괴하지 않고, 강한 SOC를 발생시킬 수 있음을 증명하였다. 예를 들어, 그래핀/Ni 계면에서 Au 인터칼레이션은 디랙점(Dirac point)에 근접한 ~ 100 meV 만큼 큰 스핀-오비탈 분리를 일으킬 수 있다. 최근, "Balakrishnan et al."은, 순차적으로 수소화(hydrogenated), CVD 및 물리적으로 결합된 그래핀으로 진행하여 비국소적 저항(R_{NL}^{SHE})의 발생을 유도한 것으로 보고하였다. 이들은 전하 중립점(charge neutral peak) 근처에 큰 대칭 피크를 나타내었고, 이는 전계에 의존하는 세차 운동 신호(즉, Hanle curve)에 의존하는 전계를 나타내고 있다. 큰 R_{NL} 피크 출현은 그래핀 내의 SHE의 존재로 인한 것이다. 그러나, 이러한 비국소적 수송 결과는 비판적 논쟁을 불러일으켰다. "Wang et al."은 Au 또는 Ir이 결합된 그래핀에서 큰 비국소적 저항(R_{NL})이 관찰되었지만, Hanle 신호의 증거는 발견되지 않음을 보고하였다. 또한, "Kaverzin et al."은, 수소화된 그래핀에 대한 R_{NL} 에서의 전계 유도 효과의 부재를 보고하고, 이전에 보고된 것에 의문을 제기하였다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 전술한 바와 같은 문제점을 해결하기 위한 것으로, 그래핀 상에 금속, 예를 들어, Au-클러스터를 도입하여, 스핀-오비탈 커플링을 증가시키고, 스핀 홀 효과에 의한 스핀 전류를 생성하고, 스핀 홀 효과에 의한 비국소적 저항은, 다양한 전류 채널에 의한 게이트 전압에 의존하고, 상기 스핀 전류를 전하 중립점 부근에서 측정할 수 있는, 그래핀 홀 소자를 제공하는 것이다.
- [0008] 본 발명은, 본 발명에 의한 그래핀 홀 소자를 포함하는 스핀 홀 효과의 반도체 소자를 제공하는 것이다.
- [0009] 본 발명은, 본 발명에 의한 그래핀 홀 소자의 제조방법을 제공하는 것이다.
- [0010] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0011] 본 발명의 하나의 양상은,
- [0012] 기판; 상기 기판 상에 형성된 그래핀층; 상기 그래핀층 상의 적어도 일부분에 형성된 금속 클러스터 증착층; 및 상기 그래핀층의 적어도 일부분과 접하고, 전류를 공급하는 전극; 을 포함하고, 게이트 전압에 의한 스핀전류를 생성하는 것인, 그래핀 홀 소자에 관한 것이다.
- [0013] 본 발명의 일 실시예에 따라, 상기 금속 클러스터 증착층은, 상기 그래핀층과 화학적 결합 없이 반데르발스 힘에 의한 물리적 결합으로 형성된 것일 수 있다.
- [0014] 본 발명의 일 실시예에 따라, 상기 그래핀 홀 소자는, 캐리어 농도 $1 \times 10^{12} \text{ cm}^{-2}$ 이상에서 게이트 전압에 의한 스핀 전류를 생성하는 것일 수 있다.
- [0015] 본 발명의 일 실시예에 따라, 상기 금속 클러스터 증착층은, Au, Pt, W 및 Pd으로 이루어진 군에서 선택된 1종 이상의 금속을 포함하는 금속 클러스터를 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 따라, 상기 스핀 전류는, 2K에서 0.09 이하의 스핀 홀 각도를 갖는 것일 수 있다.
- [0017] 본 발명의 일 실시예에 따라, 상기 그래핀층은, 단층 그래핀이고, 상기 그래핀층의 두께는, 1 nm 이하일 수 있다.
- [0018] 본 발명의 일 실시예에 따라, 상기 금속 클러스터 증착층의 두께는, 1.5 nm 이하일 수 있다.
- [0019] 본 발명의 다른 양상은, 본 발명에 의한 그래핀 홀 소자; 를 포함하고, 스핀 홀 생성을 위한 스핀 홀 효과의 반도체 소자에 관한 것이다.
- [0020] 본 발명의 일 실시예에 따라, 기판 상의 적어도 일부분에 그래핀층을 형성하는 단계; 상기 그래핀층 상의 적어도 일부분에 전극을 형성하는 단계; 상기 그래핀층을 패터닝하는 단계; 및 상기 패터닝된 그래핀층의 적어도 일부분에 금속 클러스터 증착층을 형성하는 단계; 를 포함하는, 그래핀 홀 소자의 제조방법에 관한 것이다.
- [0021] 본 발명의 일 실시예에 따라, 상기 전극을 형성하는 단계는, e-빔 리소그래피법으로 상기 그래핀층의 적어도 일부분에 전극을 형성할 수 있다.
- [0022] 본 발명의 일 실시예에 따라, 상기 그래핀층을 패터닝하는 단계는, 상기 그래핀층을 산소-플라즈마를 이용하여 홀 바 구조로 패터닝할 수 있다.
- [0023] 본 발명의 일 실시예에 따라, 상기 금속 클러스터 증착층을 증착하는 단계는, e-빔 리소그래피법으로 상기 패터닝된 그래핀층의 적어도 일부분에 금속 클러스터 증착층을 형성할 수 있다.
- [0024] 본 발명의 일 실시예에 따라, 상기 금속 클러스터 증착층을 증착하는 단계는, 열증착으로 금속 클러스터 증착층을 증착할 수 있다.

발명의 효과

- [0025] 본 발명은, 그래핀의 표면 상에 금속 클러스터를 배치하여 특정 게이트 전압에서 스핀 전류를 발생시킬 수 있는 그래핀 홀 소자를 제공할 수 있다.
- [0026] 본 발명은, 특정 캐리어 농도에서 우세한 비국소적 저항을 유도하고, 전하 중립점 근접부위에서 비대칭적이고, 높은 캐리어 농도에서 대칭인, 게이트 전압에 의존적이고 효과적으로 스핀 전류를 생성할 수 있는, 스핀 효과를

유도하는 그래핀 홀 소자를 제공할 수 있다.

[0027] 본 발명에서 그래핀 홀 소자는, 스핀 완화 시간의 온도 의존성을 갖고, 스핀-오비탈 커플링의 대칭 및 게이트 전압에 의존성을 가진다.

도면의 간단한 설명

[0028] 도 1은, 본 발명의 일 실시예에 따른, 본 발명에 의한 그래핀 홀 소자의 평면도를 예시적으로 나타낸 것이다.

도 2는, 본 발명의 일 실시예에 따른, 본 발명에 의한 그래핀 홀 소자의 스핀 홀 효과를 예시적으로 나타낸 것이다.

도 3은, 본 발명의 일 실시예에 따른, 본 발명에 의한 그래핀 홀 소자의 제조방법의 흐름도를 예시적으로 나타낸 것이다.

도 4는, 본 발명의 일 실시예에 따른, 장치 A의 비국소적 소자 형태 및 측정된 R_{NL} 에 관한 것으로, (a) 그래핀 소자의 홀-바 형태(H-bar geometry); (b) 그래핀 홀-바 소자의 SEM 이미지를 나타낸 것으로, Au 클러스터의 랜덤한 분산이 오른쪽 패널의 확대도에서 확인할 수 있다. SEM 이미지를 기초로 하여, Au는 41.92%를 덮고 있음; (c) 양극성 전계 효과 특성(Ambipolar field effect behavior)을 나타내는, Au-클러스터 소자 A의 게이트-의존형 국소적 저항; 및 (d) 300 K에서 소자 A의 상이한 L/w 비율에 대한 인가된 게이트 전압의 기능으로 R_{NL} 을 나타낸 것이다.

도 5는, 본 발명의 일 실시예에 따른, 다양한 온도에서 Au-클러스터 그래핀 장치 B(clustered graphene device B)의 국소 및 국소적 저항을 나타낸 것으로, (a) T = 2 및 300 K에서 Au-클러스터 장치 B에 대한 인가된 게이트 전압의 함수로서의 국소 저항, 디락 점은 약 33 V에 위치하고, L/w = 5.6를 갖는 장치 B의 SEM 이미지를 삽입하여 나타냄; (b) 300K에서 장치 B의 R_{NL} vs. V_g , 파란색 곡선은 계산된 값을 나타내며; 및 (c) 2, 5, 10, 20 및 50 K에서 장치 B의 R_{NL} vs. V_g 를 나타낸 것이다.

도 6은, 본 발명의 일 실시예에 따른, 장치 B에 대해 측정된 R_{NL} vs. $B_{||}$ 커브 의존성 게이트 전압을 나타낸 것으로, 다양한 $V_g - V_D = -33, -13, 0$, 및 7V에 대해 측정된 T = 2K에서 장치 B의 (a-d) R_{NL} vs. $B_{||}$ 를 나타낸다. (a) 패널의 붉은 선은, 식 (1)으로 피팅된 커브이며, 인가된 다양한 전압에서 측정된 비국소적 I-V 커브를 내부에 나타내었으며, 이에 반하여, 인가된 다른 전압, $V_g - V_D = -33V$ 에서, 비국소적 I-V 커브는, 선형 특성을 나타내며, 패널 (a) 내부에 있는 블루선은 선형 피팅(linear fit)을 나타낸 것이다.

도 7은, 본 발명의 일 실시예에 따른, 장치 B의 온도 의존형 $R_{NL}(B_{||})$ 및 τ_s 를 나타낸 것으로, (a) 다양한 온도 (2, 5, 10, 20 및 50 K)에 대한 $V_g - V_D = -33V$ 에서 측정된 장치 B의 R_{NL} vs. $B_{||}$ 이며, 빨간색 선은, 측정된 R_{NL} s에 식 (1)을 피팅한 것이며; (b) 식 (1)로 피팅한 것에서 추출된 파라미터의 온도 의존성이며, ΔR_{NL} , Θ_{SH} , 및 λ_s 는 상단에서 바닥까지 나타내었음; (d) τ_s^{-1} (▲) 및 τ_p (●)의 온도 의존성이며, 녹색 선과 빨간색 선은, 각각 DP(D'yakonov-Perel) 및 EY(Elliot-Yafet) 스핀 완화 메커니즘에 대한 예측된 온도 의존성을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어(Terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0030] 본 발명은, 그래핀 홀 소자에 관한 것으로, 본 발명의 일 실시예에 따라, 상기 그래핀 홀 소자는, 그래핀에서 스핀-오비탈 커플링을 증가시켜 강자성체 없이 스핀 홀 효과에 의한 스핀 전류를 발생하고, 비국소적 스핀 확산 및 역스핀 홀 효과에 의한 스핀을 검출할 수 있는, 게이트 의존성 스핀 홀 효과를 유도할 수 있다.

[0031] 본 발명의 일 실시예에 따라, 도 1을 참조하면, 본 발명에 의한 그래핀 홀 소자의 평면도를 예시적으로 나타낸

것으로, 도 1에서 상기 그래핀 홀 소자는, 기관(110); 그래핀층(120); 금속 클러스터 증착층(130) 및 전극(140);을 포함할 수 있다.

[0032] 본 발명의 일 예로, 기관(110)은, 반도체 소자에 적용 가능한 것이라면 제한 없이 적용될 수 있으며, 사파이어(Al_2O_3), Si, SiC, GaN 및 AlN 기관 중 1종 이상을 포함할 수 있다. 예를 들어, 기관 (110) 상에 절연층(111, 도면에 도시하지 않음)을 더 포함할 수 있으며, 상기 절연층(111)은, SiO_2 일 수 있다.

[0033] 본 발명의 일 예로, 그래핀층(120)은, 기관(110) 상의 적어도 일부분에 형성되고, 단일층으로 형성될 수 있다. 그래핀층(120)은, 스핀 홀 효과와 스핀 산란에 의해 스핀 전류를 발생시키고, 전하 캐리어의 이동 채널일 수 있다. 예를 들어, 도 2를 참조하면, 그래핀 홀 바(H-bar, hall bar)의 수직선을 가로 질러 흐르는 충전 전류는 직접 스핀 홀 효과 (SHE, spin Hall effect)에 의해 중앙 채널 라인을 통해 횡방향의 스핀 전류를 생성한다. 스핀 전류가 채널을 통해 지속되면, 역 SHE(Inverse SHE)를 통해 비국소적 전압을 생성할 수 있다.

[0034] 예를 들어, 그래핀층(120)은, 1 nm 이하; 0.5 nm; 0.01 nm 내지 0.4 nm, 0.1 nm 내지 0.4 nm; 또는 0.345 nm의 두께로 형성될 수 있다.

[0035] 본 발명의 일 예로, 금속 클러스터 증착층(130)은, 그래핀층(130) 상의 적어도 일부분, 예를 들어, 그래핀의 표면 상의 적어도 일부분에 형성될 수 있다. 금속 클러스터 증착층(130)은, 스핀-오비탈 커플링을 증가시켜 그래핀에서 스핀 홀 효과에 의해 유도된 비국소적 저항을 형성시키고, 상기 비국소적 저항은, 다양한 전류 채널로 인가된 게이트 전압에 의존할 수 있다. 상기 스핀 홀 효과는, 특정 캐리어 농도에서 지배적인 비국소적 저항을 유도하고, 스핀 홀 각은 2 K에서 ~ 0.09 이하이고, 상기 스핀 홀의 스핀 완화 시간은, 온도 의존성을 나타내므로, 스핀-오비탈 커플링의 대칭 및 게이트 전압에 의존한다. 또한, 전하 중립점 근처에서 비대칭이고, 전하 중립점에서 벗어나서 게이트 전압 인가에 의한 높은 캐리어 농도 ($> 1 \times 10^{12} \text{ cm}^{-2}$)부위에서 대칭이므로, 스핀 완화 시간의 온도 의존성은, 스핀-오비탈 커플링의 대칭에 의해 좌우되며, 이는 또한 게이트 전압에 의존한다. 즉, 전하 중립점에서 벗어나서 게이트 전압 인가에 의한 비교적 고농도(캐리어 농도, $> 1 \times 10^{12} \text{ cm}^{-2}$)에서 순수스핀전류 신호가 검출될 수 있다.

[0036] 예를 들어, 금속 클러스터 증착층(130)은, 그래핀층(120) 상에 도입되고, 탄소 원자와 화학적 결합 없이, 반데르발스 힘에 의한 물리적 결합으로 형성되고 도입될 수 있으며, 이는 스핀-오비탈 커플링을 증가시켜 그래핀에서 스핀 전류를 효과적으로 발생시킬 수 있다.

[0037] 예를 들어, 금속 클러스터 증착층(130)은, Au, Pt, W 및 Pd으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있으며, 바람직하게는 Au (금)일 수 있다.

[0038] 예를 들어, 금속 클러스터 증착층(130)의 두께는, 1.5 nm 이하; 0.5 nm 내지 1.5 nm; 또는 0.6 nm 내지 1 nm의 두께를 포함할 수 있으며, 상기 두께 범위의 금속 클러스터의 도입으로 그래핀 고유의 전기적 성질을 유지하면 게이트 전압에 의해 스핀 전류를 생성할 수 있다.

[0039] 예를 들어, 금속 클러스터 증착층(130)은, 그래핀층(120)의 표면의 전체 면적 중 5 % 내지 80 %이하; 20 % 내지 60 %; 또는 30 % 내지 45 %으로 형성될 수 있다.

[0040] 본 발명의 일 예로, 전극(140)은, 그래핀층(120)의 적어도 일부분과 접하고, 전류를 공급하는 것으로, 반도체 소자에 적용 가능한 전극 소재라면 제한 없이 적용될 수 있으며, 예를 들어, Co, Ir, Ta, Cr, Mn, Mo, Tc, W, Re, Fe, Sc, Ti, Sn, Ge, Sb, Al, Pt, Ni, Au, ITO 및 ZnO 으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다.

[0041] 본 발명의 일 실시예에 따라, 본 발명에 의한 그래핀 홀 소자; 를 포함하고, 스핀 홀 생성을 위한 스핀 홀 효과를 갖는 반도체 소자를 제공할 수 있다. 예를 들어, 상기 반도체 소자는, 적용 분야에 따라 본 발명의 기술 분야에서 알려진 다양한 구성을 포함할 수 있으며, 본 발명의 목적을 벗어나지 않는다면, 이러한 구성은 제한 없이 적용될 수 있다.

[0042] 본 발명은, 본 발명에 의한 그래핀 홀 소자의 제조방법에 관한 것이다. 본 발명의 일 실시예에 따라, 도 3을 참조하여 설명하며, 도 3은, 본 발명의 일 실시예에 따른, 본 발명에 의한 그래핀 홀 소자의 제조방법의 흐름도를 예시적으로 나타낸 것이다. 도 3에서 상기 제조방법은, 그래핀층을 형성하는 단계(S110); 전극을 형성하는 단계(S120); 그래핀층을 패터닝하는 단계(S130); 및 금속 클러스터 증착층을 형성하는 단계(S140); 를 포함할 수 있다.

- [0043] 본 발명의 일 예로, 그래핀층을 형성하는 단계(S110)는, 준비된 기판 상의 적어도 일부분에 그래핀층(120)을 형성하는 단계이다. 예를 들어, 그래핀층(120)은, 기판(110) 상에 직접적으로 형성하거나 또는 그래핀 시트를 기판(110) 상으로 전사할 수 있다. 예를 들어, 기판(110)은, 절연층(111)이 더 형성될 수 있고, 그래핀층(120)은, 절연층(111) 상의 적어도 일부분에 형성될 수 있다.
- [0044] 본 발명의 일 예로, 전극을 형성하는 단계(S120)은, 그래핀층(120) 상의 적어도 일부분에 전극(140)을 형성하는 단계이다.
- [0045] 본 발명의 일 예로, 전극을 형성하는 단계(S120)는, 마스크층을 형성하는 단계(S121), 마스크층을 패터닝하는 단계(122) 및 전극을 증착하는 단계(S123);를 포함할 수 있다.
- [0046] 예를 들어, 마스크층을 형성하는 단계(S121)는, 포토레지스트, PMMA(Polymethylmethacrylate), Si_3N_4 , SiO_2 , TiO_2 , TiN 및 Ti로 이루어진 군에서 선택된 1종 이상을 포함할 수 있고, 원하는 패턴을 형성하기 위해서 positive resist(A) 및 negative resist(A')로 구성될 수 있다.
- [0047] 예를 들어, 마스크층을 패터닝하는 단계(122)는, 포토 리소그래피, 전자빔 리소그래피, 임프린트 리소그래피 방법(Imprint Lithography Method) 등을 이용하여 복수개의 전극이 형성되는 영역으로 패턴을 형성할 수 있다.
- [0048] 예를 들어, 전극을 증착하는 단계(S123)는, 원하는 영역에 MOCVD(metal-organic chemical vapour deposition), CVD, 전자빔 진공증착기(e-beam evaporator), 열증착 등을 이용하여 전극을 형성할 수 있다.
- [0049] 예를 들어, 전극을 증착하는 단계(S123) 이후에 마스크층을 제거하는 단계를 더 포함할 수 있으며, 마스크층을 제거하는 단계는, 마스크층 이외의 영역에 손상을 주지 않는 용액 및/또는 가스 등으로 마스크층을 제거할 수 있다.
- [0050] 본 발명의 일 실시예에 따라, 그래핀층을 패터닝하는 단계(S130)는, 전극(140)이 형성된 그래핀층(120)을 일정한 형태로 패터닝하는 단계이다.
- [0051] 본 발명의 일 예로, 그래핀층을 패터닝하는 단계(S130)는, 마스크층을 형성하는 단계(S131); 마스크층을 패터닝하는 단계(132); 및 그래핀층을 식각하는 단계(133);를 포함할 수 있다.
- [0052] 예를 들어, 마스크층을 형성하는 단계(S131)는, 포토레지스트, PMMA(Polymethylmethacrylate), Si_3N_4 , SiO_2 , TiO_2 , TiN 및 Ti로 이루어진 군에서 선택된 1종 이상을 포함할 수 있고, 원하는 패턴을 형성하기 위해서 positive resist(A) 및 negative resist(A')로 구성될 수 있다. 도 3을 살펴보면, 원하는 패턴을 그래핀층을 형성하기 위해서 그래핀층의 제거가 필요한 부분에 positive resist(A)이 형성될 수 있다.
- [0053] 예를 들어, 마스크층을 패터닝하는 단계(132)는, 포토 리소그래피, 전자빔 리소그래피, 임프린트 리소그래피 방법(Imprint Lithography Method) 등으로 마스크층을 패터닝하여, 상기 패터닝에 따라 그래핀층(120)의 일부만이 노출될 수 있다.
- [0054] 예를 들어, 그래핀층을 식각하는 단계(S133)는, 패터닝된 마스크층에 따라 노출된 그래핀층(120)을 식각 및/또는 제거하여 그래핀층(120)을 패터닝하는 단계이며, 예를 들어, 홀 바 구조로 패터닝될 수 있다. 예를 들어, 식각하는 단계(133)는, 산소-플라즈마를 이용하여 노출된 그래핀층(120)을 식각할 수 있다.
- [0055] 예를 들어, 그래핀층을 식각하는 단계(S133) 이후에 마스크층을 제거하는 단계를 더 포함할 수 있으며, 마스크층을 제거하는 단계는, 마스크층 이외의 영역에 손상을 주지 않는 용액 및/또는 가스 등으로 마스크층을 제거할 수 있다.
- [0056] 본 발명의 일 실시예에 따라, 금속 클러스터 증착층을 형성하는 단계(S140)는, 패터닝된 그래핀층의 적어도 일부분에 금속 클러스터를 증착하는 단계이다.
- [0057] 본 발명의 일 예로, 금속 클러스터 증착층을 형성하는 단계(S140)는, 마스크층을 형성하는 단계(S141); 마스크층을 패터닝하는 단계(142); 및 금속 클러스터를 증착하는 단계(S143);을 포함할 수 있다.
- [0058] 예를 들어, 금속 클러스터 증착층을 형성하는 단계(S141)는, 포토레지스트, PMMA(Polymethylmethacrylate), Si_3N_4 , SiO_2 , TiO_2 , TiN 및 Ti로 이루어진 군에서 선택된 1종 이상을 포함할 수 있고, 원하는 패턴을 형성하기 위해서 positive resist(A) 및 negative resist(A')로 구성될 수 있다. 도 3을 살펴보면, 그래핀층 상에 원하는 영역 및/또는 형태를 얻기 위해 금속 클러스터 증착층의 형성이 필요한 부분은 positive resist(A)이 형성될 수

있다.

[0059] 예를 들어, 마스크층을 패터닝하는 단계(S142)는, 포토 리소그래피, 전자빔 리소그래피, 임프린트 리소그래피 방법(Imprint Lithography Method) 등으로 마스크층을 패터닝하여 패턴을 형성하고, 패턴에 따라 그래핀층(120)의 일부분이 노출될 수 있다.

[0060] 예를 들어, 금속 클러스터를 증착하는 단계(S143)는, 패터닝된 마스크층에 따라 노출된 그래핀층(120) 상에 금속 클러스터를 증착하는 단계이며, 예를 들어, 열증착을 이용할 수 있다.

[0061] 예를 들어, 금속 클러스터를 증착하는 단계(S143) 이후에 마스크층을 제거하는 단계를 더 포함할 수 있으며, 마스크층을 제거하는 단계는, 마스크층 이외의 영역에 손상을 주지 않는 용액 및/또는 가스 등으로 마스크층을 제거할 수 있다.

[0062] **실시예: 소자의 제조**

[0063] 그래핀은 [H. D. Yun, J. Kwak, S. Y. Kim, H. Seo, I. C. Bang, S. Y. Kim, S. Kang, and S. Y. Kwon, J. Alloy Compd. 675, 37 (2016).]를 참조하여, CVD를 이용하여 polycrystalline Cu foil 상에 성장시켰다. 25 μm copper foil (Alfa Aesar, 99.8% purity)은, 15 min 동안 phosphoric acid 내에 electropolished되고, IPA(isopropyl alcohol) 및 증류수로 세척하였다. copper foil은, quartz tube 3-zone furnace 내에 삽입하고, surface reconstruction으로 copper 내에 native oxides를 제거하기 위해서, H_2 분위기에서 1050 $^{\circ}\text{C}$ 까지 온도를 올렸다. 그래핀은, 15 min 동안 CH_4 가스 대 H_2 가스 10:5 (sccm)비율로 도입하여 합성하고, PMMA(Polymethyl methacrylate)를 이용하여 Si/SiO₂(300nm)기판 상으로 전사되었다. 다음으로, 샘플은, 잔류물을 제거하기 위해서 300 $^{\circ}\text{C}$ 에서 고진공 하에서 어닐링되었다. 디바이스는 E-빔 리소그래피(electron beam lithography)를 이용하여 제조되었다. 전극으로 열증착(Thermally deposited)된 Au (60 nm)/Cr (3 nm) 층이 형성되었다. 비국소적 그래핀 장치(nonlocal graphene device)의 홀 바 구조(Hall bar geometry)는 산소 플라즈마 에칭 (oxygen plasma etching)을 이용하여 형성되었다. 초박막 Au 층 (~ 1 nm)는, 진공열증착(thermal evaporation)으로 증착되었다. 측정 이전에, 제조된 디바이스는 잔류물을 제거하기 위해서 300 $^{\circ}\text{C}$ 에서 N_2/H_2 가스 내에서 어닐링되었다. 전기 측정은, PPMS(Quantum Design Physical Property Measurement System) 내에서 수행되었다. 구리 와이어(Copper wire)가 장착된 인듐은, 상기 디바이스의 Au 패드와 전기적 접촉을 위해 사용되었다. 4-말단 비국소 측정(4-terminal nonlocal measurements)는, Keithley 소스미터 (Keithley source meter, K2636) 및 나노 볼트미터(nano-voltmeter, K2182)를 사용하여 수행되었다. 게이트 전압은, SiO₂(300nm)/*p*-Si기판의 하단과의 접촉을 통하여 적용되었다. XPS는, 단색성 Al K α X-ray source (1486.6 eV)이 장착된 열 Thermo Scientific spectrometer (Thermo Scientific spectrometer, K-Alpha)를 이용하여 측정되었다. incident x-ray의 스팟 크기는, 직경 400 μm 이다. 532 nm 레이저 소스가 장착된 Alpha 300R spectrometer (WITec)는, 라만 분광법(Raman spectroscopy) 측정에 이용되었다.

[0064] **A. Au-클러스터 그래핀에서 비국소적 저항**

[0065] 도 4의 (a)는 비국소적 그래핀 소자를 개략적으로 나타낸 것으로 SOC가 있는 경우, H 막대의 수직선을 가로 질러 흐르는 충전 전류는 직접 SHE를 통해 중앙 채널 라인을 통해 횡방향의 스핀 전류를 생성한다. 스핀 전류가 채널을 통해 지속되면, 역 SHE를 통해 비국소적 전압을 생성할 수 있습니다. 도 4의 (b)는, 채널 폭 (w)이 1 μm 이고 길이 (Ls)가 2, 3 및 4 μm 인 Au-클러스터 그래핀 소자 A의 주 사형 전자 현미경 (SEM) 이미지이다. 열 증착된 초박막 Au 층 (~ 1 nm)은 도 4의 (b)의 확대도와 같이, 10 nm 정도의 크기로 무작위로 분포된 Au 클러스터를 형성한 것을 확인할 수 있다. 이러한 SEM 이미지를 기반으로 결정된 Au 분포 정도(coverage)는 ~ 41.92 %이며, 라만 스펙트럼 및 XPS 측정 결과에서 그래핀은 단일층이고, Au 원자는 그래핀의 탄소 원자와 화학적 결합이 형성되지 않는 것을 확인할 수 있다. 도 4의 (c)는, 백 게이트를 사용하여 300 K에서 양극성 전계효과 거동을 나타낸 것으로, 상단 x 축에 예상 캐리어 농도가 표시된다. 이러한 FET 특성은, 전하 캐리어가 주로 그래핀 층을 통해 이동한다는 것을 나타내는 것으로, 일반적인 그래핀 FET에서 관찰되는 것과 유사하다. 최대 저항의 게이트 전압, 전하 중성 점은 약 5V에 위치한다. 중성점에서 예상 이동도는, 300 K에서 ~ 1000 cm^2/Vs 이다. as-grown CVD 그래핀과 비교하여, 최대 저항 영역의 반올림과 Au-클러스터 그래핀은 이동도의 감소는, Au 클러스터가 상당한 전하 불순물 산란을 일으킨다는 것을 암시한다. 전하 중성점 근처에서 Au 클러스터 그래핀 장치의 전형적인 저항률은 약 5 k Ω 이며, 이는 샘플 대 샘플 간에 약간의 차이를 보인다. 이러한 저항값은, 실시예에서 성장시킨 그래핀과 유사하고, 양극성 전계효과 거동과 예측 저항률은, 모두 Au-클러스터 그래핀 장치의 전

하 캐리어가 주로 그래핀을 통해 이동한다는 것을 의미한다.

[0066] 도 4의 (d)는, 장치 A의 $L/w = 2, 3$ 및 4 채널에 대해 300 K에서 측정된 게이트 종속 R_{NL} 를 나타낸 것이다. 국소적 FET 커브와 유사하게, 장치 A의 모든 채널에 관련해서, R_{NL} 은 전하 중성점에 근접한 최대 값을 나타낸다.

도 4의 (c)에서 점선은, 비국소적 오옴 저항 ($R_{NL}^{Ohm} = \rho \exp(-\pi L/w)$, 여기서, ρ 는 물질의 저항성이다)으로 주어진다. 모든 채널 ($L/w=2,3$ 및 4)에 관한 측정된 R_{NL} 은, R_{NL}^{Ohm} 보다 더 높다. 그래핀 장치의 H-바 형태에 서 R_{NL} 은, 다양한 메카니즘으로부터 발생할 수 있다. R_{NL}^{Ohm} 은 $L/w \geq 3$ 일 때 크게 감소될 수 있다.

[0067] 도 5의 (a)는, $L/w = 5.6$ 인 Au 클러스터 장치 B에 대해 측정된 국소적 FET 특성을 나타낸다. 도 5의 (a)는 장치 B의 SEM 이미지를 보여주고, 장치 B에 대한 전하 중성점은 약 33 V에 있다. 중성점 근처된 이동도는 300 K에서 $\sim 1000 \text{cm}^2/\text{V}\cdot\text{s}$ 이다. 도 5의 (b)는, 300 K에서 측정된 게이트 의존성 R_{NL} 을 나타내며, 최대 포지티브 R_{NL} 은 디락(Dirac) 영역 근처에 위치된다. 도 5의 (b)에서 파란색 선은 시뮬레이션된 R_{NL} 결과를 나타낸다. 이전에 보고된 것은 디락 점 주위에 큰 대칭 피크를 보였다. 그러나 본 발명의 장치에서 관찰된 R_{NL} 은 디락 지점 근처에서 FET 피크의 파생과 비슷한 것을 나타내고, 국소적 프로브의 전류는 중앙 채널 라인에 따라 줄 가열(joule heating) 및 온도 기울기를 도입한다. 이에, 제백(Seebeck) 계수에 의해 주어진 열전기 전압은, 비국소적인 프로브 내에서 오프셋 전압을 유도할 수 있다. 제백 계수는, 전자 및 홀 다수 캐리어에 대해 반대 부호를 가지므로 전하 중성점 근처에서 부호를 변경하고, 비국소적 프로브 내에서 후속 오프셋 전압변경된다.

[0068] 도 5의 (c)는, 온도를 낮추어 장치 B의 R_{NL} 를 나타내었다. 도 5의 (c)에서 R_{NL} 의 중요한 변동을 관찰할 수 있다. 이러한 변동은, 온도를 낮추면서 더 증가한다. Au 원자 및/또는 클러스터를 갖는 그래핀에서 Θ_{SH} 의 이론적 시뮬레이션은, 게이트 의존성 변경을 보여준다. 일반적으로, 그래핀의 컨덕턴스 변동은, 캐리어의 양자 간섭으로 인해 저온에서 발생할 수 있는데, 이는 무작위적인 전자 및 홀 웅덩이(hole puddles)의 존재로 인하여, 디락 점 근처에서 가장 크다. 그래핀에서 스핀의 양자 간섭은 큰 게이트-의존적 변동을 유도할 수 있다. 컨덕턴스 변동은 특히 2K 및 5K에서 페르미 에너지 및 게이트-의존성 변동 패턴의 변화에 의존한다. 따라서, R_{NL} 에서 관찰된 게이트 의존성 변동은, Θ_{SH} 및 컨덕턴스 변동 둘 모두의 변동과 관련된다.

[0069] B. Au-클러스터 그래핀에서 게이트-의존형 스핀 홀 유발된 비국소적 저항

[0070] 하기의 식 1에 따라 R_{NL}^{SHE} 를 결정하였다.

수학식 1

$$R_{NL}^{SHE} = \frac{1}{2} \theta_{SH}^2 \rho w \text{Re} \left[\left(\sqrt{1 + i\omega_B \tau_s} / \lambda_s \right) e^{-(\sqrt{1 + i\omega_B \tau_s} / \lambda_s) L} \right]$$

[0071]

[0072] 여기서, Θ_{SH} 는 스핀 홀 각, τ_s 는 스핀 완화 시간, λ_s 는 스핀 완화 길이, $\psi_B = \hbar B/\gamma$ 는 Larmor frequency이며, Γ 는, gyromagnetic ratio이며, $B_{//}$ 는, 인가된 면내 자기장이다.

[0073] 도 6은, 2K에서의 다양한 게이트 전압에 대한 면내 자기장-종속 R_{NL} 을 나타내었다. 도 6의 (a) 내지 (b)는, 각각 인가된 게이트 전압에 대한 비국소적인 I-V 커브를 보여준다. $V_G - V_D = -33\text{V}$ 에서만 다양한 게이트 전압 중에서 $R_{NL}(B_{//})$ 은 식 (1)과 비슷한 세차 운동 특성을 나타낸다. 이와 반대로, $V_G - V_D = 33\text{V}$ 에서만 비국소 I-V 커브는 R_{NL}^{SHE} 에서 예측된 바와 같이 단조 선형 반응을 나타낸다.

[0074] 서로 다른 게이트 전압에서 비국소적 I-V 커브의 거동은 다양한 변동 및 열 효과 ($\sim T^2$)의 비국소적 신호의 조

합으로 해석할 수 있습니다. 따라서 $V_G - V_D = -33V$ 의 특정 바이어스에서 우세한 것으로 추측할 수 있습니다. $V_G - V_D = -33V$ 에서 전계 의존형 R_{NL} 은 식 (1)으로 피팅될 수 있다. 게이트 전압 ($\sim 1V$)의 약간의 변화는 Hanle 신호를 억제하기에 충분하며, 이것은 Θ_{SH} 에서 게이트 전압 의존형 변동의 존재를 제안한다. 전하 중심점 근처에서 Hanle 커브의 부재 및 특정 게이트 전압에서 Hanle 커브 출현은, 다음과 같은 이유이다. 첫째, 비국소적 저항의 변동은 Hanle 신호를 흐리게 하고, 둘째, 스핀 홀 유도된 비국소적 저항 자체가 상당한 게이트 의존적 변동을 가질 수 있다. 또한, SHE의 페르미 레벨 의존성이 다른 Dirac fermionic systems에서도 발견된다는 점에 주목했고, 특정 게이트 바이어스 ($V_G - V_D = -33V$)에서의 R_{NL} 를 확인하기 위해서, 다양한 온도에서 전계-의존형 R_{NL} 를 연구하였다.

[0075] 도 7(a)는, 온도 $T = 2, 5, 10, 20$ 및 50 K에서 측정된 $R_{NL}(B//)$ 를 나타낸다. 모든 커브는, 온도가 증가함에 따라 폭이 증가하는 진동 특성을 나타내고, 전통적인 Hanle 커브의 경우, 곡선의 폭은 대략 스핀 산란율 (τ_s^{-1})에 해당된다. 온도가 증가함에 따라 폭이 넓어지는 정도는, 온도가 높아질수록 감소하는 경향이 있다. 다양한 온도에서 관찰된 $R_{NL}(B//)$ 의 거동과 일치한다. 도 6(a)에서 빨간색 선은 측정된 데이터에 식(1)을 피팅하였고, 2 K에서 추정된 변수는, $\Theta_{SH} \sim 8.8\%$, $\tau_s \sim 10$ ps, 및 $\lambda_s \sim 2.2 \mu m$ 이다. 모든 변수는 온도가 증가함에 따라 감소하는 경향이 보이며, 관찰된 것과 이의 전계 의존성이 Au 바이패스(by pass)로 기인한 것으로 추정될 수 있다. 그러나 Au의 스핀은 $5.6 \mu m$ 이상을 수송할 수 없었고, 관찰된 FET 특성은 전하 캐리어가 주로 그래핀을 통해 이동한다는 것을 확인할 수 있다. 다른 장치에서의 Hanle 커브의 출현은, 동일한 게이트 바이어스에서 선형 I-V 커브를 동반한다. 도 7의 (c)는 온도에 비선형적 증가를 나타내는 τ_s^{-1} 의 온도 의존성을 나타낸다. 반대로, FET 결과로부터 얻어진 τ_p 는, 도 7의 (c)에서 나타낸 바와 같이, 온도에 비의존적이다. 이는 샘플 내에 대전된 불순물은, 상대적으로 높은 온도에서 포논 산란 보다 강한 상당한 쿨롱 산란을 일으킨다는 것을 의미한다. 반대로 그래핀의 τ_p , τ_s 은 강한 온도 의존성을 가진다. 또한, τ_s^{-1} 이 T_2 에 비례하고, 이는 EY 스핀 완화(하기의 식 2)가 DP 스핀 완화(하기의 식 3)보다 우세하다는 것을 나타낸다. 이러한 결과는, 본 발명의 장치에서 측정된 R_{NL}^{SHE} 이 외재성 SHE로부터 스핀 전하 변화에 의해 유발될 가능성이 있음을 시사한다.

수학식 2

$$\tau_{EY}^{-1} = A \left(\frac{k_B T}{E_g} \right)^2 B \tau_p^{-1}$$

[0076]

[0077] (B는 밴드갭 및 스핀 오비탈 분리)

수학식 3

$$\tau_{DP}^{-1} = C \alpha^2 \frac{(k_B T)^3}{\hbar^2 E_g} \tau_p$$

[0078]

[0079] (α 는 밴드갭 및 스핀-오비탈 분리)

[0080] 결론적으로 Au-클러스터 그래핀 홀 바 소자에서 스핀 홀 효과에 의한 스핀 전류의 발생, 비국소적 스핀 확산 및 역스핀 홀 효과에 의한 스핀 검출을 제시하였다. 관찰된 비국소적 저항은 인가된 게이트 전압에 따라 상당한 변동을 나타내고, 이는 부분적 컨덕턴스 변동(conductance fluctuation) 및 스핀 홀 각 변동(spin Hall angle fluctuation)에 기인한 것이다. SHE 유발된 비국소적 저항(nonlocal resistance)의 특정 농도에서 우세한 것을 확인하였다. 이는 Hanle 커브 및 이의 온도 의존성으로 더 확인할 수 있다. Hanle 커브로부터 획득된 τ

$\sigma(T)$ 특성은, 예측된 SOC 대칭과 일치하고, 이는 디랙점(Dirac point)에서 비대칭하고, 더 높은 농도에서 대칭이다. 즉, 그래핀은, 스핀 전류의 발생 및 감지를 위한 대체 경로이다. 스핀-의존성의 그래핀의 전자 분산의 설계는, 스핀-기반 로직 장치(spin-based logic devices)의 실현에 중요한 기여를 할 수 있다. 그래핀 내의 증가된 스핀-오피탈 커플링은 강자성체 없이 스핀 전류를 발생 또는 감지할 수 있는 스핀 홀 효과를 유도할 수 있다.

[0081] 본 발명은, Au-클러스터 그래핀 내에서 R_{NL}^{SHE} 에 의존하는 게이트를 갖는, 그래핀 홀 소자를 제공할 수 있다. 홀 바(H-bar)형 기하학은 SHE를 통해 횡 방향 스핀 편극 전류(transverse spin-polarized current)를 생성하는데 사용되며, 역 SHE로 인해 검출될 수 있다. R_{NL} 에서 중요한 게이트-의존 변경이 낮은 온도에서 관찰되었다.

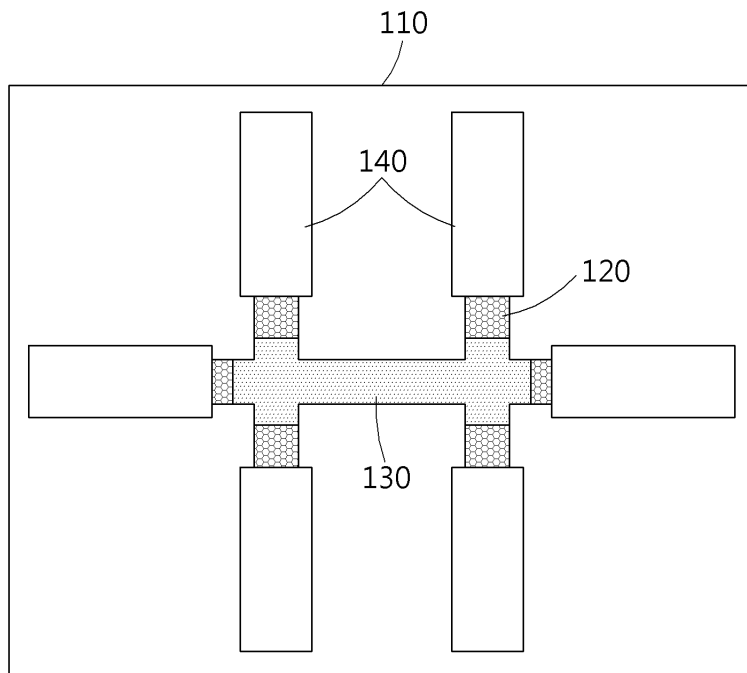
그러나, R_{NL}^{SHE} 은, Hanle curves가 다양한 온도에서 일정하게 관찰되는 특정 캐리어 농도에서 지배적이다. 스핀 완화 시간 (τ_s)의 온도 의존성은 특정 캐리어 농도에서 Elliot-Yafet (EY) 메커니즘이 우세하다는 것을 나타낸다.

[0082] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

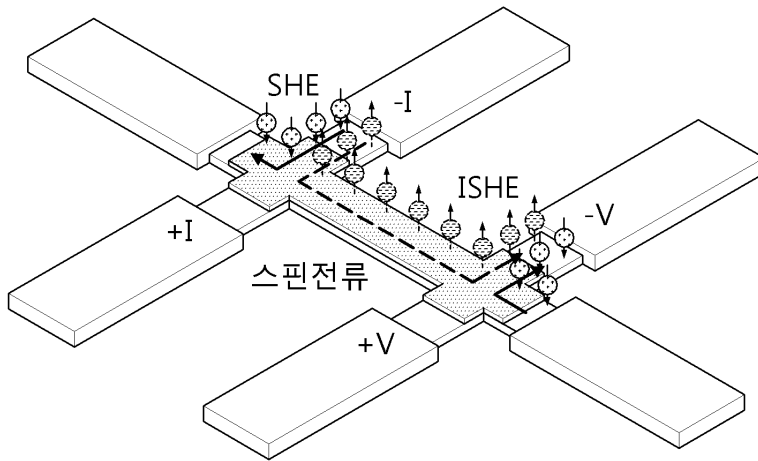
[0084]

도면

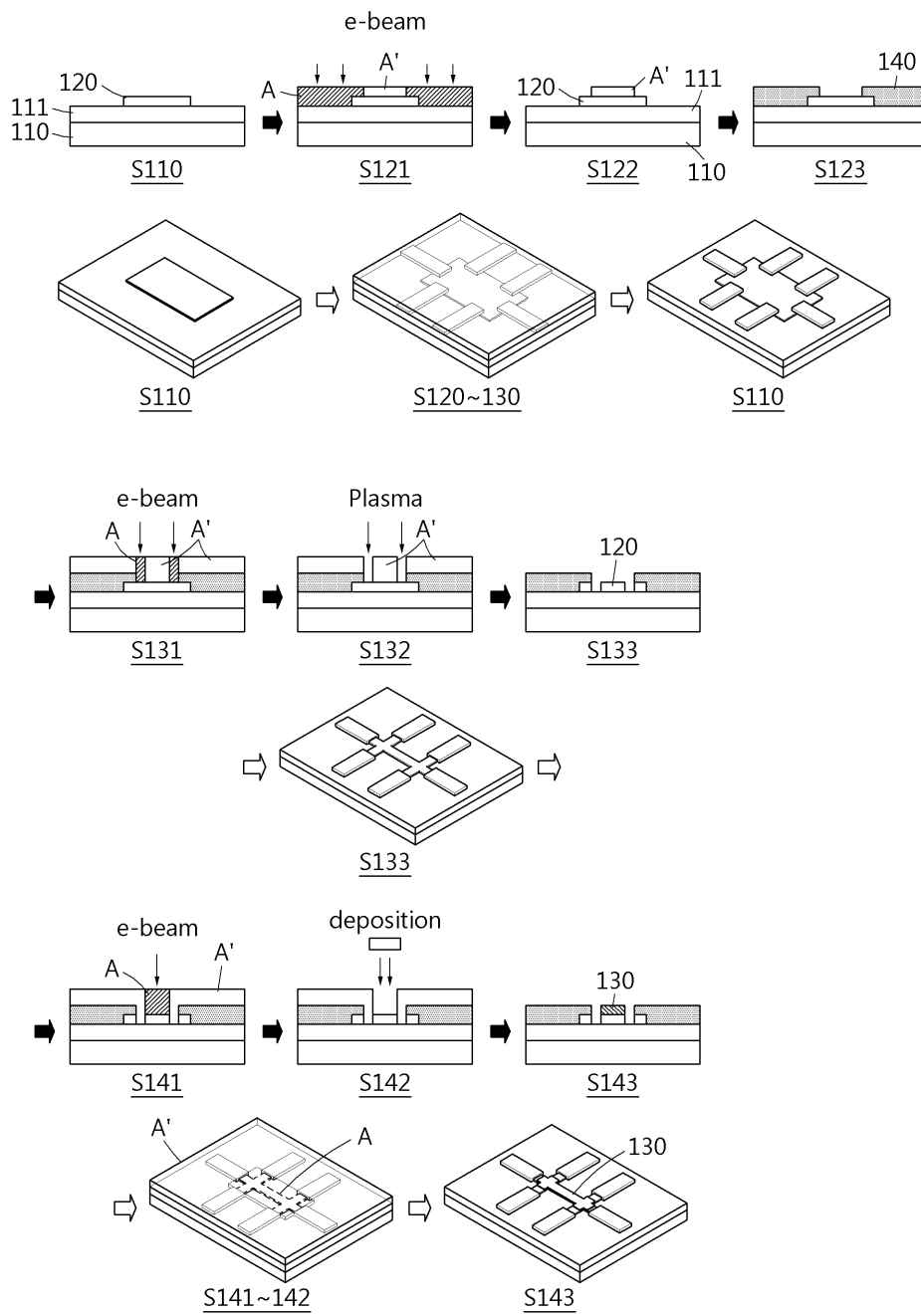
도면1



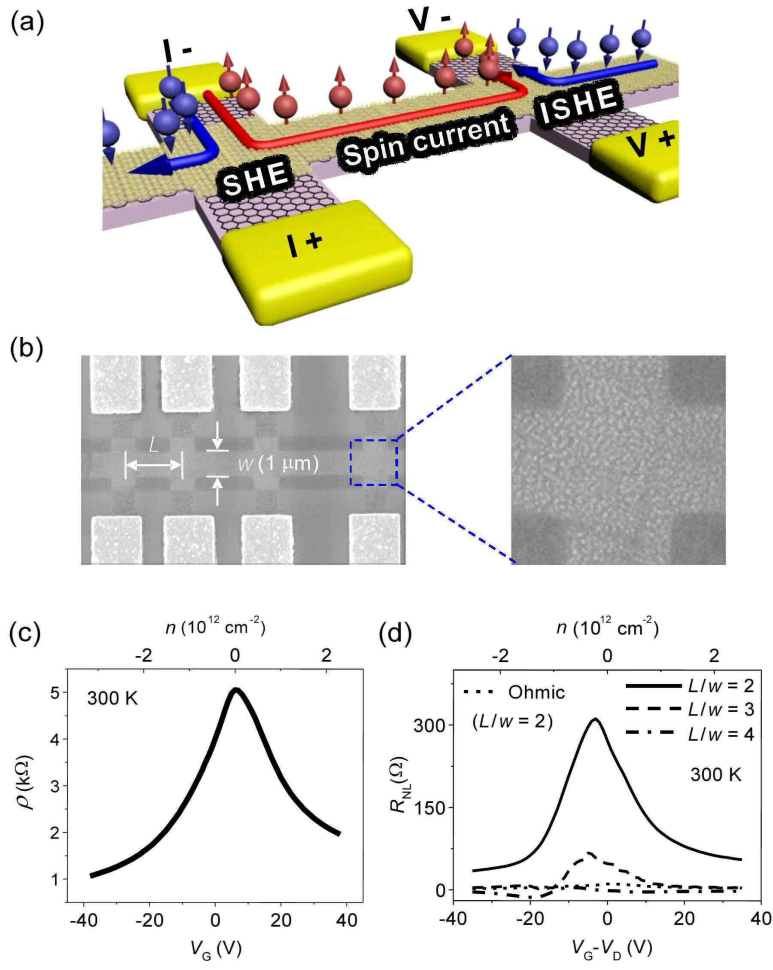
도면2



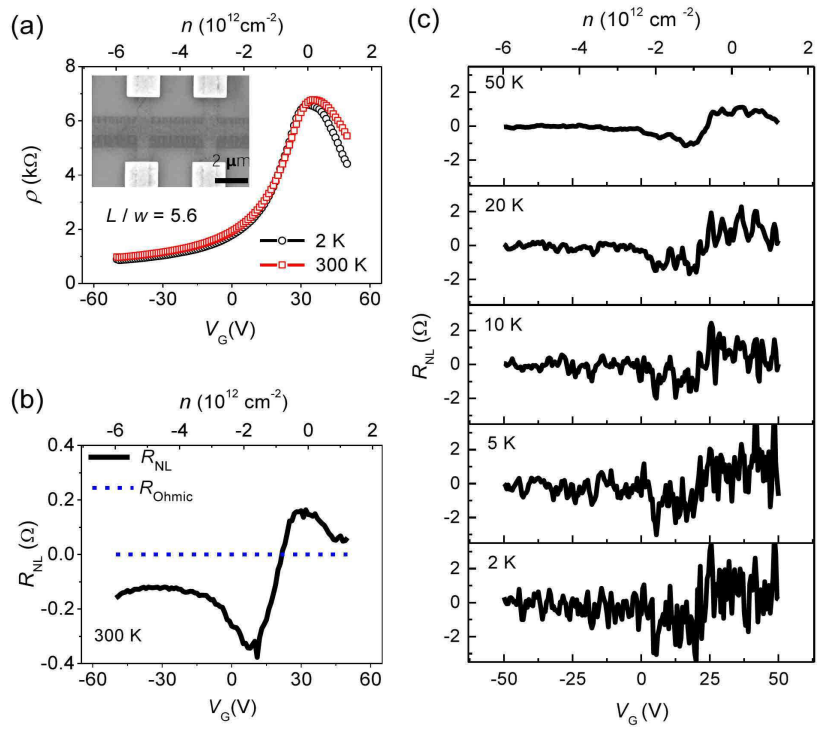
도면3



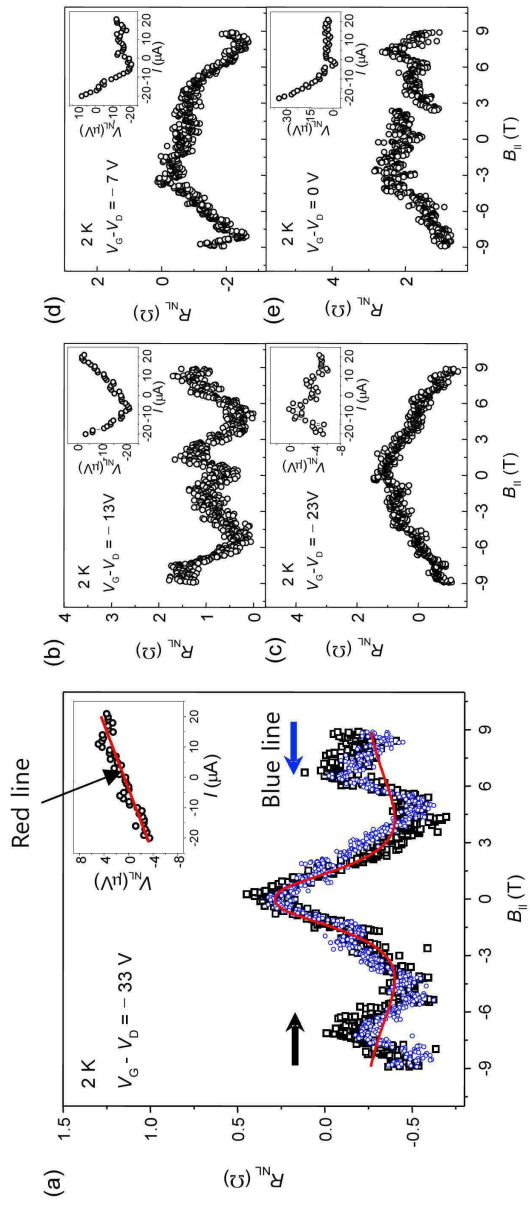
도면4



도면5



도면6



도면7

