

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4203656号
(P4203656)

(45) 発行日 平成21年1月7日(2009.1.7)

(24) 登録日 平成20年10月24日(2008.10.24)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 51/50 (2006.01)	G09G 3/20 622B
	G09G 3/20 623B
	G09G 3/20 624B
請求項の数 6 (全 34 頁) 最終頁に続く	

(21) 出願番号	特願2004-9146 (P2004-9146)	(73) 特許権者	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(22) 出願日	平成16年1月16日(2004.1.16)	(74) 代理人	100090033 弁理士 荒船 博司
(65) 公開番号	特開2005-202209 (P2005-202209A)	(74) 代理人	100093045 弁理士 荒船 良男
(43) 公開日	平成17年7月28日(2005.7.28)	(72) 発明者	白崎 友之 東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子研究所内
審査請求日	平成16年10月1日(2004.10.1)	(72) 発明者	佐藤 和仁 東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子研究所内
		審査官	橋本 直明
			最終頁に続く

(54) 【発明の名称】 表示装置及び表示パネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の選択走査線と複数の信号線との各交差点に配置され、流れる電流の大きさに従った輝度で発光する有機エレクトロルミネッセンス素子である複数の発光素子と、

前記複数の選択走査線に対応して平行な複数の電源走査線と、

前記複数の選択走査線を順次選択する選択走査ドライバと、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前半に、リセット電圧を前記複数の信号線に印加し、前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうちリセット電圧を印加した後に、映像信号に従った大きさの指定電流を前記複数の信号線に流すデータ側駆動回路と、

前記複数の選択走査線及び前記複数の信号線にそれぞれ接続され、前記選択走査ドライバが前記選択走査線を選択することにより、前記信号線に流れる指定電流の大きさを記憶し、前記記憶した指定電流に従った大きさの駆動電流を前記複数の発光素子にそれぞれ流す複数の画素回路と、を備え、

前記複数の画素回路の各々は、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記信号線に接続された第一トランジスタと、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記電源走査線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうちの他方に接続され、ドレイン

とソースとのうちの一方が前記電源走査線に接続され、ドレインとソースのうちの他方が前記第一トランジスタのドレインとソースのうちの他方及び前記有機エレクトロルミネッセンス素子の一方の電極に直接接続された第三トランジスタと、

前記第三トランジスタのゲート - ソース間の電圧を保持することによって記憶するキャパシタと、を有し、

前記リセット電圧は、前記有機エレクトロルミネッセンス素子の他方の電極の電圧以下であり、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前半に、前記電源走査線に印加される電圧は前記リセット電圧に等しく、前記電源走査線を選択を解除した時に前記電源走査線に印加する電圧が前記有機エレクトロルミネッセンス素子の他方の電極の電圧を越えるように設定されていることを特徴とする表示装置。

10

【請求項 2】

前記データ側駆動回路は、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時の前半に前記複数の信号線に対してリセット電圧を印加した状態に切り換える切換部と、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前記切換部がリセット電圧を印加した後から、前記選択走査ドライバが前記複数の選択走査線各々の選択を解除するまでの間に、映像信号に従った大きさの指定電流を前記複数の信号線に流す信号ドライバと、を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記複数の画素回路の各々は、

前記選択走査ドライバが前記選択走査線を選択している時に前記信号線に流れる指定電流を取り込んでその指定電流の大きさを電圧のレベルに変換して記憶し、

前記選択走査ドライバが前記選択走査線を選択を解除している時に前記信号線に流れる指定電流を遮断し、前記指定電流に応じて変換された電圧のレベルに従った駆動電流を前記発光素子に流すことを特徴とする請求項 1 又は 2 に記載の表示装置。

20

【請求項 4】

前記選択走査ドライバが前記複数の選択走査線を順次選択するのに同期して、前記複数の電源走査線を順次選択する電源走査ドライバが設けられていることを特徴とする請求項 1 に記載の表示装置。

30

【請求項 5】

前記選択走査ドライバが前記選択走査線を選択して前記第一トランジスタをオンしている時に、前記第一トランジスタが前記電源走査線から前記第三トランジスタのドレイン - ソース間を介して前記信号線に指定電流を流すことによって、前記第三トランジスタが指定電流の大きさをゲート - ソース間電圧のレベルに変換して前記キャパシタが変換された電圧のレベルを記憶し、

前記選択走査ドライバが前記選択走査線を選択を解除して前記第一トランジスタをオフしている時に、前記第三トランジスタが、前記キャパシタによって記憶されたゲート - ソース間電圧のレベルに従った大きさの駆動電流を前記有機エレクトロルミネッセンス素子へ流すことを特徴とする請求項 1 に記載の表示装置。

40

【請求項 6】

複数の選択走査線と複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する有機エレクトロルミネッセンス素子である複数の発光素子と、前記選択走査線及び前記信号線にそれぞれ接続した複数の画素回路と、を備える表示パネルを駆動する方法であって、

前記表示パネルは、

前記複数の選択走査線に対応して平行な複数の電源走査線と、

前記複数の選択走査線を順次選択する選択走査ドライバと、

前記複数の選択走査線及び前記複数の信号線にそれぞれ接続され、前記選択走査ドライバが前記選択走査線を選択することにより、前記信号線に流れる指定電流の大きさを記憶

50

し、前記記憶した指定電流に従った大きさの駆動電流を前記複数の発光素子にそれぞれ流す複数の画素回路と、を備え、

前記複数の画素回路の各々は、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記信号線に接続された第一トランジスタと、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記電源走査線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうちの他方に接続され、ドレインとソースとのうちの一方が前記電源走査線に接続され、ドレインとソースのうちの他方が前記第一トランジスタのドレインとソースのうちの他方及び前記有機エレクトロルミネッセンス素子の一方の電極に直接接続された第三トランジスタと、

前記第三トランジスタのゲート-ソース間の電圧を保持することによって記憶するキャパシタと、を有し、

前記複数の選択走査線を順次選択し、

前記複数の選択走査線が各々選択されている時のうち前半に、前記有機エレクトロルミネッセンス素子の他方の電極の電圧以下のリセット電圧を前記複数の信号線に印加するとともに前記電源走査線に前記有機エレクトロルミネッセンス素子の他方の電極の電圧以下である電圧を印加し、

前記複数の選択走査線が各々選択されている時のうち前半に、前記有機エレクトロルミネッセンス素子の他方の電極の電圧以下のリセット電圧を前記複数の信号線に印加するとともに前記電源走査線に前記リセット電圧に等しい電圧を印加し、

前記複数の選択走査線が各々選択されている時のうち前記リセット電圧を印加した後に、前記電源走査線に印加する電圧が前記有機エレクトロルミネッセンス素子の他方の電極の電圧を越えるようにして、映像信号に従った大きさの指定電流を前記複数の信号線に流し、

前記選択走査線が選択されることにより、前記信号線に流れる指定電流の大きさを記憶し、前記記憶した指定電流の大きさに従った大きさの駆動電流を前記画素回路によって前記発光素子に流すことを特徴とする表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子を画素ごとに備える表示パネルを駆動する表示パネルの駆動方法、及び、前記表示パネルと前記データ側駆動回路と選択走査ドライバとを備える表示装置に関する。

【背景技術】

【0002】

一般に、液晶ディスプレイにはアクティブマトリクス駆動方式のものと、単純マトリクス駆動方式のものがある。アクティブマトリクス駆動方式の液晶ディスプレイにおいては、単純マトリクス駆動方式の液晶ディスプレイに比較しても高コントラスト及び高精細な画面表示が行われる。アクティブマトリクス駆動方式の液晶ディスプレイにおいては、キャパシタとしても機能する液晶素子と、画素スイッチング素子として機能するトランジスタとが、画素ごとに設けられている。アクティブマトリクス駆動方式では、シフトレジスタである走査ドライバによって走査線が選択されている時に、輝度を表すレベルの電圧がデータドライバによって信号線に印加されると、トランジスタを介して液晶素子に電圧が印加される。走査線の選択が終了してから次にその走査線が選択されるまでの間においてトランジスタがオフになっても、液晶素子がキャパシタとして機能するため、走査線の選択が終了してから次にその走査線が選択されるまでの間、電圧レベルが保持される。以上のように、走査線が選択されている時において液晶素子の光透過率が新たにリフレッシュされて、バックライトの光がリフレッシュされた光透過率で液晶素子を透過することによって、液晶ディスプレイの階調表現が行われる。

10

20

30

40

50

【 0 0 0 3 】

一方、自発光素子である有機 E L (Electro Luminescence : エレクトロルミネッセンス) 素子を用いた有機エレクトロルミネッセンスディスプレイは、液晶ディスプレイのようにバックライトを必要とせず、薄型化に最適であるとともに、液晶ディスプレイのような視野角の制限もないため、次世代の表示装置として実用化が大きく期待されている。

【 0 0 0 4 】

高輝度、高コントラスト、高精細といった観点から、有機エレクトロルミネッセンスディスプレイも、液晶ディスプレイと同様にアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイが開発されている。例えば特許文献 1 に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイにおいては、有機 E L 素子を駆動するための画素回路 (特許文献 1 においては、有機 E L 素子駆動回路と称されている。) が画素ごとに設けられている。画素回路は、有機 E L 素子 (2、5 2)、駆動 T F T (5、5 5)、第 1 のスイッチング素子 (7、5 7) 及びスイッチ T F T (1 0、6 0) 等から構成されている。制御線 (4、5 4) が選択されると、信号ドライバにより駆動 T F T のゲートに輝度データとして電圧が印加されることになる。これにより、駆動 T F T がオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源線から有機 E L 素子を介して駆動 T F T に流れ、有機 E L 素子が電流の大きさに応じた輝度で発光する。制御線 (4、5 4) の選択が終了すると、駆動 T F T のゲート電圧が第 1 のスイッチング素子によって保持され、有機 E L 素子の発光が保持される。その後、スイッチ T F T のゲートにブランキング信号が入力されると、駆動 T F T のゲート電圧が下がって駆動 T F T がオフし、有機 E L 素子が消灯して 1 フレーム期間が終了する。

【特許文献 1】特開 2 0 0 0 - 2 2 1 9 4 2 号公報 (第 1 図、第 5 図)

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ところで、一般的にトランジスタは、周囲の温度変化によってチャネル抵抗が変化したり、長時間の使用によりチャネル抵抗が変化したりするために、ゲート閾値電圧が経時変化したり、ゲート閾値電圧がトランジスタごとに異なる。従って、従来の信号電圧によって輝度階調制御される電圧制御型アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイでは、信号線からの信号電圧によって駆動 T F T のゲート電圧のレベルを変化させることで有機 E L 素子に流れる電流の大きさを変化させることを行っても、駆動 T F T のゲート電圧のレベルで有機 E L 素子に流れる電流の大きさを一義的に指定するのは困難である。つまり、複数の画素において同じレベルのゲート電圧を駆動 T F T に印加したものと、有機 E L 素子の発光輝度が画素ごとに異なってしまい、表示画面内で輝度のバラツキが生じてしまう。また、駆動 T F T は経時的に劣化してしまうため、初期時と同じゲート電圧を印加しても初期時と同じ電流値の駆動電流にならないので有機 E L 素子の発光輝度も異なってしまふ。

【 0 0 0 6 】

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、高品質な表示を行うことができる表示装置及び表示パネルの駆動方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

以上の課題を解決するために、本発明の表示装置は、
 複数の選択走査線と複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する有機エレクトロルミネッセンス素子である複数の発光素子と、
前記複数の選択走査線に対応して平行な複数の電源走査線と、
 前記複数の選択走査線を順次選択する選択走査ドライバと、
 前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前半に、リセット電圧を前記複数の信号線に印加し、前記選択走査ドライバが前記複数の選択走査線

10

20

30

40

50

を各々選択している時のうちリセット電圧を印加した後に、映像信号に従った大きさの指定電流を前記複数の信号線に流すデータ側駆動回路と、

前記複数の選択走査線及び前記複数の信号線にそれぞれ接続され、前記選択走査ドライバが前記選択走査線を選択することにより、前記信号線に流れる指定電流の大きさを記憶し、前記記憶した指定電流に従った大きさの駆動電流を前記複数の発光素子にそれぞれ流す複数の画素回路と、を備え、

前記複数の画素回路の各々は、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記信号線に接続された第一トランジスタと、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記電源走査線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうちの他方に接続され、ドレインとソースのうちの一方が前記電源走査線に接続され、ドレインとソースのうちの他方が前記第一トランジスタのドレインとソースのうちの他方及び前記有機エレクトロルミネセンス素子の一方の電極に直接接続された第三トランジスタと、

前記第三トランジスタのゲート-ソース間の電圧を保持することによって記憶するキャパシタと、を有し、

前記リセット電圧は、前記有機エレクトロルミネセンス素子の他方の電極の電圧以下であり、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前半に、前記電源走査線に印加される電圧は前記リセット電圧に等しく、前記電源走査線の選択を解除した時に前記電源走査線に印加する電圧が前記有機エレクトロルミネセンス素子の他方の電極の電圧を越えるように設定されていることを特徴とする。

【0008】

好ましくは、前記データ側駆動回路は、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時の前半に前記複数の信号線に対してリセット電圧を印加した状態に切り換える切換部と、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前記切換部がリセット電圧を印加した後から、前記選択走査ドライバが前記複数の選択走査線各々の選択を解除するまでの間に、映像信号に従った大きさの指定電流を前記複数の信号線に流す信号ドライバと、を有する。

【0009】

好ましくは、前記複数の画素回路の各々は、

前記選択走査ドライバが前記選択走査線を選択している時に前記信号線に流れる指定電流を取り込んでその指定電流の大きさを電圧のレベルに変換して記憶し、

前記選択走査ドライバが前記選択走査線の選択を解除している時に前記信号線に流れる指定電流を遮断し、前記指定電流に応じて変換された電圧のレベルに従った駆動電流を前記発光素子に流す。

【0010】

好ましくは、前記発光素子が有機エレクトロルミネセンス素子であり、前記有機エレクトロルミネセンス素子の一方の電極が前記画素回路に接続されている。

【0011】

好ましくは、前記データ側駆動回路により印加するリセット電圧が前記有機エレクトロルミネセンス素子の他方の電極の電圧以下に設定されている。

【0012】

前記複数の選択走査線に対応して平行な複数の電源走査線が設けられ、

前記選択走査ドライバが前記複数の選択走査線を順次選択するのに同期して、前記複数の電源走査線を順次選択する電源走査ドライバが設けられ、

前記複数の画素回路の各々は、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記信号線に接

10

20

30

40

50

続された第一トランジスタと、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記電源走査線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうちの他方に接続され、ドレインとソースとのうちの一方が前記電源走査線に接続され、ドレインとソースのうちの他方が前記第一トランジスタのドレインとソースのうちの他方及び前記有機エレクトロルミネセンス素子の一方の電極に接続された第三トランジスタと、

前記第三トランジスタのゲート - ソース間の電圧を保持することによって記憶するキャパシタと、を有する。

【 0 0 1 3 】

10

好ましくは、前記選択走査ドライバが前記選択走査線を選択して前記第一トランジスタをオンしている時に、前記第一トランジスタが前記電源走査線から前記第三トランジスタのドレイン - ソース間を介して前記信号線に指定電流を流すことによって、前記第三トランジスタが指定電流の大きさをゲート - ソース間電圧のレベルに変換して前記キャパシタが変換された電圧のレベルを記憶し、

前記選択走査ドライバが前記選択走査線の選択を解除して前記第一トランジスタをオフしている時に、前記第三トランジスタが、前記キャパシタによって記憶されたゲート - ソース間電圧のレベルに従った大きさの駆動電流を前記有機エレクトロルミネセンス素子へ流す。

【 0 0 1 4 】

20

好ましくは、前記電源走査ドライバが前記電源走査線を選択している時に前記電源走査線に印加する電圧が前記有機エレクトロルミネセンス素子の他方の電極の電圧以下に設定されており、前記電源走査ドライバが前記電源走査線の選択を解除した時に前記電源走査線に印加する電圧が前記有機エレクトロルミネセンス素子の他方の電極の電圧を越えるように設定されている。

【 0 0 1 5 】

そして、本発明の表示装置は、

複数の選択走査線と複数の信号線との各交差点部に配置され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、

前記複数の選択走査線を順次選択する選択走査ドライバと、

30

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前半に、リセット電圧を前記複数の信号線に印加し、前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうちリセット電圧を印加した後に、映像信号に従った大きさの指定電流を前記複数の信号線に流すデータ側駆動回路と、

前記複数の選択走査線及び前記複数の信号線にそれぞれ接続され、前記選択走査ドライバが前記選択走査線を選択することにより、前記信号線と前記発光素子とを導通させる複数の画素回路と、を備えることを特徴とする。

【 0 0 1 6 】

また、本発明のデータ側駆動回路は、複数の選択走査線と前記複数の信号線とにそれぞれ接続され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、前記複数の選択走査線を順次選択する選択走査ドライバと、前記複数の発光素子の各々に接続された複数の画素回路と、を備えるアクティブマトリクス駆動方式の表示装置におけるデータ側駆動回路であって、

40

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前半に、リセット電圧を前記複数の信号線に印加し、前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうちリセット電圧を印加した後に、映像信号に従った大きさの指定電流を前記複数の信号線に流すことを特徴とする。

【 0 0 1 7 】

好ましくは、前記データ側駆動回路は、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時の前半に前記複数

50

の信号線に対してリセット電圧を印加した状態に切り換える切換部と、

前記選択走査ドライバが前記複数の選択走査線を各々選択している時のうち前記切換部がリセット電圧を印加した後から、前記選択走査ドライバが前記複数の選択走査線各々の選択を解除するまでの間に、映像信号に従った大きさの指定電流を前記複数の信号線に流す信号ドライバと、を備える。

【0018】

また、本発明の表示パネルの駆動方法は、

複数の選択走査線と複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する有機エレクトロルミネッセンス素子である複数の発光素子と、前記選択走査線及び前記信号線にそれぞれ接続した複数の画素回路と、を備える表示パネルを駆動する方法であって、

前記表示パネルは、

前記複数の選択走査線に対応して平行な複数の電源走査線と、

前記複数の選択走査線を順次選択する選択走査ドライバと、

前記複数の選択走査線及び前記複数の信号線にそれぞれ接続され、前記選択走査ドライバが前記選択走査線を選択することにより、前記信号線に流れる指定電流の大きさを記憶し、前記記憶した指定電流に従った大きさの駆動電流を前記複数の発光素子にそれぞれ流す複数の画素回路と、を備え、

前記複数の画素回路の各々は、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記信号線に接続された第一トランジスタと、

ゲートが前記選択走査線に接続され、ドレインとソースのうちの一方が前記電源走査線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうちの他方に接続され、ドレインとソースとのうちの一方が前記電源走査線に接続され、ドレインとソースのうちの他方が前記第一トランジスタのドレインとソースのうちの他方及び前記有機エレクトロルミネッセンス素子の一方の電極に直接接続された第三トランジスタと、

前記第三トランジスタのゲート-ソース間の電圧を保持することによって記憶するキャパシタと、を有し、

前記複数の選択走査線を順次選択し、

前記複数の選択走査線が各々選択されている時のうち前半に、前記有機エレクトロルミネッセンス素子の他方の電極の電圧以下のリセット電圧を前記複数の信号線に印加するとともに前記電源走査線に前記リセット電圧に等しい電圧を印加し、

前記複数の選択走査線が各々選択されている時のうち前記リセット電圧を印加した後、前記電源走査線に印加する電圧が前記有機エレクトロルミネッセンス素子の他方の電極の電圧を越えるようにして、映像信号に従った大きさの指定電流を前記複数の信号線に流し、

前記選択走査線が選択されることにより、前記信号線に流れる指定電流の大きさを記憶し、前記記憶した指定電流の大きさに従った大きさの駆動電流を前記画素回路によって前記発光素子に流すことを特徴とする。

【0019】

本発明では、複数の選択走査線のうち或る選択走査線が選択されている時のうち前半に、その選択走査線に交差する信号線にリセット電圧が印加されることによって、信号線の寄生容量によって蓄積された電荷を放出することができる。

【発明の効果】

【0020】

本発明によれば、選択期間中に選択走査線の選択によって信号線と発光素子とが導通している間にリセット電圧を印加することで信号線のみならず、発光素子に蓄積された電荷を放出することで正確な電流値の電流を発光素子に流すことができ、高品質な画面表示を行うことができる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0021】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0022】

〔第1の実施の形態〕

図1は、本発明の有機エレクトロルミネッセンスディスプレイを適用した第1の実施形態における有機エレクトロルミネッセンスディスプレイ1を示した図面である。図1に示されるように、有機エレクトロルミネッセンスディスプレイ1は、基本構成として、m本の選択走査線 $X_1 \sim X_m$ 、m本の電源走査線 $Z_1 \sim Z_m$ 、n本の信号線 $Y_1 \sim Y_n$ 及び画素 $P_{1,1} \sim P_{m,n}$ 等を有する有機エレクトロルミネッセンス表示パネル2と、有機エレクトロルミネッセンス表示パネル2を縦方向に線状走査する走査側駆動回路9と、この走査側駆動回路9と連動して階調指定電流 I_{DATA} をそれぞれの信号線 $Y_1 \sim Y_n$ に流すデータ側駆動回路7と、を備える。ここで、m、nは2以上の自然数である。

【0023】

走査側駆動回路9は、選択走査線 $X_1 \sim X_m$ を順次選択する選択走査ドライバ5と、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択することに同期して電源走査線 $Z_1 \sim Z_m$ を順次選択する電源走査ドライバ6と、を備える。また、データ側駆動回路7は、n個の電流端子 $CT_1 \sim CT_n$ を有するとともに電流端子 $CT_1 \sim CT_n$ それぞれに階調指定電流 I_{DATA} が流れるようにする信号ドライバ3と、電流端子 $CT_1 \sim CT_n$ と信号線 $Y_1 \sim Y_n$ との間に介在した切換部 $S_1 \sim S_n$ と、を備える。

【0024】

有機エレクトロルミネッセンス表示パネル2は、映像が実質的に表示される表示部4が透明基板上に設けられた構造となっている。表示部4の周囲に選択走査ドライバ5、電源走査ドライバ6、信号ドライバ3及び切換部 $S_1 \sim S_n$ が配設されている。選択走査ドライバ5、電源走査ドライバ6、信号ドライバ3及び切換部 $S_1 \sim S_n$ のうち少なくとも1つの一部又は全体が、前記透明基板上に設けられた状態で有機エレクトロルミネッセンス表示パネル2と一体に設けられても良いし、有機エレクトロルミネッセンス表示パネル2とは別にチップ化された状態で有機エレクトロルミネッセンス表示パネル2の周囲に設けられていても良い。なお、透明基板の代わりに樹脂シート等のような可撓性シートに表示部4を設けても良い。

【0025】

表示部4においては、 $(m \times n)$ 個の画素 $P_{1,1} \sim P_{m,n}$ がマトリクス状となって前記透明基板上に設けられており、縦方向つまり列方向にm個の画素が配列され、横方向つまり行方向にn個の画素が配列されている。ここで、上からi番目(つまり、i行目)であって左からj番目(つまり、j列目)である画素が画素 $P_{i,j}$ となる。但し、iは1以上m以下の任意自然数であり、jは1以上n以下の任意自然数である。従って、

【0026】

また、表示部4においては、行方向に延在するm本の選択走査線 $X_1 \sim X_m$ が互いに平行に配列して前記透明基板上に設けられている。行方向に延在するm本の電源走査線 $Z_1 \sim Z_m$ が選択走査線 $X_1 \sim X_m$ と対応するように互いに平行に配列して前記透明基板上に設けられている。電源走査線 Z_k ($1 \leq k \leq m-1$)は選択走査線 X_k と選択走査線 X_{k+1} との間に配置され、選択走査線 X_m は電源走査線 Z_{m-1} と電源走査線 Z_m との間に配置されている。また、列方向に延在するn本の信号線 $Y_1 \sim Y_n$ が互いに平行に配列して前記透明基板上に設けられている。これら選択走査線 $X_1 \sim X_m$ 、電源走査線 $Z_1 \sim Z_m$ 及び信号線 $Y_1 \sim Y_n$ は、介在する絶縁膜等によって離間されているので互いに絶縁されている。i行目の選択走査線 X_i 及び電源走査線 Z_j には、行方向に沿って配列されたn個の画素 $P_{i,1} \sim P_{i,n}$ が接続されており、j列目の信号線 Y_j には、列方向に沿って配列されたm個の画素 $P_{1,j} \sim P_{m,j}$ が接続されており、選択走査線 X_i と信号線 Y_j との交差部に画素 $P_{i,j}$ が配され

10

20

30

40

50

ている。選択走査線 $X_1 \sim X_m$ は選択走査ドライバ 5 のそれぞれの出力端子に接続されており、電源走査線 $Z_1 \sim Z_m$ は電源走査ドライバ 6 のそれぞれの出力端子に接続されている。

【 0 0 2 7 】

次に、図 2 及び図 3 を用いて画素 $P_{1,1} \sim P_{m,n}$ について説明する。図 2 は画素 $P_{i,j}$ を示した平面図であり、図 3 は隣接する四つの画素 $P_{i,j}, P_{i+1,j}, P_{i,j+1}, P_{i+1,j+1}$ 等の等価回路図である。図 2 においては、より理解しやすいように、画素 $P_{i,j}$ 中の電極を主に示す。

【 0 0 2 8 】

画素 $P_{i,j}$ は、電流の大きさに従った輝度で発光する自発光素子としての有機エレクトロルミネッセンス (Electro Luminescence) 素子 $E_{i,j}$ と、有機エレクトロルミネッセンス素子 $E_{i,j}$ の周辺に設けられているとともに有機エレクトロルミネッセンス素子 $E_{i,j}$ を駆動する画素回路 $D_{i,j}$ と、から構成されている。なお、以下では、有機エレクトロルミネッセンス素子を有機 EL 素子と略称する。

【 0 0 2 9 】

有機 EL 素子 $E_{i,j}$ は、アノードとして機能する画素電極 5 1 と、電界により注入された正孔及び電子を輸送し、輸送した正孔と電子を再結合し且つその再結合により生成された励起子により発光する広義の発光層として機能する有機 EL 層 5 2 と、カソードとして機能する共通電極とをこの順に前記透明基板上に積層した積層構造となっている。なお、図 2 の平面図において、全体を被覆するように共通電極が成膜されているが、画素電極 5 1、有機 EL 層 5 2 及び画素回路 $D_{i,j}$ 等を把握しやすいように、共通電極の図示を省略する。

【 0 0 3 0 】

画素電極 5 1 は、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ と電源走査線 $Z_1 \sim Z_m$ に囲まれる各囲繞領域に、画素 $P_{1,1} \sim P_{m,n}$ ごとにパターンニングされている。

【 0 0 3 1 】

画素電極 5 1 は、透明電極である。つまり、画素電極 5 1 は、導電性を有しているとともに、可視光に対して透過性を有している。また、画素電極 5 1 は、比較的仕事関数の高いものであり、有機 EL 層 5 2 へ正孔を効率よく注入するものが好ましい。画素電極 5 1 としては、例えば、錫ドープ酸化インジウム (ITO)、亜鉛ドープ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム - 錫酸化物 (CTO) を主成分としたものがある。

【 0 0 3 2 】

各々の画素電極 5 1 上に有機 EL 層 5 2 が成膜されている。有機 EL 層 5 2 も画素 $P_{1,1} \sim P_{m,n}$ ごとにパターンニングされている。有機 EL 層 5 2 には、有機化合物である発光材料 (蛍光体) が含有されているが、発光材料は高分子系材料であっても良いし、低分子系材料であっても良い。特に、有機 EL 層 5 2 は、画素電極 5 1 から順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子である PEDOT (ポリチオフェン) 及びドープアントである PSS (ポリスチレンスルホン酸) からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。なお、有機 EL 層 5 2 は、二層構造の他に、画素電極 5 1 から順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【 0 0 3 3 】

この有機エレクトロルミネッセンス表示パネル 2 は、フルカラー表示又はマルチカラー表示が可能であり、この場合、画素 $P_{1,1} \sim P_{m,n}$ の有機 EL 層 5 2 はそれぞれ、例えば赤色、緑色、青色の何れかに発光する機能を有する広義の発光層である。つまり、赤色に発光する有機 EL 層 5 2、緑色に発光する有機 EL 層 5 2、青色に発光する有機 EL 層 5 2 が規則正しく配列され、これにより表示部 4 ではこれらの色が適宜合成された色調で表示が行われる。

10

20

30

40

50

【 0 0 3 4 】

また、有機 E L 層 5 2 は、電子的に中立な有機化合物であることが望ましく、これにより正孔及び電子が有機 E L 層 5 2 でバランス良く注入され、輸送される。また、電子輸送性の物質が狭義の発光層に適宜混合されていても良いし、正孔輸送性の物質が狭義の発光層に適宜混合されていても良いし、電子輸送性の物質及び正孔輸送性の物質の両方が狭義の発光層に適宜混合されていても良い。また、電子輸送層又は正孔輸送層である電荷輸送層を、電子と正孔を再結合する再結合領域として機能させ、この電荷輸送層に蛍光体を混在させることによって発光させても良い。

【 0 0 3 5 】

有機 E L 層 5 2 上に形成されている共通電極は、全ての画素 $P_{1,1} \sim P_{m,n}$ に共通して形成された電極である。なお、全ての画素 $P_{1,1} \sim P_{m,n}$ に共通した共通電極の代わりに、各列毎に分割された複数のストライプ形状の電極や各行毎に分割された複数のストライプ形状の電極のように複数に分割されていてもよい。有機 E L 層 5 2 は一般的に発光色毎に材料が異なり電流密度に対する発光特性も材料に応じて異なるので、各発光色の輝度バランスを調整するために、有機 E L 層 5 2 の発光色毎に流れる電流値を設定するために発光色が同じ画素同士を互いに接続した画素であってもよい。すなわち相対的に低い電流密度で所定の輝度を発光する第一発光色画素と同じ輝度を発光するために高い電流密度が要求される第二発光色画素には、第一発光色画素よりも大きい各階調電流が流れるようにすることで発光色のバランスを調整することができる。

【 0 0 3 6 】

いずれにしても共通電極は、選択走査線 $X_1 \sim X_m$ 、信号線 $Y_1 \sim Y_n$ 、電源走査線 $Z_1 \sim Z_m$ と電氣的に絶縁されている。共通電極は、仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム、バリウム、希土類金属の少なくとも一種を含む単体又は合金で形成されている。また、共通電極は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えて金属層が堆積した積層構造となっても良く、具体的には、有機 E L 層 5 2 と接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。また、画素電極 5 1 を透明電極とし、有機 E L 層 5 2 で発する光を画素電極 5 1 を介して前記透明基板側から出射させる場合、共通電極は有機 E L 層 5 2 で発する光に対して遮光性を有することが好ましく、有機 E L 層 5 2 で発する光に対して高い反射性を有することがさらに好ましい。

【 0 0 3 7 】

以上のように積層構造となる有機 E L 素子 $E_{i,j}$ では、画素電極 5 1 と共通電極との間に順バイアス電圧（画素電極 5 1 が共通電極よりも高電位）が印加されると、正孔が画素電極 5 1 から有機 E L 層 5 2 に注入され、電子が共通電極から有機 E L 層 5 2 に注入される。そして、有機 E L 層 5 2 で正孔及び電子が輸送されて、有機 E L 層 5 2 にて正孔及び電子が再結合することによって励起子が生成され、励起子が有機 E L 層 5 2 を励起して、有機 E L 層 5 2 で発光する。

【 0 0 3 8 】

有機 E L 素子 $E_{i,j}$ の発光輝度は有機 E L 素子 $E_{i,j}$ に流れる電流の大きさに依存し、流れる電流が大きくなるにつれて有機 E L 素子 $E_{i,j}$ の発光輝度も増大する。つまり、有機 E L 素子 $E_{i,j}$ の劣化を考慮しなければ、有機 E L 素子 $E_{i,j}$ に流れる電流の大きさが定まると、有機 E L 素子 $E_{i,j}$ の輝度が一義的に定まる。

【 0 0 3 9 】

各画素回路 $D_{1,1} \sim D_{m,n}$ は、三つの薄膜トランジスタ（以下単にトランジスタと記述する。）2 1, 2 2, 2 3 と、キャパシタ 2 4 と、を備える。

【 0 0 4 0 】

トランジスタ 2 1, 2 2, 2 3 は、ゲート、ドレイン、ソース、半導体層 4 4、不純物半導体層、ゲート絶縁膜等から構成された N チャネル MOS 型の電界効果トランジスタで

10

20

30

40

50

あり、特にアモルファスシリコンを半導体層44（チャネル領域）としたa-Siトランジスタであるが、ポリシリコンを半導体層44としたp-Siトランジスタであってもよい。何れのトランジスタ21, 22, 23もNチャネルの電界効果トランジスタである。トランジスタ21, 22, 23の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。

【0041】

また、トランジスタ21, 22, 23は同一工程で同時に形成されても良いが、この場合、ゲート、ドレイン、ソース、半導体層44、不純物半導体層、ゲート絶縁膜等の組成はトランジスタ21, 22, 23のあいだで同じであり、トランジスタ21, 22, 23の形状、大きさ、寸法、チャネル幅、チャネル長等はトランジスタ21, 22, 23のそれぞれの機能に応じて異なる。以下では、トランジスタ21を第一トランジスタ21と、トランジスタ22を第二トランジスタ22と、トランジスタ23を第三トランジスタ23と称する。

10

【0042】

キャパシタ24は、第三トランジスタ23のゲート23gと接続された電極24Aと、トランジスタ23のソース23sと接続された電極24Bと、これら二つの電極の間に介在するゲート絶縁膜（誘電体膜）と、で構成され、第三トランジスタ23のゲート23gとソース23sとの間に電荷を蓄積する機能を有する。

【0043】

i行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第二トランジスタ22においては、ゲート22gがi行目の選択走査線 X_i に接続され、ドレイン22dがi行目の電源走査線 Z_i に接続されている。i行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ23においては、ドレイン23dがコンタクトホール26を介してi行目の電源走査線 Z_i に接続されている。i行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ21においては、ゲート21gがi行目の選択走査線 X_i に接続されている。j列目の画素回路 $D_{1,j} \sim D_{m,j}$ それぞれの第一トランジスタ21においては、ソース21sがj列目の信号線 Y_j に接続されている。

20

【0044】

画素 $P_{1,1} \sim P_{m,n}$ それぞれにおいては、第二トランジスタ22のソース22sが、コンタクトホール25を通じて第三トランジスタ23のゲート23gに接続されているとともにキャパシタ24の一方の電極に接続されている。第三トランジスタ23のソース23sは、キャパシタ24の他方の電極に接続されているとともに第一トランジスタ21のドレイン21dに接続されている。第三トランジスタ23のソース23s、キャパシタ24の他方の電極及び第一トランジスタ21のドレイン21dは何れも画素電極51に接続されている。

30

【0045】

有機EL素子 $E_{1,1} \sim E_{m,n}$ の共通電極の電圧は、一定の基準電圧 V_{SS} に保たれており、本実施形態では、有機EL素子 $E_{1,1} \sim E_{m,n}$ の共通電極が接地されることで基準電圧 V_{SS} が0〔V〕に設定されている。

画素電極51は、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ と電源走査線 $Z_1 \sim Z_m$ とに囲まれる各囲繞領域に囲まれた画素毎に分割されるようにパターニングされており、且つ各画素回路の三つのトランジスタ21, 22, 23を覆う窒化シリコン又は酸化シリコンを有する層間絶縁膜で周縁を覆われているとともにその層間絶縁膜に設けられたコンタクトホール55により中央上面が露出されている。なお層間絶縁膜は、窒化シリコン又は酸化シリコンの第一層の上にさらにポリイミド等の絶縁膜からなる第二層が設けられていてもよい。

40

選択走査線 X_i と信号線 Y_j との間、並びに電源走査線 Z_i と信号線 Y_j との間には、ゲート絶縁膜に加え、各トランジスタ21~23の半導体層44と同一膜をパターニングして形成された保護膜44Aが設けられている。なお、トランジスタ21、22、23の半導体層44のチャネルとなる表面がパターニングの際に用いられるエッチャントに晒されて

50

荒れないように半導体層 4 4 の両端部を除いて窒化シリコン等からなるブロッキング絶縁層を設けてもよく、この場合、選択走査線 X_i と信号線 Y_j との間、並びに電源走査線 Z_i と信号線 Y_j との間にブロッキング絶縁層と同一膜をパターンニングして形成された保護膜を設けてもよく、この保護膜及び保護膜 4 4 A を重ね合わせてもよい。

【 0 0 4 6 】

次に、選択走査ドライバ 5、電源走査ドライバ 6、切換部 $S_1 \sim S_n$ 及び信号ドライバ 3 について図 4 を用いて説明する。ここで、図 4 は、上から順に、選択走査線 X_1 の電位、電源走査線 Z_2 の電位、選択走査線 X_2 の電位、電源走査線 Z_2 の電位、選択走査線 X_3 の電位、電源走査線 Z_3 の電位、選択走査線 X_m の電位、電源走査線 Z_m の電位、切換信号 inv のレベル（電圧値）、切換信号 のレベル、信号線 Y_j の電位、有機 EL 素子 $E_{1,j}$ の画素電極 5 1 の電位、有機 EL 素子 $E_{1,j}$ の発光輝度、有機 EL 素子 $E_{2,j}$ の画素電極 5 1 の電位、有機 EL 素子 $E_{2,j}$ の発光輝度を示したタイミングチャートである。図 4 において、横軸は共通の時間を表す。

10

【 0 0 4 7 】

選択走査ドライバ 5 は、いわゆるシフトレジスタであり、 m 個のフリップフロップ回路等を直列に接続した構成を有する。つまり、選択走査ドライバ 5 は、選択走査線 X_1 から選択走査線 X_m への順（選択走査線 X_m の次は選択走査線 X_1 ）に選択信号を順次出力することで、選択走査線 $X_1 \sim X_m$ を順次選択するものであり、選択走査線 $X_1 \sim X_m$ にそれぞれ接続された各行の第一トランジスタ 2 1 及び第二トランジスタ 2 2 を順次選択するものである。

20

【 0 0 4 8 】

詳細には図 4 に示されるように、選択走査ドライバ 5 は、選択信号としてハイレベル（オンレベル）のオン電圧 V_{ON} （基準電圧 V_{SS} よりも十分に高い。）又は非選択信号としてローレベルのオフ電圧 V_{OFF} （基準電圧 V_{SS} 以下である。）の何れかのレベルの電圧を選択走査線 $X_1 \sim X_m$ に個別に印加することによって、選択走査線 $X_1 \sim X_m$ を順次選択する。

【 0 0 4 9 】

即ち、選択走査ドライバ 5 がオン電圧 V_{ON} を選択走査線 X_i に印加するように設定されており、これにより i 行目の選択走査線 X_i が選択される。選択走査ドライバ 5 がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加することにより i 行目の選択走査線 X_i が選択されている期間を、 i 行目の選択期間 T_{SE} と称する。なお、選択走査ドライバ 5 がオン電圧 V_{ON} を選択走査線 X_i に印加している時、選択走査ドライバ 5 が他の選択走査線 $X_1 \sim X_m$ （但し、選択走査線 X_i を除く。）にオフ電圧 V_{OFF} を印加し、これにより選択走査線 $X_1 \sim X_m$ の選択期間 T_{SE} は互いに重ならない。

30

【 0 0 5 0 】

選択走査ドライバ 5 がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加することにより、 i 行目の選択走査線 X_i に接続された画素回路 $D_{i,1} \sim D_{i,n}$ それぞれでは、第一トランジスタ 2 1 及び第二トランジスタ 2 2 がオン状態になる。第一トランジスタ 2 1 がオン状態になることによって信号線 $Y_1 \sim Y_n$ に流れる電流がそれぞれ画素回路 $D_{i,1} \sim D_{i,n}$ に流れ得るようになる。

【 0 0 5 1 】

40

一方、 i 行目の選択走査線 X_i が選択されている選択期間 T_{SE} の後では、選択走査ドライバ 5 がオフ電圧 V_{OFF} を選択走査線 X_i に印加して、選択走査線 X_i の選択を解除する。これにより、 i 行目の選択走査線 X_i に接続された画素回路 $D_{i,1} \sim D_{i,n}$ それぞれでは、第一トランジスタ 2 1 及び第二トランジスタ 2 2 がオフ状態になる。第一トランジスタ 2 1 がオフ状態になることで、信号線 $Y_1 \sim Y_n$ に流れる電流はそれぞれ画素回路 $D_{i,1} \sim D_{i,n}$ に流れ得ないようになる。なお、選択走査ドライバ 5 がオフ電圧 V_{OFF} を i 行目の選択走査線 X_i に印加することにより i 行目の選択走査線 X_i の選択が解除されている期間を、 i 行目の非選択期間 T_{NSE} と称する。ここで、 $T_{SE} + T_{NSE} = T_{SC}$ で表される期間、つまり i 行目の選択走査線 X_i の選択期間 T_{SE} の開始時刻から i 行目の選択走査線 X_i の次の選択期間 T_{SE} の開始時刻までの期間が i 行目の 1 フレーム期間である。

50

【 0 0 5 2 】

電源走査ドライバ6は、いわゆるシフトレジスタであり、 m 個のフリップフロップ回路等を直列に接続した構成を有する。つまり、電源走査ドライバ6は、選択走査ドライバ5に同期して、電源走査線 Z_1 から電源走査線 Z_m への順（電源走査線 Z_m の次は電源走査線 Z_1 ）に選択信号を順次出力することで、電源走査線 $Z_1 \sim Z_m$ を順次選択するものであり、電源走査線 $Z_1 \sim Z_m$ にそれぞれ接続された各行の第三トランジスタ23を順次選択するものである。

【 0 0 5 3 】

詳細には図4に示されるように、電源走査ドライバ6は、選択信号としてローレベルの階調指定電流用基準電圧 V_{LOW} （基準電圧 V_{SS} と等電圧であるか、又は基準電圧 V_{SS} 未満である。）又は非選択信号としてハイレベルの駆動電流用基準電圧 V_{HIGH} （基準電圧 V_{SS} よりも高く、且つ階調指定電流用基準電圧 V_{LOW} よりも高い。）の何れかのレベルの電圧を電源走査線 $Z_1 \sim Z_m$ に個別に印加することによって、電源走査線 $Z_1 \sim Z_m$ を順次選択する。

10

【 0 0 5 4 】

即ち、 i 行目の選択走査線 X_i が選択される選択期間 T_{SE} では、電源走査ドライバ6が階調指定電流用基準電圧 V_{LOW} を i 行目の電源走査線 Z_i に印加するように設定されており、これにより i 行目の電源走査線 Z_i が選択される。なお、電源走査ドライバ6が階調指定電流用基準電圧 V_{LOW} を電源走査線 Z_i に印加している時、電源走査ドライバ6が他の電源走査線 $Z_1 \sim Z_m$ （但し、電源走査線 Z_i を除く。）に駆動電流用基準電圧 V_{HIGH} を印加する。

20

【 0 0 5 5 】

一方、 i 行目の選択走査線 X_i が選択されていない非選択期間 T_{NSE} では、電源走査ドライバ6は、駆動電流用基準電圧 V_{HIGH} を電源走査線 Z_i に印加して、 i 行目の電源走査線 Z_i の選択を解除する。駆動電流用基準電圧 V_{HIGH} は基準電圧 V_{SS} よりも高く、トランジスタ23がオン状態となっており、同時にトランジスタ21がオフ状態となっていれば、電源走査線 Z_i から有機EL素子 $E_{i,j}$ へと電流が流れる。

【 0 0 5 6 】

電源走査ドライバ6によって印加される階調指定電流用基準電圧 V_{LOW} は基準電圧 V_{SS} 以下に設定されているため、選択期間 T_{SE} 中に各画素 $P_{1,1} \sim P_{m,n}$ の第三トランジスタ23がオン状態となっても、有機EL素子 $E_{1,1} \sim E_{m,n}$ のアノード - カソード間にはゼロ電圧又は逆バイアス電圧が印加されていることになる。従って、選択期間 T_{SE} 中では有機EL素子 $E_{1,1} \sim E_{m,n}$ に電流が流れないので、有機EL素子 $E_{1,1} \sim E_{m,n}$ が発光することがない。一方、電源走査ドライバ6によって印加される駆動電流用基準電圧 V_{HIGH} が基準電圧 V_{SS} より高く、図5に示されるように、第三トランジスタ23のソース - ドレイン間電圧 V_{DS} が飽和領域になるように設定されている。そのため、非選択期間 T_{NSE} に第三トランジスタ23がオン状態となっていれば、有機EL素子 $E_{1,1} \sim E_{m,n}$ に順バイアス電圧が印加されていることになる。従って、非選択期間 T_{NSE} 中では有機EL素子 $E_{1,1} \sim E_{m,n}$ に電流が流れ、有機EL素子 $E_{1,1} \sim E_{m,n}$ が発光する。

30

【 0 0 5 7 】

駆動電流用基準電圧 V_{HIGH} について説明する。図5は、 N チャンネル型の電界効果トランジスタの電流 - 電圧特性を表したグラフである。図5において、横軸はドレイン - ソース間の電圧のレベルを表し、縦軸はドレイン - ソース間の電流の大きさを表す。図中の不飽和領域（ソース - ドレイン間電圧 $V_{DS} < \text{ドレイン飽和閾電圧 } V_{TH}$ となっている領域：ドレイン飽和閾電圧 V_{TH} はゲート - ソース間電圧 V_{GS} の関数であり、ゲート - ソース間電圧 V_{GS} が定まればゲート - ソース間電圧 V_{GS} によってドレイン飽和閾電圧 V_{TH} が一義的に定まる。）では、ゲート - ソース間電圧 V_{GS} が一定であると、ソース - ドレイン間電圧 V_{DS} が大きくなるにつれてソース - ドレイン間電流 I_{DS} が大きくなる。更に、図中の飽和領域（ソース - ドレイン間電圧 $V_{DS} \geq \text{ドレイン飽和閾電圧 } V_{TH}$ ）では、ゲート - ソース間電圧 V_{GS} が一定であると、ソース - ドレイン間電圧 V_{DS} が大きくなってもソース - ドレイン間電

40

50

流 I_{DS} はほぼ一定となる。

【 0 0 5 8 】

また、図 5 において、ゲート - ソース間電圧 $V_{GS1} \sim V_{GSMAX}$ は、 $0 [V] < V_{GS1} < V_{GS2} < V_{GS3} < V_{GS4} < V_{GSMAX}$ の関係となっている。つまり、図 5 から明らかのように、ソース - ドレイン間電圧 V_{DS} が一定の場合、ゲート - ソース間電圧 V_{GS} が大きくなるにつれて、不飽和領域、飽和領域のいずれであってもドレイン - ソース間電流 I_{DS} が大きくなる。更に、ゲート - ソース間電圧 V_{GS} が大きくなるにつれて、ドレイン飽和閾電圧 V_{TH} が大きくなる。

【 0 0 5 9 】

以上のことから、不飽和領域では、ゲート - ソース間電圧 V_{GS} が一定のもとでソース - ドレイン間電圧 V_{DS} がわずかに変わるとソース - ドレイン間電流 I_{DS} が変わってしまうが、飽和領域では、ゲート - ソース間電圧 V_{GS} によってドレイン - ソース間電流 I_{DS} が一義的に定まる。

【 0 0 6 0 】

ここで、第三トランジスタ 2 3 に最大のゲート - ソース間電圧 V_{GSMAX} が印加されている時のドレイン - ソース間電流 I_{DS} は、最大輝度で発光する有機 EL 素子 $E_{i,j}$ の画素電極 5 1 と共通電極との間に流れる電流に設定されている。

また、非選択期間に第三トランジスタ 2 3 のゲート - ソース間電圧 V_{GS} が最大電圧 V_{GSMAX} であっても、第三トランジスタ 2 3 が選択期間 T_{SE} 中に飽和領域を維持するように、下記に示す条件式を満たしている。

$$V_{LOW} = V_{HIGH} - V_E - V_{SS} - V_{THMAX}$$

ここで、 V_E は、発光寿命期間中に有機 EL 素子 $E_{i,j}$ を最高輝度で発光するのに要するアノード - カソード間の電圧である。 V_{THMAX} は、 V_{GSMAX} 時のトランジスタ 2 3 のソース - ドレイン間の飽和閾電圧レベルである。以上の条件式を満たすように駆動電流用基準電圧 V_{HIGH} が設定されている。従って、第三トランジスタ 2 3 と直列に接続された有機 EL 素子 $E_{i,j}$ の分圧により第三トランジスタ 2 3 のソース - ドレイン間電圧 V_{DS} が低くなっても、ソース - ドレイン間電圧 V_{DS} が常に飽和状態の範囲内なので、第三トランジスタ 2 3 に流れるソース - ドレイン間電流 I_{DS} はゲート - ソース間電圧 V_{GS} により一義的に決まることになる。

【 0 0 6 1 】

図 1、図 3 に示されるように、信号ドライバ 3 の電流端子 $CT_1 \sim CT_n$ には、それぞれ切換部 $S_1 \sim S_n$ を介して、それぞれ信号線 $Y_1 \sim Y_n$ が接続されている。信号ドライバ 3 には、8 bit のデジタル階調映像信号が入力される。信号ドライバ 3 に取り込まれたデジタル階調映像信号は、信号ドライバ 3 内の D/A コンバータによってアナログ変換される。そして、信号ドライバ 3 は、アナログ変換された映像信号に従った大きさの階調指定電流 I_{DATA} をそれぞれ電流端子 $CT_1 \sim CT_n$ に発生させるものである。信号ドライバ 3 は、図 4 に示すように、各行の選択期間 T_{SE} ごとに電流端子 $CT_1 \sim CT_n$ それぞれの階調指定電流 I_{DATA} の大きさを映像信号に従った大きさに制御し、それぞれのリセット期間 T_R が終了してからその選択期間 T_{SE} が終了するまでの間では階調指定電流 I_{DATA} の大きさを一定となるように制御する。ここで、信号ドライバ 3 は、階調指定電流 I_{DATA} を信号線 $Y_1 \sim Y_n$ からそれぞれの切換部 $S_1 \sim S_n$ を介して、信号ドライバ 3 のそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流す。

【 0 0 6 2 】

図 1、図 3 に示されるように、切換部 $S_1 \sim S_n$ はそれぞれ信号線 $Y_1 \sim Y_n$ に接続されており、更に信号ドライバ 3 の電流端子 $CT_1 \sim CT_n$ が切換部 $S_1 \sim S_n$ にそれぞれ接続されている。更に、切換部 $S_1 \sim S_n$ はリセット入力端子 4 1 に接続されており、リセット電圧 V_R がリセット入力端子 4 1 を介して切換部 $S_1 \sim S_n$ に印加される。また、切換部 $S_1 \sim S_n$ は切換信号入力端子 4 2 が接続されており、切換信号 sel が切換信号入力端子 4 2 を介して切換部 $S_1 \sim S_n$ に入力される。また、切換部 $S_1 \sim S_n$ は切換信号入力端子 4 3 が接続されており、切換信号 inv を反転した切換信号 inv が切換信号入力端子 4 3 を介して切

10

20

30

40

50

換部 $S_1 \sim S_n$ に入力される。ここで、リセット電圧 V_R は一定であり、階調指定電流用基準電圧 V_{LOW} と同じレベル（電圧値）である。詳細には、リセット入力端子 4 1 が接地されることでリセット電圧 V_R が 0 [V] に設定されている。

【0063】

切換部 S_j （切換部 S_j は、 j 列目の信号線 Y_j と j 列目の電流端子 CT_j に介在している。）は、信号ドライバ 3 による階調指定電流 I_{DATA} を信号線 Y_j に流す状態と、リセット電圧 V_R を信号線 Y_j に印加する状態とを切り換える。つまり、図 4 に示されるように、切換信号 inv_j がハイレベルであり且つ切換信号 inv_j がローレベルである場合には、切換部 S_j は電流端子 CT_j の電流を遮断するとともにリセット電圧 V_R を信号線 Y_j 及び第一トランジスタ 2 1 のドレイン 2 1 d、キャパシタ 2 4 の電極 2 4 B、第三トランジスタ 2 3 のソース 2 3 s、有機 EL 素子 $E_{x,j}$ ($1 \times m$) の画素電極 5 1 に印加して、前の選択期間 T_{SE} 中にこれらに蓄積された電荷を放出する。一方、切換信号 inv_j がローレベルであり且つ切換信号 inv_j がハイレベルである場合には、切換部 S_j は電流端子 CT_j の電流を信号線 Y_j に流すとともに信号線 Y_j に対するリセット電圧 V_R の印加を遮断する。

【0064】

ここで、切換信号 inv_j 及び切換信号 inv_j の周期について説明する。図 4 に示されるように、切換信号 inv_j 及び切換信号 inv_j の周期は、選択期間 T_{SE} と同じである。つまり、選択走査ドライバ 5 が選択走査線 $X_1 \sim X_m$ のうちの何れかに対してオン電圧 V_{ON} を印加し始める時（つまり、それぞれの行の選択期間 T_{SE} の開始時）に、切換信号 inv_j がハイレベルからローレベルになるとともに切換信号 inv_j がローレベルからハイレベルになる。そして、選択走査ドライバ 5 が選択走査線 $X_1 \sim X_m$ のうちの何れかに対してオン電圧 V_{ON} を印加している時（つまり、それぞれの行の選択期間 T_{SE} 中に）に、切換信号 inv_j がローレベルからハイレベルになるとともに切換信号 inv_j がハイレベルからローレベルになる。 i 行目の選択走査線 X_i の選択期間 T_{SE} 中に切換信号 inv_j がハイレベルであり且つ切換信号 inv_j がローレベルである期間を i 行目のリセット期間 T_R と称する。

【0065】

切換部 S_j の一例について説明する。切換部 S_j は、 N チャネル型の電界効果トランジスタ 3 1, 3 2 から構成される。トランジスタ 3 1 のゲートが切換信号入力端子 4 3 に接続され、切換信号 inv_j がトランジスタ 3 1 のゲートに入力される。また、トランジスタ 3 2 のゲートが切換信号入力端子 4 2 に接続され、切換信号 inv_j がトランジスタ 3 2 のゲートに入力される。トランジスタ 3 1 のドレインは信号線 Y_j に接続されており、トランジスタ 3 1 のソースは電流端子 CT_j に接続されている。トランジスタ 3 2 のドレインは信号線 Y_j に接続されている。トランジスタ 3 2 のソースはリセット入力端子 4 1 に接続され、定電圧であるリセット電圧 V_R がトランジスタ 3 2 のソースに印加されている。この構成では、切換信号 inv_j がハイレベルであり切換信号 inv_j がローレベルである場合に、トランジスタ 3 2 がオン状態になり、トランジスタ 3 1 がオフ状態になる。一方、切換信号 inv_j がローレベルであり且つ切換信号 inv_j がハイレベルの場合に、トランジスタ 3 1 がオン状態になり、トランジスタ 3 2 がオフ状態になる。トランジスタ 3 1 及びトランジスタ 3 2 は、画素回路 $D_{1,1} \sim D_{m,n}$ のトランジスタ 2 1 ~ 2 3 と同じ工程によって製造されることが可能である。

【0066】

次に、図 6 ~ 図 8 を用いて画素回路 $D_{1,1} \sim$ 画素回路 $D_{m,n}$ の機能について説明する。ここで、図 6 ~ 図 8 では、電流の流れを矢印で示している。

【0067】

図 6 は、 i 行目の選択期間 T_{SE} のうちリセット期間 T_R における電圧の状態を示した回路図である。図 6 に示されるように、 i 行目のリセット期間 T_R では、選択走査線 X_i にはオン電圧 V_{ON} が選択走査ドライバ 5 によって印加されているとともに、電源走査線 Z_i には階調指定電流用基準電圧 V_{LOW} が電源走査ドライバ 6 によって印加されている。更に、 i 行目のリセット期間 T_R では、それぞれの信号線 $Y_1 \sim Y_n$ にはリセット電圧 V_R が切換部 $S_1 \sim S_n$ によって印加されている。従って、 i 行目のリセット期間 T_R では、画素回路 D_i

10

20

30

40

50

$D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ 2 1 がオン状態となっているので、それぞれの有機 E L 素子 $E_{i,1} \sim E_{i,n}$ の画素電極 5 1、 i 行目の第一トランジスタ 2 1のドレイン 2 1 d、 i 行目のキャパシタ 2 4の電極 2 4 B、 i 行目の第三トランジスタ 2 3のソース 2 3 s 及び信号線 $Y_1 \sim Y_n$ の電圧が図 4 に示すように、リセット電圧 V_R で定常状態となつて前の選択期間 T_{SE} 中にこれらの寄生容量によって蓄積された電荷を放出するので、引き続き次の選択期間 T_{SE} 中に迅速且つ正確に階調指定電流 I_{DATA} を書き込むことができる。また、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第二トランジスタ 2 2 及び第三トランジスタ 2 3 がオン状態となっているが、電源走査線 Z_i に基準電圧 V_{SS} 以下の階調指定電流用基準電圧 V_{LOW} が印加されているので、電源走査線 Z_i から第三トランジスタ 2 3 に流れる階調指定電流 I_{DATA} は有機 E L 素子 $E_{i,1} \sim E_{i,n}$ に流れない。

10

【 0 0 6 8 】

図 7 は、 i 行目の選択期間 T_{SE} のうちリセット期間 T_R 後における電流、電圧の状態を示した回路図である。図 7 に示されるように、 i 行目の選択期間 T_{SE} のうちリセット期間 T_R 後では、選択走査線 X_i にはオン電圧 V_{ON} が選択走査ドライバ 5 によって引き続き印加されているとともに、電源走査線 Z_i には階調指定電流用基準電圧 V_{LOW} が電源走査ドライバ 6 によって引き続き印加されている。更に、 i 行目の選択期間 T_{SE} のうちリセット期間 T_R 後では、各切換部 $S_1 \sim S_n$ がそれぞれ信号線 $Y_1 \sim Y_n$ からそれぞれ電流端子 $CT_1 \sim CT_n$ に階調指定電流 I_{DATA} を流すように信号ドライバ 3 によって制御されている。 i 行目の選択期間 T_{SE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ 2 2 がオン状態になっている。画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第二トランジスタ 2 2 はオン状態となることにより、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 2 3 のゲート 2 3 g にも電圧が印加され、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 2 3 がオン状態となる。更に、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ 2 1 もオン状態となっているので、画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ 2 1 が電源走査線 Z_i から第三トランジスタ 2 3 のドレイン 2 3 d 及びソース 2 3 s を介してそれぞれの信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} を流す。このとき、信号線 Y_j の電位は図 4 に示すように階調指定電流 I_{DATA} が定常状態になるまで低下する。また、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 2 3 がオン状態となっているが、電源走査線 Z_i にローレベルの階調指定電流用基準電圧 V_{LOW} が印加されているので、電源走査線 Z_i から有機 E L 素子 $E_{i,1} \sim E_{i,n}$ に電流は流れない。このため、それぞれの信号線 $Y_1 \sim Y_n$ に流れる階調指定電流 I_{DATA} の大きさが第三トランジスタ 2 3 のドレイン 2 3 d - ソース 2 3 s 間電流 I_{DS} の大きさに等しくなる。また、第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧のレベルが、ドレイン 2 3 d からソース 2 3 s に流れる階調指定電流 I_{DATA} の大きさに従ったレベルになる。従って、第三トランジスタ 2 3 は階調指定電流 I_{DATA} の大きさをゲート 2 3 g - ソース 2 3 s 間の電圧のレベルに変換し、第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧のレベルに従った大きさの電荷がキャパシタ 2 4 にチャージされる。なお、第三トランジスタ 2 3 のゲート 2 3 g とドレイン 2 3 d とは、第二トランジスタ 2 2 を介して接続されており、選択時の第二トランジスタ 2 2 のオン抵抗は無視する程度なので第三トランジスタ 2 3 のゲート 2 3 g に印加された電圧とドレイン 2 3 d に印加された電圧はほぼ等しいため、階調指定電流 I_{DATA} は図 5 に示す波線 V_{TH} の線上を変位する電流 I_{DS} となる。つまり第三トランジスタ 2 3 のゲート 2 3 g とドレイン 2 3 d が等電位の場合、不飽和領域と飽和領域との間の閾値電圧 V_{TH} となるようなソース 2 3 s - ドレイン 2 3 d 間電圧 V_{DS} となる。

20

30

40

【 0 0 6 9 】

図 8 は、 i 行目の非選択期間 T_{NSE} における電流、電圧の状態を示した回路図である。図 8 に示されるように、 i 行目の非選択期間 T_{NSE} では、選択走査線 X_i にはオフ電圧 V_{OFF} が選択走査ドライバ 5 によって印加されているとともに、電源走査線 Z_i には駆動電流用基準電圧 V_{HIGH} が電源走査ドライバ 6 によって印加されている。

【 0 0 7 0 】

i 行目の非選択期間 T_{NSE} では、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ 2

50

1 がオフ状態となっているので、画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ 2 1 がそれぞれの信号線 $Y_1 \sim Y_n$ に流れている階調指定電流 I_{DATA} を遮断し、電源走査線 Z_i から第三トランジスタ 2 3 を介してそれぞれの信号線 $Y_1 \sim Y_n$ に電流が流れないようにする。更に、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第二トランジスタ 2 2 がオフ状態となることにより第二トランジスタ 2 2 がキャパシタ 2 4 にチャージされた電荷を閉じ込める。これにより、第二トランジスタ 2 2 は、第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の変換された電圧のレベルを保持することで第三トランジスタ 2 3 のソース - ドレイン間に流れる電流の電流値を記憶する。ここで、電源走査線 Z_i に、第三トランジスタ 2 3 のソース - ドレイン間電圧 V_{DS} が飽和領域を維持するようなハイレベルの駆動電流用基準電圧 V_{HIGH} が印加されているとともに画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 2 3 がオン状態となっているので、それぞれの第三トランジスタ 2 3 が電源走査線 Z_i からそれぞれの有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に駆動電流を流し、駆動電流の電流値に応じた輝度で有機 EL 素子 $E_{i,1} \sim E_{i,n}$ が発光する。このときの画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間に変換した電圧のレベルは、選択期間 T_{SE} の後半にそれぞれ信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} が流れたときの電圧のレベルと等しいようにキャパシタ 2 4 によって保持されている。

ここで、非選択期間 T_{NSE} 中の有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の分圧 V_{EL} は、図 5 に示すように、駆動電流用基準電圧 V_{HIGH} から、階調指定電流 I_{DATA} と等しい電流値の駆動電流（図 5 中の I_{DS} に相当。）が流れるときの一点鎖線の EL 負荷線上の V_{DS} を差し引いたものである。このように、有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の分圧 V_{EL} は高輝度階調になるほど高くなる傾向を持つ。そして、非選択期間 T_{NSE} 時において、駆動電流用基準電圧 V_{HIGH} は、有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の最低輝度階調の場合の第三トランジスタのドレイン 2 3 d - ソース 2 3 s 間のオン抵抗 V_{DS} にそのときの分圧 V_{EL} を加えた電圧より高く、且つ有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の最高輝度階調の場合の第三トランジスタのドレイン 2 3 d - ソース 2 3 s 間のオン抵抗 V_{DS} にそのときの分圧 V_{EL} を加えた電圧より高いように設定されている。また非選択期間 T_{NSE} 中の第三トランジスタ 2 3 のソース 2 3 s の電位は、選択期間 T_{SE} 中に保持されたゲート 2 3 g - ソース 2 3 s 間の電圧 V_{GS} が高いほど高くなるが、これにともなってキャパシタ 2 4 はソース 2 3 s に接続された電極 2 4 B 側の電荷が変位してしまうが、電極 2 4 A 側の電荷を等しく変位させてゲート 2 3 g - ソース 2 3 s 間の電圧 V_{GS} を常に一定にしている。

したがって、図 5 に示すように、非選択期間 T_{NSE} 中の第三トランジスタ 2 3 のドレイン 2 3 d - ソース 2 3 s 間は常に飽和領域電位になり、選択期間 T_{SE} に保持されたゲート 2 3 g - ソース 2 3 s 間の電荷によって、非選択期間 T_{NSE} 中に有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に流れる駆動電流の大きさは階調指定電流 I_{DATA} の大きさに等しい。また図 4 に示すように、高輝度階調になるほど非選択期間 T_{NSE} 中の有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の画素電極 5 1 での電位は高くなり、画素電極 5 1 とカソードである共通電極との電位差は大きくなり、有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に流れるの発光輝度が大きくなる。

以上のように有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の発光輝度（単位は nit.）は選択期間 T_{SE} にそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ に流れる階調指定電流 I_{DATA} の大きさによって一義的に決まる。

【0071】

次に、信号ドライバ 3、選択走査ドライバ 5、電源走査ドライバ 6 及び切換部 $S_1 \sim S_n$ で有機エレクトロルミネッセンス表示パネル 2 を駆動する方法及び有機エレクトロルミネッセンスディスプレイ 1 の表示動作について説明する。

【0072】

図 4 に示されるように、選択走査ドライバ 5 が、1 行目の選択走査線 X_1 から m 行目の選択走査線 X_m の順（但し、 m 行目の選択走査線 X_m の次は 1 行目の選択走査線 X_1 ）にオン電圧 V_{ON} を印加して選択していく。選択走査ドライバ 5 が選択するのに同期して、電源走査ドライバ 6 が 1 行目の電源走査線 Z_1 から m 行目の電源走査線 Z_m の順（但し、 m 行目の電源走査線 Z_m の次は 1 行目の電源走査線 Z_1 ）に階調指定電流用基準電圧 V_{LOW} を印加

10

20

30

40

50

して選択していく。それぞれの行の選択期間 T_{SE} においては、信号ドライバ 3 が、映像信号に従った大きさの階調指定電流 I_{DATA} を電流端子 $CT_1 \sim CT_n$ に発生させるように制御する。

【0073】

また、それぞれの行の選択期間 T_{SE} の開始時（前の行の選択期間 T_{SE} の終了時）に、切換信号 $in v .$ がローレベルからハイレベルになるとともに切換信号 $in v .$ がハイレベルからローレベルになり、信号線 $Y_1 \sim Y_n$ に蓄積された電荷及び第一トランジスタ 21 を介して画素電極 51 に蓄積された電荷を放出するようリセット電圧 V_R が印加される。それぞれの行の選択期間 T_{SE} 中（それぞれの行のリセット期間 T_R の終了時）に、切換信号がハイレベルからローレベルになるとともに切換信号 $in v .$ がローレベルからハイレベルになる。これにより、選択期間 T_{SE} の前半であるリセット期間 T_R では、切換部 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の階調指定電流 I_{DATA} の流れを許容するとともにそれぞれの信号線 $Y_1 \sim Y_n$ に対するリセット電圧 V_R の印加を遮断し、選択期間 T_{SE} のうちリセット期間 T_R の後では、切換部 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを遮断するとともにそれぞれの信号線 $Y_1 \sim Y_n$ に対するリセット電圧 V_R の印加を許容する。

なお、階調指定電流 I_{DATA} は輝度階調が低いほど小さい電流値になり、このときの信号線 $Y_1 \sim Y_n$ 及び画素電極 51 の電位は階調指定電流用基準電圧 V_{LOW} 、つまりリセット電圧 V_R に近似する。また前回の選択期間 T_{SE} 時に大きい電流値の階調指定電流 I_{DATA} が流れていると、信号線 $Y_1 \sim Y_n$ 及び第一トランジスタ 21 を介して画素電極 51 の電位がリセット電圧 V_R より十分低い電位になってしまう。このため切換部 $S_1 \sim S_n$ を設けずに信号線 $Y_1 \sim Y_n$ 及び画素電極 51 にリセット電圧を印加しない場合、引き続き低い輝度階調の低い電流値の階調指定電流 I_{DATA} を流そうとすると、前回の選択期間 T_{SE} 時の大きい電流値の階調指定電流 I_{DATA} に応じて蓄積された信号線 $Y_1 \sim Y_n$ の電荷及び画素電極 51 の電荷のため、第三トランジスタ 23 のドレイン 23d - ソース 23s 間を流れる電流の電流値が階調指定電流 I_{DATA} になるまでに時間がかかってしまい、選択期間 T_{SE} 中に第三トランジスタ 23 のゲート 23g - ソース 23s 間に要求する電位が十分チャージできなくなってしまい、非選択期間 T_{NSE} の駆動電流が階調指定電流 I_{DATA} と異なり正確な階調表示ができなくなる。しかし、リセット期間 T_R にリセット電圧 V_R を印加する切換部 $S_1 \sim S_n$ を設けたので、信号線 $Y_1 \sim Y_n$ に蓄積された電荷及び第一トランジスタ 21 を介して画素電極 51 に蓄積された電荷を速やかに放出し、迅速に第三トランジスタ 23 のゲート 23g - ソース 23s 間の電位を低い輝度階調の低い電流値の階調指定電流 I_{DATA} が流れるような電圧にすることができ、高速表示が可能となり特に動画特性に優れた映像を表示できる。

【0074】

ここで、図 9 は、上から順に、選択走査線 X_i の電位、電源走査線 Z_i の電位、切換信号 $in v .$ 、切換信号 $in v .$ 、信号線 Y_j の階調指定電流 I_{DATA} の大きさ、画素回路 $D_{i,j}$ の第三トランジスタ 23 に流れる電流の大きさ、有機 EL 素子 $E_{i,j}$ の画素電極 51 の電位、有機 EL 素子 $E_{i,j}$ に流れる電流の大きさを示したタイミングチャートである。図 9 において、横軸は共通の時間を表す。

【0075】

図 6、図 9 に示されるように、選択走査ドライバ 5 がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加している時（つまり、 i 行目の選択期間 T_{SE} ）では、他の選択走査線 $X_1 \sim X_m$ （但し、 X_i を除く。）にはオフ電圧 V_{OFF} が印加されている。従って、 i 行目の選択期間 T_{SE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ 21 及び第二トランジスタ 22 がオン状態であり、他の行の画素回路 $D_{1,1} \sim D_{m,n}$ （但し、 $D_{i,1} \sim D_{i,n}$ を除く。）の第一トランジスタ 21 及び第二トランジスタ 22 がオフ状態である。

【0076】

このように i 行目の選択期間 T_{SE} では階調指定電流用基準電圧 V_{LOW} が電源走査線 Z_i に印加されており、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第二トランジスタ 22 がオン

10

20

30

40

50

状態であるので、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 23 のゲート 23g にも電圧が印加され、第三トランジスタ 23 がオン状態となる。

【0077】

i 行目の選択期間 T_{SE} のうち前半のリセット期間 T_R では、切換部 $S_1 \sim S_n$ それぞれのトランジスタ 32 がオン状態となることによって、電源走査線 Z_i からそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 及び第一トランジスタ 21 並びにそれぞれの信号線 $Y_1 \sim Y_n$ を介して、リセット入力端子 41 までの間が電氣的に導通する。この時、電源走査線 Z_i からそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 及び第一トランジスタ 21 並びにそれぞれの信号線 $Y_1 \sim Y_n$ を介して、リセット入力端子 41 までの間の電圧が、基準電圧 V_{SS} 以下のリセット電圧 V_R (リセット電圧 $V_R =$ 階調指定電流用基準電圧 V_{LOW}) となるので、それぞれの有機 EL 素子 $E_{i,1} \sim E_{i,n}$ の画素電極 51 の電圧もリセット電圧 V_R となる。更には、リセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に印加されることによって、信号線 $Y_1 \sim Y_n$ の寄生容量にチャージされた電荷並びに画素電極 51 を含む画素回路 $D_{i,1} \sim D_{i,n}$ の寄生容量にチャージされた電荷が除去され、これらの電位がリセット電圧 V_R となる。そのため、 i 行目のリセット期間 T_R の開始後すぐに、有機 EL 素子 $E_{i,1} \sim E_{i,n}$ が消灯する。

【0078】

図 7、図 9 に示されるように、リセット期間 T_R に引き続き選択期間 T_{SE} の後半でも、オン電圧 V_{ON} が i 行目の選択走査線 X_i に印加されているとともに、階調指定電流用基準電圧 V_{LOW} が i 行目の電源走査線 Z_i に印加されている。そのため、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ 21、第二トランジスタ 22 及び第三トランジスタ 23 がオン状態である。選択期間 T_{SE} のうちリセット期間 T_R の後では、切換部 $S_1 \sim S_n$ それぞれのトランジスタ 31 がオン状態となることによって切換部 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを許容するので、電流端子 $CT_1 \sim CT_n$ は i 行目の電源走査線 Z_i に電氣的に導通する。この時、信号ドライバ 3 は、電源走査線 Z_i からそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 及び第一トランジスタ 21、それぞれの信号線 $Y_1 \sim Y_n$ 、それぞれの切換部 $S_1 \sim S_n$ を介して、それぞれの電流端子 $CT_1 \sim CT_n$ に向かった階調指定電流 I_{DATA} を流す。そして、 i 行目の選択期間 T_{SE} が終了するまでの間、信号ドライバ 3 はそれぞれの信号線 $Y_1 \sim Y_n$ に流す階調指定電流 I_{DATA} の大きさを映像信号に従った大きさで一定となるように制御する。

【0079】

i 行目の選択期間 T_{SE} の後半では、階調指定電流 I_{DATA} が電源走査線 Z_i 画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 23 のドレイン 23d - ソース 23s 間 画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ 21 のドレイン 21d - ソース 21s 間 それぞれの信号線 $Y_1 \sim Y_n$ それぞれの切換部 $S_1 \sim S_n$ のトランジスタ 31 信号ドライバ 3 のそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流れることによって、 i 行目の選択期間 T_{SE} 中に、電源走査線 Z_i からそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 及び第一トランジスタ 21 並びにそれぞれの信号線 $Y_1 \sim Y_n$ を介してそれぞれの電流端子 $CT_1 \sim CT_n$ までの間の電圧が定常状態になる。

【0080】

つまり、 i 行目の電源走査線 Z_i からそれぞれの電流端子 $CT_1 \sim CT_n$ までの電圧が定常状態になることによって、第三トランジスタ 23 に流れる階調指定電流 I_{DATA} の大きさに従ったレベルの電圧が第三トランジスタ 23 のゲート 23g - ソース 23s 間に印加され、第三トランジスタ 23 のゲート 23g - ソース 23s 間の電圧のレベルに従った大きさの電荷がキャパシタ 24 にチャージされる。これにより、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 23 に流れる階調指定電流 I_{DATA} の大きさが、第三トランジスタ 23 のゲート 23g - ソース 23s 間の電圧のレベルに変換される。

【0081】

上述したように i 行目のリセット期間 T_R においては、リセット電圧 V_R が信号線 $Y_1 \sim$

10

20

30

40

50

Y_n に印加されたので、電源走査線 Z_i からそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23及び第一トランジスタ21並びにそれぞれの信号線 $Y_1 \sim Y_n$ を介して、リセット入力端子41までの間の配線の電位を定常にすることができる。従って、 i 行目のリセット期間 T_R の後において、微弱な階調指定電流 I_{DATA} が信号線 $Y_1 \sim Y_n$ に流れる場合であっても、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれのキャパシタ24に階調指定電流 I_{DATA} に応じた電荷を迅速にチャージすることができる。

【0082】

以上のように、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ23のドレイン23d - ソース23s間に流れる電流の大きさ及びソース23s - ゲート23g間の電圧のレベルも前回のフレーム期間 T_{SC} から上書きされるので、 i 行目の選択期間 T_{SE} 中において、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ のキャパシタ24にチャージされる電荷の大きさが前回のフレーム期間 T_{SC} から上書きされる。

10

【0083】

ここで、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ23から第一トランジスタ21を介してそれぞれの信号線 $Y_1 \sim Y_n$ までの間の任意の点での電位は、経時変化するトランジスタ21, 22, 23の内部抵抗等によって変化してしまう。しかしながら、本実施形態では、信号ドライバ3が選択期間 T_{SE} 中に画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ23から第一トランジスタ21を介してそれぞれの信号線 $Y_1 \sim Y_n$ へと流れる階調指定電流 I_{DATA} を強制的に流しているため、トランジスタ21, 22, 23の内部抵抗が経時変化しても、階調指定電流 I_{DATA} の大きさが所望通りとなる。

20

【0084】

また、 i 行目の選択期間 T_{SE} では、 i 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ の共通電極が基準電圧 V_{SS} であり、電源走査線 Z_i が基準電圧 V_{SS} と同じ又は基準電圧 V_{SS} よりもローレベルの階調指定電流用基準電圧 V_{LOW} であるため、 i 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ には逆バイアス電圧が印加されるから、 i 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ には電流が流れず、有機EL素子 $E_{i,1} \sim E_{i,n}$ は発光しない。

【0085】

続いて、図8、図9に示されるように、 i 行目の選択期間 T_{SE} の終了時刻（ i 行目の非選択期間 T_{NSE} の開始時刻）では、選択走査ドライバ5から選択走査線 X_i に出力される信号がハイレベルのオン電圧 V_{ON} からローレベルのオフ電圧 V_{OFF} になり、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ21のゲート21g及び第二トランジスタ22のゲート22gに対してオフ電圧 V_{OFF} が選択走査ドライバ5によって印加される。

30

【0086】

このため、 i 行目の非選択期間 T_{NSE} では、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ21がオフ状態になり、オフ状態の第一トランジスタ21によって電流が電源走査線 Z_i からそれぞれの信号線 $Y_1 \sim Y_n$ へ流れないようになる。更に、 i 行目の非選択期間 T_{NSE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22がオフ状態になると、直前の i 行目の選択期間 T_{SE} においてキャパシタ24にチャージされた電荷が第二トランジスタ22によって閉じ込められている。これにより、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、第三トランジスタ23は、非選択期間 T_{NSE} 中オン状態を維持し続ける。つまり、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、非選択期間 T_{NSE} における第三トランジスタ23のゲート23g - ソース23s間の電圧 V_{GS} の大きさがその直前の選択期間 T_{SE} における第三トランジスタ23のゲート23g - ソース23s間の電圧 V_{GS} の大きさと等しくなるように、つまり第二トランジスタ22によって電極24A側の電荷が保持されたキャパシタ24が第三トランジスタ23のゲート23g - ソース23s間の電圧 V_{GS} を保持する。

40

【0087】

また、 i 行目の非選択期間 T_{NSE} では、電源走査ドライバ6が i 行目の電源走査線 Z_i に駆動電流用基準電圧 V_{HIGH} を印加している。ここで、非選択期間 T_{NSE} では、 i 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ の共通電極が基準電圧 V_{SS} である上、 i 行目の電源走査線 Z_i が

50

基準電圧 V_{SS} より高い駆動電流用基準電圧 V_{HIGH} であり、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第三トランジスタ 23 がオン状態であるため、有機 EL 素子 $E_{i,1} \sim E_{i,n}$ には順バイアス電圧が印加される。従って、画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、電源走査線 Z_i からそれぞれの第三トランジスタ 23 を通じてそれぞれの有機 EL 素子 $E_{i,1} \sim E_{i,n}$ へ駆動電流が流れ、それぞれの有機 EL 素子 $E_{i,1} \sim E_{i,n}$ が発光する。

【0088】

つまり、 i 行目の非選択期間 T_{NSE} 中の画素回路 $D_{i,j}$ は、信号線 Y_j と第三トランジスタ 23 との間を第一トランジスタ 21 により電氣的に遮断し、キャパシタ 24 の電荷を第二トランジスタ 22 により閉じ込めることによって選択期間 T_{SE} において変換された第三トランジスタ 23 のゲート 23g - ソース 23s 間の電圧のレベルを保持し、保持されたゲート 23g - ソース 23s 間の電圧のレベルに応じた大きさの駆動電流を第三トランジスタ 23 により有機 EL 素子 $E_{i,j}$ に流す。

10

【0089】

ここで、 i 行目の選択期間 T_{SE} 中にそれぞれの有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に流れる駆動電流の大きさは、それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 に流れる電流の大きさと同じであり、従って、選択期間 T_{SE} においてそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 に流れる階調指定電流 I_{DATA} の大きさと同じである。上述したように、選択期間 T_{SE} では、それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 に流れる階調指定電流 I_{DATA} の大きさは所望通りとなるから、所望通りの大きさの駆動電流をそれぞれの有機 EL 素子 $E_{i,1} \sim E_{i,n}$ に流すことができ、それぞれの有機 EL 素子 $E_{i,1} \sim E_{i,n}$ を所望の階調輝度で発光させることができる。

20

【0090】

i 行目の選択期間 T_{SE} が終了した後の $(i+1)$ 行目のリセット期間 T_R では、 i 行目のリセット期間 T_R と同様に切換部 $S_1 \sim S_n$ それぞれのトランジスタ 31 がオフ状態になり、切換部 $S_1 \sim S_n$ それぞれのトランジスタ 32 がオン状態になる。従って、 $(i+1)$ 行目のリセット期間 T_R では、何れの信号線 $Y_1 \sim Y_n$ にも階調指定電流 I_{DATA} が流れないが、リセット電圧 V_R が全ての信号線 $Y_1 \sim Y_n$ 、 $(i+1)$ 行目の画素電極 51、 $(i+1)$ 行目のキャパシタ 24 の電極 24B 及び $(i+1)$ 行目の第三トランジスタ 23 のソース 23s に印加される。そして、 $(i+1)$ 行目の選択期間 T_{SE} のうちリセット期間 T_R の後では、 i 行目の場合と同様に、 $(i+1)$ 行目の選択走査線 X_{i+1} が選択走査ドライバ 5 によって選択されることによって、電源走査線 Z_i からそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 及び第一トランジスタ 21、それぞれの信号線 $Y_1 \sim Y_n$ 、それぞれの切換部 $S_1 \sim S_n$ を介して、それぞれの電流端子 $CT_1 \sim CT_n$ に向かって階調指定電流 I_{DATA} が流れる。

30

【0091】

以上のように、リセット期間 T_R では、リセット電圧 V_R が信号線 $Y_1 \sim Y_n$ や画素電極 51 等に強制的に印加されるので、信号線 $Y_1 \sim Y_n$ 等の寄生容量のチャージ量は、小さい電流が流れる時に定常化されるときにチャージ量に近づける。そのため、 $(i+1)$ 行目のリセット期間 T_R の後において信号線 $Y_1 \sim Y_n$ に流れる電流が微小であっても速やかに定常状態にすることができる。

40

【0092】

以上のように本実施形態では、非選択期間 T_{NSE} において有機 EL 素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流の大きさは、それぞれの選択期間 T_{SE} のうちリセット期間 T_R 後において階調指定電流 I_{DATA} の大きさで表されている。従って、例えば、画素回路 $D_{1,1} \sim D_{m,n}$ の間で第三トランジスタ 23 の特性にバラツキがあったとしても、画素回路 $D_{1,1} \sim D_{m,n}$ の間で階調指定電流 I_{DATA} の大きさが同じであれば、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ の間で輝度にバラツキが生じない。つまり、本実施形態では、同じレベルの輝度階調信号が画素に出力されても画素の間で輝度が異なってしまうという面内バラツキを抑えることができる。従って、本実施形態の有機エレクトロルミネッセンスディスプレイ 1 は、高品質な映像表示を行える。

50

【 0 0 9 3 】

階調指定電流 I_{DATA} は、発光するそれぞれの有機 EL 素子 $E_{1,1} \sim E_{m,n}$ の輝度に合わせ、それぞれの有機 EL 素子 $E_{1,1} \sim E_{m,n}$ に流れる電流の大きさと等しいために極めて微弱である。ここで信号線 $Y_1 \sim Y_n$ の配線容量のために、信号線 $Y_1 \sim Y_n$ に流れる階調指定電流 I_{DATA} に遅延が生じてしまい、選択期間 T_{SE} が短い場合には第三トランジスタ 23 のゲート - ソース間に階調指定電流 I_{DATA} に応じた電荷をチャージアップできないといった問題を生じていた。しかしながら本実施形態では、それぞれの行のリセット期間 T_R 中に信号線 $Y_1 \sim Y_n$ に強制的にリセット電圧 V_R を印加したので、特に階調指定電流 I_{DATA} が微弱であっても、選択期間 T_{SE} が短くても選択期間 T_{SE} 内に第三トランジスタ 23 のゲート - ソース間に階調指定電流 I_{DATA} に応じた電荷をチャージアップすることができる。

10

【 0 0 9 4 】

また、本実施形態では、選択期間 T_{SE} 中にデータ側駆動回路 7 によってリセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に印加されている。そのため、第一トランジスタ 21 が、画素回路 $D_{1,1} \sim D_{m,n}$ にリセット電圧 V_R を取り込むスイッチング素子の機能と、画素回路 $D_{1,1} \sim D_{m,n}$ に階調指定電流 I_{DATA} を取り込むためのスイッチング素子の機能と、を兼ねている。従って、従来（特許文献 1）のように画素回路にブランキング信号を取り込むスイッチ T F T を第一トランジスタ 21 とは別に画素回路 $D_{1,1} \sim D_{m,n}$ に設ける必要がない。ゆえに、画素回路 $D_{1,1} \sim D_{m,n}$ に必要なトランジスタの数が増えず、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ を画素回路 $D_{1,1} \sim D_{m,n}$ と同一面に作り込む場合、画素 $P_{1,1} \sim P_{m,n}$ の開口率の低下を防止することができる。

20

【 0 0 9 5 】

〔 第 2 の実施の形態 〕

図 10 は、本発明の有機エレクトロルミネッセンスディスプレイを適用した第 2 の実施形態における有機エレクトロルミネッセンスディスプレイ 101 を示した図面である。図 10 に示すように、有機エレクトロルミネッセンスディスプレイ 101 において、第 1 の実施形態の有機エレクトロルミネッセンスディスプレイ 1 のいずれかの部分と同一の部分に対しては同一の符号を付し、同一の部分についての説明は省略する。

【 0 0 9 6 】

この有機エレクトロルミネッセンスディスプレイ 101 も、図 1 の有機エレクトロルミネッセンスディスプレイ 1 と同様に、有機エレクトロルミネッセンス表示パネル 2 と、走査側駆動回路 9 と、データ側駆動回路 107 と、を備える。ここで、有機エレクトロルミネッセンス表示パネル 2 及び走査側駆動回路 9 は、第 1 の実施形態における有機エレクトロルミネッセンス表示パネル 2 及び走査側駆動回路 9 とそれぞれ同じである。但し、データ側駆動回路 107 は、第 1 の実施形態におけるデータ側駆動回路 7 と異なる。

30

【 0 0 9 7 】

このデータ側駆動回路 107 は、 n 個の電流端子 $DT_1 \sim DT_n$ を有するとともに電流端子 $DT_1 \sim DT_n$ それぞれに引抜電流 I_{L1} を流す電流制御ドライバ 103 と、電流端子 $DT_1 \sim DT_n$ に流れる引抜電流 I_{L1} を階調指定電流 I_{DATA} に変換する第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ 及び第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ と、信号線 $Y_1 \sim Y_n$ と第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ 及び第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ との間に介在した切換部 $T_1 \sim T_n$ と、を備える。

40

【 0 0 9 8 】

電流制御ドライバ 103 には、8 bit のデジタル階調映像信号が入力される。電流制御ドライバ 103 に取り込まれたデジタル階調映像信号は、電流制御ドライバ 103 内の D/A コンバータによってアナログ変換される。そして、電流制御ドライバ 103 は、アナログ変換された映像信号に従った大きさの引抜電流 I_{L1} を電流端子 $DT_1 \sim DT_n$ それぞれに発生させるものである。電流制御ドライバ 103 は、行毎に設けられた第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ からそれぞれの電流端子 $DT_1 \sim DT_n$ に向かって引抜電流 I_{L1} を流し、この引抜電流 I_{L1} にしたがって、各行の第三トランジスタ 23 から信号線 $Y_1 \sim Y_n$ を介して第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ に向かって階調指定電流 I_{DATA} を流す。

50

【 0 0 9 9 】

電流制御ドライバ 1 0 3 の動作タイミングは、第 1 の実施形態における信号ドライバ 3 の動作タイミングと同じである。つまり、電流制御ドライバ 1 0 3 は、各行の選択期間 T_{SE} ごとに電流端子 $DT_1 \sim DT_n$ それぞれの引抜電流 I_{L1} の大きさを映像信号に従った大きさに制御し、それぞれのリセット期間 T_R が終了してからその選択期間 T_{SE} が終了するまでの間では引抜電流 I_{L1} の大きさを定常化するように制御する。ここで、電流制御ドライバ 1 0 3 によって流れる引抜電流 I_{L1} は、第 1 の実施形態における信号ドライバ 3 階調指定電流 I_{DATA} よりも大きく、電流制御ドライバ 1 0 3 によって流れる引抜電流 I_{L1} と第 1 の実施形態における信号ドライバ 3 が流す階調指定電流 I_{DATA} との関係は比例関係にある。

10

【 0 1 0 0 】

第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ 及び第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ は、電流端子 $DT_1 \sim DT_n$ に流れる引抜電流 I_{L1} を所定の変換率で階調指定電流 I_{DATA} に変換するものである。第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ は、二つの P チャネル型 MOS 型のトランジスタ 6 1, 6 2 から構成されている。トランジスタ 6 1, 6 2 は、画素回路 $D_{1,1} \sim D_{m,n}$ のトランジスタ 2 1 ~ 2 3 と同じ工程によって製造されることが可能である。第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ は、二つの N チャネル型 MOS 型のトランジスタ 6 3, 6 4 から構成されている。トランジスタ 6 3, 6 4 は、部分的に画素回路 $D_{1,1} \sim D_{m,n}$ のトランジスタ 2 1 ~ 2 3 と同じ工程によって製造されることが可能である。

【 0 1 0 1 】

各第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ において、トランジスタ 6 1 のゲート、ドレイン及びトランジスタ 6 2 のゲートが互いにそれぞれの電流端子 $DT_1 \sim DT_n$ と接続されている。そしてトランジスタ 6 1 のソース及びトランジスタ 6 2 のソースは、接地電位であるリセット電圧 V_R が出力されているリセット入力端子 4 1 に接続されている。

20

各第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ において、トランジスタ 6 3 のゲート、ドレイン及びトランジスタ 6 4 のゲートが互いに接続されるとともにトランジスタ 6 2 のドレインに接続されている。そしてトランジスタ 6 3 のソース及びトランジスタ 6 4 のソースは、負電圧 V_{CC} が印加されている定電圧入力端子 4 5 に接続され、トランジスタ 6 4 のドレインが後述する切換部 $T_1 \sim T_n$ のトランジスタ 3 2 のソースと接続されている。また、第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ では、トランジスタ 6 1 のチャンネル抵抗は、トランジスタ 6 2 のチャンネル抵抗より小さい。第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ では、トランジスタ 6 3 のチャンネル抵抗は、トランジスタ 6 4 のチャンネル抵抗より小さい。

30

切換部 $T_1 \sim T_n$ は、それぞれ 2 つの N チャネル型 MOS トランジスタ 3 3, 3 4 を有している。トランジスタ 3 3 及びトランジスタ 3 4 は、画素回路 $D_{1,1} \sim D_{m,n}$ のトランジスタ 2 1 ~ 2 3 と同じ工程によって製造されることが可能である。ここで切換部 T_j の一例について説明する。切換部 T_j のトランジスタ 3 4 のゲートが切換信号入力端子 4 3 に接続され、切換信号 inv_j がトランジスタ 3 4 のゲートに入力される。また、トランジスタ 3 3 のゲートが切換信号入力端子 4 2 に接続され、切換信号 inv_j がトランジスタ 3 3 のゲートに入力される。トランジスタ 3 4 のドレイン及びトランジスタ 3 3 のドレインは信号線 Y_j に接続されており、トランジスタ 3 3 のソースは第 1 カレントミラー回路 M_{11} のトランジスタ 6 1 のソースとともにリセット入力端子 4 1 に接続されており、トランジスタ 3 4 のソースは第 2 カレントミラー回路 M_{12} のトランジスタ 6 4 のドレインに接続されている。

40

この構成では、切換信号 inv_j がハイレベルであり切換信号 inv_j がローレベルである場合に、トランジスタ 3 3 がオン状態になり、トランジスタ 3 4 がオフ状態になる。一方、切換信号 inv_j がローレベルであり且つ切換信号 inv_j がハイレベルの場合に、トランジスタ 3 4 がオン状態になり、トランジスタ 3 3 がオフ状態になる。ここで、切換信号 inv_j 及び切換信号 inv_j は、第 1 実施形態の図 4 と同様の波形となる。したがって、各切換部 $T_1 \sim T_n$ は、第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ 及び第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ のそれぞれによって引抜電流 I_{L1} の大きさが変調された階調指定電流 I_{DATA} をそれぞ

50

れの第三トランジスタ 23 及び信号線 $Y_1 \sim Y_n$ に流す状態と、リセット電圧 V_R をそれぞれの信号線 $Y_1 \sim Y_n$ に印加する状態とを切り換える。

【0102】

電流制御ドライバ 103 が電流端子 DT_j に引抜電流 I_{L1} を流すと、第 1 カレントミラー回路 M_{j1} において、トランジスタ 62 のドレイン - ソース間を流れる電流は、トランジスタ 61 のチャンネル抵抗に対するトランジスタ 62 のチャンネル抵抗の比率にトランジスタ 61 のドレイン - ソース間の引抜電流 I_{L1} の大きさを乗じた値となる。そして、第 2 カレントミラー回路 M_{j2} において、トランジスタ 64 のドレイン - ソース間を流れる電流は、トランジスタ 63 のチャンネル抵抗に対するトランジスタ 64 のチャンネル抵抗の比率にトランジスタ 63 のドレイン - ソース間の電流の大きさを乗じた値となる。ここでトランジスタ 63 のドレイン - ソース間の電流の大きさは、トランジスタ 62 のドレイン - ソース間を流れる電流に一致する。したがって、階調指定電流 I_{DATA} は、トランジスタ 63 のチャンネル抵抗に対するトランジスタ 64 のチャンネル抵抗の比率に、トランジスタ 61 のチャンネル抵抗に対するトランジスタ 62 のチャンネル抵抗の比率にトランジスタ 61 のドレイン - ソース間の引抜電流 I_{L1} の大きさを乗じた値を、乗じた値になる。

10

【0103】

以上のようにして、第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ 及び第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ は電流端子 $DT_1 \sim DT_n$ に流れる引抜電流 I_{L1} を階調指定電流 I_{DATA} に変換する。そして、第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ の出力側つまりトランジスタ 64 のドレインに階調指定電流 I_{DATA} が流れるので、第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ のトランジスタ 64 のドレインが、第 1 の実施形態における信号ドライバ 3 の電流端子 CT_j に相当する。つまり、第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ 及び第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ と電流制御ドライバ 103 とを組み合わせた構成が第 1 の実施形態における信号ドライバ 3 に相当する。

20

【0104】

第 1 の実施形態では、リセット電圧 V_R が階調指定電流用基準電圧 V_{LOW} と同じレベルであったが、第 2 の実施形態ではリセット電圧 V_R が 0 [V] に設定されている。したがって、電極 V_{SS} を接地電位に設定すると、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ のアノードである画素電極 51 とカソードである共通電極との間の電位差がなくなり画素電極 51 に蓄積された電荷を容易に放出することができる。

30

【0105】

切換部 $T_1 \sim T_n$ が切換動作を行うために、第 1 の実施形態と同様に切換信号 が切換信号入力端子 42 に入力され、切換信号 $inv.$ が切換信号入力端子 43 に入力される。切換信号 及び切換信号 $inv.$ のタイミングと選択走査ドライバ 5 及び電源走査ドライバ 6 が選択していくタイミングとの関係は、第 1 の実施形態の場合と同様である。また、第 2 の実施形態における選択走査ドライバ 5 及び電源走査ドライバ 6 の動作タイミングは、第 1 の実施形態のそれと同じである。

【0106】

そして、第 2 の実施形態においても、 i 行目の選択期間 T_{SE} のうち前半のリセット期間 T_R では、切換部 $T_1 \sim T_n$ それぞれのトランジスタ 33 がオン状態となることによって、電源走査線 Z_i からそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ 23 及び第一トランジスタ 21 並びにそれぞれの信号線 $Y_1 \sim Y_n$ を介して、リセット入力端子 41 までの間が電氣的に導通する。

40

【0107】

また、 i 行目のリセット期間 T_R では、リセット電圧 V_R が信号線 $Y_1 \sim Y_n$ や画素電極 51 に印加されるので、信号線 $Y_1 \sim Y_n$ の寄生容量に蓄積された電荷及び画素電極 51 の蓄積容量に蓄積された電荷を迅速に放出することができる。従って、 i 行目のリセット期間 T_R の後において、微弱な階調指定電流 I_{DATA} が信号線 $Y_1 \sim Y_n$ に流れる場合であっても、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれのキャパシタ 24 に階調指定電流 I_{DATA} に応じた電荷を迅速にチャージすることができる。

50

【 0 1 0 8 】

また、非選択期間 T_{NSE} において有機 EL 素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流の大きさは、それぞれの選択期間 T_{SE} のうちリセット期間 T_R 後における階調指定電流 I_{DATA} の大きさで表されている。従って、例えば、画素回路 $D_{1,1} \sim D_{m,n}$ の間で第三トランジスタ 23 の特性にバラツキがあったとしても、第三トランジスタ 23 に強制的に階調指定電流 I_{DATA} を流すので駆動電流にバラツキが生じることがなく、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ の間で輝度にバラツキが生じない。

【 0 1 0 9 】

また、第 1 カレントミラー回路 $M_{11} \sim M_{n1}$ 及び第 2 カレントミラー回路 $M_{12} \sim M_{n2}$ が設けられることによって、それぞれの信号線 $Y_1 \sim Y_n$ の階調指定電流 I_{DATA} の大きさは、それぞれの電流端子 $DT_1 \sim DT_n$ の引抜電流 I_{L1} に比例するとともに引抜電流 I_{L1} より小さい。従って、電流制御ドライバ 103 等にリーク電流が生じることによって電流端子 $DT_1 \sim DT_n$ の引抜電流 I_{L1} が不意に低減しても、信号線 $Y_1 \sim Y_n$ の階調指定電流 I_{DATA} が大幅に低くなることはない。つまり、電流リークによって電流制御ドライバ 103 の出力が低下しても、信号線 $Y_1 \sim Y_n$ の階調指定電流 I_{DATA} に大きく影響することはなく、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ の発光輝度が大きく低減することがない。

そして、第 2 の実施形態では、電流制御ドライバ 103 が有機 EL 素子の発光特性に見合った階調指定電流 I_{DATA} 程度の微小電流を発生できなくても十分にデータ側駆動回路 107 が階調指定電流 I_{DATA} を発生することができる。

【 0 1 1 0 】

また、第 2 の実施形態でも、選択期間 T_{SE} 中にデータ側駆動回路 107 によってリセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に印加されている。そのため、第一トランジスタ 21 が、画素回路 $D_{1,1} \sim D_{m,n}$ にリセット電圧 V_R を取り込むスイッチング素子の機能と、画素回路 $D_{1,1} \sim D_{m,n}$ に階調指定電流 I_{DATA} を取り込むためのスイッチング素子の機能と、を兼ねている。従って、画素回路 $D_{1,1} \sim D_{m,n}$ に必要なトランジスタの数が増えず、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ を画素回路 $D_{1,1} \sim D_{m,n}$ と同一面に作り込む場合、画素 $P_{1,1} \sim P_{m,n}$ の開口率の低下を防止することができる。

【 0 1 1 1 】

〔 第 3 の実施の形態 〕

図 11 は、本発明の有機エレクトロルミネッセンスディスプレイを適用した第 3 の実施形態における有機エレクトロルミネッセンスディスプレイ 201 を示した図面である。図 11 に示すように、有機エレクトロルミネッセンスディスプレイ 201 において、第 1 の実施形態の有機エレクトロルミネッセンスディスプレイ 1 のいずれかの部分と同一の部分に対しては同一の符号を付し、同一の部分についての説明は省略する。

【 0 1 1 2 】

この有機エレクトロルミネッセンスディスプレイ 201 も、有機エレクトロルミネッセンスディスプレイ 1 と同様に、有機エレクトロルミネッセンス表示パネル 2 と、走査側駆動回路 9 と、データ側駆動回路 207 と、を備える。ここで、有機エレクトロルミネッセンス表示パネル 2 及び走査側駆動回路 9 は、第 1 の実施形態における有機エレクトロルミネッセンス表示パネル 2 及び走査側駆動回路 9 とそれぞれ同じである。但し、データ側駆動回路 207 は、第 1 の実施形態におけるデータ側駆動回路 7 と異なる。

【 0 1 1 3 】

このデータ側駆動回路 207 は、 n 個の電流端子 $FT_1 \sim FT_n$ を有するとともに電流端子 $FT_1 \sim FT_n$ それぞれに押込電流 I_{L2} を流す電流制御ドライバ 203 と、電流端子 $FT_1 \sim FT_n$ に流れる押込電流 I_{L2} を階調指定電流 I_{DATA} に変換するカレントミラー回路 $M_1 \sim M_n$ と、信号線 $Y_1 \sim Y_n$ とカレントミラー回路 $M_1 \sim M_n$ との間に介在した切換部 $S_1 \sim S_n$ と、を備える。

【 0 1 1 4 】

第 2 の実施形態では、電流制御ドライバ 103 がカレントミラー回路 $M_1 \sim M_n$ からそれぞれの電流端子 $DT_1 \sim DT_n$ に向かった引抜電流 I_{L1} を流すのに対して、第 3 の実施形態

10

20

30

40

50

では、電流制御ドライバ203が電流端子 $FT_1 \sim FT_n$ からそれぞれのカレントミラー回路 $M_1 \sim M_n$ に向かった押込電流 I_{L2} を流す。

カレントミラー回路 $M_1 \sim M_n$ は、二つのNチャネル型MOSトランジスタ161, 162とから構成されている。トランジスタ161及びトランジスタ162は、画素回路 $D_{1,1} \sim D_{m,n}$ のトランジスタ21~23と同じ工程によって製造されることが可能である。

何れのカレントミラー回路 $M_1 \sim M_n$ においても、トランジスタ161のゲートとドレイン及びトランジスタ162のゲートが互いに接続され、トランジスタ161のソース及びトランジスタ162のソースが定電圧入力端子45に接続されている。定電圧入力端子45には、定電圧 V_{cc} が印加されている。定電圧 V_{cc} は、階調指定電流用基準電圧 V_{LOW} 及び基準電圧 V_{SS} よりも低レベルである。なお、第1の実施形態と同様に基準電圧 V_{SS} 又は階調指定電流用基準電圧 V_{LOW} が0〔V〕である場合、定電圧 V_{cc} は負電位である。

10

切換部 S_j の一例について説明する。切換部 S_j は、Nチャネル型の電界効果トランジスタ31, 32から構成される。トランジスタ31のゲートが切換信号入力端子43に接続され、切換信号 inv_j がトランジスタ31のゲートに入力される。また、トランジスタ32のゲートが切換信号入力端子42に接続され、切換信号 inv_j がトランジスタ32のゲートに入力される。トランジスタ31のドレインは信号線 Y_j に接続されており、トランジスタ31のソースはトランジスタ162のドレインに接続されている。トランジスタ32のドレインは信号線 Y_j に接続されている。トランジスタ32のソースはリセット入力端子41に接続され、定電圧であるリセット電圧 V_R がトランジスタ32のソースに印加されている。この構成では、切換信号 inv_j がハイレベルであり切換信号 inv_j がローレベルである場合に、トランジスタ32がオン状態になり、トランジスタ31がオフ状態になる。一方、切換信号 inv_j がローレベルであり且つ切換信号 inv_j がハイレベルの場合に、トランジスタ31がオン状態になり、トランジスタ32がオフ状態になる。トランジスタ31及びトランジスタ32は、画素回路 $D_{1,1} \sim D_{m,n}$ のトランジスタ21~23と同じ工程によって製造されることが可能である。リセット電圧 V_R は、信号線 $Y_1 \sim Y_n$ の寄生容量に蓄積された電荷や画素電極51の寄生容量によって蓄積された電荷等を完全に放出するために0〔V〕であることが好ましい。

20

そして、電流制御ドライバ203は、各行の選択期間 T_{SE} ごとに電流端子 $FT_1 \sim FT_n$ それぞれの押込電流 I_{L2} の大きさを映像信号に従った大きさに制御し、それぞれのリセット期間 T_R が終了してからその選択期間 T_{SE} が終了するまでの間では押込電流 I_{L2} の大きさを一定となるように制御する。ここで、電流制御ドライバ203が流す押込電流 I_{L2} は、第1の実施形態における信号ドライバ3が流す階調指定電流 I_{DATA} よりも大きく、電流制御ドライバ203が流す押込電流 I_{L2} と第1の実施形態における信号ドライバ3が流す階調指定電流 I_{DATA} との関係は比例関係にある。

30

【0115】

トランジスタ161のチャンネル抵抗はトランジスタ162のチャンネル抵抗よりも小さい。そのため、カレントミラー回路 $M_1 \sim M_n$ は、それぞれの電流端子 $FT_1 \sim FT_n$ に流れる押込電流 I_{L2} を階調指定電流 I_{DATA} に変換する。ここで、階調指定電流 I_{DATA} の大きさは、実質的に、トランジスタ161のチャンネル抵抗に対するトランジスタ162のチャンネル抵抗の比率にトランジスタ161のドレイン-ソース間の押込電流 I_{L2} の大きさを乗じた値となる。そして、カレントミラー回路 $M_1 \sim M_n$ の出力側つまりトランジスタ162のドレインに階調指定電流 I_{DATA} が流れるので、カレントミラー回路 $M_1 \sim M_n$ のトランジスタ162のドレインが、第1の実施形態における信号ドライバ3の電流端子 $CT_1 \sim CT_n$ にそれぞれ相当する。つまり、カレントミラー回路 $M_1 \sim M_n$ と電流制御ドライバ203とを組み合わせた構成が第1の実施形態における信号ドライバ3に相当する。

40

【0116】

本実施形態の切換信号 inv_j 及び切換信号 inv_j のタイミングと選択走査ドライバ5及び電源走査ドライバ6が選択していくタイミングとの関係は、第1の実施形態の場合と同様である。また、本実施形態における選択走査ドライバ5及び電源走査ドライバ6の動作タイミングは、第1の実施形態のそれと同じである。従って、第3の実施形態においても

50

、 i 行目のリセット期間 T_R では、画素回路 $D_{i,1} \sim D_{i,n}$ それぞれの第一トランジスタ21がオン状態となっているので、それぞれの有機EL素子 $E_{i,1} \sim E_{i,n}$ の画素電極51、 i 行目の第一トランジスタ21のドレイン21d、 i 行目のキャパシタ24の電極24B、 i 行目の第三トランジスタ23のソース23s及び信号線 $Y_1 \sim Y_n$ の電圧が図4に示すようにリセット電圧 V_R で定常状態となって前の選択期間 T_{SE} 中にこれらの寄生容量によって蓄積された電荷を放出するので、引き続き次の選択期間 T_{SE} 中に迅速且つ正確に階調指定電流 I_{DATA} を書き込むことができる。

【0117】

また、第3の実施形態でも、選択期間 T_{SE} 中にデータ側駆動回路207によってリセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に印加されている。そのため、第一トランジスタ21が、画素回路 $D_{1,1} \sim D_{m,n}$ にリセット電圧 V_R を取り込むスイッチング素子の機能と、画素回路 $D_{1,1} \sim D_{m,n}$ に階調指定電流 I_{DATA} を取り込むためのスイッチング素子の機能と、を兼ねている。従って、画素回路 $D_{1,1} \sim D_{m,n}$ に必要なトランジスタの数が増えず、有機EL素子 $E_{1,1} \sim E_{m,n}$ を画素回路 $D_{1,1} \sim D_{m,n}$ と同一面に作り込む場合、画素 $P_{1,1} \sim P_{m,n}$ の開口率の低下を防止することができる。

【0118】

〔第4の実施の形態〕

図12は、本発明の有機エレクトロルミネッセンスディスプレイを適用した第4の実施形態における有機エレクトロルミネッセンスディスプレイ301を示した図面である。図12に示すように、有機エレクトロルミネッセンスディスプレイ301において、第1の実施形態の有機エレクトロルミネッセンスディスプレイ1のいずれかの部分と同一の部分に対しては同一の符号を付し、同一の部分についての説明は省略する。

【0119】

この有機エレクトロルミネッセンスディスプレイ301も、有機エレクトロルミネッセンスディスプレイ1と同様に、有機エレクトロルミネッセンス表示パネル2と、走査側駆動回路9と、データ側駆動回路307と、を備える。ここで、有機エレクトロルミネッセンス表示パネル2及び走査側駆動回路9は、第3の実施形態における有機エレクトロルミネッセンス表示パネル2及び走査側駆動回路9とそれぞれ同じである。但し、データ側駆動回路307は、第1の実施形態におけるデータ側駆動回路7と異なる。

【0120】

このデータ側駆動回路307は、電流制御ドライバ303と、カレントミラー回路 $M_1 \sim M_n$ と、スイッチング素子 $K_1 \sim K_n$ と、切換部としてのスイッチング素子 $W_1 \sim W_n$ と、を備える。

【0121】

電流制御ドライバ303は、 n 個の電流端子 $GT_1 \sim GT_n$ を有する。電流制御ドライバ303には、8bitのデジタル階調映像信号が入力される。電流制御ドライバ303に取り込まれたデジタル階調映像信号は、電流制御ドライバ303内のD/Aコンバータによってアナログ変換される。そして、電流制御ドライバ303は、アナログ変換された映像信号に従った大きさの押込電流 I_{L3} を電流端子 $GT_1 \sim GT_n$ それぞれに発生させる。そして、電流制御ドライバ303は、各行の選択期間 T_{SE} ごとに電流端子 $GT_1 \sim GT_n$ それぞれの押込電流 I_{L3} の大きさを映像信号に従った大きさに制御し、それぞれのリセット期間 T_R が終了してからその選択期間 T_{SE} が終了するまでの間では押込電流の大きさを一定となるように制御する。ここで、電流制御ドライバ303が流す押込電流 I_{L3} は、第1の実施形態における信号ドライバ3が流す階調指定電流 I_{DATA} よりも大きく、電流制御ドライバ303が流す押込電流 I_{L3} と後述するトランジスタ362に流れる階調指定電流 I_{DATA} との関係は比例関係にある。

【0122】

カレントミラー回路 $M_1 \sim M_n$ は、それぞれの電流端子 $GT_1 \sim GT_n$ に流れる押込電流 I_{L3} を階調指定電流 I_{DATA} に変換するものである。何れのカレントミラー回路 $M_1 \sim M_n$ も二つのトランジスタ361, 362を有する。カレントミラー回路 M_j においては、トラン

10

20

30

40

50

ジスタ361のゲートがトランジスタ362のゲートに接続され、トランジスタ361のドレインが電流端子 GT_1 に接続されとともにトランジスタ362のゲート及びトランジスタ361のゲートに接続されている。トランジスタ362のドレインは信号線 Y_1 に接続されている。トランジスタ361のソース及びトランジスタ362のソースは共通の電圧端子344に接続されている。電圧端子344には、定電圧 V_{cc} が印加されている。定電圧 V_{cc} は、階調指定電流用基準電圧 V_{LOW} 及び基準電圧 V_{SS} よりも低レベルである。なお、第1の実施形態と同様に基準電圧 V_{SS} 又は階調指定電流用基準電圧 V_{LOW} が0〔V〕である場合、定電圧 V_{cc} は負電位である。

【0123】

ここで、階調指定電流 I_{DATA} の大きさは、実質的に、トランジスタ361のチャネル抵抗に対するトランジスタ362のチャネル抵抗の比率にトランジスタ361のドレイン・ソース間の押込電流 I_{L3} の大きさを乗じた値となる。つまり、カレントミラー回路 $M_1 \sim M_n$ と電流制御ドライバ303とを組み合わせた構成が信号ドライバに相当する。

10

【0124】

何れのスイッチング素子 $W_1 \sim W_n$ のドレインがそれぞれの電流端子 $GT_1 \sim GT_n$ 及びそれぞれのカレントミラー回路 $M_1 \sim M_n$ のトランジスタ361のドレイン及びゲートに接続されている。スイッチング素子 $W_1 \sim W_n$ のソースが電圧端子344に接続されている。スイッチング素子 $W_1 \sim W_n$ のゲートは切換信号入力端子42に接続されている。スイッチング素子 $W_1 \sim W_n$ は、それぞれのカレントミラー回路 $M_1 \sim M_n$ のトランジスタ361のドレインに対して定電圧 V_{cc} の印加の切換を行うものである。なお、スイッチング素子 $W_1 \sim W_n$ が電流制御ドライバ303に内蔵されていても良い。

20

【0125】

本実施形態の切換信号のタイミングと選択走査ドライバ5及び電源走査ドライバ6が選択していくタイミングとの関係は、第1の実施形態の場合と同様である。

【0126】

従って、 i 行目の選択期間 T_{SE} のうち前半のリセット期間 T_R では、トランジスタ $W_1 \sim W_n$ がオン状態となることによって、トランジスタ361のソースとドレインが等電位になる。そのため、選択期間 T_{SE} のうちリセット期間 T_R の後において、信号線 $Y_1 \sim Y_n$ に対するカレントミラー回路 $M_1 \sim M_n$ の寄生容量の影響を除くことができる。

【0127】

何れのスイッチング素子 $K_1 \sim K_n$ においても、ドレインとソースのうちの一方がリセット入力端子41に接続され、ドレインとソースのうちの他方がそれぞれの信号線 $Y_1 \sim Y_n$ に接続され、ゲートが切換信号信号入力端子42に接続されている。スイッチング素子 $K_1 \sim K_n$ は、信号線 $Y_1 \sim Y_n$ に対してリセット電圧 V_R の印加の切換を行うものである。ここで、リセット電圧 V_R は0〔V〕に設定されている。なお、信号線 $Y_1 \sim Y_n$ とトランジスタ362との接続部の反対側において、スイッチング素子 $K_1 \sim K_n$ のドレインとソースのうちの他方が信号線 $Y_1 \sim Y_n$ に接続されており、スイッチング素子 $K_1 \sim K_n$ が有機エレクトロルミネッセンス表示パネル2に形成されていても良い。

30

【0128】

そして、 i 行目の選択期間 T_{SE} のうち前半のリセット期間 T_R では、スイッチング素子 $K_1 \sim K_n$ がオン状態となることによって、画素電極51並びにそれぞれの信号線 $Y_1 \sim Y_n$ が、リセット入力端子41に電気的に導通して接地されたリセット電圧 V_R が印加されているため、 i 行目のリセット期間 T_R の開始してすぐに、信号線 $Y_1 \sim Y_n$ の寄生容量に蓄積された電荷、画素電極51の寄生容量に蓄積された電荷、キャパシタ24の電極24Bの寄生容量に蓄積された電荷、及び第2トランジスタ23のソースの寄生容量に蓄積された電荷を除去する。そのため、正確且つ迅速に微小電流値の階調指定電流 I_{DATA} を流すことができる。リセット期間 T_R 後には、スイッチング素子 $K_1 \sim K_n$ 及びスイッチング素子 $W_1 \sim W_n$ がオフ状態になり、電流制御ドライバ303の電流端子 $GT_1 \sim GT_n$ に階調に応じた電流値の電流が流れてカレントミラー回路 $M_1 \sim M_n$ によって変調された階調指定電流 I_{DATA} が信号線 $Y_1 \sim Y_n$ 及び第三トランジスタ23に流れることになる。

40

50

【0129】

また、第4の実施形態でも、選択期間 T_{SE} 中にデータ側駆動回路307によってリセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に印加されている。そのため、第一トランジスタ21が、画素回路 $D_{1,1} \sim D_{m,n}$ にリセット電圧 V_R を取り込むスイッチング素子の機能と、画素回路 $D_{1,1} \sim D_{m,n}$ に階調指定電流 I_{DATA} を取り込むためのスイッチング素子の機能と、を兼ねている。従って、画素回路 $D_{1,1} \sim D_{m,n}$ に必要なトランジスタの数が増えず、有機EL素子 $E_{1,1} \sim E_{m,n}$ を画素回路 $D_{1,1} \sim D_{m,n}$ と同一面に作り込む場合、画素 $P_{1,1} \sim P_{m,n}$ の開口率の低下を防止することができる。

【0130】

なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

10

例えば、上記各実施の形態では発光素子として有機EL素子を用いているが、整流性のある他の発光素子を用いても良い。つまり、逆バイアス電圧が印加された場合には電流が流れないとともに順バイアス電圧が印加された場合には電流が流れるような発光素子であって、流れる電流の大きさに従った輝度で発光する発光素子であっても良い。整流性のある発光素子としては、例えばLED (Light Emitting Diode) 素子が挙げられる。

また電源走査ドライバ6の階調指定電流用基準電圧 V_{LOW} は、選択期間 T_{SE} 中に有機EL素子に階調指定電流 I_{DATA} の一部又は全部が流れなければ、図4に示す最高輝度階調時のEL負荷線よりも右側に位置してもよい。

【図面の簡単な説明】

20

【0131】

【図1】本発明を適用した第1の実施形態における有機エレクトロルミネッセンスディスプレイ1のブロック図である。

【図2】有機エレクトロルミネッセンスディスプレイ1の画素 $P_{i,j}$ の平面図である。

【図3】有機エレクトロルミネッセンスディスプレイ1の隣接する四つの画素 $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i,j+1}$ 、 $P_{i+1,j+1}$ の等価回路図である。

【図4】有機エレクトロルミネッセンスディスプレイ1における信号のレベルを示したタイミングチャート。

【図5】Nチャンネル型の電界効果トランジスタの電流 - 電圧特性を表したグラフである。

【図6】 i 行目の隣り合う二つの画素 $P_{i,j}$ 、 $P_{i,j+1}$ の等価回路図とともに、 i 行目のリセット期間 T_R の電流、電圧の状態を示した図である。

30

【図7】 i 行目の隣り合う二つの画素 $P_{i,j}$ 、 $P_{i,j+1}$ の等価回路図とともに、 i 行目の選択期間 T_{SE} のうちリセット期間 T_R の後の電流、電圧の状態を示した図である。

【図8】 i 行目の隣り合う二つの画素 $P_{i,j}$ 、 $P_{i,j+1}$ の等価回路図とともに、 i 行目の非選択期間 T_{NSE} の電流、電圧の状態を示した図である。

【図9】画素 $P_{i,j}$ に関連する電流、電圧のレベルを示したタイミングチャートである。

【図10】本発明を適用した第2の実施形態における有機エレクトロルミネッセンスディスプレイ101のブロック図である。

【図11】本発明を適用した第3の実施形態における有機エレクトロルミネッセンスディスプレイ201のブロック図である。

40

【図12】本発明を適用した第4の実施形態における有機エレクトロルミネッセンスディスプレイ301のブロック図である。

【符号の説明】

【0132】

1、101、201、301 ... 有機エレクトロルミネッセンスディスプレイ (表示装置)

2 ... 有機エレクトロルミネッセンス表示パネル (表示パネル)

3 ... 信号ドライバ

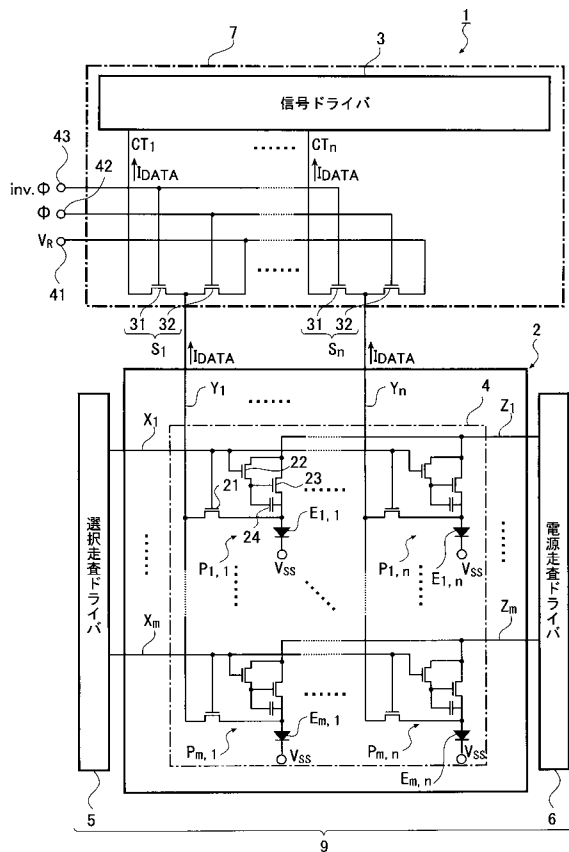
5 ... 選択走査ドライバ

6 ... 電源走査ドライバ

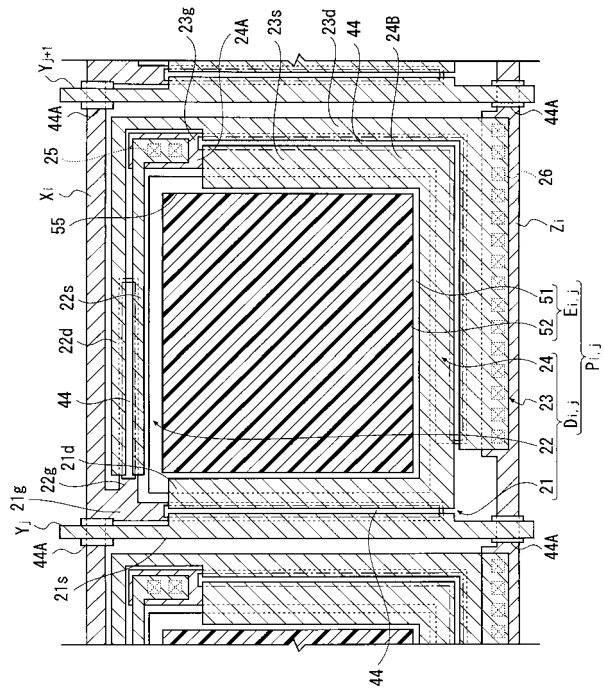
50

- 7、107、207、307 ... データ側駆動回路
- 21 ... 第一トランジスタ
- 22 ... 第二トランジスタ
- 23 ... 第三トランジスタ
- $E_{1,1} \sim E_{m,n}$... 有機EL素子 (発光素子)
- $K_1 \sim K_n$... スイッチング素子 (切換部)
- $S_1 \sim S_n$... 切換部
- $Y_1 \sim Y_n$... 信号線
- $X_1 \sim X_n$... 選択走査線
- $Z_1 \sim Z_n$... 電源走査線
- $P_{1,1} \sim P_{m,n}$... 画素
- $D_{1,1} \sim D_{m,n}$... 画素回路

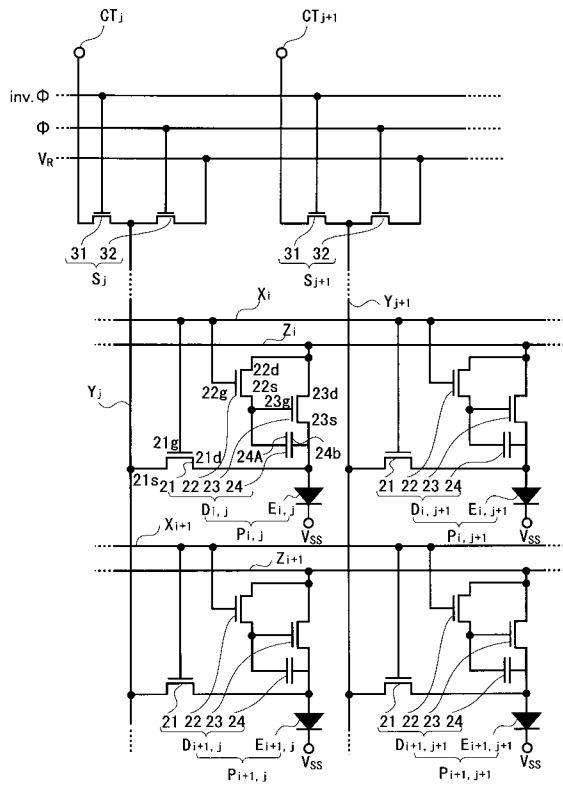
【図1】



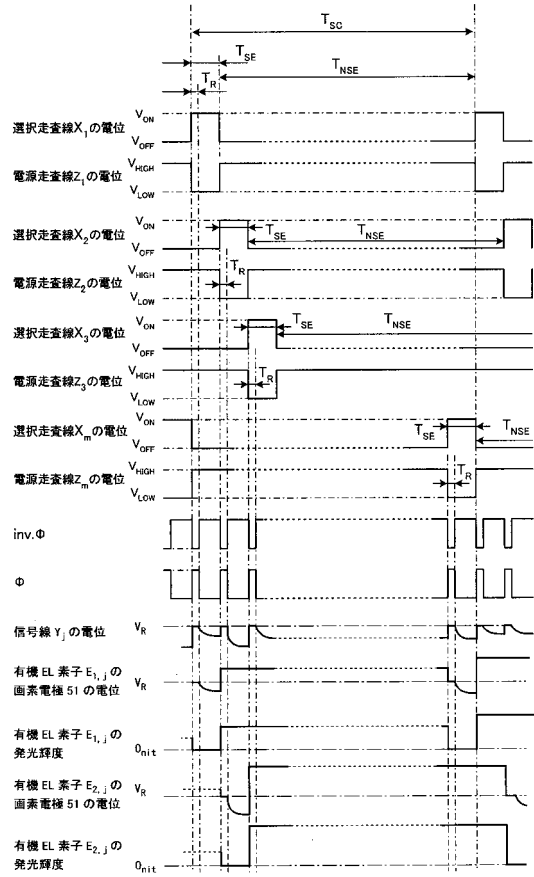
【図2】



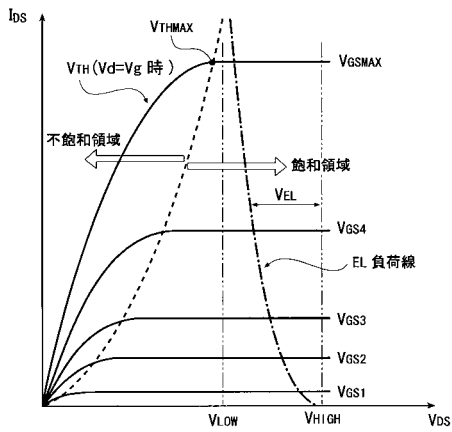
【図3】



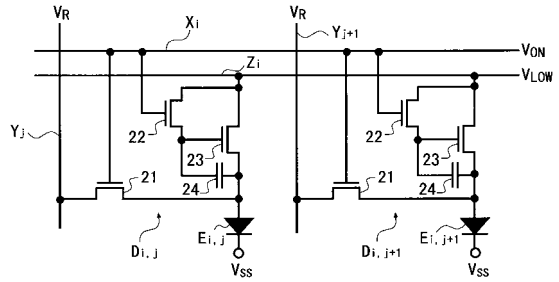
【図4】



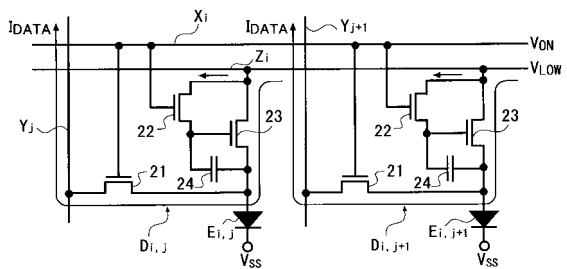
【図5】



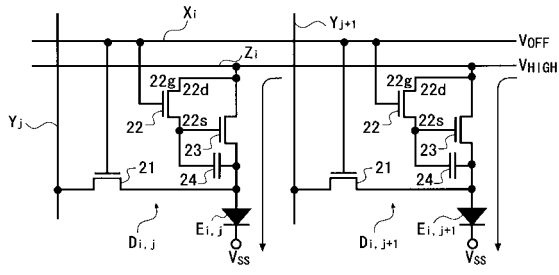
【図6】



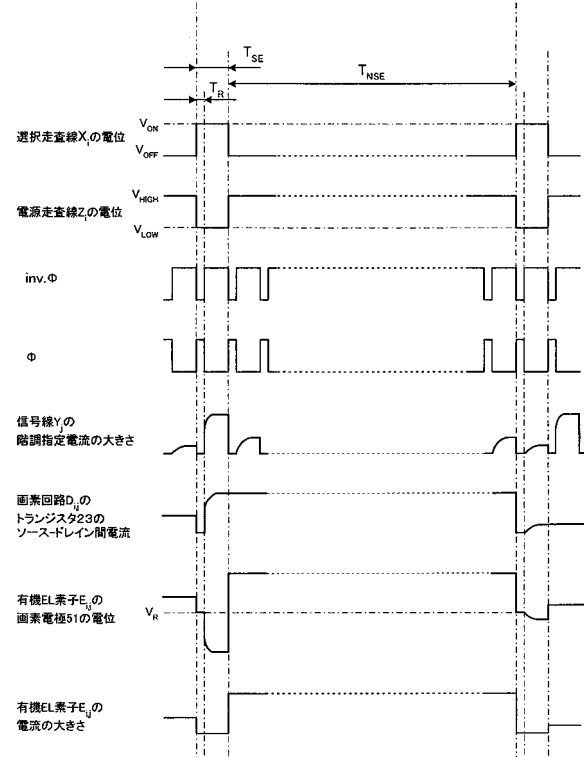
【図7】



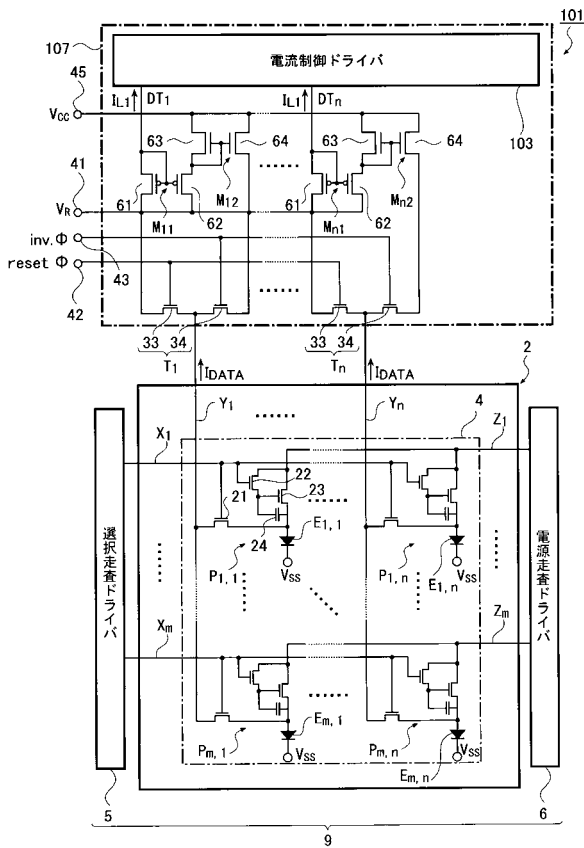
【図8】



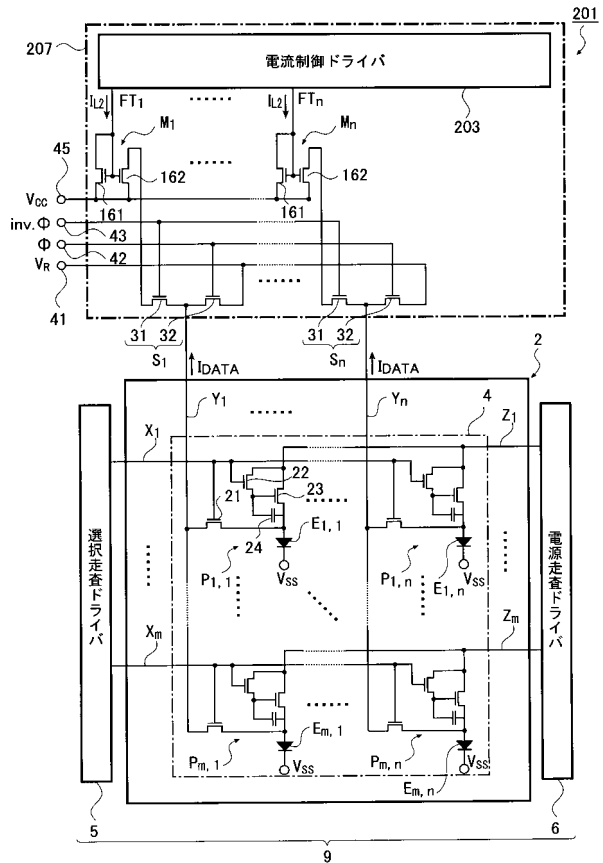
【図9】



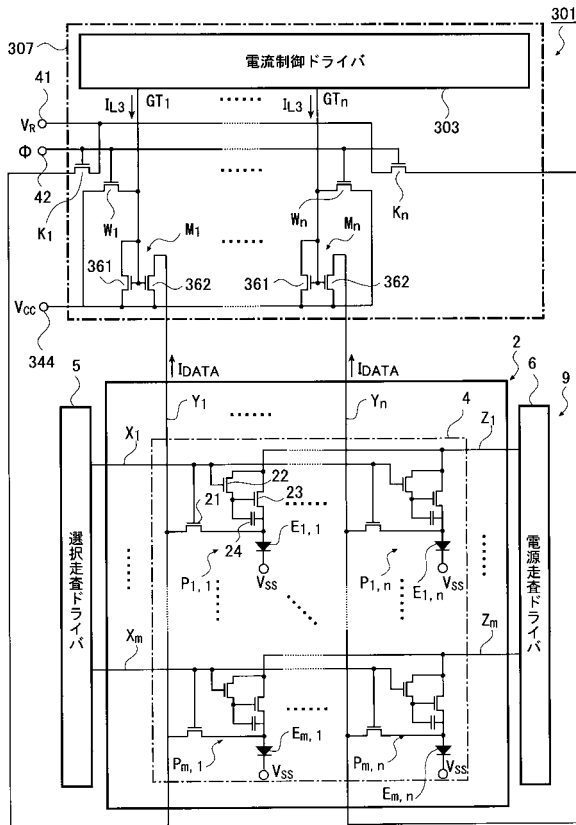
【図10】



【図11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A

(56)参考文献 特開2003-076327(JP,A)
国際公開第01/006484(WO,A1)
国際公開第2004/001714(WO,A1)
特表2002-517806(JP,A)
米国特許出願公開第2002/0195968(US,A1)
特開2004-012858(JP,A)
特開2004-012897(JP,A)

(58)調査した分野(Int.Cl.,DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0