(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/20

(45) 공고일자 2003년06월02일
(11) 등록번호 10-0377649
(24) 등록일자 2003년03월13일

(21) 출원번호 10-1995-0022450
(22) 출원일자 1995년07월27일

(65) 공개번호 특1996-0005769
(43) 공개일자 1996년02월23일

(30) 우선권주장 94-176872 1994년07월25일 일본(JP)
94-265529 1994년10월28일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 가와고에히로또
일본국도꾜도니시따마군히노데마찌히라이2196-149

시라스다쯔미
일본국가나가와껜가와사끼시아사오구구리끼다이4-7-10

기요따쇼고
일본국도꾜도네리마구다데노마찌4-20

야마다에이이찌
일본국야마구지껜구마게군다부세쵸하노2206-59

스기노유지
일본국야마나시껜나까꼬마군다마호쵸나루시마1391

기따노마나부
일본국야마구찌껜야나이시아사히가오까18-15

기다노마나부
일본국야마구지껜야나이시아사히가오까18-15

사꾸라이요시히꼬
일본국야마나시껜나까꼬마군꼬사이쵸에바라1493-1

나가누마다까시
일본국야마나시껜나까꼬마군류오쵸다마가와1394-8

아라까와히사시
일본국야마나시껜꼬후시유다1-5-8

(74) 대리인 백남기

심사관 : 김종찬

(54) 반도체웨이퍼의제조방법,반도체웨이퍼,반도체집적회로장치의제조방법및반도체집적회로장치

요약

반도체웨이퍼의 제조방법, 반도체웨이퍼, 반도체집적회로장치의 제조방법 및 반도체집적회로장치기술에 관한 것으로서, 반도체집적회로장치의 성능 및 신뢰성을 향상시킴과 동시에 반도체집적회로장치의 코스트를 저감시키기 위해 소정의 도전형의 불순물을 함유하는 반도체기판본체의 주면상에 불순물과 동일한 도전형이고 또한, 불순물의 설계상의 농도와 동일한 농도의 불순물을 함유하는 에피텍셜층을 형성한 후, 불순물과 동일한 도전형이고 또한, 에피텍셜층의 깊이방향을 향해서 불순물농도가 점차로 저하하는 웰영역을 형성하고 그 웰영역에 MIS · FET의 게이트절연막을 형성한다. 이것에 의해 고가인 고농도의 반도체기판본체를 사용하지 않아도 좋으므로 높은 소자성능 및 신뢰성을 실현할 수 있는 반도체웨이퍼의 코스트를 저감할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 1 실시예인 반도체집적회로장치의 주요부단면도.
제2도는 제 1 도의 반도체집적회로장치의 제조공정중에 있어서 사용되는 반도체웨이퍼의 평면도.
제3도는 제 1 도의 반도체집적회로장치의 제조공정중에 있어서의 주요부단면도.
제4도는 제 1 도의 반도체집적회로장치의 제 3 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제5도는 제 1 도의 반도체집적회로장치의 제 4 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제6도는 제 1 도의 반도체집적회로장치의 제 5 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제7도는 제 1 도의 반도체집적회로장치의 제 6 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제8도는 제 1 도의 반도체집적회로장치의 제 7 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제9도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도.
제10도는 제 9 도의 반도체집적회로장치의 제조공정중에 있어서의 주요부단면도.
제11도는 제 9 도의 반도체집적회로장치의 제 10 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제12도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도.
제13도는 제 12 도의 반도체집적회로장치의 제조공정중에 있어서의 주요부단면도.
제14도는 제 12 도의 반도체집적회로장치의 제 13 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제15도는 제 12 도의 반도체집적회로장치의 제 14 도에 계속되는 제조공정중에 있어서의 주요부단면도.
제16도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도.
제17도는 제 16 도의 반도체집적회로장치에 있어서의 불순물분포도써, 횡축은 에피텍셜층 2E의 표면으로부터의 깊이를 나타내고, 종축은 불순물농도를 나타낸 도면.
제18도는 종래기술에서 설명한 반도체집적회로장치에 있어서의 불순물분포도로서, 횡축은 에피텍셜층 EP1의 표면으로부터의 깊이를 나타내고, 종축은 불순물농도를 나타낸 도면.
제19도는 종래기술에서 설명한 반도체집적회로장치에 있어서의 불순물분포도 로서 횡축은 에피텍셜층 EP2의 표면으로부터의 깊이를 나타내고, 종축은 불순물농도를 나타낸 도면.
제20도는 제 16도의 반도체집적회로장치의 제조공정중애 있어서의 반도체기판의 주요부단면도.
제21도는 제 16도의 반도체집적회로장치의 제 20도에 계속되는 제조공정중에 있어서의 반도체기판의 주요부단면도.
제22도는 제 16도의 반도체집적회로장치의 제 21도에 계속되는 제조공정중에 있어서의 반도체기판의 주요부단면도.
제23도는 제 16도의 반도체집적회로장치의 제 22도에 계속되는 제조공정중에 있어서의 반도체기판의 주요부단면도.
제24도는 제 16도의 반도체집적회로장치의 제 23도에 계속되는 제조공정중에 있어서의 반도체기판의 주요부단면도.
제25도는 본 실시예의 반도체집적회로장치의 효과를 설명하기 위한 그래프도.
제26도 (A)는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도.
제26도(B)는 제26도(A)의 반도체집적회로장치의 메모리셀의 회로도.
제27도(A)는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도.
제27도(B)는 제27도(A)의 반도체집적회로장치의 메모리셀의 회로도.
제28도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도.
제29도는 본 발명의 다른 실시예인 반도체집적회로장치의 제조공정중에 있어 서의 주요부단면도.
제30도는 본 발명의 다른 실시예인 반도체집적회로장치의 제 29도에 계속되는 제조공정중에 있어서의 주요부단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체웨이퍼의 제조방법, 반도체웨이퍼, 반도체집적회로장치의 제조방법 및 반도체집적회로장치기술에 관한 것으로서, 특히 반도체기판본체의 표면에 에피텍셜층을 형성하는 소위 에피텍셜웨이퍼의 제조방법, 에피텍셜웨이퍼, 그것을 사용한 반도체집적회로장치의 제조방법 및 반도체집적회로장치에 적용해서 유효한 기술에 관한 것이다.
에피텍셜웨이퍼는 정면마무리(polishing)를 실시한 반도체웨이퍼(mirror wafer (polished wafer)라고도 한다) 의 주면상에 에피텍셜성장법에 의해 에피텍셜층을 마련해서 이루어지는 구조의 반도체웨이퍼이다. 또, 에피텍셜성장법에 대해서는 예를 들면, 1983년 맥그로우 힐사 발행 S. M. S z e편저 「VLSI TECHNOLOGY」 pp 51-74에 기재되어 있다. 또, 폴리싱에 대해서는 예를 들면 동 pp 39-42에 기재되어 있다.
에피텍셜웨이퍼는 소프트에러억제나 래치업내성에 우수한 데다 에피텍셜층상에 형성되는 게이트절연막의 내압특성이 양호하고, 게이트절연막의 결합밀도를 대폭으로 저감할 수 있는 등과 같은 특징을 갖고 있으며 반도체집적회로장치의 제조 기술로의 적용이 진행되고 있다.
이와 같은 에피텍셜웨이퍼에 대해서는 예를 들면 다음과 같은 2개의 기술이 있다.
제1의 기술은 예를 들면 응용물리학회, 1991년 8월 10일 발행 「응용물리, 제60권, 제8호」 pp 761 763에 기재된 기술로서, p+ (n+)형의 반도체기판상에 그 반도체기판의 p (n)형 불순불 농도보다 저농도인 p (n)형 불순물을 함유하는 p (n)형의 에피텍셜층을 마련해서 이루어지는 에피텍셜웨이퍼에 대해서 설명되어 있다.
이 경우, 웰이라고 하는 반도체영역을 에피텍셜층내에 형성하고, 그 웰상에 MOS · FET를 형성하는 구조에 대해서 기재되어 있다. 이 경우의 웰은 에피텍셜층표면으로부터의 불순물확산에 의해서 형성되어 있으므로, 웰에 있어서의 불순물농도는 표면이 높고, 내부가 낮은 분포로 되어 있다.
제2의 종래기술은 예를 들면 일본국 특허공개공보 평성1-260832호에 기재된 기술로서, p형의 반도체기판상에 p형의 에피텍셜층을 마련해서 이루어지는 에피텍셜웨이퍼에 대해서 설명되어 있다. 이 경우, 소자형성용의 확산층이 에피텍셜층의 표면에서 반도체기판의 상부에 걸쳐서 형성되어 있다.
그리고, 이 확산층을 형성할 때에 반도체기판본체애 확산층형성용의 불순물을 도입한 후, 그 반도체기판본체상에 에피텍셜층을 성장시키고 그 때 동시에 반도체기판본체상부의 불순물을 확산시켜서 확산층을 형성하는 방법에 대해서 설명되어 있다.
이 경우의 불순물농도의 분포는 애피텍셜층과 반도체기판본체의 경계부에 있 어서 피크를 형성하는 호형의 곡선으로 되어 있고, 에피텍셜층의 표면측에서 낮고, 에피텍셜층과 반도체기판본체와의 경계부에 있어서 높고, 또, 반도체기판본체의 내부에 있어서 낮은 분포로 되어있다.
그러나, 상기 제1의 기술에 있어서는 이것을 사용해서 제조된 반도체집적회로장치의 성능 및 신뢰성에 대해서는 우수하지만, 고농도의 불순물(p+ 또는 n+)을 함유하는 고가인 반도체기판을 사용하고 또한, 그 반도체기판상에 두꺼운 막두께의 에피텍셜층을 형성하고 있으므로, 코스트면에 있어서 문제가 있다.
또, 상기 제2의 기술에 있어서는 확산층을 형성할 때에 반도체기판의 상부의 불순물을 확산하는 것에 의해서 형성하는 소위 상부확산에 의해서 형성하므로, 불순물농도의 설정이 곤란하여 확산층의 형성정밀도가 저하하는 문제가 있다. 또, 소위 경면웨이퍼를 사용한 LSI (Large Scale Integration circuit)의 제조프로세스의 변경이 부득이하게 되는 문제도 있다.
본 발명의 목적은 반도체기판상에 반도체단결정층을 마련해서 이루어지는 반도체웨이퍼의 코스트를 저감할 수 있는 기술을 제공하는 것이다.
본 발명의 다른 목적은 반도체집적회로장치의 성능 및 신뢰성을 향상시킴과 동시에 반도체집적회로장치의 코스트를 저감시킬 수 있는 기술을 제공하는 것이다.
본 발명의 목적은 반도체기판상에 반도체단결정층을 마련해서 이루어지는 반도체웨이퍼에 반도체영역을 형성할 때의 형성제어를 용이하게 할 수 있는 기술을 제공하는 것이다.
본 발명의 목적은 소위 경면웨이퍼를 사용한 반도체집적회로장치의 제조프로 세스를 그대로 사용할 수 있는 기술을 제공하는 것이다.
본 발명의 상기 및 그 밖의 목적과 새로운 특징은 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.
본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.
즉, 본 발명의 반도체웨이퍼의 제조방법은 소정의 도전형의 불순물을 함유하는 비교적 낮은 농도의 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이며 또한, 상기 불순물의 설계상의 농도와 동일한 농도의 불순물을 함유하는 반도체단결정층을 형성하는 공정을 갖는 것이다.
또, 본 발명의 반도체집적회로장치의 제조방법은 소정의 도전형의 불순물을 함유하는 비교적 낮은 농도의 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이며 또한, 상기 불순물의 설계상의 농도와 동일한 농도의 불순물을 함유하는 반도체단결정층이 형성된 상기 반도체기판본체를 준비하는 공정과 상기 반도체단결정층상에 산화막을 형성하는 공정을 갖는 것이다.
또, 본 발명의 반도체집적회로장치의 제조방법은 소정의 도전형의 불순물을 함유하는 비교적 낮은 농도의 반도체기판본체의 표면에 상기 불순물과 동일한 도전형이며 또한, 상기 반도체기판본체의 불순물 농도이하의 농도의 불순물을 함유하는 반도체단결정층이 형성된 상기 반도체기판본체를 준비하는 공정과 상기 불순물과 동일한 도전형이며 또한, 상기 반도체단결정층의 길이방향을 향해서 불순물농도가 점차 저하하는 제 1 반도체영역을 상기 반도체단결정층의

표면에서 상기 반도체기 판본체의 상부에 걸쳐서 형성하는 공정 및 상기 제1반도체영역상에 산화막을 형성하는 공정을 갖는 것이다.

또, 본 발명의 반도체집적회로장치의 제조방법은 상기 제 1 반도체영역을 형성하는 공정시에 상기 반도체단결정층에 불순물을 이온주입한 후, 그 주입된 불순물을 열확산하는 공정을 갖는 것이다.

또, 본 발명의 반도체집적회로장치의 제조방법은 상기 제 1 반도체영역이 상보형MOS · FET (Metal-Oxide-Semiconductor · Field-Effect-Transistor) 회로형성용 (상보형MIS (Metal-Insulator-Semiconductor) · FET회로형성용)의 웰로 하는 것이다.

상기한 본 발명의 반도체웨이퍼의 제조방법에 의하면 고가인 고공도 (p+ 또는 n+)의 반도체기판본체를 사용하지 않음과 동시에 반도체단결정층을 얇게 할 수 있으므로, 높은 소자특성 및 신뢰성을 실현할 수 있는 반도체웨이퍼의 코스트를 저감할 수 있게 된다. 또, 상기한 본 발명의 반도체집적회로장치의 제조방법에 의하면, 반도체단결정층상에 MOS · FET의 게이트절연막을 형성하는 것에 의해 막질이 양호한 게이트절연막을 형성할 수 있으므로, 게이트절연막의 내압을 향상할 수 있고, 게이트절연막의 결합밀도를 저감할수 있게 된다. 또한, 고가인 고농도의 반도체기판본체를 사용하지 않아도 좋음과 동시에 반도체단결정층을 얇게 할 수 있으므로, 높은 소자특성 및 신뢰성을 갖는 반도체집적회로장치의 코스트를 저감할 수 있게 된다.

또, 상기한 본 발명의 반도체집적회로장치의 제조방법에 의하면 반도체기판 에 웰 등의 반도체영역을 형성할 때에 불순물농도나 깊이등을 설정할 시의 자유도가 크므로, 그 형성제어를 용이하게 할 수 있게 된다. 이 때문에, 불량발생을 저감할 수 있어 제조효율을 향상시키는 것이 가능하게 된다. 또, 반도체집적회로장치의 코스트를 저감할 수 있게 된다.

또, 상기한 본 발명의 반도체집적회로장치의 제조방법에 의하면 반도체단결정층의 하층의 반도체기판본체의 불순물농도를 반도체단결정층의 불순물농도보다 높게 한 것에 의해 반도체기판본체의 저항이 상대적으로 낮아지므로, 래치업내성을 향상시킬 수 있게 된다.

또, 상기한 본 발명의 반도체집적회로장치의 제조방법에 의하면 제 1 반도체영역을 이온주입방법 및 열확산법에 의해서 형성하는 것에 의해 반도체기판본체상에 반도체단결정층을 마련한 반도체웨이퍼를 사용해서 반도체집적회로장치를 제조할 때에 설계변경이나 제조프로세스의 변경 등을 수반하지 않는 소위 경면웨이퍼를 사용한 반도체집적회로장치와 동일한 방법을 그대로 사용해서 반도체집적회로장치를 제조할 수 있게 된다.

또, 상기한 본 발명의 반도체집적회로장치의 재조방법에 의하면 예를 들면, 산소석출물 등의 결함이 적은 반도체단결정층상에 다이나믹형 랜덤 액세스메모리의 메모리셀을 마련한 것에 의해 메모리셀의 전송용MOS · FET에 있어서의 소오스영역 및 드레인영역에 있어서의 접합리크전류를 저감할 수 있다. 또, 메모리셀의 캐피시터의 전하의 리크를 억제할 수 있고, 전하축적시간을 길게 할 수 있으므로, 리플레쉬특성을 향상시킬 수 있다. 따라서, 다이나믹형 랜덤 액세스메모리의 성능, 신뢰 성 및 제조효율을 향상시키는 것이 가능하게 된다.

또, 상기한 본 발명의 반도체집적회로장치의 제조방법에 의하면 예를 들면 산소석출물 등의 결함이 적은 반도체단결정층상에 스테이틱형 랜덤 액세스메모리의 메모리셀을 마련한 것에 의해 메모리셀을 구성하는 MOS · FET에 있어서의 소오스영역 및 드레인영역에 있어서의 접합리크전류를 저감할 수 있으므로, 데이타리텐션레벨을 향상시킬 수 있고, 데이타리텐션불량률을 저감할 수 있게 된다. 따라서, 스테이틱형 랜덤 액세스메모리의 성능, 신뢰성 및 제조효율을 향상시키는 것이 가능하게 된다.

또, 상기한 본 발명의 반도체집적회로장치의 제조방법에 의하면 예를 들면, 산소석출물 등의 결합이 적은 반도체단결정층상에 데이타를 전기적으로 소거 및 라이트하는 것이 가능한 리드 온리 메모리의 메모리셀을 마련하는 것에 의해 데이타라이트내성을 향상시킬 수 있어 데이타소거의 편차를 저감할 수 있게 된다. 따라서, 데이타를 전기적으로 소거 및 라이트하는 것이 가능한 리드 온리 메모리의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 된다.

이하, 본 발명의 실시예를 도면에 따라서 상세하게 설명한다.

<실시예 1>

제1도는 본 발명의 1실시예인 반도체집적회로장치의 주요부단면도, 제2도는 제1도의 반도체집적회로장치의 제조공정중에 있어서 사용되는 반도체웨이퍼의 평면도, 제3도 제8도는 제1도의 반도체집적회로장치의 제조공정중에 있어서의 주요부단면도이다.

제1도에 도시한 바와 같이 본 실시예1의 반도체집적회로장치 (1)을 구성하는 반도체기판 (2)는 반도체기판본체 (2S)와 에피텍셜층 (반도체단결정층) (2E) 및 게터링 (gettering) 층 (포박영역) (2G)로 구성되어 있다.

또, 게터링층에 대해서는 애를 들면, 1983년 맥그로우힐사 발행 S. M. S z e편저 「VLSI TECHNOLOGY」pp 42-44에 기재되어 있다.

반도체기판본체 (2S)는 예를 들면 두께500 800㎛정도의 p- 형의 실리콘 (Si)단결정 등으로 이루어진다. 반도체기판본체(2S)에는 얘를 들면, p형 불순물의 붕소(B)가 도입되어 있고, 그 불순물농도는 예를 들면 1.3×10^{15} atoms (개) /cm ^{3} 정도이다.

반도체기판본체 (2S)의 주면상에는 예를 들면 p- 형의 Si단결정 등으로 이루어지는 에피텍셜층(2E)가 형성되어 있다. 에피텍셜층(2E)에는 예를 들면, p형 불순물의 붕소가 도입되어 있고, 그 불순물농도는 반도체기판본체 (2S)의 설계상의 불순물농도와 동일하고 예를 들면 1.3×10^{15} atoms /cm ^{3} 이다.

여기서, 설계상의 불순물농도라고 하는 것은 허용값을 포함하는 것을 의미하고 있다. 즉, 설계상의 불순물농도와 동일하다고 하는 것은 반도체기판본체 (2S)의 설계상의 불순물농도가(불순불농도값: A) ± (허용값 : α) 로 나타내어지고, 반도체기판본체 (2S) 의 실제의 불순물농도가 A인 경우, 에피텍셜층 (2E)의 실제의 불순물농도가 A가 아니라도 A±α의 범위내이면 반도체기판본체 (2S)와 에피텍셜층(2E)의 불순물농도는 동일하다는 것을 의미하고 있다.

이와 같이 본 실시예1에 있어서는 비교적 낮은 농도의 p- 형의 반도체기판본체 (2S)상에 p-형의 에피텍셜층(2E)가 형성되어 있고, 고가인 고농도 p+ 형의 반도체기판본체률 사용하고 있지 않으므로, 반도체기판(2)의 코스트를 거의 절반까지 저감할 수 있다. 예를 들면, p+ 형의 반도체기판본체상에 p-형의 애피텍셜층을 마련하는 종래의 반도체기판인 경우는 그 코스트가 에피텍셜층을 마련하지 않는 통상의 반도체기판의 2.5배 3배로 되는 것에 반해 본 실시예1의 경우는 반도체기판의 코스트를 그 통상의 반도체기판의 1.5배정도로 억제할 수 있다. 따라서, 반도체집적회로장치의 코스트를 저감할 수 있게 된다.

에피텍셜층(2E)의 두께는 예를 들면 1㎛정도이고, 비교적 얇게 형성되어 있다. 이 때문에 다음의 효과가 얻어진다. (1) 에피텍셜층(2E)의 두께, 저항률 등의 설정제어가 용이하다. (2) 상기 (1) 의 이유에 의해 에피텍셜층을 형성하기 위한 성막장치에 높은 성막정밀도 등이 요구되지 않으므로, 고가인 성막장치를 사용하지 않아도 된다. (3) 에피텍셜층의 형성이 용이하게 되어 스루풋을 향상시킬 수 있다. (4) 상기 (1), (2) , (3)의 이유에 의해 반도체기판(2)의 코스트를 저감할 수 있다.

에피텍셜층(2E)의 두께의 하한은 후술하는 MOS · FET에 있어서의 게이트절연막의 두께의 절반이상의 두께이다. 이것은 MOS · FET의 게이트절연막을 형성할 때, 게이트절연막의 두께의 절반이 반도체기판 (2)측에 들어가는 것을 고려해서 설정되어 있다.

즉, 에피텍셜층 (2E)의 두께를 게이트절연막의 두께의 절반보다 얇게 한 경 우, 에피텍셜층 (2E)상에 게이트절연막을 형성할 때에 얘피텍셜층 (2E)의 전체가 게이트절연막으로 덮혀져 버리는 결과, 게이트절연막이 반도체기판본체 (2S)의 상면에 형성되는 구조로 되어 에피텍셜층(2E)상에 게이트절연막을 형성하는 경우의 효과, 즉 양호한 게이트절연막을 형성할 수 있어 게이트절연막의 내압향상 등의 효과가 얻어지지 않게 되기 때문이다.

또, 후에 제25도를 사용해서 설명하지만, 게이트절연막(게이트내압등)의 성능평가에서 에피텍셜층(2E)의 두께의 하한은 0.3㎛가 많이 사용되고 있다.

또, 에피텍셜층(2E)의 두께의 상한은 제품이나 제조조건 등에의해 다르므로, 일률적으로는 말할 수 없지만, 다음과 같은 것을 고려하면 예를 들면, 52㎛이하가 바람직하다.

즉, (1) 에피텍셜층 (2E)의 상면의 평탄성을 확보할 수 있다. 에피텍셜층 (2E)를 두껍게 하면, 그 만큼 반도체기판본체 (2S)의 주면상의 고저차도 크게 되지만, 이 정도의 두께라면 큰 고저차도 발생하지 않기 때문이다. 주면상의 고저차가 크면, 후의 MIS 디바이스형성공정의 광리도그래피에 있어서 초점심도이상으로 고저차가 발생하는 경우가 생기고, 광리도그래피에 의한 패턴형성을 실행할 수 없게 된다는 문제점이 있다. (2) 반도체기판(2)의 제조모체인 반도체웨이퍼 (후술의 에피텍셜웨이퍼)의 코스트를 저가격으로 억제할 수 있다. 에피터셜층 (2E)를 두껍게 하면, 상기한 바와 같이 성막제어성이 곤란하게 되는 결과, 반도체웨이퍼 (후술의 에피텍셜웨이퍼)의 코스트도 높게 되지만, 이 정도의 두께라면 대폭적인 코스트의 증가로는 되지 않기 때문이다. (3) 반도체기판본체 (2S)의 주면상에 돌기가 있다고 하여도 그 돌기를 무시할 수 있을 정도의 것으로 할 수 있다. 이 정도의 두께라면 돌기에 의한 큰 고저차도 발생하지 않기 때문이다. (4) 반도체웨이퍼 (후술의 경면웨이퍼)상에 에피텍셜층을 형성할때에 반도체웨이퍼 (후술의 경면웨이퍼)의 주면바깥둘레근방에 돌기 (크라운)이 형성되는 것을 억제할 수 있다. 반도체웨이퍼 (후술의 경면웨이퍼)상에 두꺼운 에피텍셜층을 형성하는 경우, 그 반도체웨이퍼 (후출의 경면웨이퍼)의 주면바깥둘레근방에 크라운이라고 하는 돌기가 형성되지만, 이 정도의 두께라면 그 돌기도 형성되지 않기 (또는 무시할 수 있을 정도의 크기이기) 때문이다.

이상의 점을 고려하면, 에피텍셜층 (2E)의 두께의 범위는 0.3㎛ 5㎛가 바람직하지만, 0.3㎛ 3㎛가 많이 사용되고 있고, 특히 최적실시범위는 0.3㎛ 1.0㎛이다.

에피텍셜층(2E)의 주면상에는 예를 들면, 이산화규소(SiO_2)로 이루어지는 필드절연막 (3)이 형성되어 있다. 또, 도시하지 않지만, 필드절연막(3)의 하층에는 채널스톱퍼영역이 형성되어 있다.

필드절연막(3)으로 둘러싸인 소자형성영역에는 예를 들면 n채녈MOS · FET (이하, 단지 nMOS라 한다) (4N) 및 p채널MOS · FET (이하, 단지 pMOS라 한다) (4P)가 형성되어 있고, 이들 nMOS (4N) 및 pMOS (4P)에 의해서 CMOS (Complementary Metal Oxide Semiconductor)회로가 형성되어 있다. 또, 이하 MOS · FET를 사용해서 설명하지만, 이것에 한정되지 않고 MIS · FET이어도 좋은 것은 물론이다.

단, 본 실시예1에 있어서는 nMOS (4N) 및 pMOS (4P)를 모두 통상의 MOS · FET구조로 하고 있지만, 이것에 한정되는 것은 아니고 예를 들면, LDD(Lightly Doped Drain) 구조의 MOS · FET로 하여도 좋다.

nMOS (4N)은 이하의 구성요소를 갖고 있다. 즉, 에피텍셜층(2E)의 상부에 서로 떨어진 상태로 형성된 한쌍의 반도체영역(4Na) , (4Nb)와 에피택셜층 (2E)상에 형성된 게이트절연막(4Nc) 및 게이트절연막(4Nc)상에 형성된 게이트전극(4Nd)이다.

반도체영역 (4Na), (4Nb) 는 nMOS (4N)의 소오스 드레인영역을 구성하는 영역이다. 반도체영역 (4Na) , (4Nb)에는 예를 들면, n형 불순물의 인 (P) 또는 비소(As)가 도입되어 있고, 그 불순물농도(dose)는 예를 들면 1×10^{15} atoms/㎠ 정도이다. 반도체영역 (4Na), (4Nb)의 깊이는 예를 들면 0.5㎛정도이고, 에피텍셜층 (2E)의 두께의 범위내에 형성되어 있다.

게이트절연막(4Nc)는 예를 들면 두께18 nm정도의 SiO_2 등으로 이루어지고, 에피텍셜층 (2E)상에 형성되어 있다. 이것에 의해 이하의 효과를 얻는 것이 가능하게 되어 있다.

(1) 상술한 바와 같이 에피텍셜층 (2E)로 형성된 반도체단결정층(2E)상에 MOS · FET의 게이트절연막(4Nc)를 형성하는 것에 의해 양호한 막질의 게이트절연막 (4Nc)를 형성할 수 있고 게이트절연막(4Nc)의 내압을 향상시킬 수 있게 된다. (2) 게이트절연막(4Nc)의 결합밀도 (소정범위내에 있어서 결합이 발생하는 수)를 1자리 이상이나 개선 (저감)할 수 있게 된다.

게이트전극(4Nd)는 예를 들면, 저저항폴리실리콘의 단층막으로 이루어진다. 단, 게이트전극 (4Nd)는 저저항폴리실리콘의 단층막에 한정되는 것은 아니고 여러가지 변경가능하고, 예를 들면 저저항폴리실리콘막상에 텅스텐실리사이

드 (WSi_2) 등과 같은 실리사이드막을 적층한 구조로 하여도 좋다.
또, 에피텍셜층 (2E)의 상부에 형성된 반도체영역 (5Sa)는 nMOS (4N)측의 기판전위를 설정하기 위한 영역이다. 반도체영역 (5Sa)에는 예를 들면 p형 불순불의 붕소가 도입되어 있고, 그 불순물농도(dose)는 예를 들면 1×10^{15} atoms/㎠정도이다.
한편, pMOS (4P)는 반도체기판(2)의 상부에 형성된 n웰 (6)내에 형성되어 있다. n웰 (6)에는 예를 들면, n형 불순물의 인 또는 비소가 도입되어 있고, 그 불순물농도는 예를 들면 1×10^{13} atoms/㎠정도이다. n웰 (6)의 깊이는 예를 들면 1.5 4㎛정도이고, 에피텍셜층(2E)보다도 깊은위치까지 이르고 있다. 즉, n웰(6)은 에피텍셜층(2E) 및 반도체기판본체 (2S)내에 형성되고, 상기 n웰 (6)의 깊이는 에피텍셜층(2E)의 막두께보다도 크다.
pMOS (4P)는 이하의 구성요소를 갖고 있다. 즉, 에피텍셜층(2E)의 상부에 서로 떨어진 상태로 형성된 한쌍의 반도체영역(4Pa), (4Pb)와 얘피텍셜층 (2E)상에 형성된 게이트절연막(4Pc) 및 게이트절연막(4Pc)상에 형성된 게이트전극(4Pd) 이다.
반도체영역 (4Pa), (4Pb)는 pMOS (4P)의 소오스 드레인영역을 구성하는 영역이다. 반도체영역 (4Pa), (4Pb)에는 예를들면 p형 불순물의 붕소가 도입되어 있고, 그 불순불농도는 예를 들면 1×10^{18} atoms/㎠정도이다. 반도체영역 (4Pa) , (4Pb)의 깊이는 예틀 들면 0. 5㎛정도이고, 에피텍셜층(2E)의 두께의 범위내에 형성되어 있다.
게이트절연막(4Pc)는 예를 들면 두께 18nm정도의 SiO_2 등으로 이루어지고, 에피턱셜층 (2E)상에 형성되어 있다. 이것에 의해 nMOS (4N)에서 설명한 것과 동일한 효과를 얻을 수 있게 되어 있다.
즉, (1) 양호한 막질의 게이트절연막 (4Pc)를 형성할 수 있어 게이트절연막(4Pc)의 내압을 향상시킬 수 있게 된다. (2) 게이트절연막(4Pc)의 결합밀도를 1자리 이상이나 개선할 수 있게 된다.
게이트전극(4Pd)는 예를 들면 저저항폴리실리콘의 단층막으로 이루어진다. 단, 게이트전극(4Pd)는 저저항폴리실리콘의 단층막에 한정되는 것은 아니고 여러가지 변경가능하고 예를 들면, 저저항폴리실리콘막상에 WSi_2 등과 같은 실리사이드막을 적층한 구조로 하여도 좋다.
또, 에피텍셜층(2E)의 상부에 형성된 반도체영역 (5Sb)는 pMOS (4P)측의 기판전위를 설정하기 위한 영역이다. 반도체영역 (5Sb)에는 예를 들면 n형 불순물의 인 또는 비소가 도입되어있고, 그 불순불농도는 예를 들면 1×10^{18} atoms/㎠정도이다.
반도체기판(2)상에는 예를 들면 SiO_2 로 이루어지는 절연막(7)이 퇴적되어 있 다. 절연막 (7)의 소정의 위치에는 상기 한nMOS (4N)의 반도체영역 (4Na), (4Nb)와 PMOS (4P)의 반도체영역 (4Pa), (4Pb) 및 기판전위용의 반도체영역(5Sa), (5Sb)가 노출하는 접속구멍 (8)이 뚫려 있다.
상기한 nMOS (4N)의 반도체영역 (4Na), (4Nb)는 접속구멍 (8)을 통해서 각각 전극 (9Na) , (9Nb)와 전기적으로 접속되어 있다. 또, pMOS (4P)의 반도체영역 (4Pa) , (4Pb) 는 접속구멍 (8) 을 통해서 각각 전극 (9Pa) , (9Pb)와 전기적으로 접속되어 있다. 그리고, nMOS (4N)의 반도체영역 (4Nb)는 전극 (9Nb) , (9 Pb)사이를 접속하는 제1층배선(10)을 통해서 pMOS (4P)의 반도체영역 (4Pb)와 전기적으로 접속되어 있다.
또, 기판전위용의 반도체영역 (5Sa) , (5Sb)는 접속구멍 (8)을 통해서 각각 전극(9Sa) , (9Sb)와 전기적으로 접속되어 있다.
이와 같은 전극(9Na) , (9Nb) , (9Pa) , (9Pb) , (9Sa) , (9Sb) 및 제1층배선 (10)은 예를 들면 알루미늄(Al) - S i -동(Cu) 합금으로 이루어진다.
절연막 (7) 상에는 예를 들면 SiO_2 막과 질화규소 (Si_3N_4)를 하층부터 순서대로 적층해서 이루어지는 표면보호막(11)이 퇴적되어 있고, 이것에 의해서 전극 (9Na) , (9Nb) , (9Pa) , (9Pb) , (9Sa) , (9Sb) 및 제1층배선 (10)이 피복되어 있다.
한편, 반도체기판(2)의 이면에는 게터링층 (2G)가 형성되어 있다. 게터링층 (2G)는 예를 들면 철 (Fe),니켈 (Ni) , Cu 및 크롬(Cr)등과 같은 중금속원소를 포 박하기 위한 기능층으로 예를 들면, 폴리실리콘으로 이루어지는 반도체막이 반도체기판(2)의 이면에 피착되어 구성되어 있다.
다음에, 본 실시예1의 반도체집적회로장치의 제조방법을 제1도~제8도에 의해서 설명한다.
우선, 결정면방위가 < 100 >방위인 원주형상의 p-형 Si단결정(도시하지 않음)을 초크럴스키 (Czochralski)법 등에 의해서 제조한다. 이 때의 불순물은 예들 들면 P형 불순물의 붕소이고, 그 불순물농도는 예를 들면 1.3×10^{15} atoms/㎠ 정도이다.
계속해서, 그 원주형상의 p-형 Si단결정을 얇은 판형상으로 잘라내고, 그 얇은 판에 대해서 필요에 따라서 모서리깎기처리나 화학적에칭법 등에 의한 표면의 청정화처리 및 가공왜곡의 제거처리를 실행한 후, 그 얇은 판의 주면을 화학기계연마법 등에 의해서 경면연마하는 것에 의해 제2도 및 제3도에 도시한 바와 각은 경면웨이퍼 (2W)를 제조한다. 또, 경면웨이퍼 (2W)는 상기한 반도체기판본체 (2S) 의 모체이다.
계속해서, 제4도에 도시한 바와 같이 경면웨이퍼 (2W)의 이면에 예를 들면, 폴리실리콘을 CVD (Chemical Vapor Deposition) 법 등에 의해서 퇴적하는 것에 의해 게터링층 (2G)를 형성한다. 게터링층 (2G) 는 중금속원소를 포박하기 위한 기능층이다.
계속해서, 경면웨이퍼 (2W)의 주면 (경면측)상에 애들 들면, 모노실란 (SiH_4) 가스와 수소 (H_2) 가스를 사용하고 예를 들면, 980℃정도의 CVD법 (에피텍셜성장법)등에 의해서 예를 들면, 두께1㎛정도의 비교적 얇은 p-형Si단결정으로 이루어지는 에피텍셜층(2E)를 형성하는 것에 의해 에피텍셜웨이퍼 (반도체웨이퍼) (2WE) 를 제조한다.
이 때, 에피텍셜층 (2E)에 있어서의 불순물농도는 경면웨이퍼 (2W)에 있어서의 설계상의 불순물농도와 동일하게 되도록 설정되어 있다. 에피텍셜층(2E)에는 예를 들면 p형 불순물의 붕소가 도입되어 있고, 그 불순물농도는 예를 들면 1.3×10^{15} atoms/cm3 정도이다. 그 후, 도시하지 않은 이온주입용 마스크를 에피텍셜웨이퍼 (2WE)상에 형성한 후, 그것을 마스크로 해서 제5도에 도시한 바와 같이 에피텍셜웨이퍼 (2WE)의 소정의 위치에 예를 들면 n형 불순물의

인 또는 비소를 이온주입법 등에 의해서 도입한 후, 열처리를 실시하는 것에 의해 n웰 (6)을 형성한다.
이 n웰 (6)형성에 있어서의 이온주입의 불순물농도는 예를 들면 1×10^{13} atoms/㎠정도이고, n웰 (6)의 깊이는 예를 들면 1.5 4㎛정도라고 하는 바와 같이 에피텍셜층(2E)보다 깊은 위치까지 미치고 있다.
계속해서, 제6도애 도시한 바와 같이 에피텍셜층(2E)의 주면상에 LOCOS법 등에 의해서 예를 들면, SiO_2 등으로 이루어지는 필드절연막 (3) 을 형성한 후, 필드절연막 (3) 으로 둘러싸인 소자형성영역에 열산화법 등에 의해서 예를 들면 두께180Å정도의 SiO_2 등으로 이루어지는 게이트절연막(4Nc), (4Pc)를 동시에 형성 한다.
본 실시예1에 있어서는 게이트절연막 (4Nc) , (4Pc)를 에피텍셜층 (2E)상에 형성하는 것에 의해 양호한 막질의 게이트절연막(4Nc) , (4Pc)를 형성할 수 있어 게이트절연막 (4Nc) , (4Pc)의 내압을 향상시킬 수 있게 되어 있다. 또, 게이트절연막(4Nc) , (4Pc)의 결합밀도를 1자리이상이나 개선할 수 있게 되어 있다.
계속해서, 제7도에 도시한 바와 같이 게이트절연막(4Nc) , (4Pc)상에 예를 들면, 저저항폴리실리콘으로 이루어지는 게이트전극(4Nd) , (4Pd)를 동시에 형성한 후, 그 게이트전극(4Nd), (4Pd)를 마스크로 해서 한쌍의 반도체영역 (4Na) , (4Nb) 및 한쌍의 반도체영역 (4Pa) , (4Pb)를 각각 각각의 이온주입공정에 의해서 형성하는 것에 의해 에피텍셜웨이퍼 (2WE)상에 nMOS (4N) 및 pMOS (4P)를 형성한다.
그 후, 에피텍셜층 (2E)의 소정의 위치에 반도체영역 (5Sa) , (5Sb) 를 각각 별도로 형성한 후, 제8도에 도시한 바와 같이 에피텍셜웨이퍼 (2WE)상에 예를 들면, SiO2로 이루어지는 절연막(7)을 CVD법 등에 의해서 퇴적한다.
계속해서, 절연막 (7)에 nMOS (4N)의 반도체영역 (4Na) , (4Nb)와 pMOS (4P)의 반도체영역 (4Pa) , (4Pb) 및 기판전위용의 반도체영역 (5Sa) , (5Sb)가 노출하는 접속구멍 (8)을 뚫은 후, 에피텍셜웨이퍼 (2WE)상에 예를 들면 Al - Si - Cu합급으로 이루어지는 도체막(9)를 스퍼터링법 또는 증착법등에 의해서 퇴적한다.
계속해서, 도체막 (9)를 드라이에칭법 등에 의해서 패터닝하는 것에 의해 제1도에 도시한 전극(9Na) , (9Nb) , (9Pa) , (9Pb) , (9Sa) , (9Sb) 및 제1층배선 (10)을 동시에 형성한다.
그 후, 에피텍셜웨이퍼 (2WE)상에 예를 들면 SiO_2 로 이루어지는 절연막 및 Si_3N_4 로 이루어지는 절연막을 CVD법 등에 의해서 순서대로 퇴적하는 것에 의해 표면보호막(11)을 형성한후, 각각의 반도체칩으로 분할하는 것에 의해 제1도에 도시한 반도체집적회로장치 (1) 을 제조한다.
이와 같이 본 실시예1에 의하면 이하의 효과를 얻는 것이 가능하게 된다 .
(1) nMOS (4N)의 게이트절연막(4Nc) 및 pMOS (4P) 의 게이트절연막 (4Pc) 를 에피택셜층 (반도체단결정층) (2E) 상에 형성한 것에 의해 막질이 양호한 게이트절연막(4Nc) , (4Pc)를 형성할 수 있어 개이트절연막 (4Nc) , (4Pc)의 내압을 향상시킬 수 있게 된다. (2) 상기 (1)에 의해 게이트절연막(4Nc) , (4Pc)의 결함밀도를 대폭으로 저감할수 있게 된다. (3) p- 형의 반도체기판본체 (2S)상에 p- 형의 에피텍셜층(2E)를 마련하는 것에 의해 고가인 고농도 p+ 형의 반도체기판본체를 사용하고 있지 않으므로, 반도체기판 (2) (애피텍셜웨이퍼 (2WE))의 코스트를 거의 절반까지 저감할 수 있게 된다. (4) 에피텍셜층(2E)의 두께를 비교적 얇게 형성한 것에 의해 에피텍셜층(2E)의 두께설정제어를 용이하게 할 수 있고, 에피텍셜층을 형성하기 위한 성막장치에 높은 성막정밀도 등을 필요로 하지 않고 고가인 성막장치를 사용하지 않아도 좋으므로, 반도체기판(2) (에피텍셜웨이퍼 (2WE))의 크스트를 저감할 수 있다. (5) 상기 (3) , (4)에 의해 반도체집적회로장치의 크스트를 저감할 수 있게된다. (6) 에피텍셜층(2E)의 두께를 비교적 얇게 형성한 것에 의해 에피텍셜층(2E)의 상면의 평탄성을 확보할 수 있게 된다. (7)상기 (1), (2) , (6) 에 의해 반도체집적회로장치의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 된다.
<실시예 2>
제9도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도, 제10도 및 제11도는 제9도의 반도체집적회로장치의 제조공정중에 있어서의 주요부단면도이다.
본 실시예2에 있어서는 반도체기판본체 (2S)의 주면상에 무결함층(2A)가 형성되어 있고, 그 상면에 애피텍셜층(2E)가 형성되어 있는 점이 실시예1과 다른 점이다.
무결함층 (2A) 는 구조결합 (적층결함이나 전위루프 등) , 미소산소 석출물 등이 전무에 가까운 상태에 있고, 전자는 거의 전무, 후자는 광산란법에 의해 관찰하였을 때에 예를 들면 0.1 cm^{-2} 정도이다. 예를 들면 p- 형 Si단결정으로 이루어지고, 그 함유불순물 및 그 농도는 반도체기판본체 (2S) 와 동등하게 되어 있다.
다음에, 본 실시예2의 반도체집적회로장치 (1)의 제조방법을 제9도~제11도에 의해서 설명한다.
우선, 제10도에 도시한 바와 같이 상기 실시예1과 마찬가지로 해서 경면웨이퍼 (2W)를 제조한 후, 그 경면웨이퍼 (2W)를 예를 들면 H_2 가스분위기중에 있어서 고온(예를 들면 1100℃ 1200℃정도에서 10-60분)가열하는 것에 의해 경면웨이퍼 (2W)의 주면상에 무결함층 (2A) 를 형성한다.
계속해서, 제11도에 도시한 바와 같이 경면웨이퍼 (2W)의 이면에 예를 들면 폴리실리콘을 CVD법 등에 의해서 퇴적하는 것에 의해 게터링층(2G)를 형성한다. 게터링층 (2G)는 중금속원소를 포박하기 위한 기능층이다.
그 후, 무결함층(2A)상에 예를 들면, SiH_4 가스와 H_2 가스를 사용한 CVD법 (에피텍셜성장법)등에 의해서 예를 들면, 두께 1㎛정도의 비교적 얇은 p- 형 Si단결정으로 이루어지는 에피택셜층(2E)를 형성하는 것에 의해 에피텍셜웨이퍼 (2WE)를 제조한다. 이 때, 에피텍셜층(2E)에 있어서의 불순물 및 불순물농도는 상기 실시예1과 동일하다. 또, 이 이후의 공정도 상기 실시예1과 동일하므로 설명을 생략한다.
이와 같이 본 실시예2에 의하면 상기 실시예1에서 얻어진 효과이외에 이하의 효과를 얻는 것이 가능하게 된다.
즉, 에피텍셜층(2E)의 형성에 앞서 경면웨이퍼 (2W)의 주면상에 무결함층(2A)를 형성하는 것에 의해 에피텍셜층(2E)의 결정성장을 양호하게 할 수 있으므로, 결함이나 전위가 매우 적은 양호한 에피텍셜층(2E)를 형성할 수 있게 된다. 따라서, 반도체집적회로장치의 제조효율, 성능 및 신뢰성을 더욱 향상시킬 수 있게 된다.
<실시예3>

제12도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도, 제13도 제15도는 제12도의 반도체집적회로장치의 제조공정중에 있어서의 주요부단면도이다.
본 실시예3에 있어서는 제13도를 사용해서 후에 형성방법을 설명하지만, 반도체기판본체 (2S)의 주면으로부터 소정의 깊이 (예를 들면 1 ㎛정도의 위치)에 p+ 형의 반도체영역 (고농도의 반도체영역) (2B)가 반도체기판본체 (2S)의 전면에 형성되어 있다. p+ 형의 반도체영역 (2B)에는 예를 들면 p형 불순물의 붕소가 도입되어 있고, 그 불순물농도는 에피텍셜층(2E)나 반도체기판본체(2S) 의 불순물농도보다 높고, 예를 들면 1×10^{18} atoms/cm^3 정도이다.
p+ 형의 반도체영역 (2B)는 CMOS회로의 래치업을 억제하기 위한 기능층이다. 즉, 본 실시예3에 있어서는 p+ 형의 반도체영역 (2B)를 마련하는 것에 의해 기판표층측의 저항을 대폭으로 감소할 수 있으므로, CMOS회로의 래치업내성을 향상시킬 수 있게 되어 있다.
또, 에피텍셜층(2E)는 상기 실시예1 , 2의 경우보다 두껍고, 예를 들면 5㎛정도이다. 에피텍셜층 (2E)의 두께의 하한은 pMOS형성영역에 있어서의 n웰 (6)보다도 깊게 되도록 설정되어 있다.
이것은 에피텍셜층 (2E)의 두께를 n웰 (6)의 깊이보다도 얕게 되도록 한 경우, n웰 (6)중에 p+ 형의 반도체영역 (2B)가 형성되게 되고, n웰 (6)에 있어서의 불순물농도의 설정이 곤란하게 되기 때문이다. 또, 에피텍셜층(2E)의 두께의 상한은 예를 들면 5㎛이하가 바람직하다. 이것에 대해서는 상기 실시예1과 동일한 이유이다. 단, 코스트상승이 허락되는 범위에서 이 이상의 두께이어도 문제는 없다.
다음에, 이와 같은 반도체집적회로장치 (1)의 제조방법을 제13도~제15도에 의해서 설명한다.
우선, 제13도에 도시한 바와 같이 상기 실시예1과 마찬가지로 해서 경면웨이퍼 (2W)를 제조한 후, 경면웨이퍼 (2W)의 주면 (반도체기판본체 (2S)의 주면)에서 소정의 깊이 (예를 들면 1㎛정도의 위치)에 예를 들면, p형 불순물의 붕소를 이온주입법 등에 의해서 고정밀도로 도입한다. 이 때의 불순물농도는 예를 들면 1×10^{18} atoms/cm^3 정도이다.
계속해서, 경면웨이퍼 (2W)에 대해서 열처리를 실시하는 것에 의해 p+ 형의 반도체영역 (2B)를 형성한 후, 경면웨이퍼 (2W)의 이면에 예를 들면, 폴리실리콘을 CVD법 등에 의해서 퇴적하는 것에 의해 게터링층(2G)를 형성한다. 게터링층(2G)는 중금속원소를 포박하기 위한 기능층이다.
그 후, 경면웨이퍼 (2W)의 주면 (경면측)상에 예를 들면, SiH_4 가스와 H_2 가스를 사용한 CVD법 (에피텍셜성장법) 등에 의해서 제14도에 도시한 바와 같이 예를 들면, 두께5㎛정도의 p-형 Si단결정으로 이루어지는 에피텍셜층 (반도체단결정층) (2E) 를 형성하는 것에 의해 에피텍셜웨이퍼 (2WE)를 제조한다.
이 때, 에피텍셜층 (2E)에 있어서의 불순물농도는 경면웨이퍼 (2W)에 있어서의 설계상의 불순물농도와 동일하게 되도록 설정되어 있다. 에피텍셜층(2E)에는 예를 들면, p형 불순물의 붕소가 도입되어 있고, 그 불순물농도는 예를 들면 1.5×10^{15} atoms/cm^3 정도이다.
그 후, 도시하지 않은 이온주입용 마스크를 에피텍셜웨이퍼 (2WE)상에 형성 한 후, 그것을 마스크로 해서 제15도에 도시한 바와 같이 에피텍셜웨이퍼 (2WE)의 소정의 위치에 예를 들면, n형 불순물의 인 또는 비소를 이온주입법 등에 의해서 도입한 후, 열처리를 실시하는 것에 의해 n웰 (6)을 형성한다.
본 실시예3에 있어서는 n웰 (6)의 깊이가 애를 들면 3㎛정도이고, 에피텍셜층(2E)내에 형성되어 있다. 이 n웰 (6)형성에 있어서의 이온주입의 불순물농도는 예를 들면, 1×10^{13} atoms/cm^2정도이다. 이 이후의 공정은 상기 실시예1과 동일하므로 설명을 생략한다.
이와 같이 본 실시예3에 있어서는 상기 실시예1에서 얻어진 효과이외에 이하의 효과들 얻는 것이 가능하게 된다.
즉, p- 형의 반도체기판본체 (2S)중에 p+ 형의 반도체영역 (2B)를 마련한 것에 의해 기판표면측의 저항을 대폭으로 저감할 수 있으므로, CMOS회로의 래치업내성을 향상시킬 수 있게 된다. 따라서, 반도체집적회로장치의 성능, 신뢰성 및 제조효율을 더욱 향상시킬 수 있게 된다.
<실시예4>
제16도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도, 제17도는 제16도의 반도체집적회로장치에 있어서의 불순물분포도, 제18도 및 제19도는 종래기술에서 설명한 반도체집적회로장치에 있어서의 불순물분포도, 제20도 제24도는 제16도의 반도체집적회로장치의 제조공정중에 있어서의 반도체기판의 주요부단면도, 제25도는 본 실시예의 반도체집적회로장치의 효과를 설명하기 위한 그 래프도이다. 또, 상기 실시예1과 동일한 것에는 동일부호를 붙이고 있다.
제16도에 도시한 바와 같이 본 실시예4의 반도체집적회로장치 (1)을 구성하는 비교적 낮은 농도의 반도체기판본체 (2S)는 예를 들면 p형의 Si단결정 등으로 이루어진다. 반도체기판본체 (2S)에는 애를 들면 p형 불순물의 붕소가 도입되어 있고, 그 불순물농도는 예를 들면 1.5×10^{15} atoms/cm^3 정도이다.
반도체기판본체 (2S)의 주면상에는 예를 들면 p-형의 Si단결정 등으로 이루어지는 에피텍셜층(2E)가 형성되어 있다. 에피텍셜층(2E)에는 예를 들면, p형 불순물의 붕소가 도입되어 있고, 그 불순물농도는 반도체기판본체 (2S)의 설계상의 불순물농도보다도 낮게 설정되어 있다.
이와 같이 본 실시예4에 있어서는 상기 실시예1과 마찬가지로, p형의 반도체기판본체 (2S)상에 p- 형의 에피텍셜층 (2E)가 형성되어 있고, 고가인 p+ 형의 반도체기판본체를 사용하지 않아도 되므로, 반도체기판(2)의 코스트를 거의 절반까지 감소할 수 있다.
또, 반도체기판본체 (2S)의 불순물농도를 에피텍셜층(2E)의 불순물농도보다 상대적으로 높게 한 것에 의해 반도체기판본체 (2)의 저항을 에피텍셜층(2E)의 저항보다도 낮게 할 수 있으므로, 래치업내성을 향상시키는 것이 가능한 구조로 되어 있다.
후에 제17도에 도시하는 바와 같이 에피텍셜층(2E)의 두께WE (에피택셜층(2E)의 표면으로부터의 깊이)는 상기 실시예1과 마찬가지이고, 본 실시 예에서는 예를 들면 1㎛정도이다. 따라서 상기 실시예1에서 설명한 것과 동일한 효과를 얻는 것이 가능하게 되어 있다. 에피텍셜층(2E)의 두께의 하한 및 상한도 상기 실시예 1 과 동일하다.

반도체기판(2)의 상부에는 p웰 (제1반도체영역) (6p) 및 n웰 (제1반도체영역) (6n)이 형성되어 있다. p웰 (6p)는 예를 들면, p형 불순물의 붕소가 도입되어 이루어진다. p웰(6p)에는 nMOS (4N)이 형성되어 있다. 또, n웰 (6n)에는 예를 들면 n형 불순물의 인이 도입되어 이루어진다. n웰 (6n)에는 pMOS (4P)가 형성되어 있다. 제17도에 도시하는 바와 같이 n웰 (6n) 및 p웰 (6p)의 깊이 W_w (에피텍셜층(2E)의 표면으로부터의 깊이)는 에피텍셜층 (2E)의 두께W_E 보다 크다.

또, nMOS (4N) 및 pMOS (4P)에 의해서 CMOS회로가 구성되어 있고, 이들의 구조, 구성재료 및 얻어지는 효과는 상기 실시예1과 동일하다. 또, nMOS (4N) 및 pMOS (4P)의 구조를 예들 들면 2중드래인 (Double Diffused Drain) 구조나 LDD(Lightly Doped Drain)구조로 하여도 좋다.

절연막(7)상에는 예를 들면 SiO_2 로 이루어지는 절연막(7a) 가 퇴적되고, 또 그 상면에는 평탄용의 절연막 (7b) 가 퇴적되어 있다. 절연막(7) , (7a) (7b)에는 전극 (9Nb) , (9Pb)에 도달하는 접속구멍 (8a)가 형성되어 있고, 이들을 통해서 제2층배선 (10a)와 전극(9Na) , (9Pa)가 전기적으로 접속되어 있다.

제2층배선 (10a) 는 예를 들면 질화티탄 (TiN) 으로 이루어지는 베리어층(10a3)이 하층부터 순서대로 퇴적되어 형성되어 있다.

절연막(7b)상에는 예를 들면 SiO_2 로 이루어지는 절연막(7c)가 퇴적되어 있고, 이것에 의해서 제2층배선 (10a)가 피복되어 있다. 절연막 (7c)상에는 표면보호막 (11)이 퇴적되어 있다. 표면보호막(11)은 예를 들면 SiO_2 로 이루어지는 절연막(11a)와 예를 들면 Si_3N_4 로 이루어지는 절연막(11b)가 하층부터 순서대로 퇴적되어 구성되어 있다.

그런데, 본 실시예4에 있어서는 상기한 p웰(6p) 및 n웰 (6n)이 제16도 및 제17도에 도시한 바와 같이 에피텍셜층(2E)의 표면에서 반도체기판본체 (2S)의 상부까지 걸쳐 형성되어 있음과 동시에 p웰(6p) 및 n웰 (6n)의 불순물농도가 에피텍셜층 (2E) 의 주면 (주면에서의 불순물농도N_w) 에서 깊이방향을 향해서 점차 낮게 되도록 설정되어 있다.

이와 같이 p웰(6p)의 불순물농도가 애피텍셜층(2E)의 표면에서 깊이방향을 향해서 점차 낮아지는 농도구배를 갖는 것에 의해 α선에 의해서 생기는 캐리어 (일렉트론)에 의한 영향이 작게 된다. 즉, α선에 의해서 생긴 일렉트론은 이 농도구배에 의해 기판본체 (2S)층으로 끌어 당겨져 p웰 (6p)에 들어가지 않으므로, 특히 DRAM 등의 MIS메모리를 p웰 (6p)에 형성한 경우, 소프트에러를 저감할 수 있다. p웰 (6p) 및 n웰 (6n)의 애피텍셜층(2E)의 주면에서의 불순물농도Nw는 6×10^{16} atoms/cm^3 정도이고, 따라서 p웰 (6p) 및 n웰 (6n)의 불순물농도는 5×10^{15} ~6×10^{16} atoms/cm^3 이다.

제17도의 A는 에피텍셜웨이퍼상태에서의 에피텍셜층 (2E)와 반도체기판본체 (2S) 의 불순물농도분포를 도시하고 있고, 상기한 바와 같이 에피텍셜층(2E)의 불순물농도(NE) 쪽이 반도체기판본체 (2S)의 불순물농도(NS)보다 낮게 되어 있는 것이 도시되어 있다. 이와 같이 p형의 반도체기판본체 (2S)상에 p- 형 에피텍셜층(2E)를 형성한 후, p웰(6p)를 형성하는 것에 의해 p웰(6p)의 웰농도(특히, 웰표면의 농도N_W)가 반도체기판본체(2S)의 p형 불순물농도의 편차에 영향을 받지 않는다. 즉, p- 형 에피텍셜층 (2E) 를 반도체기판본체 (2S) 상에 형성하고 있으므로, p웰 (6p)의 웰농도N_w 는 반도체기판본체 (2S)의 p형 불순물농도의 편차의 영향을 받지 않아 그 편차에 의한 MIS · FET의 Vth 등의 변동은 일어나지 않는다. 이것에 의해 종래에 비해 반도체기판본체 (2S)의 p형 불순물농도의 편차에 대해서 허용농도범위를 넓힐 수 있어 반도체집적회로장치의 코스트를 저감할수 있다. 즉 종래는 반도체기판본체(2S)의 p형 불순물농도로서 좁은 범위의 것 밖에 사용할 수 없어 반도체집적회로장치의 코스트가 높게 되고 있었다.

여기서, 비교를 위해 상기한 2개의 종래기술의 경우의 불순물농도분포를 제18도 및 제19도에 도시한다. 또, 제18도는 상기 한 응용물리학회, 1991년8월10일 발행, 「응용물리, 제60권, 제8호」 pp 761 763에 기재된 기술의 경우이고, 제19도는 상기 한 일본국 특허공개공보 평성1 -260832호에 기재된 기술의 경우이다.

제18도에 도시한 기술에서는 반도체기판본체 (SB1) 의 불순물농도(NS1)이 애피텍셜층(EP1)의 불순물농도보다도 높은 구조로 되어 있다. 그리고, 웰 (WLL1)은 그 불순물농도의 설정상의 관점에서 에피텍셜층중에 형성되도독 되어 있다. 이 때문에 에피텍셜층의 깊이 (Wep_1)을 웰 (WLL1)보다 깊게 해야만 한다. 즉, 에피텍셜층의 막두께 (Wep_1)을 웰 (WLL1)의 깊이보다 두껍게 해야 한다. 그리고, 이 경우의 웰(WLL1)은 불순물을 에피텍셜층(EP1)의 표면예서 주입하는 것에 의해서 형성하므로, 그 불순물농도가 기판표면에서 높고 내부에서 낮게 되어 있다.

제19도에 도시한 기술에서는 반도체기판본체 (SB2) 의 불순물농도와 에피텍셜층 (EP2) 의 불순물농도가 모두 저농도 (NS_2) 로 설정되어 있다. 이 웰 (WLL2)는 에피텍셜층(EP2)의 깊이(Wep_2)보다도 깊은 위치 (Ww_2)에 걸쳐서 형성되어 있다. 이 경우의 웰 (WLL2)는 반도체기판본체의 상부에 웰형성용의 불순물을 주입한 후, 그 반도체기판본체 (SB2)상에 에피텍셜층(EP2)를 형성할 때의 확산(반도체기판본체 (SB2)중의 불순물의 반도체기판본체 (SB2)에서 에피텍셜층(EP2)로의 확산)애 의해서 형성하므로, 그 불순물농도가 기판표면에서 낮고 (NS_3), 에피텍셜층(EP2)와 반도체기판본체 (SB2)의 경계영역에서 높고(NS4), 또 반도체기판본체 (SB2)의 내부를 향해서 낮게 되어 있다.

다음에, 본 실시예4의 반도체집적회로장치의 제조방법을 제20도 제24도에 의해서 설명한다.

우선, 제20도에 도시한 바와 같이 p형의 Si단결정으로 이루어지는 반도체기판본체 (2S)의 모체인 경면웨이퍼 (2W)의 경면상에 예를 들면, 상기 실시예1과 마 찬가지인 SiH_4 가스와 H_2 가스를 사용한 CVD법에 의해서 경면웨이퍼 (2W)와 동일한 도전형이며 또한, 경면웨이퍼 (2W)의 불순물농도보다도 낮은 농도의 불순물을 함유하는 Si단결정으로 이루어지는 에피택셜층(2E)를 형성한다.

여기서, 경면웨이퍼(2W)의 불순물농도는 예를 들면 1.5×10^{15} atoms/cm^3 정도이다. 또, 에피텍셜층 (2E)의 두께 (W_E)는 예를 들면 1 ㎛정도이다.

계속해서, 경면웨이퍼 (2W)의 소정영역에 예를 들면 두께 40 nm정도의 SiO_2 로 이루어지는 절연막(12a)를 형성한 후, 경면웨이퍼 (2W)의 소정영역에 예를 들면, 두께50 nm정도의 Si_3N_4 로 이루어지는 절연막(도시하지 않음)을 CVD법 등에 의해서 퇴적한다.

그 후, 그 Si_3N_4 로 이루어지는 절연막 중, n웰형성영역에 있어서의 막부분을 드라이에칭법 등에 의해서 제거한 후, Si_3N_4 로 이루어지는 절연막 중의 p웰형성영역의 막부분 및 레지스트막을 이온주입마스크로 해서 에피텍셜층(2E)의 노출부에 예를 들면, n웰 형성용의 n형 불순물인 인 등을 이온주입한다. 이 때의 이온주입에너지는 예를 들면, 125KeV정도이고, 그 도즈량은 예를 들면 2×10^{13} 개/㎠정도이다.
그 후, 그 Si_3N_4 으로 이루어지는 절연막 중, p웰형성영역에 있어서의 막부분을 마스크로 해서 n웰측의 에피택셜층(2E)상에 예를 들면 두께 120nm정도의 절연막 (12b) 를 형성한 후, 그 n웰형성영역상의 절연막을 이온주입마스크로 해서 에피텍 셜층(2E)의 노출부에 예를 들면 p웰형성용의 p형 불순물인 붕소를 이온주입한다. 이 때의 이온주입에너지는 예를 들면 60KeV정도이고, 그 도즈량은 예를 들면 8×10^{12} 개/㎠정도이다.
계속해서, 경면웨이퍼 (2W)에 대해서 신장확산용의 어닐처리를 예를 들면 3시간정도 실시하는 것에 의해 예를 들면 깊이 3㎛정도의 p웰 (6p) 및 n웰 (6n)을 형성한다. 이 때의 처리온도는 예를 들면 1200℃정도이다.
본 실시예4에 있어서는 이 어닐처리시에 p웰 (6p) 및 n웰 (6n)이 에피텍셜층 (2E)의 표면에서 경면웨이퍼 (2W)의 상부까지 도달하도록 함과 동시에 그 불순물농도가 에피텍셜층 (2E) 의 표면에서 깊이방향을 향해서 점차 낮게 되도록 한다. p웰(6p) 및 n웰(6n)의 불순물농도는 5×10^{15} 6×10^{16} atoms/cm^3 이다.
계속해서, 제22도에 도시한 바와 같이 패드산화막(12c)와 Si_3N_4 로 이루어지는 내산화성의 절연막(도시하지 않음)을 하층부터 순서대로 퇴적한 후, 소자형성영역에 있어서의 내산화성의 절연막을 남기고, 소자분리영역에 있어서의 내산화성의 절연막을 제거한다.
그 후, 남겨진 내산화성의 절연막을 마스크로 해서 소자분리영역에 필드절연막(3)을 선택적으로 형성한 후, 제23도에 도시한 바와 같이 필드절연막 (3)으로 둘러싸인 소자형성영역에 열산화법 등에 의해서 예를 들면 두께180Å정도의 SiO_2 등으로 이루어지는 게이트절연막 (4Nc) , (4Pc) 를 동시에 형성한다.
이와 같이 본 실시예4에 있어서도 게이트절연막(4Nc) , (4Pc)를 에피텍셜층(2E)상에 형성하는 것에 의해 양호한 막질이 얻어지고, 게이트절연막(4Nc) , (4Pc)의 내압을 향상시키는 것이 가능하게 되어 있다. 또, 게이트절연막 (4Nc) , (4Pc)의 결함밀도를 1자리이상이나 개선하는 것이 가능하게 되어 있다.
계속해서, 게이트절연막(4Nc) , (4Pc)상에 예를 들면 n형의 저저항폴리실리콘으로 이루어지는 게이트전극(4Nd) , (4Pd)를 동시에 형성한 후, 그 게이트전극 (4Nd) , (4Pd) 를 마스크로 해서 한쌍의 반도체영역 (4Na) , (4Nb) 및 한쌍의 반도체영역(4Pa) , (4Pb)를 각각 각각의 이온주입공정에 의해서 형성하는 것에 의해 에피턱셜웨이퍼 (2WE)상에 nMOS (4N) 및 pMOS (4P) 를 형성한다.
여기서, 게이트전극 (4Nd) , (4Pd)는 단일체의 폴리실리콘에 의해서 구성되는 것에 한정되지 않고 여러가지 변경가능하고, 예를 들면 저저항폴리실리콘상에 고융점금속실리사이드막을 퇴적해서 이루어지는 소위 폴리사이드구조로 하여도 좋다.
또, nMOS (4N)의 반도체영역 (4Na)는 예를 들면 도즈량 $\times10^{15}$ atoms/㎠정도의 As를 이온주입으로 도입하는 것에 의해 형성한다. 한편, pMOS (4P)의 반도체영역 (4Pa)는 예를 들면 도즈량 1×10^{15} atoms/㎠정도의 BF_2 를 이온주입으로 도입하는 것에 의해 형성한다.
또, 반도체영역 (4Na) , (4Nb) , (4Pa) , (4Pb) 는 상기 한 바와 같이 예를 들면 2중 드레인구조 또는 LDD구조로 하여도 좋다.
그 후, 제24도에 도시한 바와 같이 에피텍셜웨이퍼 (2WE)상에 예들 들면 SiO_2 로 이루어지는 절연막(7)을 CVD법 등에 의해서 퇴적한다. 이 절연막(7)은 예를 들면 B_2O_3 및 P_2O_5 를 포함하는 BPSG (Boron Phospho Silicate Glass) 를 주체로 구성되어 있다.
다음에, 절연막 (7)에 nMOS (4N)의 반도체영역 (4Na) , (4Nb) , pMOS (4P) 의 반도체영역 (4Pa) , (4Pb) 가 노출하는 접속구멍 (8)을 뚫은 후, 에피텍셜웨이퍼 (2WE)상에 예를 들면 Al -Si -Cu합금으로 이루어지는 도체막(9)를 스퍼터링법 또는 증착법 등에 의해서 퇴적한다.
계속해서, 도체막 (9)를 드라이에칭법 등에 의해서 패터닝하는 것에 의해 전극 (9Na) , (9Nb) , (9Pa) , (9Pb) , (9Sa) , (9Sb) 를 형성한다.
그 후, 에피텍셜웨이퍼 (2WE)상에 예를 들면 SiO_2 로 이루어지는 절연막(7a)를 CVD법 등에 의해서 퇴적한 후, 또 그 상면에 SiO_2 로 이루어지는 평탄화용의 절연막(7b)를 CVD법 등에 의해서 퇴적한다.
다음에, 그 평탄화용의 절연막 (7b) 를 CMP (Chemical Mechanical Polishing)법 등에 의해서 평탄화한 후, 제16도에 도시한 바와 같이 절연막(7) , (7a) , (7b)에 드라이에칭법 등에 의해서 접속구멍 (8a) 를 뚫는다.
계속해서, 에피텍셜웨이퍼 (2WE)상에 예를 들면 TiN으로 이루어지는 베리어층(10a1)과 예를 들면 Al - Si -Cu합금으로 이루어지는 도체층(10a2) 및 예를 들 면 TiN으로 이루어지는 베리어층(10a3)을 하층부터 순서대로 스퍼터링법 또는 증착법등에 의해서 퇴적한다.
계속해서, 그 베리어층(10a1) , (10a3) 및 도체층(10a2)를 드라이에칭법 등에 의해서 패터닝하는 것에 의해 제2층배선(10a)를 형성한 후, 에피텍셜웨이퍼 (2WE)상에 예를 들면 SiO_2 로 이루어지는 절연막(7c)를 CVD법 등에 의해서 퇴적한다. 그 후, 절연막(7c)의 상면에 SiO_2 로 이루어지는 절연막(11a)를 CVD법 등에 의해서 퇴적한 후, 그 상면에 Si_3N_4 로 이루어지는 절연막 (11b)를 CVD법 등에 의해서 순서대로 퇴적하는 것에 의해 표면보호막 (11)을 형성한다.
그 후, 에피텍셜웨이퍼 (2WE)에서 각각의 반도체칩을 분할하는 것에 의해 제16도에 도시한 반도체집적회로장치 (1)을 재조한다.
여기서, 본 실시예4의 구조를 예를 들면 4M · DRAM (4Mega bit Dynamic RAM)에 적용한 경우에 있어서의 게이트절연막(게이트내압등)의 성능평가의 결과를 제25에 도시한다.

이 제25도는 4M · DRAM의 제조프로세스에 있어서 게이트절연막의 형성공정까지를 실행한 후, 게이트내압평가용의 MOS캐피시터를 형성하고, 그 게이트절연막의 성능을 평가해서 얻어진 결과이다.
여기서, 게이트절연막의 두께는 예를 들면, 18 nm정도, 게이트전극 면적은 예를 들면 4.8mm ^{2} 정도, 게이트전극의 재질은 예를 들면 인도프의 폴리실리콘으로 한다.
횡축은 에피텍셜층의 두께 (WE)를 나타내고 있다. 또, 종축은 반도체웨이퍼 (에피텍셜웨이퍼)상의 약 200개의 MOS 캐패시터의 내압특성을 측정한 후, 하기의 기준에 따라서 양품 및 불량품을 판정하고 하기식에 의해 산출한 결함밀도률 나타내고 있다. 단, 일반적으로 에피텍셜층이 형성되어 있지 않은 MOS · LSI용의 경면웨이퍼를 기준으로 한 상대값으로 나타내고 있다.
내압양품판정기준 :전계〉 10MV/ cm. 단, 전류는 예를 들면 1mA정도이다. 또, 게이트결함밀도률 D, 측정캐시피터수를 P, 내압불량캐패시터수를 N으로 하면, D = (100/4.8) 1n ((P-N) /P) 로 나타낼 수 있다.
제25도에서 알 수 있는 바와 같이 본 실시예4의 구조로 하는 것에 의해 결함밀도를 경면웨이퍼상에 게이트절연막을 형성한 경우에 비해 1자리이상 저감하는 것을 판단할 수 있어 우수한 게이트내압성능이 얻어지는 것을 확인할 수 있다.
이상, 본 실시예4에 있어서는 상기 실시예1에서 얻어진 효과 이외에 이하의 효과를 얻을 수 있게 된다.
(1). 반도체집적회로장치의 제조시에 경면웨이퍼상에 CMOS회로를 형성하는 경우와 아주 동일한 방법을 사용할 수 있으므로, 설계변경이나 제조프로세스의 변경을 동반하는 일 없이 에피택셜웨이퍼 (2WE)상에 CMOS회로를 갖는 반도체집적회로장치를 형성할 수 있게 된다. (2) 에피텍셜층(2E)의 불순물농도틀 반도체기판본체 (2S)의 불순물농도보다 낮게 한 것에 의해 반도체기판본체 (2S)의 저항을 에피텍셜층(2E)의 저항보다 낮게 할 수 있으므로, 래치업내성을 향상시킬 수 있게 된다.
<실시예 5>
제26도 (A)는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도이다.
제26도 (A)에 도시한 본 실시예5의 반도체집적회로장치 (1)은 예를 들면 16M · DRAM이다. 제26도(B)는 DRAM의 메모리셀의 회로도이다. 이 제26도(A)에 있어서, 좌측은 메모리셀영역을 나타내고, 우측은 주변회로영역을 나타내고 있다. 또, 이 주변회로영역은 상기 실시예4와 동일한 구조이므로, 설명을 생략한다.
본 실시예5에 있어서도 상기 실시예4와 마찬가지로, 에피텍셜층(2E)의 불순물농도의 쪽이 반도체기판본체 (2S)의 불순물농도보다 낮게 되어 있다.
제26도 (A) , 제26도 (B)에 도시한 바와 같이 1개의 메모리셀MC는 1개의 전송용MOS · FET (13)과 1개의 캐패시터 (14)에 의해서 구성되어 있다.
트렌스퍼MOS · FET (13)은 p웰 (6p1)에 형성된 한쌍의 반도체영역 (13a) , (13b)와 에피텍셜층(2E)상에 형성된 게이트절연막(13c) 및 게이트절연막(13c)상에 형성된 게이트전극 (13d) 를 갖고 있다.
여기서, 메모리셀영역에 있어서도 p웰 (6p1)은 에피텍셜층(2E)의 표면에서 에틱텍셜층(2E)보다 깊은 반도체기판본체 (2S)의 상부에 걸쳐서 형성되어 있다. 그리고, 이 불순물농도는 상기 실시예4와 마찬가지로 반도체기판(2)의 길이방향을 향해서 점차 낮게 되도록 되어 있다.
한쌍의 반도체영역 (13a) , (13b)에는 예를 들면 n형 불순물의 As 등이 도입되어 있다. 본 실시예5에 있어서는 이 반도체영역 (13a) , (13b)를 산소석출물 등에 의한 결함이 적은 에피텍셜층(2E)에 형성한 것에 의해 접합리크전류를 저감할 수 있으므로, DRAM의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 되어 있다.
한쪽의 반도체영역 (13a)에는 비트선 (BL) (15)가 전기적으로 접속되어 있다. 비트선 (15)는 예를 들면 저저항다결정실리콘으로 이루어지는 도체층(15a)와 그 위에 형성된 텅스텐실리사이드 등으로 이루어지는 도체층(15b)에 의해서 구성되어 있다.
또, 다른쪽의 반도체영역 (13b)에는 캐패시터 (14)의 하부전극(14a)가 전기적으로 접속되어 있다. 본 실시예5에 있어서는 반도체영역 (13b)를 산소석출물 등에 의한 결함이 적은 에피텍셜층(2E)에 형성한 것에 의해 캐패시터 (14)에 축적된 전하의 리크틀 억제할 수 있어 전하축적시간을 길게 할 수 있으므로, 리플레쉬특성을 향상시킬 수 있게 된다.
캐패시터 (14)는 핀형상으로 형성되어 있고, 하부전극(14a)와 상부전극(14b) 및 이들의 사이에 개재된 절연막(도시하지 않음)에 의해서 구성되어 있다. 단, 캐패시터의 형상은 핀형상에 한정되는 것은 아니고 여러가지 변경가능하고, 예를 들면 통형상의 것이어도 좋다.
또, 전송용MOS · FET (13) 의 게이트전극 (13d) 는 워드선 (WL)을 겸하고 있다. 또, 제26도 (A)의 (16a) , (16b)는 채널스톱퍼영역을 나타내고 있다.
이와 같이 본 실시예5에 있어서는 상기 실시예1에서 얻어진 효과이외에 이하의 효과를 얻을 수 있게 되어 있다.
즉, 캐패시터 (14)의 하부전극(14a)가 전기적으로 접속되는 반도체영역 (13b)를 에피텍셜층 (2E)에 형성한 것에 의해 캐패시터 (14)에 축적된 전하의 리크 를 억제할 수 있어 전하축적시간을 길게 할 수 있으므로, 리플래쉬레벨을 향상시킬 수 있게 된다. 따라서, DRAM의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 된다.
<실시예 6>
제27도(A)는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도이다.
제27도 (A)에 도시한 본 실시예6의 반도체집적회로장치 (1)은 예를 들면 4M · SRAM (4Mega bit · Static RAM)이다. 본 실시예6에 있어서도 상기 실시예4와 마찬가지로, 에피택셜층(2E)의 불순물농도쪽이 반도체기판본체 (2S)의 불순물농도보다 낮게 되어 있다. 제27도(B)는 SRAM의 매모리셀의 회로도이다.
제27도 (A) , 제27도 (B)에 도시한 바와 같이 본 실시예6에 있어서는 반도체기판 (2)에 있어서 메모리셀영역에 p웰 (6p2)가 형성되고, 주변회로영역에 n웰 (6n1)이 형성되어 있다.

이 p웰 (6p2) 및 n웰 (6n1)은 상기 실시예4, 5와 마찬가지로 모두 에피텍셜층(2E)의 표면예서 반도체기판본체 (2S)의 상부에 걸쳐서 형성되어 있다. 그리고, 이들의 불순물농도는 상기 실시예4와 마찬가지로 반도체기판(2)의 깊이방향을 향해서 점차 낮아지도독 되어 있다.

메모리셀영역에는 전송용MOS · FET (17) , 구동용MOS · FET(18) 및 부하용MOS · FET (19)가 형성되어 있다.

전송용MOS · FET (17)은 p웰(6p2)의 상부에 형성된 한쌍의 반도체영역 (17a) , (17b)와 에피텍셜층(2E)상에 형성된 게이트절연막 (17c) 및 게이트절연막(17c)상에 형성된 게이트전극(17d)을 갖고 있다.

이 반도체영역 (17a) , (17b)에는 예를 들면 n형불순물의 As 등이 도입되어 있다. 한쪽의 반도체영역 (17a)는 제1층배선 (10)을 거쳐서 비트선 (BL , BL) (15)와 전기적으로 접속되어 있다. 다른쪽의 반도체영역 (17b)는 구동용MOS · FET (18)의 게이트전극 (18d)와 전기적으로 접속되어 있다.

또, 전송용MOS · FET (17) 및 구동용MOS · FET (18)의게이트전극 (17d) , (18d) 는 저저항폴리실리콘으로 이루어지는 도체막상에 고융점금속실리사이드가 퇴적되어 형성되고, 전송용MOS · FET (17)의 게이트전극(17d)는 워드선 (WL)에 접속되어 있다.

또, 게이트절연막(17c) , (18c)는 예를 들면 SiO_2 로 이루어진다. 또, 구동용MOS · FET (18)의 한쌍의 반도체영역은 게이트전극(18d)의 채널길이방향으로 위치되어 도시되어 있지 않다.

부하용MOS · FET (1 9) 는 저저항폴리실리콘으로 이루어지는 게이트전극(19a)와 그 상층에 게이트절연막(19b)를 거쳐서 형성된 저저항폴리실리콘으로 이루어지는 한쌍의 반도체영역 (19c) , (19d)를 갖고 있다. 반도체영역 (19c) , (19d)에는 예를 들면 n형 불순물의 As가 도입되어 있다.

주변회로영역에는 예를 들면 pMOS (4P)가 형성되어 있다. pMOS (4P)는 n웰 (6n1)의 상부에 형성된 한쌍의 반도체영역 (4Pa) , (4Pb)와 에피텍셜층 (2E)상에 형성된 게이트절연막(4Pc) 및 게이트절연막(4Pc)상에 형성된 게이트전극(4Pb)를 갖고 있다. 이 반도체영역 (4Pa) , (4Pb)에는 예를 들면 p형 불순물의 붕소가 도입되어 있다.

본 실시예6에 있어서는 상기 실시예1에서 얻어지는 효과이외에 이하의 효과를 얻을 수 있게 된다.

즉, 본 실시예6의 구조의 산소석출물 등의 결함이 적은 에피텍셜층 (2E)상에 SRAM의 메모리셀 (MC)를 형성한 것에 의해 메모리셀(MC)를 구성하는 전송용MOS · FET (17)의 한쌍의 반도체영역 (17a) , (17b) 및 구동용MOS · FET (18)의 한쌍의 반도체영역 (도시하지 않음)등에 있어서의 접합리크전류를 저감할 수 있으므로, 데이타기억유지특성 (데이타리텐션레밸 등)을 향상시킬 수 있어 데이타리텐션불량률을 저감할 수 있다. 따라서, SRAM의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 된다.

<실시예 7>

제28도는 본 발명의 다른 실시예인 반도체집적회로장치의 주요부단면도이다 .

제28도에 도시한 본 실시예7의 반도체집적회로장치 (1)은 예를 들면, 데이타를 전기적으로 소거 및 라이트하는 것이 가능한 플래쉬메모리 (flash EEPROM(Electrically Erasable Programmable ROM)) 이다. 본 실시예7에 있어서도 상기 실시예4와 마찬가지로 에피텍셜층 (2E)의 불순불농도쪽이 반도체기판본체 (2S)의 불순물농도보다 낮게 되어 있다.

본 실시예7에 있어서도 반도체기판(2)상에 p웰 (6p3) 및 n웰 (6n2)가 형성되어 있다. 이 p웰 (6p3) 및 n웰 (6n2)는 상기 실시예4 6과 마찬가지로 모두 에피텍셜층(2E)의 표면에서 반도체기판본체 (2S)의 상부에 걸쳐서 형성되어 있다. 그리고, 이들의 불순물농도는 상기 실시예4와 마찬가지로 반도체기판(2)의 깊이방향을 향해서 점차로 낮아지도록 되어 있다.

메모리셀영역에는 메모리셀 (MC1)이 형성되어 있다. 메모리셀(MC1) 은 싱글MOS · FET로 구성된다. 메모리셀 (MC1) 은 p웰 (6p3)의 상부에 형성된 한쌍의 반도체영역 (20a) , (20b)와 에피텍셜층(2E)상에 형성된 게이트절연막(20c) , 게이트절연막 (20c)상에 형성된 플로팅게이트전극 (20d) 및 플로팅게이트전극(20d)상에 절연막 (도시하지 않음)을 거쳐서 형성된 컨트롤게이트전극 (20e) 를 갖고 있다.

한쪽의 반도체영역 (20a) 는 반도체영역 (20a1) 과 그 내부에 형성된 반도체영역 (20a2)에 의해서 형성되어 있다. 반도체영역 (20a1)에는 애를 들면 n- 형 불순믈의 인 등이 도입되고, 반도체영역 (20a2)에는 예를 들면 n+ 형 불순물의 As 등이 도입되어 있다.

또, 다른쪽의 반도체영역 (20b)는 반도체영역 (20b1)과 그 내부에 형성된 반도체영역 (20b2)에 의해서 형성되어 있다.

반도체영역 (20b1)에는 예를 들면 p+ 형 불순물의 붕소 등이 도입되고, 반도체영역 (20b2)에는 예를 들면 n+ 형 불순물의 As 등이 도입되어 있다.

한편, 주변회로영역얘는 예를 들면 nMOS (4N) 및 pMOS (4P)가 형성되어 있다. nMOS (4N)은 p웰 (6p3)의 상부에 형성된 한쌍의 반도체영역 (4Na) , (4Nb)와 에피텍셜층(2E)상에 형성된 게이트절연막(4Nc) 및 게이트절연막 (4Nc)상에 형성된 게이트전극(4Nd)를 갖고 있다. 이 반도체영역 (4Na) , (4Nb)에는 예를 들면, n형 불순물의 인이 도입되어 있다.

pMOS (4P)는 n웰 (6n2)의 상부에 형성된 한쌍의 반도체영역 (4Pa) , (4Pb)와 에피텍셜층 (2E)상에 형성된 게이트절연막(4Pc) 및 게이트절연막(4Pc)상에 형성된 게이트전극 (4Pd)를 갖고 있다. 이 반도체영역 (4Pa) , (4Pb)애는 예를 들면 p형 불순물의 붕소가 도입되어 있다.

nMOS (4N)의 반도체영역 (4Na)와 pMOS (4P)의 반도체영역 (4Pa)는 제1층배선 (10)을 통해서 전기적으로 접속되어 있고, 이것에 의해서 CMOS회로가 구성되어 있다.

이와 같이 본 실시예7에 있어서는 상기 실시예1에서 얻은 효과 이외에 이하의 효과를 얻을 수 있게 된다.

즉, 본 실시예7의 구조에 있어서는 산소석출물 등의 결함이 적은 에피텍셜층 (2E)상에 플래쉬메모리 (flash EEPROM)의 메모리셀을 형성한 것에 의해 게이트절연막(20c)의 내압을 향상시킬 수 있으므로, 데이타라이트내성을 향상시킬 수 있다. 또, 데이타소거시의 소거편차를 저감시킬 수 있다. 따라서, 플래쉬메모리 (flash EEPROM)의 성능, 신뢰성 및 제조효율율 향상시킬 수 있게 된다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예1-7에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위내에서 여러가지 변경가능한 것은 물론이다.

예를 들면 상기 실시예1 3에 있어서는 게터링층을 폴리실리콘에 의해서 구성한 경우에 대해서 설명하였지만, 이것에 한정되는 것은 아니고 여러가지 변경가능하고, 예를 들면 반도체기판본체의 이면에 기계적으로 가공왜곡을 형성하는 방법, 또 반도체기판본체내에 존재하는 산소원소를 적량으로 조절하거나, 알맞게 석출시키는 방법, 또 반도체기판에 카본이온을 도입하는 방법에 의해 게터링층을 형성하도록 하여도 좋다. 또, 게터링층이 없는 구조로 하여도 좋다. 상기 반도체기판본체내야 존재하는 산소원소를 적량으로 조절하거나 알맞게 석출시키는 방법에 있어서 산소농도를 9×10^{17} atoms/cm^3 근방 또는 이 이상으로 하는 것에 의해 기판게터링효과를 높힐 수 있음과 동시에 반도체기판본체상에 형성한 산소원소를 포함하지 않은 에피텍셜층상에 게이트절연막을 형성할 수 있으므로, 게이트절연막의 내압특성을 향상할 수 있다. 즉, 반도체기판본체의 주면에 직접 게이트절연막을 형성하는 종래기술에서는 반도체기판본체내에 존재하는 산소농도를 9×10^{17} atoms/cm^3 로 높게 하면, 상기 주면에 산소가 석출하여 청정한 게이트절연막이 형성되지 않아 게이트절연막의 내압성능이 저하한다. 그 때문에 상기 종래기술에서는 산소농도를 낮게 할 필요가 있어, 게터링효과가 불충분하였다.

또, 상기 실시예1 7에 있어서 SiH_4 가스를 사용한 에피텍셜성장법에 의해서 애피텍셜층을 형성하는 경우에 대해서 설명하였지만, 이것에 한정되는 것은 아니고 여러가지 변경가능하고 예를 들면, 4염화규소(SiCl4)가스를 사용한 에피텍셜성장법애 의해서 에피텍셜층을 형성하여도 좋다.

또, 상기 실시예1, 2, 4 7에 있어서는 반도체기판본체 및 에피텍셜층을 p- 형의 Si로 한 경우에 대해서 설명하였지만, 이것에 한정되는 것은 아니고, 예를 들면 반도체기판본체 및 에피텍셜층을 n- 형의 Si로 하여도 좋다. 또, 상기 실시예3에 있어서도 반도체기판본체 및 에피텍셜층을 n- 형의 Si로 하고, p+ 형의 반도체영역을 n+ 형의 Si로 하여도 좋다.

또, 상기 실시예3에 있어서는 래치업억제용의 p+ 형의 반도체영역을 반도체기판본체의 전면에 형성한 경우에 대해서 설명하였지만, 이것에 한정되는 것은 아니고 여러가지 변경가능하고, 예를 들면 CMOS회로형성영역의 하층에만 p+ 형의 반도체영역을 형성하여도 좋다.

또, 상기 실시예3에 있어서는 p+ 형의 반도체영역을 반도체기판본체의 주면에서 소정의 길이로 형성한 경우에 대해서 설명하였지만, 이것에 한정되는 것은 아니고, 예를 들면 제29도에 도시한 바와 같이 p+ 형의 반도체영역 (2B)를 반도체기판본체 (2S)의 주면에 형성하여도 좋다. 또, 제30도는 제29도의 반도체기판본체 (2S)상에 에피텍셜층(2E)를 형성한 경우를 도시하고 있다.

또, 상기 실시예3에서 설명한 구조의 반도체집적회로장치에 있어서 에피텍셜층의 하층에 상기 실시예2에서 설명한 반도체집적회로장치의 무결함층을 마련하여도 좋다.

또, 상기 실시예1~3에서 설명한 기술을 DRAM, SRAM 또는 ROM (Read Only memory) 를 대표하는 플래쉬메모리 등과 같은 반도체메모리회로틀 갖는 반도체집적회로장치 등과 같은 다른 반도체집적회로장치에 적용하는 것도 가능하다.

또, 상기 실시예1 7의 기술을 소위 마이컴 등와 같은 논리회로를 갖는 반도체집적회로장치에도 적용하는 것이 가능하다. 또, 반도체기판본체 (2S)는 12인치의 크기의 것으로서 유용하다. 이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경으로 된 이용분야인 CMOS회로를 갖는 반도체집적회로장치에 적용한 경우에 대해서 설명하였지만, 이것에 한정되지 않고 여러가지 적용가능하고, 예를 들면 바이폴라트랜지스터를 갖는 반도체집적회로장치, 바이폴라트랜지스터 및 CMOS회로로 이루어지는 BiCMOS회로를 갖는 반도체집적회로장치 등과 같은 다른 반도체집적회로장치에 적용하는 것도 가능하다. 또, 이상의 설명에서는 MOS · FET를 사용하고 있지만, 이것에 한정되지 않고 예를 들면 게이트절연막을 반도체단결정층(에피텍셜층) (2E)를 열산화한 SiO_2 와 SiO_2 상에 형성한 질화규소막(SiN)으로 형성한 MIS · FET를 상기 실시예의 반도체집적회로장치에 적용하여도 좋다.

본원에 있어서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다.

(1) 본 발명의 반도체웨이퍼의 제조방법에 의하면, 고가인 고농도의 반도체기판본체를 사용하지 않아도 좋으므로, 높은 소자특성 및 신뢰성을 실현할 수 있는 반도체웨이퍼의 코스트를 저감할 수 있게된다. (2) 본 발명의 반도체집적회로장치의 제조방법에 의하면, 반도체단결정층상에 MOS · FET의 게이트절연막을 형성하는 것에 의해 막질이 양호한 게이트절연막을 형성할 수 있으므로, 게이트절연막의 내 압을 향상할 수 있고, 게이트절연막의 결함밀도틀 저감할 수 있게 된다. 또한, 고가인 고농도의 반도체기판본체틀 사용하지 않아도 좋음과 동시에 반도체단결정층을 얇게 할 수 있으므로, 높은 소자특성 및 신뢰성을 갖는 반도체집적회로장치의 코스트를 저감할 수 있게 된다. 따라서, 반도체집적회로장치의 성능, 신뢰성 및 제조효율을 향상시킬 수 있음과 동시에 반도체집적회로장치의 코스트를 저감시킬 수 있게 된다. (3) 본 발명의 반도체집적회로장치의 제조방법에 의하면, 반도체기판에 웰 등의 반도체영역을 형성할 때에 불순물농도나 깊이 등을 설정할 때의 자유도가 크므로, 그 형성제어를 용이하게 할 수 있게 된다. 이 때문에 불량발생을 저감할 수 있고, 제조효율을 향상시킬 수 있게 된다. 또, 반도체집적회로장치의 코스트들 저감할 수 있게 된다. (4) 본 발명의 반도체집적회로장치의 제조방법애 의하면, 반도체기판본체의 불순물농도륰 반도체단결정층의 불순물농도보다 높게 한 것에 의해 반도체기판본체의 저항이 상대적으로 낮게 되므로, 레치업내성을 향상시킬 수 있게 된다. 따라서, 반도체집적회로장치의 성능, 신뢰성 및 제조효율을 더욱 향상시킬 수 있게 된다. (5) 본 발명의 반도체집적회로장치의 제조방법에 의하면, 제1반도체영역을 이온주입방법 및 열확산법에 의해서 형성하는 것에 의해 반도체기판본

체상에 반도체단결정층을 마련한 반도체웨이퍼를 사용해서 반도체집적회로장치를 제조할 때에 설계변경이나 제조프로세스의 변경 등을 동반하지 않고, 소위 경면웨이퍼를 사용한 반도체집적회로장치와 동일한 방법을 그대로 사용해서 반도체집적회로장치를 제조할 수 있게 된다. (6) 본 발명의 반도체집적회로장치의 제조방법에 의하면, 예를 들면 산소석출물 등의 결함이 적은 반도체단결정층상에 다이나믹형 랜덤 액세스메모리의 메모리셀을 마련한 것에 의해 메모리셀의 전송용MOS · FET에 있어서의 소오스영역 및 드레인영역에 있어서의 접합리크전류를 저감할 수 있게 된다. 또, 메모리셀의 캐피시터에 있어서의 전하의 리크를 억제할 수 있어 전하축적시간을 길게 할 수 있으므로, 리플레쉬 특성을 향상시키는 것이 가능하게 된다. 따라서, 다이나믹형 랜덤 액세스메모리의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 된다. (7) 본 발명의 반도체집적회로장치의 제조방법에 의하면, 예를 들면 산소석출물 등의 결함이 적은 반도체단결정층상에 스테이틱형 랜덤 액세스메모리의 메모리셀을 마련하는 것에 의해 메모리셀을 구성하는 MOS · FET에 있어서의 소오스영역 및 드레인영역의 접합리크전류를 저감할 수 있으므로, 데이타기억유지특성 (데이타리텐션레벨 등)을 향상시킬 수 있어 데이타리텐션불량률을 저감할 수 있게 된다. 따라서, 스테이틱형 랜덤 액세스메모리의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 된다. (8) 본 발명의 반도체집적회로장치의 제조방법에 의하면, 예를 들면 산소석출물 등의 결함이 적은 반도체단결정층상에 데이타를 전기적으로 소거 및 라이트하는 것이 가능한 리드 온리 메모리의 메모리셀을 마련하는 것에 의해 데이타라이트내성을 향상시킬 수 있게 된다. 또, 데이타소거의 편차를 저감할 수 있게 된다. 따라서, 데이타를 전기적으로 소거 및 라이트하는 것이 가능한 리드 온리 메모리의 성능, 신뢰성 및 제조효율을 향상시킬 수 있게 된다.

(57) 청구의 범위

청구항 1.

제1 도전형을 갖고 반도체본체의 전체 주면에서 소정의 불순물농도를 갖는 반도체본체를 준비하는 공정;
에피텍셜층이 상기 소정의 불순물농도의 주면과 접촉하고 상기 소정의 불순물농도의 설계상의 불순물농도와 동일한 불순물농도를 갖도록 상기 소정의 불순물농도의 주면상에 제1 도전형의 에피텍셜층을 형성하는 공정;
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 웰영역을 형성하는 공정;
상기 에피텍셜층의 표면을 산화하는 것에 의해 상기 에피텍셜층의 표면상에 MISFET의 게이트절연막으로서 기능하는 산화막을 형성하는 공정 및;
상기 산화막상에 상기 MISFET의 게이트전극을 형성하는 공정을 포함하고,
상기 반도체본체의 전체 주면에서의 소정의 불순물농도는 상기 MISFET의 채널영역이 형성되는 상기 웰영역의 부분의 불순물농도보다 낮은 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 2.

제1항에 있어서,
상기 에피텍셜층의 막두께는 0.3㎛ 5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 3.

제1항 또는 제2항에 있어서,
상기 반도체본체는 상기 반도체본체를 준비하는 공정에 있어서 상기 반도체본체의 이면에 게터링층을 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 4.

제1 도전형을 갖고 비교적 가볍게 도프된 불순물농도를 갖고 반도체본체의 전체 주면에서 소정의 불순물농도를 갖는 반도체본체를 준비하는 공정;
에피텍셜층이 상기 소정의 불순물농도의 주면과 접촉하고 상기 소정의 불순물농도의 설계상의 불순물농도와 동일한 불순물농도를 갖도록 상기 소정의 불순물농도의 주면상에 제1 도전형의 에피텍셜층을 형성하는 공정;
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 웰영역을 형성하는 공정;
상기 에피텍셜층의 표면을 산화하는 것에 의해 상기 웰영역에서 상기 에피텍셜층의 표면상에 산화막을 형성하는 공정 및;
상기 산화막상에 전극을 형성하는 공정을 포함하고,
상기 반도체본체의 전체 주면상에서의 소정의 불순물농도는 상기 웰영역의 불순물농도보다 낮고,
상기 반도체본체의 불순물농도는 상기 웰영역의 불순물농도보다 낮은 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 5.

제4항에 있어서.
상기 에피텍셜층의 막두께는 0.3㎛ 5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 6.

제4항 또는 제5항에 있어서,
상기 반도체본체는 상기 반도체본체를 준비하는 공정에 있어서 상기 반도체본체의 이면에 게터링층을 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 7.

제3항에 있어서,
상기 게터링층은 다결정실리콘막을 퇴적시키는 것에 의해 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 8.
제6항에 있어서,
상기 게터링층은 다결정실리콘막을 퇴적시키는 것에 의해 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 9.
제1항에 있어서,
상기 반도체본체의 불순물농도는 상기 웰영역의 불순물농도보다 낮은 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 10.
제4항에 있어서,
상기 산화막은 MISFET의 게이트절연막을 기능하고,
상기 전극은 상기 MISFET의 게이트전극으로서 기능하고,
상기 반도체본체의 전체 주면에서의 소정의 불순물농도는 상기 MISFET의 채널영역이 형성되는 상기 웰영역의 부분의 불순물농도보다 낮고,
상기 MISFET의 드레인영역과 소오스영역은 상기 에피텍셜층에 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 11.
제1항에 있어서,
상기 웰영역은 상기 제1 도전형을 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 12.
비교적 가볍게 도프된 불순물농도를 갖는 반도체본체상의 에피텍셜층에 웰영역을 형성하는 공정;
상기 에피텍셜층의 표면을 산화하는 것에 의해 상기 에피텍셜층의 표면에 MISFET의 게이트절연막으로서 기능하는 산화막을 형성하는 공정 및,
상기 산화막상에 상기 MISFET의 게이트전극을 형성하는 공정을 포함하고,
상기 반도체본체는 제1도전형과 상기 반도체본체의 전제 주면에서의 제1 불순물농도를 갖고,
상기 에피텍셜층이 상기 제1 불순물농도의 상기 주면과 접촉하고 상기 에피텍셜층이 상기 소정의 불순물농도의 설계상의 불순물농도와 동일한 불순물농도를 갖도록 상기 에피텍셜층이 상기 제1 도전형을 갖고 상기 제1 불순물농도의 주면상에 형성되고,
상기 웰영역은 상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 형성되고,
상기 반도체본체의 전체 주면에서의 제1 불순물농도는 상기 MISFET의 채널영역이 형성되는 상기 웰영역의 부분의 불순물농도보다 낮은 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 13.
제12항에 있어서,
상기 에피텍셜층의 막두께는 0.3㎛~5㎛의 범위인 것을 특징으로 하는 반도체집적 회로장치의 제조방법.

청구항 14.
제13항에 있어서,
상기 반도체본체는 그의 이면에 게터링층을 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 15.
제14항에 있어서,
상기 게터링층은 다결정실리콘막을 퇴적시키는 것에 의해 형성되는 것을 특 징으로 하는 반도체집적회로장치의 제조방법.

청구항 16.
제12항에 있어서,
상기 반도체본체는 그의 이떤에 게터링층을 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 17.
제16항에 있어서,
상기 게터링층은 다결정실리콘막을 퇴적시키는 것에 의해 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 18.
제12항에 있어서,
상기 웰영역은 상기 제1 도전형을 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 19.
제1항에 있어서,
상기 반도체본체는 비교적 가볍게 도프된 반도체본체인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 20.
제1항에 있어서,
상기 반도체본체의 불순물농도는 약 10 ^{15} atoms/㎤인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 21.
제4항에 있어서,
상기 반도체본체의 불순물농도는 약 10 ^{15} atoms/㎤인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 22.
제1 도전형을 갖고 반도체본체의 전체 주면에서 소정의 불순물농도를 갖는 비교적 가볍게 도프된 반도체본체를 마련하는 공정,
상기 소정의 불순물농도의 주면상에 비교적 가볍게 도프된 불순물농도를 갖는 제1 도전형의 에피텍셜층을 형성하는 공정;
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 제1 웰영역을 형성하는 공정;
상기 에피텍셜층의 표면을 산화하는 것에 의해 상기 에피텍셜층의 표면상에 MISFET의 게이트절연막으로서 기능하는 산화막을 형성하는 공정 및;
상기 제1 웰영역상의 상기 산화막상에 상기 MISFET의 게이트전극을 형성하는 공정을 포함하고,
상기 MISFET의 채널영역이 형성되는 상기 제1 웰영역의 부분의 불순물농도는 상기에피텍셜층의 불순물농도와 상기 반도체본체의 소정의 불순물농도의 양쪽보다 큰 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 23.
제22항에 있어서,
상기 반도체본체의 불순물농도는 약 10 ^{15} atoms/㎤인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 24.
제22항에 있어서,
상기 에피텍셜층의 두께는 0.3㎛ 5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 25.
제22항에 있어서,
상기 에피텍셜층의 두께방향에 있어서 상기 제1 웰영역의 불순물농도가 상기 에피텍셜층에서 점차 감소하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 26.
제25항에 있어서,
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰영역을 상기 에피텍셜층에 형성하는 공정을 더 포함하고,
MISFET의 채널영역이 형성되는 상기 제2 웰영역의 부분의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 소정의 불순물농도의 양쪽보다 크고,
상기 에피텍셜층의 두께방향에 있어서 상기 제2 웰영역의 불순물농도가 상기 에피텍셜층에서 점차 감소하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 27.
제22항에 있어서,
상기 제1 웰영역의 불순물농도가 상기 에피텍셜층과 상기 반도체본체 사이의 계면부를 통해서 상기 반도체본체상의 상기 에피텍셜층에서 점차 감소하도록 상기 제1 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 28.
제27항에 있어서,
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰영역을 상기 에피텍셜층에 형성하는 공정을 더 포함하고,
MISFET의 채널형성영역이 형성되는 상기 제2 웰영역의 부분의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 상기 소정의 불순물농도의 양쪽보다 크고,
상기 제2 웰영역의 불순물농도가 상기 에피텍셜층과 상기 반도체본체 사이의 계면부를 통해서 상기 반도체본체상의 상기 에피텍셜층에서 점차 감소하도록 상기 제2 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 29.
제1 도전형을 갖고 반도체본체의 전체 주면에서의 소정의 불순물농도를 갖는 반도체본체를 마련하는 공정;
상기 소정의 불순물농도의 상기 주면상에 제1 도전형의 에피텍셜층을 형성하는 공정;
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 제1 웰영역을 형성하는 공정;
상기 에피텍셜층의 표면을 산화하는 것에 의해 상기 에피텍셜층의 표면상에 산화막을 형성하는 공정 및,
상기 제1 웰영역상의 상기 산화막상에 전극을 형성하는 공정을 포함하고,

상기 제1 웰영역의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 소정의 불순물농도의 양쪽보다 큰 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 30.

제29항에 있어서,

상기 반도체본체의 불순물농도는 약 10^{15} atoms/㎤인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 31.

제29항에 있어서,

상기 에피텍셜층의 두께는 0.3㎛~5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 32.

제29항에 있어서,

상기 에피텍셜층의 두께방향에 있어서 상기 제1 웰영역의 불순물농도가 상기 애피텍셜층에서 점차 감소하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 33.

제32항에 있어서,

상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰영역을 형성하는 공정을 더 포함하고,

MISFET의 채널영역이 형성되는 상기 제2 웰영역의 부분의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 소정의 불순물농도의 양쪽보다 크고,

상기 에피텍셜층의 두께방향에 있어서 상기 제2 웰영역의 불순물농도가 상기 에피텍셜층에서 점차 감소하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 34.

제29항에 있어서,

상기 제1 웰영역의 불순물농도가 상기 에피텍셜층과 상기 반도체본체 사이의 계면 부분을 통해서 상기 반도체본체상의 상기 에피텍셜층에서 점차 감소하도록 상기 제1 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 35.

제34항에 있어서,

상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰영역을 상기 에피텍셜층에 형성하는 공정을 더 포함하고,

MISFET의 채널영역이 형성되는 상기 제2 웰영역의 부분의 불순물농도가 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 소정의 불순물농도의 양쪽보다 크고,

상기 제2 웰영역의 불순물농도가 상기 에피텍셜층과 제2 반도체본체 사이의 계면부를 통해서 상기 반도체본체상의 상기 에피텍셜층에서 점차 감소하도록 상기 제2 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치 의 제조방법.

청구항 36.

제1항에 있어서,

상추 에피텍셜층의 두께방향에 있어서 상기 웰영역의 불순물농도가 상기 에피텍셜층에서 점차 감소하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 37.

제36항에 있어서,

상기 에피텍셜층의 표면을 통해서 상기 에퍼텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 상기 제1 도전형과는 반대인 제2 도전형의 다른 웰영역을 형성하는 공정을 더 포함하고,

MISFET의 채널영역이 형성되는 상기 다른 웰영역의 부분의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 상기 소정의 불순물농도의 양쪽보다 크고,

상기 두께방향에 있어서 상기 다른 웰영역의 불순물농도가 상기 에피텍셜층에서 점차 감소하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 38.

제1항에 있어서,

상기 웰영역의 불순물농도가 상기 에피텍셜층과 상기 반도체본체 사이의 계면부를 통해서 상기 반도체본체상의 상기 에피텍셜층에서 점차 감소하도록 상기 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치의 제 조방법.

청구항 39.

제38항에 있어서,

상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 상기 제1 도전형과는 반대인 제2 도전형의 다른 웰영역을 형성하는 공정을 더 포함하고,

MISFET의 채널영역이 형성되는 상기 다른 웰영역의 부분의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 상기 소정의 불순물농도의 양쪽보다 크고,

상기 다른 웰영역의 불순물농도가 상기 에피텍셜층과 상기 반도체본체 사이의 계면 부분을 통해서 상기 반도체본체의 상기 에피텍셜층에서 점차 감소하도록 상기 다른 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 40.

제12항에 있어서,

상기 웰열역의 불순물농도가 상기 에피텍셜층과 상기 반도체본체 사이의 계면부를 통해서 상기 반도체본체상의 상기 에피텍셜층에서 점차 감소하도록 상기 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치와 제조방법.

청구항 41.

제40항에 있어서,

상기 에피텍셜층의 표면을 통해서 상기 에피텍설층에 불순물을 도입하는 것에 의해 상기 제1 도전형과는 반대인 제2 도전형의 다른 웰영역을 상기 에피텍셜층에 형성하는 공정을 더 포함하고,

MISFET의 채널영역이 형성되는 상기 다른 웰영역의 부분의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체본체의 상기 소정의 불순물농도의 양쪽보다 크고,

상기 다른 웰영역의 불순물농도가 상기 에피텍셜층과 상기 반도체본체 사이의 계면 부분을 통해서 상기 반도체본체의 상기 에피텍셜층에서 점차 감소하도록 상기 다른 웰영역이 상기 반도체본체로 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 42.

제12항에 있어서,

상기 반도체본체의 불순물농도는 약 10^{15} atoms/㎤인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 43.

제1 도전형을 갖고 반도체기판의 전체 주면에서 소정의 불순물농도를 갖는 반도체기판을 준비하는 공정;

상기 소정의 불순물농도의 주면상에 제1 도전형의 에피텍셜층을 형성하는 공 정;

상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜증에 제1 도전형의 웰영역을 형성하는 공정;

상기 에피텍셜층의 표면상에 게이트산화막을 형성하는 공정;

상기 웰영역상의 상기 게이트산화막상에 플로팅 게이트전극을 형성하는 공정 및;

상기 플로팅 게이트전극상에 컨트롤 게이트전극을 형성하는 공정을 포함하고,

상기 웰영역의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체기판의 소정의 불순물농도의 양쪽보다 큰 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 44.

제43항에 있어서,

상기 에피텍셜층은 상기 소정의 불순물농도의 설계상의 불순물농도와 실질적으로 동일한 불순물농도를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 45.

제43항에 있어서,

상기 반도체기판의 불순물농도는 약 10^{15} atoms/㎤인 것을 특징으로 하는 반도 체집적회로장치의 제조방법.

청구항 46.

제45항에 있어서,

상기 에피텍셜층의 두께는 0.3㎛ 5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 47.

제43항에 있어서,

상기 에피텍셜층의 두께는 0.3㎛ 5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 48.

제46항에 있어서,

상기 웰영역의 불순물농도가 그들 사이의 계면 부분을 통해서 상기 반도체기판의 에피텍셜층에서 점차 감소하도록 상기 웰영역이 상기 반도체기판에서 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 49.

제47항에 있어서,

상기 웰영역의 불순물농도가 그들 사이의 계면 부분을 통해서 상기 반도체기판의 에피텍셜층에서 점차 감소하도록 상기 웰영역이 상기 반도체기판에서 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 50.

제1 도전형을 갖고 반도체기판의 전체 주면에서 소정의 불순물농도를 갖는 반도체기판을 준비하는 공정;

상기 소정의 불순물농도의 주면상에 제1 도전형의 에피텍셜층을 형성하는 공정;

상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 상기 제1 도전형의 웰영역을 형성하는 공정;

상기 에피텍셜층의 표면상에 게이트산화막을 형성하는 공정,

상기 웰영역상의 상기 게이트산화막상에 게이트전극을 형성하는 공정,

상기 에피텍셜층에 소오스와 드레인영역으로서 기능하는 반도체영역들을 형성하는 공정 및,
상기 반도체영역중의 하나와 전기적으로 결합되는 캐패시터소자를 형성하는 공정을 포함하고,
상기 웰영역의 불순물농도는 상기 에피텍셜층의 불순물농도와 상기 반도체기판의 소정의 불순물농도의 양쪽보다 큰 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 51.

제50항에 있어서,
상기 에피텍셜층은 상기 소정의 불순물농도의 설계상의 불순물농도와 실질적으로 동일한 불순물농도를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 52.

제50항에 있어서,
상기 반도체기판의 불순물농도는 약 10^{15} atoms/㎤인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 53.

제52항에 있어서,
상기 에피텍셜층의 두께는 0.3㎛ 5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 54.

제50항에 있어서,
상기 에피텍셜층의 두께는 0.3㎛ 5㎛의 범위인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 55.

제52항에 있어서,
상기 웰영역의 불순물농도가 그들 사이의 계면 부분을 통해서 상기 반도체기판의 에피텍셜층에서 점차 감소하도록 상기 웰영역이 상기 반도체기판에서 연장하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 56.

제50항에 있어서,
다이나믹 랜덤 액세스 메모리의 메모리셀은 상기 게이트절연막과 상기 게이트전극과 상기 반도체영역을 구비하는 MISFET 및 상기 캐패시터소자를 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 57.

제56항에 있어서,
상기 반도체기판은 비교적 가볍게 도프된 반도체기판인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 58.

제44항에 있어서,
상기 반도체기판은 비교적 가볍게 도프된 반도체기판인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 59.

소정의 불순물농도의 주면상에 에피텍셜층이 형성되도록 제1 도전형을 갖고 반도체기판의 전체 주면에서 소정의 불순물농도를 갖는 반도체기판상에 제1 도전형의 에피텍셜층을 형성하는 공정;
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것에 의해 상기 에피텍셜층에 웰영역을 형성하는 공정;
상기 에피텍셜층의 표면상에 MISFET의 게이트산화막을 형성하는 공정;
상기 웰영역상의 상기 게이트산화막상에 상기 MISFET의 플로팅 게이트전극을 형성하는 공정 및;
상기 플로팅 게이트전극상에 상기 MISFET의 컨트롤 게이트전극을 형성하는 공정을 포함하고,
상기 에피텍셜층의 두께는 0.3㎛ 5㎛의 범위이고,
상기 반도체기판의 상기 전체 주면에서의 상기 소정의 불순물농도는 상기 MISFET의 채널영역이 형성되는 상기 웰영역의 부분의 불순물농도보다 낮은 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 60.

제59항에 있어서,
상기 에피텍셜층은 상기 소정의 불순물농도의 설계상의 불순물농도와 실질적으로 동일한 불순물농도를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 61.

제59항에 있어서,
EEPROM의 메모리셀은 상기 MISFET를 구비하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 62.

소정의 불순물농도의 주면상에 에피텍셜층이 형성되도록 제1 도전형을 갖고 반도체기판의 전체 주면에서 소정의 불순물농도를 갖는 반도체기판상에 제1 도전형의 에피텍셜층을 형성하는 공정;
상기 에피텍셜층의 표면을 통해서 상기 에피텍셜층에 불순물을 도입하는 것 에 의해 상기 에피텍셜층에 웰영역을 형성하는 공정,
상기 에피텍셜층의 표면상에 MISFET의 게이트산화막을 형성하는 공정;
상기 웰영역상의 상기 게이트산화막상에 상기 MISFET의 게이트전극을 형성하는 공정,
상기 에피텍셜층에 상기 MISFET의 소오스영역과 드레인영역으로서 기능하는 반도체영역들을 형성하는 공정 및;
상기 반도체영역중의 하나와 전기적으로 결합되는 캐패시터소자를 형성하는 공정을 포함하고,

상기 에피텍셜층의 두께는 0.3㎛ 5㎛의 범위이고,
상기 반도체기판의 상기 전체 주면에서의 상기 소정의 불순물농도는 상기 MISFET의 채널영역이 형성되는 상기 웰 영역의 부분의 불순물농도보다 낮은 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 63.

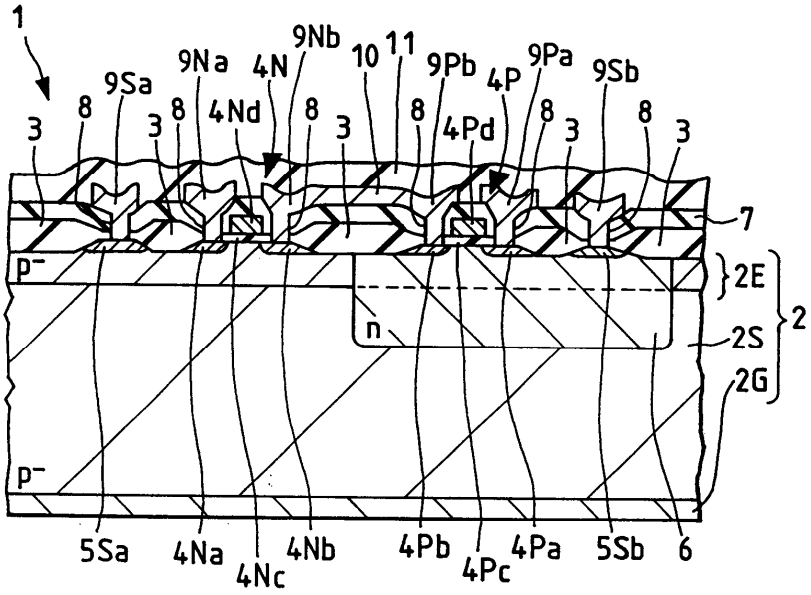
제62항에 있어서,
상기 에피텍셜층은 상기 소정의 불순물농도의 설계상의 불순물농도와 실질적으로 동일한 불순물농도를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 64.

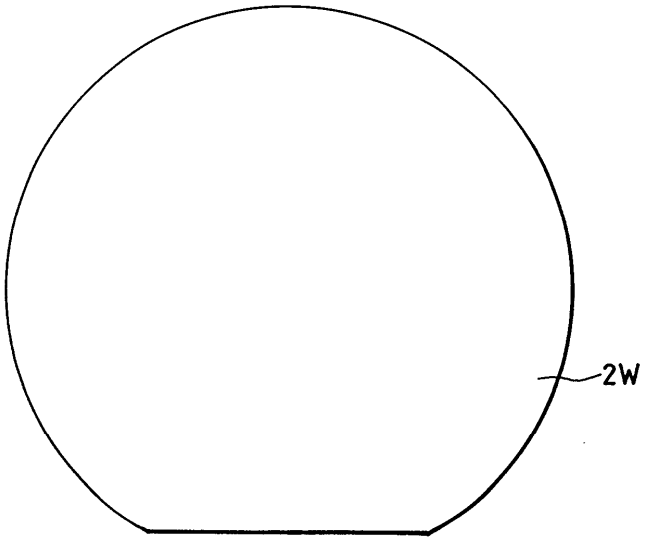
제62항에 있어서,
다이나믹 랜덤 액세스 메모리의 메모리셀은 상기 MISFET와 상기 캐패시터 소 자를 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

도면

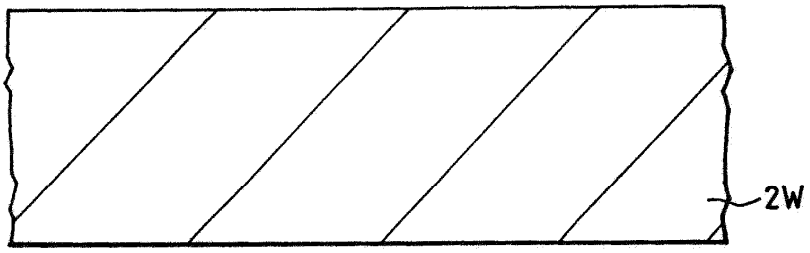
도면1



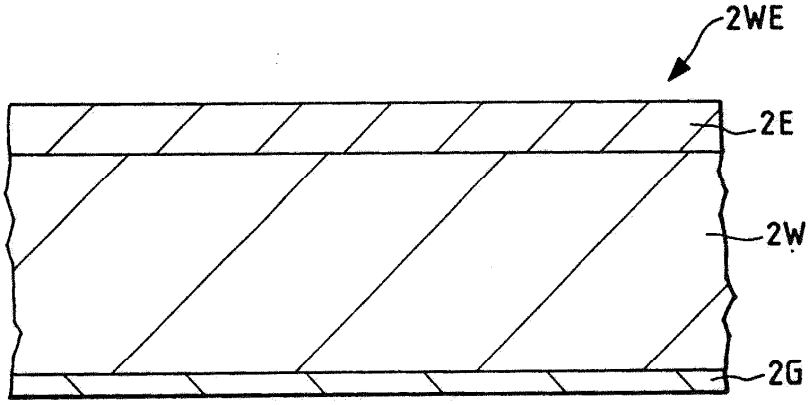
도면2



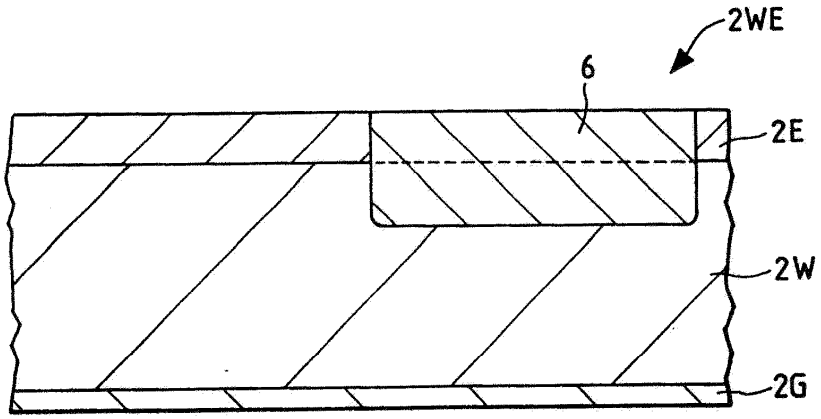
도면3



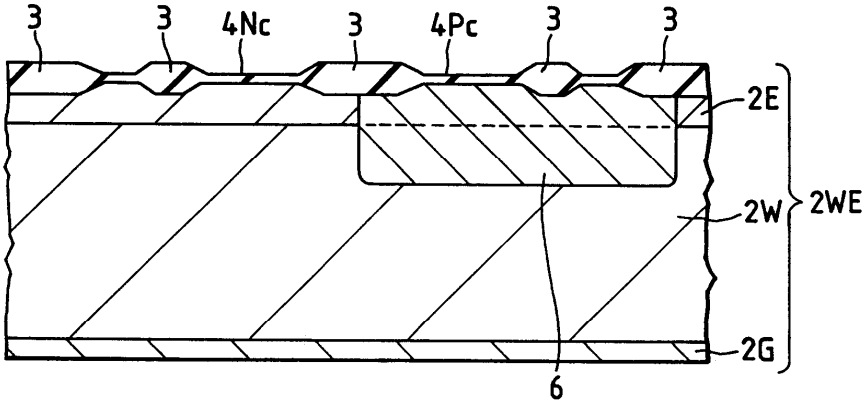
도면4



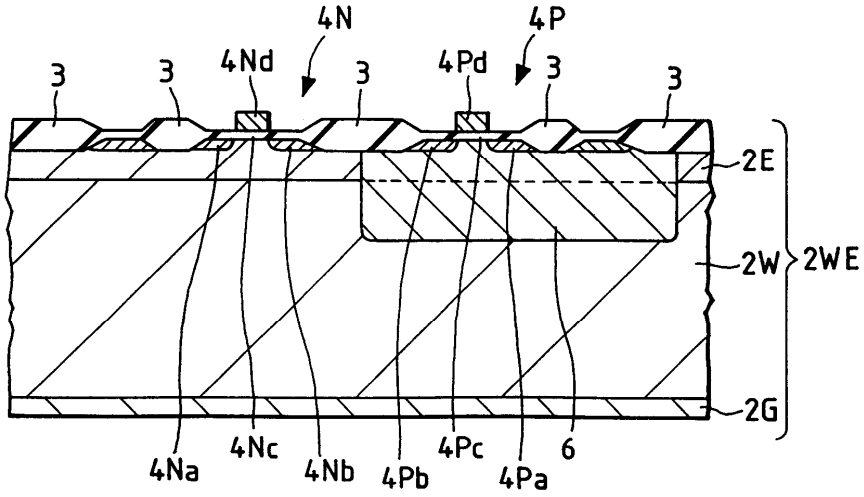
도면5



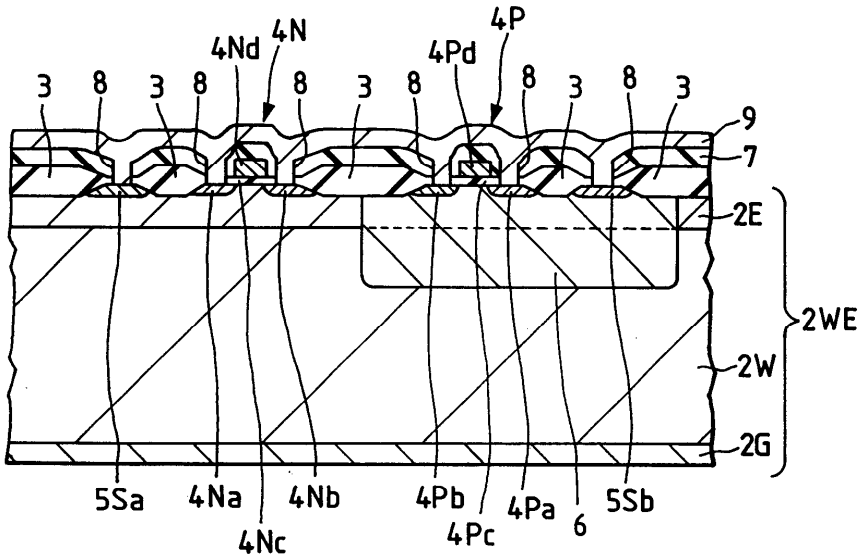
도면6



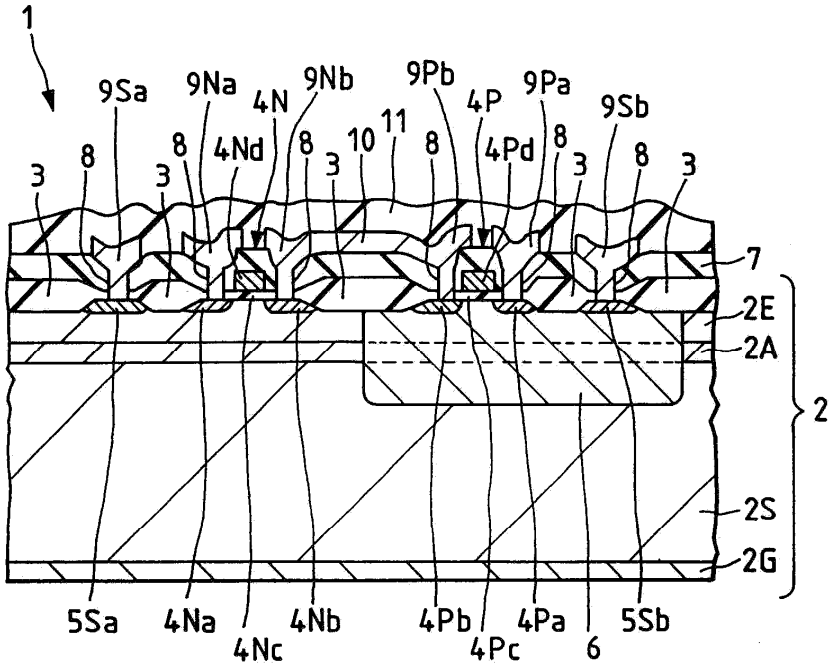
도면7


4N
4P
3
3
4Nd
3
4Pd
3
3
2E
2W
2WE
2G
4Na
4Nc
4Nb
4Pb
4Pc
4Pa
6

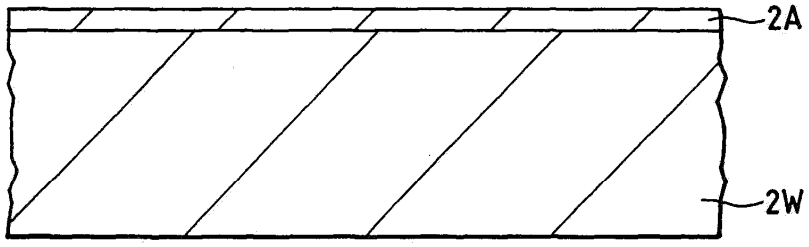
도면8


4Nd
4N
4Pd
4P
3
8
3
8
8
3
8
8
3
8
3
9
7
2E
2WE
2W
2G
5Sa
4Na
4Nb
4Nc
4Pb
4Pc
4Pa
6
5Sb

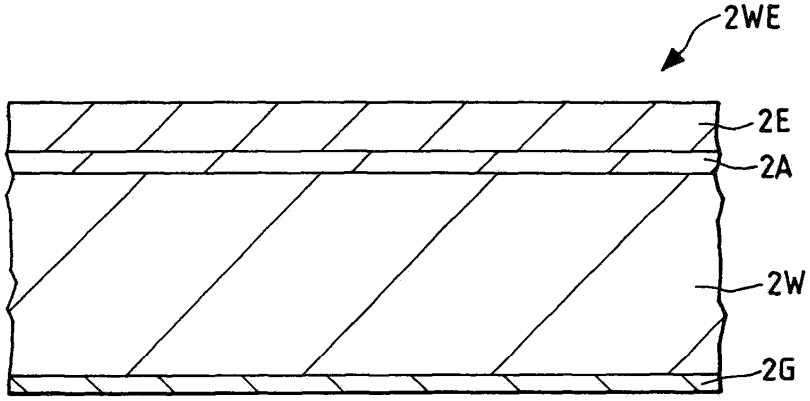
도면9


1
9Sa
9Na
4N
9Nb
9Pb
4P
9Pa
9Sb
11
10
3
8
4Nd
4Pd
7
2E
2A
2
2S
2G
5Sa
4Na
4Nc
4Nb
4Pb
4Pc
4Pa
6
5Sb

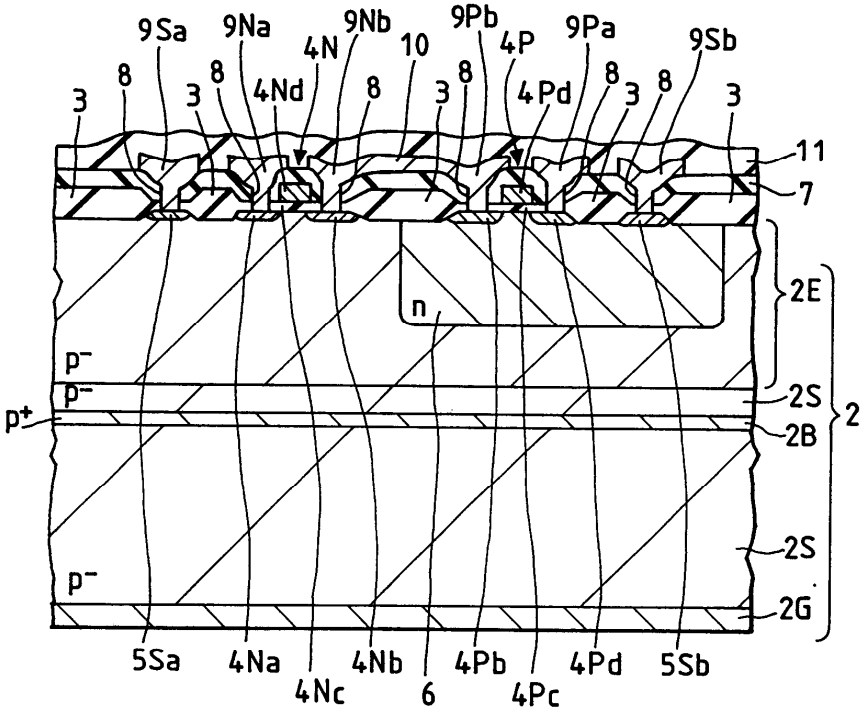
도면10



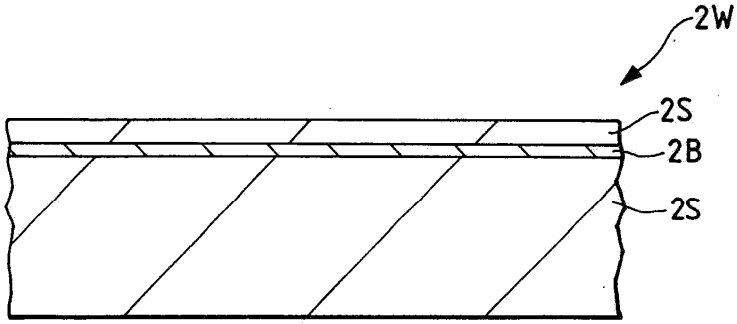
도면11



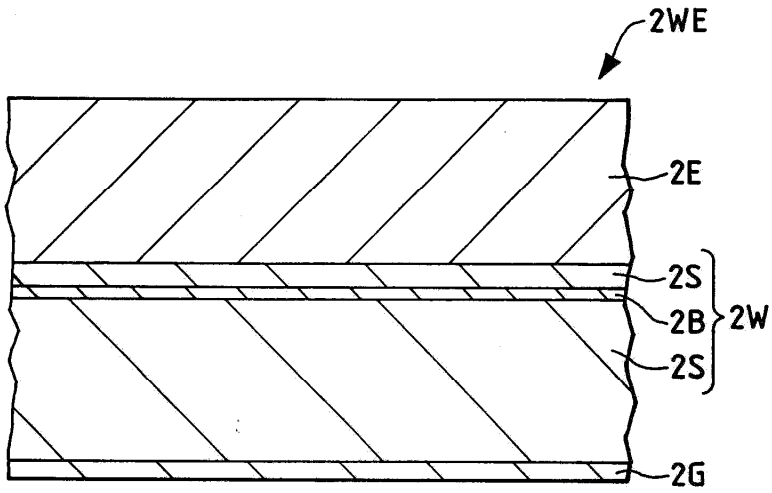
도면12



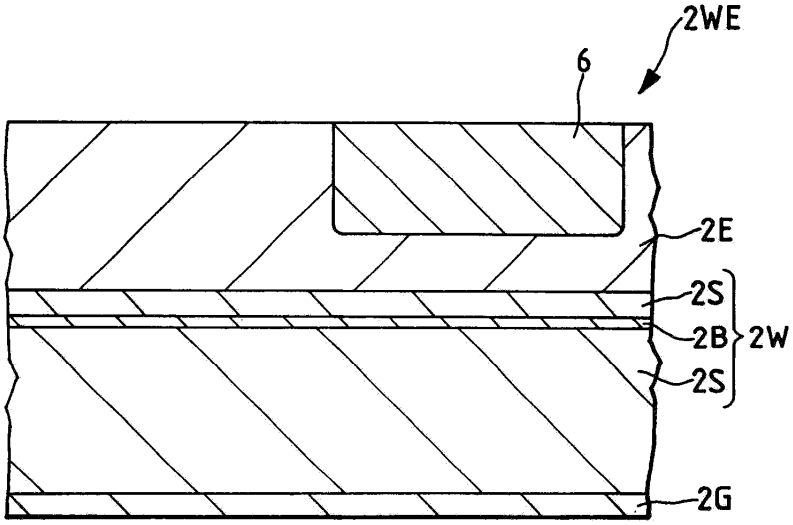
도면13



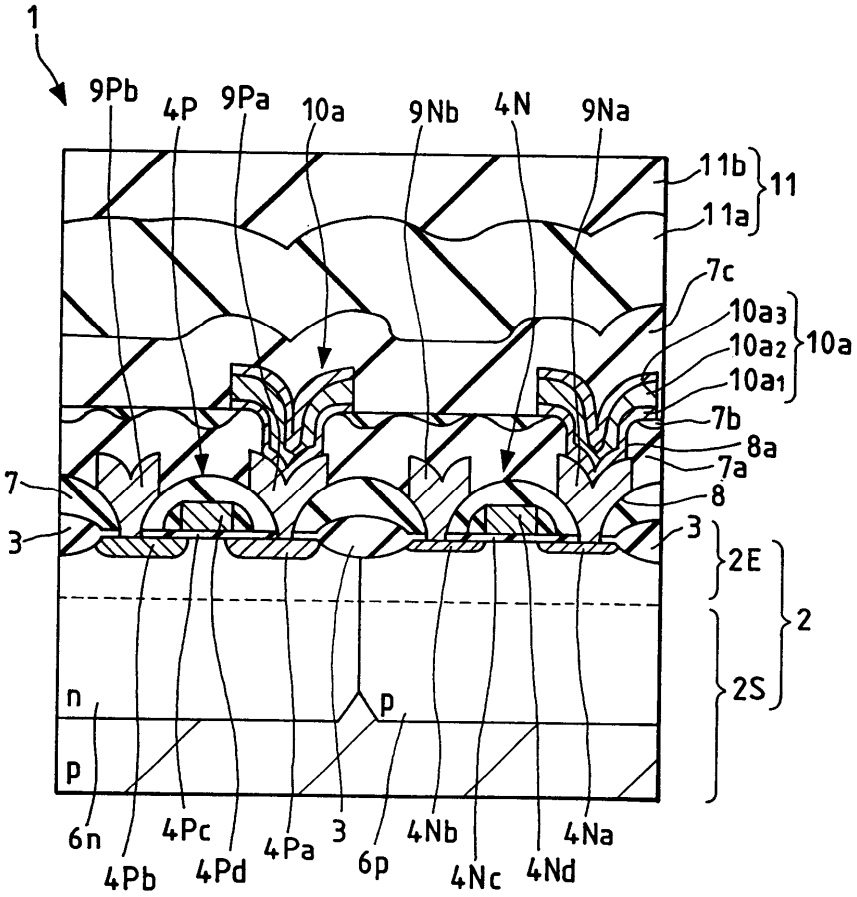
도면14



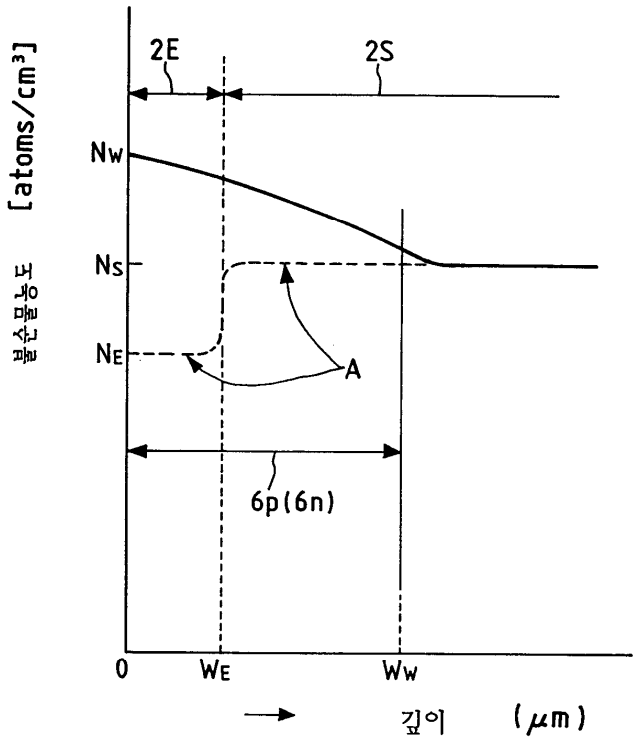
도면15



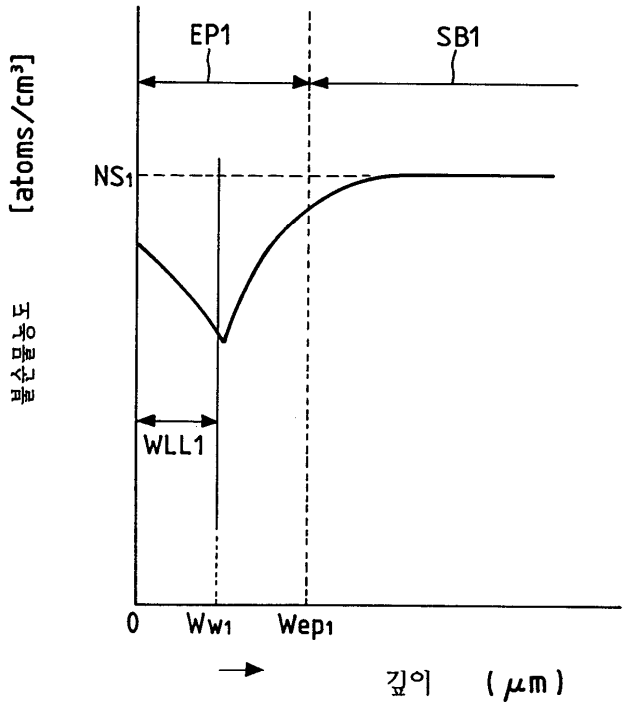
도면16


1
9Pb
4P
9Pa
10a
9Nb
4N
9Na
11b
11
11a
7c
10a3
10a2
10a
10a1
7b
8a
7a
8
7
3
3
2E
2
2S
n
p
p
6n
4Pb
4Pc
4Pd
4Pa
3
6p
4Nb
4Nc
4Nd
4Na

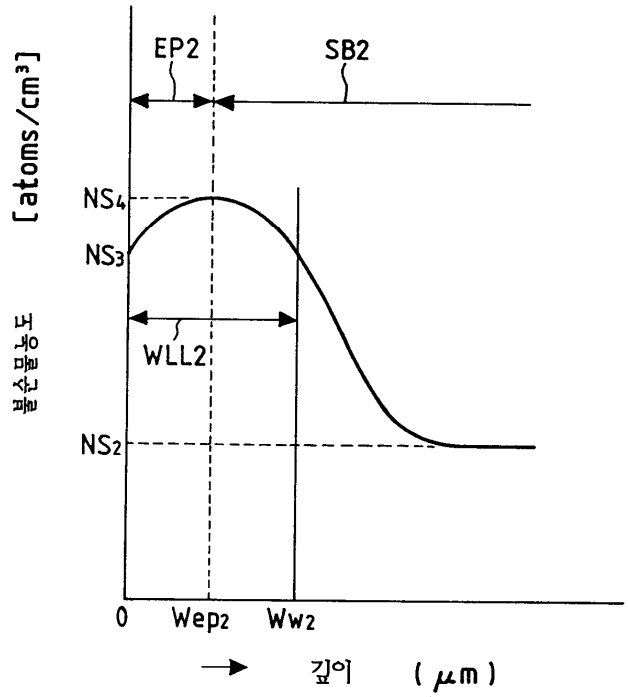
도면17


2E
2S
Nw
Ns
NE
A
불순물농도 [atoms/cm³]
6p(6n)
0
WE
Ww
깊이 (μm)

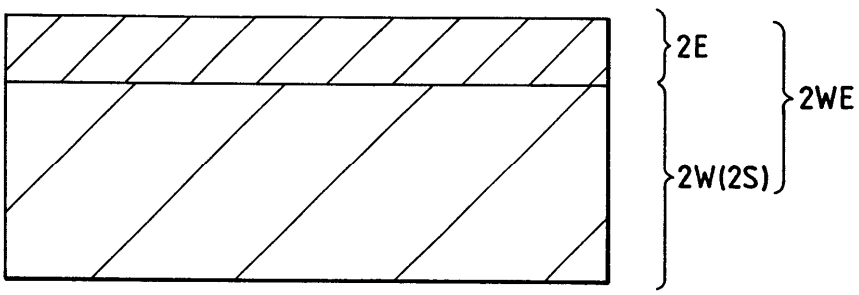
도면18



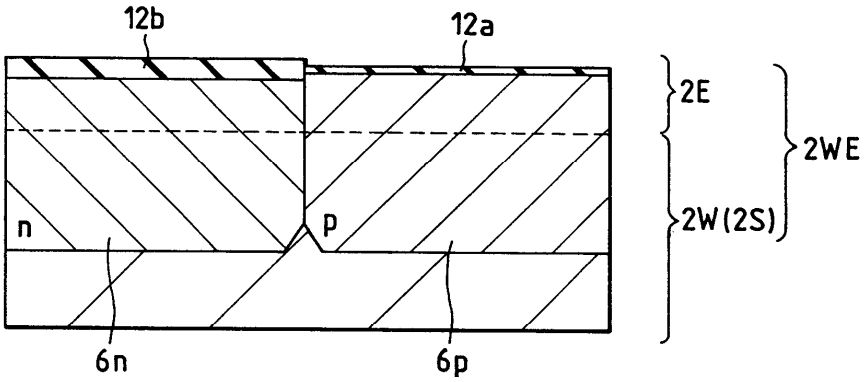
도면19



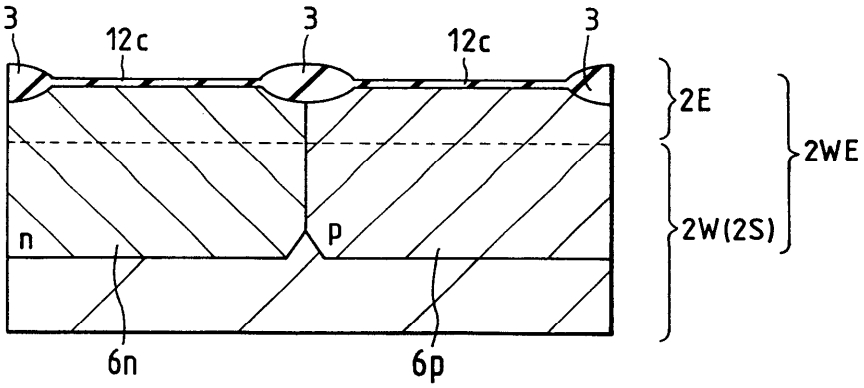
도면20



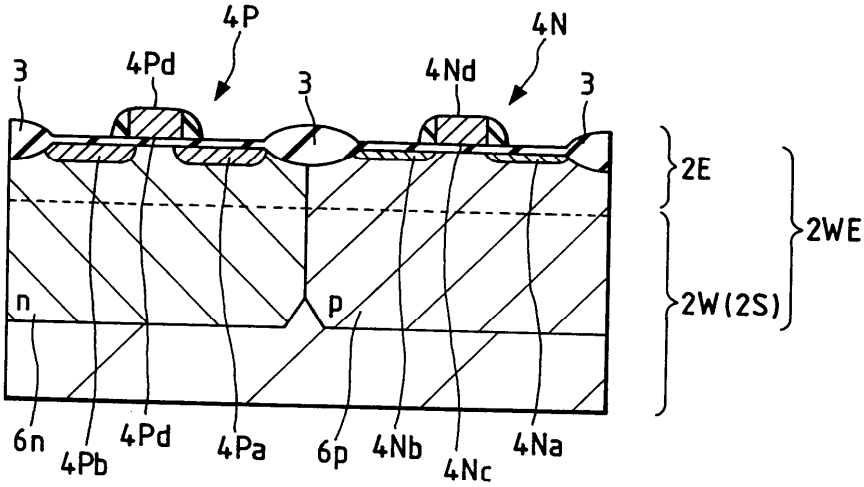
도면21



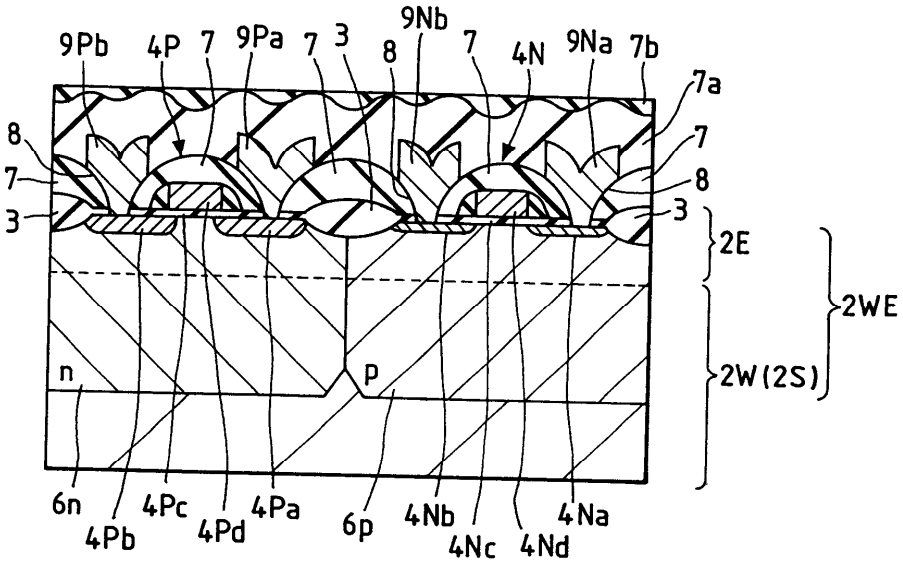
도면22



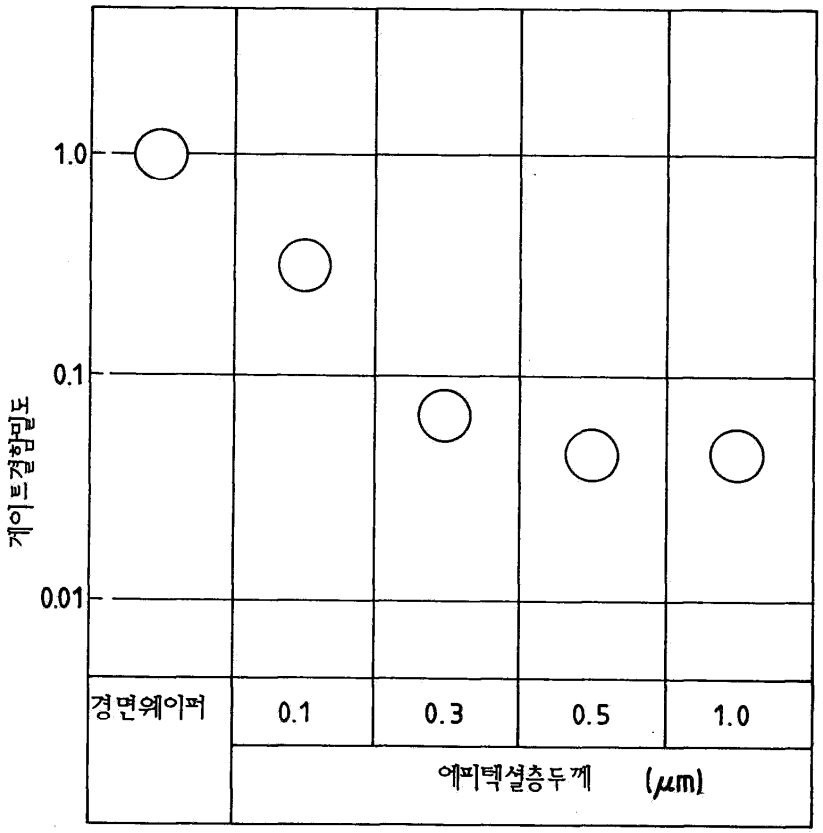
도면23



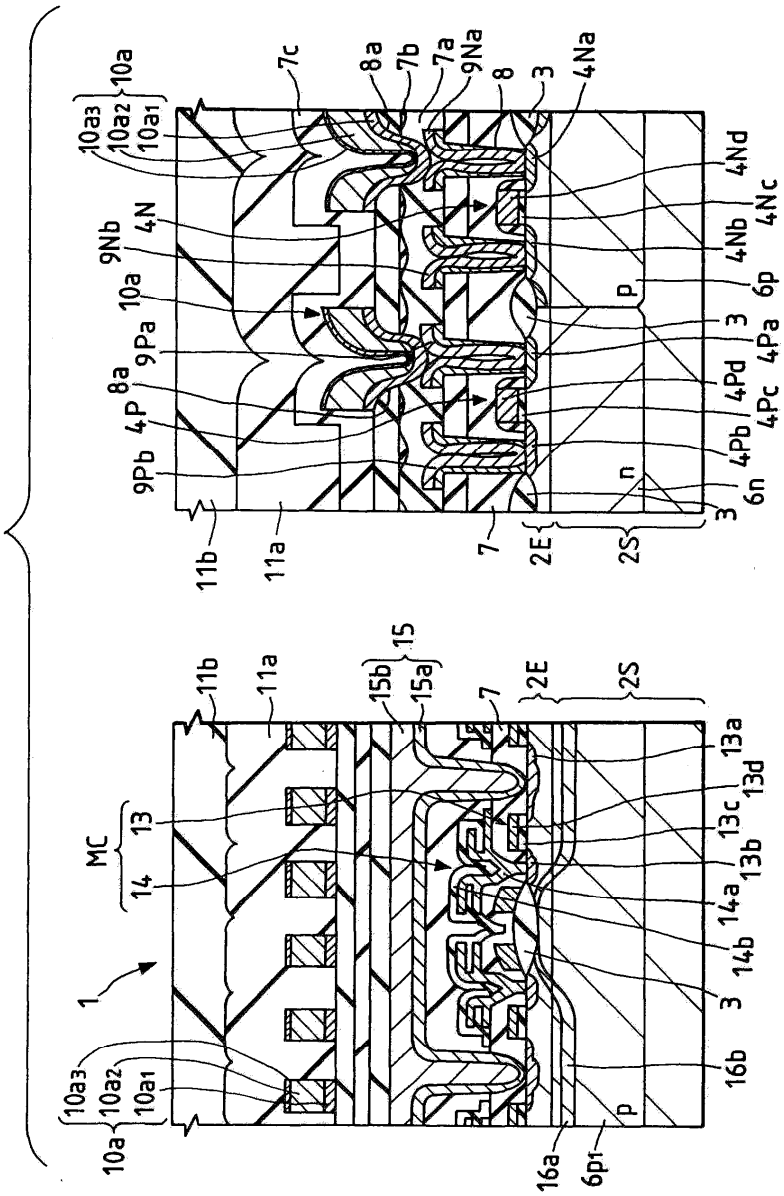
도면24


9Pb
4P
7
9Pa
7
3
8
9Nb
7
4N
9Na
7b
7a
8
7
3
2E
2WE
2W(2S)
n
p
6n
4Pb
4Pc
4Pd
4Pa
6p
4Nb
4Nc
4Nd
4Na

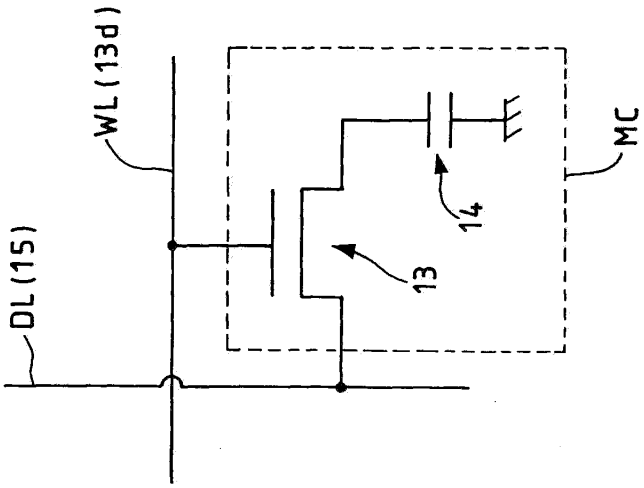
도면25


1.0
0.1
0.01
게이트결함밀도
경면웨이퍼
0.1
0.3
0.5
1.0
에피택셜층두께 (μm)

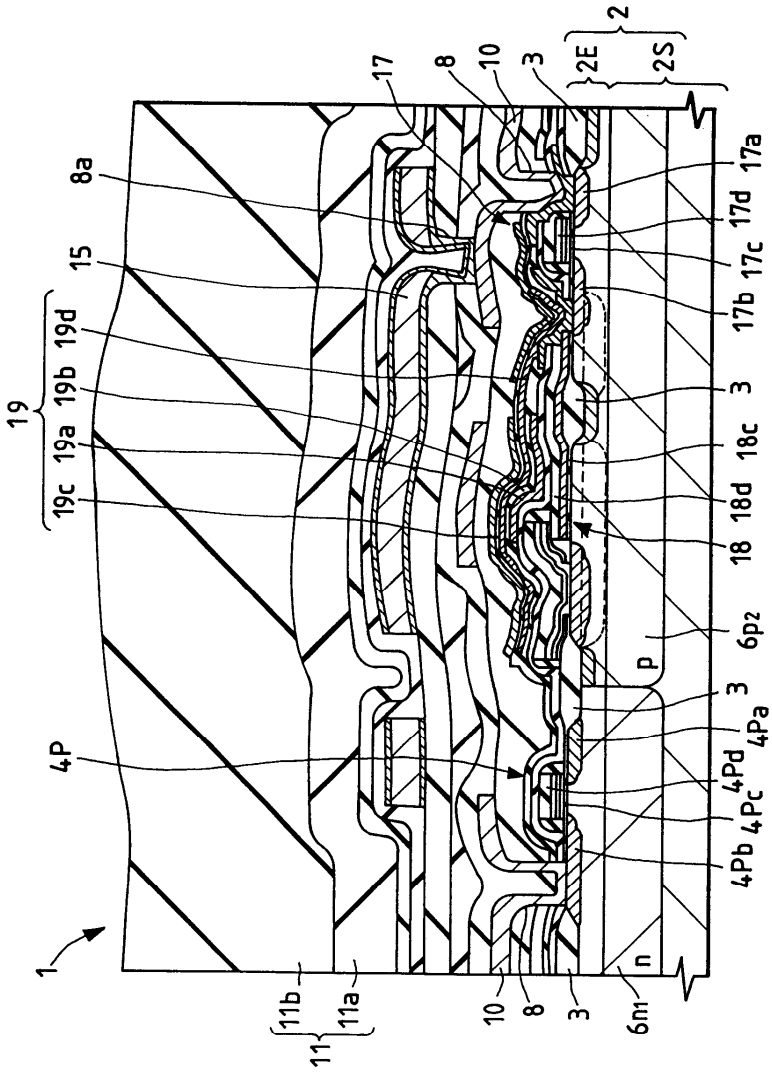
도면26a


10a
10a3
10a2
10a1
7c
8a
7b
7a
9Na
8
3
4Na
4Nd
4Nc
4Nb
6p
3
4Pa
4Pd
4Pc
4Pb
6n
3
9Nb
4N
10a
9Pa
8a
4P
9Pb
11b
11a
7
2E
2S
p
n
15
15b
15a
MC
13
14
1
13a
13d
13c
13b
14a
14b
3
16b
16a
6p1

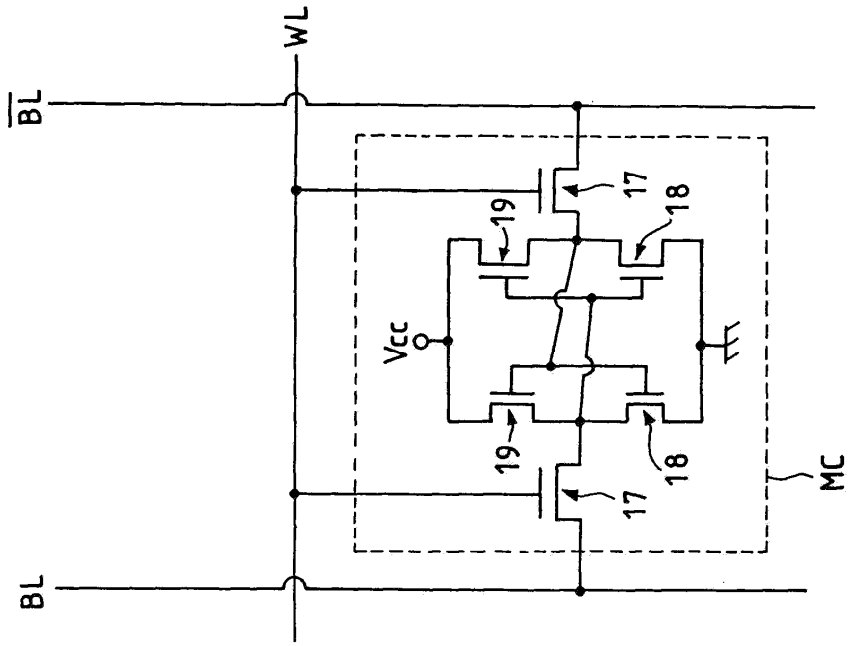
도면26b


WL(13d)
DL(15)
MC
14
13

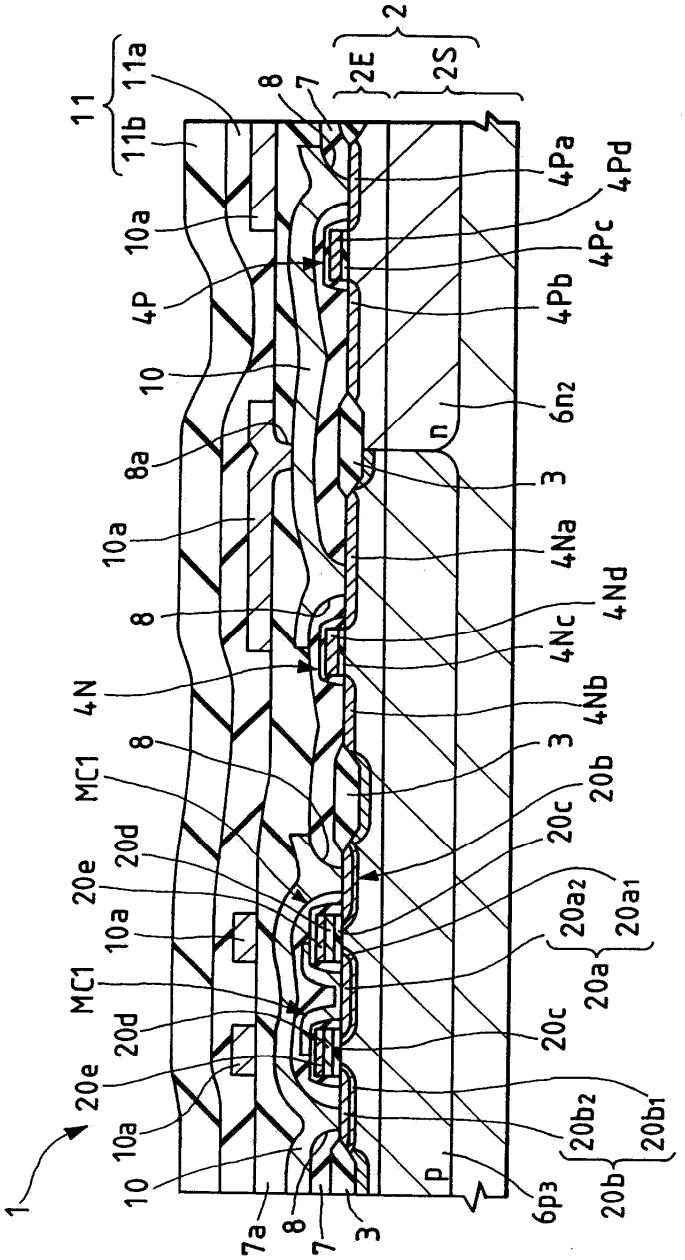
도면27a


17
8
10
3
2E
2S
2
8a
15
19
19d
19b
19a
19c
17a
17d
17c
17b
3
18c
18d
18
6p2
p
3
4Pa
4Pd
4Pc
4Pb
4P
1
n
11b
11a
11
10
8
3
6n1

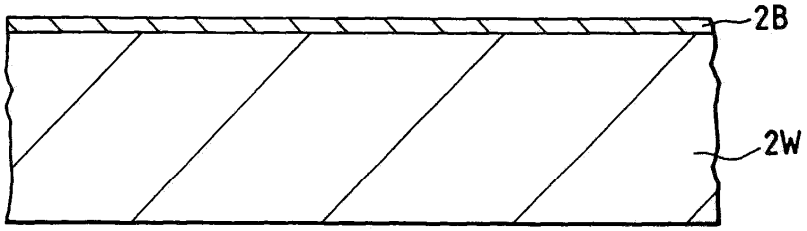
도면27b


WL
BL
BL
Vcc
19
17
18
19
17
18
MC

도면28


2
2E
2S
11
11a
11b
8
7
4Pa
4Pd
4Pc
4Pb
10a
4P
10
6n2
n
8a
3
10a
4Na
8
4Nd
4Nc
4N
4Nb
8
3
MC1
20b
20d
20c
20e
20a2
10a
20a1
20a
MC1
20c
20d
20e
20b2
10a
20b1
20b
10
p
6p3
1
7a
8
7
3

도면29


2B
2W

도면30

