

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶ G11C 11/34	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월22일 10-0511356 2005년08월23일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1997-0074505 1997년12월26일	(65) 공개번호 (43) 공개일자	10-1998-0064713 1998년10월07일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 특원평8-350227 1996년12월27일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키키가이샤
일본 오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 데라다 유타카
일본국 오사카후 히라카타시 나스즈쿠리 1-9-3-썸-406

이와타 도루
일본국 오사카후 히가시요도가와쿠 시모신조 5-26-19-1007

(74) 대리인 김영철

심사관 : 오응기

(54) 반도체집적회로의구동방법및반도체집적회로

요약

본 발명은 소비전력이 큰 동작상태와 소비전력이 작은 대기상태가 혼재하는 반도체 집적회로에 관한 것으로, 대기시에 있어서의 소비전력 뿐만 아니라 동작시에 있어서의 소비전력을 저감할 수 있도록 하는 동시에, 고속동작을 행할 수 있도록 하기 위한 것이다.

직렬접속된 제 1 및 제 3의 인버터(21, 23)는 하이측의 소스노드가 제 1 의사 전원선(VDD1)에 접속되고, 로우측의 소스노드가 제 3 의사 전원선(VSS1)에 접속된다. 직렬접속된 제 2 및 제 4 인버터(22, 24)는 하이측의 소스노드가 제 2 의사 전원선(VDD2)에 접속되고, 로우측의 소스노드가 제 4 의사 전원선(VSS2)에 접속된다. 동작시에 차단되는 트랜지스터의 소스노드는 제 1 ~ 제 4 스위치 트랜지스터(11~14)가 입력신호에 따라 오프되어 전원으로부터 차단되는 동시에, 제 5 또는 제 6 스위치 트랜지스터(15, 16) 중 어느 하나가 온(on)되어 단락된다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제 1 실시예에 의한 반도체 집적회로를 도시한 회로도.
- 도 2는 본 발명의 제 1 실시예에 의한 반도체 집적회로를 도시한 회로도.
- 도 3은 본 발명의 제 1 실시예에 의한 대기 제어회로의 회로도로서, (a)는 제 1 대기 제어회로, (b)는 제 2 대기 제어회로.
- 도 4는 본 발명의 제 1 실시예에 의한 반도체 집적회로의 타이밍도.
- 도 5는 반도체 메모리에 있어서의 메모리 셀을 구동하는 드라이버 회로의 모식도.
- 도 6은 본 발명의 제 1 실시예의 변형예에 의한 반도체 집적회로를 도시한 회로도.
- 도 7은 본 발명의 제 1 실시예의 변형예에 의한 반도체 집적회로의 타이밍도.
- 도 8은 본 발명의 제 2 실시예에 의한 반도체 집적회로를 도시한 회로 블록도.
- 도 9는 본 발명의 제 2 실시예에 의한 반도체 집적회로의 제 1 논리회로를 도시한 회로도.
- 도 10은 본 발명의 제 2 실시예에 의한 반도체 집적회로의 제 2 논리회로를 도시한 회로도.
- 도 11은 본 발명의 제 2 실시예에 의한 반도체 집적회로의 타이밍도.

* 도면의 주요 부분에 대한 부호의 설명 *

- 1 : 강압수단 및 승압수단 11 : 제 1 스위치 트랜지스터
- 12 : 제 2 스위치 트랜지스터 13 : 제 3 스위치 트랜지스터
- 14 : 제 4 스위치 트랜지스터 15 : 제 5 스위치 트랜지스터
- 16 : 제 6 스위치 트랜지스터 17 : 제어회로
- 18 : 제 1 대기 제어회로 18a, 19d : 제 1 인버터
- 18b : 제 1 PMOS 스위치 트랜지스터
- 18c : 제 2 PMOS 스위치 트랜지스터
- 18d, 19c : 제 1 CMOS 스위치 18e, 19f : 제 2 인버터
- 18f, 19e : 제 2 CMOS 스위치 18g : 제 3 인버터
- 19 : 제 2 대기 제어회로
- 19a : 제 1 NMOS 스위치 트랜지스터
- 19b : 제 2 NMOS 스위치 트랜지스터
- 21 : 제 1 인버터(논리회로) 22 : 제 2 인버터(논리회로)
- 23 : 제 3 인버터(논리회로) 24 : 제 4 인버터(논리회로)
- 31 : 제 1 전압제어 인버터 32 : 제 2 전압제어 인버터

51 : 제 1 논리회로 52 : 제 2 논리회로

53 : 제 1 제어회로 54 : 제 2 제어회로

55 : 보유회로(출력신호 보유회로)

56 : 펄스 변환회로

A : 입력신호 /A : 입력 반전신호

A1, A2 : 신호 펄스

B, C, D, E, B1, C1, D1, E1, B2, C2, D2, E2 : 출력신호

P1, P2, N1, N2 : 의사전원 제어신호

Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8, Q32, Q33, Q36, Q37, Q41, Q44, Q45, Q48 : 저임계값 트랜지스터

Q11, Q14, Q15, Q18, Q31, Q34, Q35, Q38, Q42, Q43, Q46, Q47 : 고임계값 트랜지스터

STB1, STB2, STB3, STB4, STB5 : 대기신호

VPP : 고전위 전원선 VBB : 저전위 전원선

VDD : 전원선 VSS : 접지선

VDD1, VDD11, VDD21 : 제 1 의사 전원선

VDD2, VDD12, VDD22 : 제 2 의사 전원선

VSS1, VSS11, VSS21 : 제 3 의사 전원선

VSS2, VSS12, VSS22 : 제 4 의사 전원선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 소비전력이 큰 동작상태와 소비전력이 작은 대기상태가 혼재하는 반도체 집적회로에 관한 것으로, 특히, 저전압 동작시에 저소비 전력화를 도모하는 반도체 집적회로에 관한 것이다.

최근, 휴대기기의 보급에 따라, 또한, 에너지 절약의 관점에서 반도체 집적 회로(이하, LSI로 약칭함)에 대한 저소비 전력화의 요청이 높아지고 있다. LSI의 소비전력을 저감하기 위해서는 전원전압을 내리는 것이 유효하고, 또, 트랜지스터의 미세화에 따라 그 신뢰성을 확보하기 위해서도 전원전압을 내리는 것은 LSI의 설계에 있어서의 필수조건으로 되고 있다. 종래, LSI의 내부전원은 3V~5V의 값이 주류이지만, 전지 구동용 LSI에서는 0.8V~1.5V에서 동작이 가능한 LSI가 요망된다. 한편, LSI를 구성하는 MOS 트랜지스터에는 임계값 전압이 존재하고, 전원전압의 저하에 의해 상기 전원전압이 임계값 전압에 가까워지면, 트랜지스터의 구동능력이 저하하여 상기 트랜지스터의 구동전류가 감소하기 때문에 LSI의 성능이 저하된다. 그래서, 저전압하에서도 소정의 성능을 만족시키기 위하여 종래보다도 구동전류가 많은 저임계값의 트랜지스터를 사용하게 된다. 그러나, 저임계값의 트랜지스터는 저전압하에서 동작 구동전류가 많은 반면, 대기상태에서의 트랜지스터의 오프 누설전류도 많기 때문에 대기시의 전류가 증가하여 소비전력의 증대를 초래하므로 본래의 목적인 저소비 전력화

를 만족시킬 수 없게 된다. 그래서, 저임계값의 트랜지스터에 의해 구성되는 회로와 전원 사이에 고임계값의 트랜지스터를 설정하고, 이 고임계값 트랜지스터를 오프시킴으로써, 대기시의 오프 누설전류를 억제하고자 하는 것이 일본국 특개평 6-29834호 공보에 개시되어 있는 MTCMOS 이다.

또, 오프 누설전류를 저감시키는 다른 방법으로서, 대기시의 오프 누설전류를 억제하는 것을 목적으로 하는 일본국 특개평 6-208790호 공보에 개시되어 있는 방법이 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래의 반도체 집적회로는 어느것이나 대기시에 있어서의 오프누설전류밖에 억제할 수 없고, 동작시에는 충전전 전류와 동시에 관통 누설전류가 발생하는 문제점이 있다. 특히, 동작시의 동작기간이 긴 회로나, 주파수가 상대적으로 높은 영역에서 동작하는 회로의 경우에는 동작시의 영향이 커지기 때문에, 이 문제는 더욱 현저해진다.

본 발명은 상기의 문제점을 감안하여 이루어진 것으로, 내부전원을 저전압화한 경우에 있어서도 대기시에 있어서의 소비 전력뿐만 아니라 동작시에 있어서의 소비전력을 저감할 수 있도록 하는 것을 제 1 의 목적으로 하고, 고속동작을 행할 수 있도록 하는 것을 제 2 의 목적으로 하는 것이다.

발명의 구성 및 작용

본 발명의 접근 방법의 기본은, 동작시에 누설전류가 흐르는 주된 원인은 논리소자 등의 각 셀에 전원 및 접지간의 전위가 인가되기 때문인 점에 착안하여, 상기 누설전류를 저감하기 위하여 각 셀에 인가되는 전원 및 접지간의 전위의 전위차를 출력신호의 전달에 지장을 주지 않을 정도로 저하시키는 것에 있다.

본 발명에 의한 반도체 집적회로의 구동방법은, 상기 제 1 의 목적을 달성하고, 복수의 소자로 이루어진 논리회로를 갖는 반도체 집적회로의 구동방법으로서, 동작시의 입력신호의 상태에 따라 복수의 소자 중 실질적으로 차단상태로 되는 소자의 전원전압을 상기 소자의 구동능력이 더욱 작아지도록 변경하는 전원전압 변경 공정을 구비한다.

본 발명의 반도체 집적회로의 구동방법에 의하면, 동작시에 복수의 소자 중 실질적으로 차단상태로 되는 소자의 전원전압을 상기 소자의 구동능력이 더욱 작아지도록 변경하기 때문에 동작시의 논리회로에 발생하는 관통 누설전류가 억제된다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 전원전압 변경공정이 전원전압을 강압하는 공정 또는 전원전압을 승압하는 공정을 포함하는 것이 바람직하다. 이와 같이 하면, 하이측의 전위에 의해 구동되는 소자가 차단상태로 되는 경우에는 강압공정이 누설전류의 억제에 유효하게 되어, 로우측의 전위에 의해 구동되는 소자가 차단상태로 되는 경우에는 승압공정이 누설전류의 억제에 유효하게 되므로 동작시의 누설전류를 확실하게 억제할 수 있다. 또, 하이측의 전위 또는 로우측의 전위 중 어느 하나의 값에 논리를 갖게 하는 논리회로에 대하여 실질적으로 차단상태로 되어 있는 소자의 전위가 하이측의 전위와 로우측의 전위 중간값의 전위로 되기 때문에, 동작 개시시에 논리가 확정하는 것이 빨라지므로 제 2 의 목적을 달성할 수 있다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 전원전압이 접지전위에 대하여 상대적으로 높은 제 1 전원전압 또는 접지전위에 대하여 상대적으로 낮은 제 2 전원전압이고, 전원전압 변경공정은 제 1 전원전압을 상기 제 1 전원전압보다도 작은 제 3 전원전압으로 변경하는 공정 또는 제 2 전원전압을 상기 제 2 전원전압보다도 큰 제 4 전원전압으로 변경하는 공정을 포함하는 것이 바람직하다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 제 3 전원전압의 전압값과 제 4 전원전압의 전압값을 서로 같게하는 공정을 포함하는 것이 바람직하다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 논리회로가 제 1 전원전압이 인가되는 제 1 전원선과 제 2 전원전압이 인가되는 제 2 전원선에 접속되고, 전원전압 변경공정이 제 1 전원선을 제 1 전원전압으로부터 차단하는 동시에 제 2 전원선을 제 2 전원전압으로부터 차단한 후, 제 1 전원선과 제 2 전원선을 접속하는 공정을 포함하는 것이 바람직하다.

본 발명에 의한 제 1 반도체 집적회로는 상기 제 1 의 목적을 달성하고, 복수의 소자로 이루어진 논리회로를 갖는 반도체 집적회로로서, 동작시의 입력신호의 상태에 따라 복수의 소자 중 실질적으로 차단 상태로 되는 소자의 전원전압을 상기 소자의 구동능력이 더욱 작아지도록 변경하는 전원전압 변경수단을 구비한다.

제 1 반도체 집적회로에 의하면, 전원전압 변경수단이 동작시에 복수의 소자 중 실질적으로 차단 상태로 되는 소자의 전원전압을 상기 소자의 구동능력이 더욱 작아지도록 변경하기 때문에 동작시의 논리회로에 발생하는 관통 누설전류가 억제된다.

제 1 반도체 집적회로에 있어서, 전원전압 변경수단이 논리회로에 접속되어, 동작시의 입력신호의 상태에 따라 복수의 소자 중 실질적으로 차단 상태로 되는 소자의 제 1 전원전압을 상기 소자의 구동능력이 더욱 작아지는 제 3 전원전압으로 강압하는 강압부와, 논리회로에 접속되어 동작시의 입력신호의 상태에 따라, 복수의 소자 중 실질적으로 차단 상태로 되는 소자의 제 2 전원전압을 상기 소자의 구동능력이 더욱 작아지는 제 4 전원전압으로 승압하는 승압부를 갖는 것이 바람직하다. 이와 같이 하면, 강압부는 논리회로에 포함되는 복수의 소자 중 하이측의 전위에 의해 구동되는 소자가 실질적으로 차단 상태로 되는 경우 상기 소자의 전원전압을 강압하고, 승압부는 논리회로에 포함되는 복수의 소자중 로우측의 전위에 의해 구동되는 소자가 실질적으로 차단 상태로 되는 경우 상기 소자의 전원전압을 승압하므로, 동작시의 누설전류를 확실하게 억제할 수 있다.

또, 하이측의 전위 또는 로우측의 전위 중 어느 하나의 값으로 논리를 갖게 하는 논리회로에 대하여, 실질적으로 차단상태로 되어 있는 소자의 전위가 하이측의 전위와 로우측 전위의 중간값의 전위로 되기 때문에, 동작 개시시에 논리가 확정하는 것이 빨라져 제 2 의 목적을 달성할 수 있다.

제 1 반도체 집적회로에 있어서, 제 3 전원전압의 전압값과 제 4 전원전압의 전압값이 서로 같은 것이 바람직하다.

제 1 반도체 집적회로에 있어서, 논리회로가 제 1 전원전압이 인가되는 제 1 전원선과 제 2 전원전압이 인가되는 제 2 전원선에 접속되고, 강압부 및 승압부는 제 1 전원선과 제 2 전원선 사이에 접속되어, 상기 제 1 전원선 및 제 2 전원선의 전기적인 접속을 개폐하는 스위치를 갖는 것이 바람직하다.

제 1 반도체 집적회로에 있어서, 제 1 전원전압이 인가되는 제 1 전원선 및 제 2 전원전압이 인가되는 제 2 의 전원선과, 강압부 및 승압부와 접속된 제 1 의사 전원선 및 제 2 의사 전원선을 추가로 구비하고, 논리회로는 제 1 의사 전원선 및 제 2 의사 전원선과 접속되고, 강압부 및 승압부는 제 1 전원선과 제 1 의사 전원선 사이에 접속된 제 1 스위치, 제 2 전원선과 제 2 의사 전원선 사이에 접속된 제 2 스위치, 제 1 의사 전원선과 제 2 의사 전원선 사이에 접속된 제 3 스위치를 갖는 것이 바람직하다.

제 1 반도체 집적회로에 있어서, 제 1 전원전압이 전원전위에 인가되고, 제 2 전원전압이 접지전위에 인가되는 것이 바람직하다.

본 발명에 의한 제 2 반도체 집적회로는, 상기 제 1 및 제 2 의 목적을 달성하고, 각각이 복수의 소자로 이루어진 복수의 논리회로와, 접지전위에 대하여 상대적으로 높은 제 1 전원전압이 인가되는 제 1 전원선 및 접지전위에 대하여 상대적으로 낮은 제 2 의 전원전압이 인가되는 제 2 의 전원선과, 논리회로에 각각 접속되어 동작시의 입력신호의 상태에 따라 제 1 전원전압을 강압하는 강압수단과, 논리회로에 각각 접속되어 동작시의 입력신호의 상태에 따라 제 2 전원전압을 승압하는 승압수단과, 강압수단 및 승압수단과 접속된 제 1 의사 전원선, 제 2 의사 전원선, 제 3 의사 전원선 및 제 4 의사 전원선을 구비하고, 복수의 논리회로 중 일부는 제 1 의사 전원선 및 제 3 의사 전원선과 접속되며, 복수의 논리회로 중의 나머지 부분은 제 2 의사 전원선 및 제 4 의사 전원선과 접속되고, 강압수단 및 승압수단은 제 1 전원선과 제 1 의사 전원선 사이에 접속된 제 1 의 스위치, 제 1 전원선과 제 2 의사 전원선 사이에 접속된 제 2 스위치, 제 2 전원선과 제 3 의사 전원선 사이에 접속된 제 3 스위치, 제 2 전원선과 제 4 의사 전원선 사이에 접속된 제 4 스위치, 제 1 의사 전원선과 제 4 의사 전원선 사이에 접속된 제 5 스위치 및 제 2 의사 전원선과 제 3 의사 전원선 사이에 접속된 제 6 스위치를 갖는다.

제 2 반도체 집적회로에 의하면, 동작시의 입력신호의 상태에 따라 제 1 전원전압을 강압하는 강압수단과 제 2 전원전압을 승압하는 승압수단이, 예컨대, 제 1 스위치 및 제 4 스위치를 절단하여 제 1 의사 전원선 및 제 4 의사 전원선을 전원전위로부터 플로팅 상태로 하는 동시에 제 5 스위치를 접속함으로써 제 1 의사 전원선 및 제 4 의사 전원선이 하이측의 전위인 제 1 전원전압과 로우측의 전위인 제 2 전원전압의 중간값의 전위로 설정된다. 이로써, 이 중간값의 전위를 복수의 소자 중 실질적으로 차단 상태로 되는 소자에 인가하면, 동작시의 논리회로에 발생하는 관통 누설전류가 억제된다. 여기에서, 제 1 전원전압과 제 2 전원전압의 중간값의 전위는 제 1 전원 전압측에서 보면 강압되고, 또한, 제 2 전원전위측에서 보면 승압되게 된다. 이와 같이, 복수의 논리회로를 각 논리회로에 입력되는 논리에 따라 제 1 및 제 3 의사 전원선에 의해 구동되는 하나의 논리 회로군과 제 2 및 제 4 의사 전원선에 의해 구동되는 다른 논리 회로군으로 나눌 수 있기 때문에, 동작시에 차단 상태로 되는 논리회로와 동작을 행하는 논리회로를 이들의 논리회로군 중 어느 하나에 대응시킬 수 있으므로, 동작시에 차단 상태로 되는 논리회로의 동작전압을 소자의 구동능력이 저하하도록 변경할 수 있다.

또한, 일반적으로 논리회로는 하이측의 전위 또는 로우측의 전위 중 어느 하나의 값으로 논리를 갖게 하고, 차단 상태의 소자의 전위를 중간 전위로 설정하기 때문에 동작 개시시에 논리가 확정되는 것이 빨라진다.

제 2 반도체 집적회로에 있어서, 제 1 ~ 제 6 스위치는 동작시의 입력신호에 의하여 제어되는 것이 바람직하다.

제 2 반도체 집적회로에 있어서, 제 1 전원전압은 전원전위에 인가되고, 제 2 전원전압은 접지전위에 인가되는 것이 바람직하다.

제 2 반도체 집적회로에 있어서, 복수의 논리회로 각각은 서로 도전형이 다른 2개의 전계효과 트랜지스터로 되는 인버터로서, 제 1 의사 전원선 및 제 3 의사 전원선에 각각 접속된 제 1 인버터와, 제 2 의사 전원선 및 제 4 의사 전원선에 각각 접속된 제 2 인버터가 교대로 또한 직렬로 접속되는 것이 바람직하다.

상술한 목적 및 기타의 목적과 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

(실시예)

(제 1 실시예)

본 발명의 제 1 실시예를 도면을 참조하여 설명하기로 한다.

도 1은 본 발명의 제 1 실시예에 의한 반도체 집적회로를 도시한 회로도이다. 도 1에 있어서, 1은 전원전압 변경수단으로서의 강압수단 및 승압수단이고, 제 1 전원전압으로서의 전원전위가 인가되는 전원선(VDD) 및 제 2 전원전압으로서의 접지전위가 인가되는 접지선(VSS)과 접속되는 동시에, 논리회로로서의 4단의 직렬로 접속된 제 1 내지 제 4 인버터(21~24)가 접속된다.

강압수단 및 승압수단(1)은 전원선(VDD)과 제 1 의사 전원선(VDD1) 사이에 접속된 P형 FET로 이루어지는 제 1 스위치 트랜지스터(11)와, 전원선(VDD)과 제 2 의사 전원선(VDD2) 사이에 접속된 P형 FET로 이루어지는 제 2 스위치 트랜지스터(12)를 갖고, 접지선(VSS)과 제 3 의사 전원선(VSS1) 사이에 접속된 N형 FET로 이루어지는 제 3 스위치 트랜지스터(13)와, 접지선(VSS)과 제 4 의사 전원선(VSS2) 사이에 접속된 N형 FET로 이루어지는 제 4 스위치 트랜지스터(14)를 갖는다. 또, 제 1 의사 전원선(VDD1)과 제 4 의사 전원선(VSS2) 사이에 접속된 N형 FET로 이루어지는 제 5 스위치 트랜지스터(15)와, 제 2 의사 전원선(VDD2)과 제 3 의사 전원선(VSS1) 사이에 접속된 P형 FET로 이루어지는 제 6 스위치 트랜지스터(16)를 갖는다.

제 1 인버터(21)는 입력단자에 입력되는 입력신호(A)를 수신하여 소스노드가 제 1 의사 전원선(VDD1)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q1)와, 소스노드가 제 3 의사 전원선(VSS1)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q2)로 구성되고, 제 2 인버터(22)는 제 1 인버터(21)의 출력신호(B)를 수신하여 소스노드가 제 2 의사 전원선(VDD2)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q3)와, 소스노드가 제 4 의사 전원선(VSS2)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q4)로 구성되며, 제 3 인버터(23)는 제 2 인버터(22)의 출력신호(C)를 수신하여 소스노드가 제 1 의사 전원선(VDD1)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q5)와, 소스노드가 제 3 의사 전원선(VSS1)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q6)로 구성되고, 제 4 인버터(24)는 제 3 인버터(23)의 출력신호(D)를 수신하여 소스노드가 제 2 의사 전원선(VDD2)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q7)와, 소스노드가 제 4 의사 전원선(VSS2)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q8)로 구성된다.

제어회로(17)는 입력신호(A) 및 대기신호(STB1)를 수신하여 제 1 ~ 제 4 스위치 트랜지스터(11~14)를 제어하는 의사 전원 제어신호(P1, P2, N1 및 N2)를 출력하는 제어회로로서, 의사전원 제어신호(P1)는 제 1 스위치 트랜지스터(11)의 게이트 전극에 입력되고, 의사전원 제어신호(P2)는 제 2 스위치 트랜지스터(12)의 게이트 전극에 입력되며, 의사전원 제어신호(N1)는 제 3 스위치 트랜지스터(13)의 게이트 전극에 입력되고, 의사전원 제어신호(N2)는 제 4 스위치 트랜지스터(14)의 게이트 전극에 입력된다. 마찬가지로, 제 5 및 제 6 스위치 트랜지스터(15, 16)도 입력신호(A)에 의해 제어된다.

여기에서, 각 인버터(21~24)를 구성하는 각 FET는 저임계값 FET이기 때문에 저전압하에서 고속동작이 가능하고, 한편, 각 스위치 트랜지스터(11~14)를 구성하는 각 FET는 누설전류를 억제할 수 있도록 각각 고임계값을 갖는다.

도 2에 제어회로(17)의 구체예를 나타낸다. 제어회로(17)는 도 2에 도시된 바와 같이 제 1 전압제어 인버터(31) 및 제 2 전압제어 인버터(32)와 제 1 대기 제어회로(18) 및 제 2 대기 제어회로(19)로 구성된다. 제 1 대기 제어회로(18)는 대기신호(STB2), 입력신호(A) 및 제 1 전압제어 인버터(31)에 의해 반전된 입력 반전신호(/A)를 병렬로 수신하여 강압수단 및 승압수단(1)에 의사전원 제어신호(P1, P2)를 출력하는 동시에, 제 2 대기 제어회로(19)는 대기신호(STB3), 입력신호(A) 및 제 2 전압제어 인버터(32)에 의해 반전된 입력 반전신호(/A)를 병렬로 수신하여 강압수단 및 승압수단(1)에 의사전원 제어신호(N1, N2)를 출력한다.

도 3은 본 실시예에 의한 대기 제어회로의 회로구성으로서, (a)는 제 1 대기 제어회로(18)를 나타내고, (b)는 제 2 대기 제어회로(19)를 나타낸다. 도 3의 (a)에 도시된 바와 같이, 제 1 대기 제어회로(18)는 대기신호(STB2)를 수신하여 상기 대기신호(STB2)를 반전하여 출력하는 제 1 인버터(18a)와, 상기 제 1 인버터(18a)의 출력신호에 제어되어 소스전극이 전원선(VDD)에 접속되고, 드레인 전극이 출력 단자에 접속된 제 1 및 제 2 PMOS 스위치 트랜지스터(18b, 18c)와, 대기신호(STB2)에 제어되어 입력 반전신호(/A)를 의사전원 제어신호(P2)로서 출력하는 제 1 CMOS 스위치(18d)와, 제 1 인버터(18a)의 출력을 수신하여 제 1 CMOS 스위치(18d)의 P측의 제어단자를 제어하는 제 2 인버터(18e)와, 대기신호(STB2)에 제어되어 입력신호(A)를 의사전원 제어신호(P1)로서 출력하는 제 2 CMOS 스위치(18f)와, 제 1 인버터(18a)의 출력신호를 수신하여 제 2 CMOS 스위치(18f)의 P측의 제어단자를 제어하는 제 3 인버터(18g)로 구성된다.

또한, 제 2 대기 제어회로(19)는 대기신호(STB3)에 의해 제어되어 소스전극이 접지선(VSS)에 접속되고, 드레인 전극이 출력단자에 접속되는 제 1 및 제 2 NMOS 스위치 트랜지스터(19a, 19b)와, 대기신호(STB3)에 의해 제어되어 입력 반전신호(/A)를 의사전원 제어신호(N2)로서 출력하는 제 1 CMOS 스위치(19c)와, 대기신호(STB3)에 의해 제어되어 제 1 CMOS 스위치(19c)의 N측의 제어단자를 제어하는 제 1 인버터(19d)와, 대기신호(STB3)에 의해 제어되어 입력신호(A)를 의사전원 제어신호(N1)로서 출력하는 제 2 CMOS 스위치(19e)와, 대기신호(STB3)에 의해 제어되어 제 2 CMOS 스위치(19e)의 N측의 제어단자를 제어하는 제 2 인버터(19f)로 구성된다.

이하, 상기와 같이 구성된 반도체 집적회로의 동작을 도면을 참조하여 설명하기로 한다.

도 2에 있어서, 스텝바이(대기)시에는 대기신호(STB2 및 STB3) 중 적어도 한 쪽을 하이상태로 하고, 예컨대, STB2만을 하이상태로 하면 도 3의 (a)에 있어서, 제 1 및 제 2 PMOS 스위치 트랜지스터(18b, 18c)가 동시에 도통함으로써, 의사전원 제어신호(P1, P2)가 동시에 하이상태로 되어, 도 2에 도시된 제 1 및 제 2 스위치 트랜지스터(11, 12)의 쌍이 오프되므로, 전원선(VDD)으로부터 접지선(VSS)으로 통하는 전류경로가 절단되어 스텝바이시의 누설전류가 억제된다. 이 동작은 종래의 MTCMOS 와 마찬가지로이다.

다음으로, 동작시의 회로 동작을 설명하기로 한다. 동작시에는 대기신호(STB2, STB3)를 동시에 로우 상태로 천이시킴으로써 의사전원 제어신호(P1, P2, N1 및 N2)를 입력신호(A)에 따라 변경할 수 있도록 한다.

여기에서, 회로 동작시의 각 인버터(21~24)의 상태에는 2 종류가 있다. 즉, 입력신호(A)가 하이이고 또한 출력신호(E)가 하이인 제 1 상태와, 입력신호(A)가 로우이고 출력신호(E)가 로우인 제 2 상태이다.

우선, 제 1 상태에서부터 제 2 상태로 천이하는 경우의 회로 동작을 설명하기로 한다.

도 2에 있어서, 입력신호(A)가 로우일 때, 제 1 인버터(21)는 하이로 출력할 필요가 있기 때문에 의사전원 제어신호(P1)가 입력신호(A)에 동기하여 로우가 되므로, 제 1 의사 전원선(VDD1)이 하이레벨이 되어 제 1 인버터(21)는 하이로 출력할 수 있다. 의사전원 제어신호(P2)가 반대로 하이로 되기 때문에 제 2 의사 전원선(VDD2)은 플로팅 상태로 된다. 또, 의사전원 제어신호(N2)는 입력신호(A)에 동기하여 하이로 되기 때문에 제 4 의사 전원선(VSS2)의 전위가 VSS가 되기 때문에 제 2 인버터(22)는 제 1 인버터(21)의 하이출력을 수신하여 로우를 출력할 수 있다. 이 때, 의사전원 제어신호(N1)가 로우가 되기 때문에, 제 3 의사 전원선(VSS1)은 플로팅 상태로 된다. 또, 제 3 인버터(23)는 제 1 인버터(21)와 마찬가지로 로우 입력과 제 1 의사 전원선(VDD1)의 하이전위를 접수하여 하이로 출력하고, 또, 제 4 인버터(24)는 제 2 인버터(22)와 마찬가지로 하이 입력과 제 4 의사 전원선(VSS2)의 로우 전위를 수신하여 로우를 출력한다.

이 때, 각 인버터의 출력전위와 반대측의 전위는 논리(=출력결과)에는 관계가 없기 때문에 전원전위 또는 접지전위일 필요는 없다. 오히려, 각 인버터(21~24)에 인가되는 전원전위와 접지전위의 전위차가 작을수록 누설전류가 적으므로 전력절약을 도모할 수 있게 된다.

따라서, 입력신호(A)가 로우일 때 제 5 스위치 트랜지스터(15)를 오피로 하고, 또한, 제 6 스위치 트랜지스터(16)를 온으로 한다. 이로써, 제 5 스위치 트랜지스터(15)가 오피되므로 제 1 의사 전원선(VDD1)과 제 4 의사 전원선(VSS2)은 소정의 전위를 보유할 수 있다.

또, 제 6 스위치 트랜지스터(16)가 온 되므로 제 2 의사 전원선(VDD2)과 제 3 의사 전원선(VSS1)은 서로 접속되어 단락된다. 이로써, 제 2 의사 전원선(VDD2)은 전원선(VDD)의 전원전위로부터, 또, 제 3 의사 전원선(VSS1)은 접지선(VSS)의 접지전위로부터 플로팅 상태로 되는 동시에 단락됨으로써 동전위로 되므로, 강압된 제 3 전원전압 및 승압된 제 4 전원전압으로서의 각각의 전위는 모두 전원전위와 접지전위의 중간전위(이하, 편의상 VDD/2로 기재함)정도가 된다. 그 결과, 제 1 및 제 3 인버터(21, 23)의 전원측에는 전원선(VDD)의 전원전위가 공급되는 동시에 접지측에는 중간전위(VDD/2)가 공급되고, 제 2 및 제 4 인버터(22, 24)의 전원측에는 중간전위(VDD/2)가 공급되는 동시에 접지측에는 접지전위가 공급되기 때문에 각 인버터에는 종래의 절반 정도의 전위차밖에 인가되지 않으므로 대폭 누설전류를 억제할 수 있다.

또, 이 경우의 전류경로는 차례로 전원선(VDD)→제 1 스위치 트랜지스터(11)→제 1 인버터(21)의 저임계값 트랜지스터(Q1) 및 제 3 인버터(23)의 저임계값 트랜지스터(Q5)→제 1 인버터(21)의 저임계값 트랜지스터(Q2) 및 제 3 인버터(23)의 저임계값 트랜지스터(Q6)→제 6 스위치 트랜지스터(16)→제 2 인버터(22)의 저임계값 트랜지스터(Q3) 및 제 4 인버터(24)의 저임계값 트랜지스터(Q7)→제 2 인버터(22)의 저임계값 트랜지스터(Q4) 및 제 4 인버터(24)의 저임계값 트랜지스터(Q8)→제 4 스위치 트랜지스터(14)→접지선(VSS)으로 되어, 종래보다도 직렬 접속되는 트랜지스터의 수가 증가하기 때문에 누설전류를 억제할 수 있다.

다음으로 제 2 상태에서부터 제 1 상태로 천이하는 경우의 회로동작을 설명하기로 한다.

도 2에 있어서, 입력신호(A)가 하이일 때, 제 1 인버터(21)는 로우를 출력할 필요가 있기 때문에, 의사전원 제어신호(N1)가 입력신호(A)에 동기하여 하이가 되므로 제 3 의사 전원선(VSS1)이 접지선(VSS)과 도통하여 로우 레벨이 되어 제 1 인버터(21)는 로우를 출력할 수 있다. 이 때, 의사전원 제어신호(N2)는 로우가 되어 제 4 스위치 트랜지스터(14)가 오피되기 때문에, 제 4 의사 전원선(VSS2)은 플로팅 상태로 된다. 또, 의사전원 제어신호(P2)가 로우가 되어 제 2 의사 전원선(VDD2)이 전원선(VDD)과 도통하여 전원전위가 되기 때문에, 제 2 인버터(22)는 제 1 인버터(21)의 로우 출력을 수신하여 하이로 출력할 수 있다. 이 때, 의사전원 제어신호(P1)가 하이로 되어 제 1 스위치 트랜지스터(11)가 오피되기 때문에 제 1 의사 전원선(VDD1)은 플로팅 상태로 된다. 또, 제 3 인버터(23)는 제 1 인버터(21)와 마찬가지로 하이 입력과 제 3 의사 전원선(VSS1)의 로우 전위를 수신하여 출력하고, 제 4 인버터(24)는 제 2 인버터(22)와 마찬가지로 로우 입력과 제 2 의사 전원선(VDD2)의 하이전위를 수신하여 하이로 출력한다.

이 때, 각 인버터의 출력전위와 반대측의 전위는 논리에는 관계가 없기 때문에 전원전위 또는 접지전위일 필요가 없다. 그래서, 제 2 상태일 때와 마찬가지로 입력신호(A)를 수신하여 제 5 스위치 트랜지스터(15)를 온하고, 또한, 제 6 스위치 트랜지스터(16)를 오피함으로써 플로팅 상태에 있는 제 1 의사 전원선(VDD1)과 제 4 의사 전원선(VSS2)을 단락시켜 거의 중간전위(VDD/2)로 한다.

또한, 이 경우의 전류경로는 차례로 전원선(VDD)→제 2 스위치 트랜지스터(12)→제 2 인버터(21)의 저임계값 트랜지스터(Q3) 및 제 4 인버터(24)의 저임계값 트랜지스터(Q7)→제 2 인버터(22)의 저임계값 트랜지스터(Q4) 및 제 4 인버터(24)의 저임계값 트랜지스터(Q8)→제 5 스위치 트랜지스터(15)→제 1 인버터(21)의 저임계값 트랜지스터(Q1) 및 제 3 인버터(23)의 저임계값 트랜지스터(Q5)→제 1 인버터(21)의 저임계값 트랜지스터(Q2) 및 제 3 인버터(23)의 저임계값 트랜지스터(Q6)→제 3 스위치 트랜지스터(13)→접지선(VSS)으로 된다.

도 4는 제 1 및 제 2 각각의 상태의 신호의 변화를 도시한 타이밍도이다. 입력신호(A)에 동기하여 제 1~6의 각 스위치 트랜지스터(11~16)를 제어하기 때문에 제 1 의사 전원선(VDD1)과 제 4 의사 전원선(VSS2)이 단락하는 타이밍은 접속되는 인버터의 단수 및 그 지연시간에 관계없고 또한 신호의 전달보다도 빠르다.

구체적으로는, 도 4에 도시된 바와 같이 제 2 상태에서부터 제 1 상태로 변화된 경우, 즉, 입력신호(A)가 로우로부터 하이로 변화된 경우 제 4 인버터(24)의 출력신호(E)에 착안하면 제 1 인버터(21), 제 2 인버터(22), 제 3 인버터(23)를 차례로 경유한 신호가 제 4 인버터(24)에 도달하기 전에 제 6 스위치 트랜지스터(16)가 도통하고, 제 1 의사 전원선(VDD1)과 제 4 의사 전원선(VSS2)이 단락하기 때문에, 이 단락에 의해 제 1 의사 전원선(VDD1)과 제 4 의사 전원선(VSS2)의 전위차가 완화된다. 이 완화에 의하여 제 4 인버터(24)는 미리 중간전위(VDD/2)가 부여되고, 그 후, 제 1~제 3 인버터(21~23)를 경유하여 온 정류의 신호에 의해 제 4 인버터(24)의 출력전위가 전위(VDD)에까지 승압된다. 따라서, 제 4 인버터(24)

는 먼저 중간전위(VDD/2)에까지 변화되기 때문에, 실선으로 나타내는 본 실시예에 있어서의 출력신호(E)의 지연시간(Ta)은 점선으로 나타내는 종래 회로에서의 출력신호(B, C, D)와 같이 차례로 지연이 누적한 출력신호(E)의 지연시간(Tb)보다도 짧아지므로 고속으로 동작하게 된다.

상기 고속 동작은 정규의 신호전달과 의사 전원전압의 변화 타이밍에 의한 것이고, 회로를 구성하는 인버터의 단수가 많을수록, 또, 각 인버터의 지연시간이 클수록 효과가 커진다.

이와 같이 본 실시예에 의하면, 논리회로인 인버터가 짝수개 직렬로 접속되기 때문에, 입력신호(A)와 출력신호(E)는 반드시 극성이 같아지고, 더구나, 입력신호(A)의 극성이 입력측으로부터 차례로 반전하는 특성을 이용함으로써, 예컨대, 입력신호(A)가 하이인 경우, 제 1 인버터(21)의 출력신호(B) 및 제 3 인버터(23)의 출력신호(D)는 반드시 로우를 출력하기 때문에 제 1 인버터(21) 및 제 3 인버터(23)의 각 소스노드는 로우레벨의 전위를 공급하는 접지선(VSS)에만 접속되어 있으면 되고, 전원선(VDD)측의 각 소스노드를 플로팅 상태로 할 수 있다. 한편, 제 2 인버터(22)의 출력신호(C) 및 제 4 인버터(24)의 출력신호(E)는 반드시 하이로 출력하므로 제 2 인버터(22) 및 제 4 인버터(24)의 각 소스노드는 하이레벨의 전위를 공급하는 전원선(VDD)에만 접속되어 있으면 되고, 접지선(VSS)측의 각 소스노드를 플로팅 상태로 할 수 있다. 반대로, 입력신호(A)가 로우인 경우, 제 1 인버터(21) 및 제 3 인버터(23)는 하이레벨의 전위를 공급하는 전원선(VDD)에만 접속되어 있으면 되고, 접지선(VSS)측의 각 소스노드를 플로팅 상태로 할 수 있고, 또, 제 2 인버터(22) 및 제 4 인버터(24)는 로우레벨의 전위를 공급하는 접지선(VSS)에만 접속되어 있으면 되며, 전원선(VDD)측의 각 소스노드를 플로팅 상태로 할 수 있다.

또, 본 실시예에 있어서는 플로팅 상태로 된 접지선(VSS)측의 각 소스노드와 전원선(VDD)측의 각 소스노드를 단락시킴으로써, 동작시의 누설전류의 저감과 동작의 고속화를 양립시키고 있으나, 각 소스노드를 플로팅 상태 그대로의 구성으로 하는 것이라면 동작시의 누설전류의 저감을 실현할 수 있다.

또, 출력신호에 기여하지 않는 트랜지스터의 소스노드를 플로팅으로 하지 않고 전원선(VDD)측의 소스노드를 전원전위보다도 낮게하거나 또는 접지선(VSS)측의 소스노드를 접지전위보다도 높게 하여도 동작시의 누설전류의 저감을 실현할 수 있다.

이상 설명한 바와 같이, 본 발명에 의한 반도체 집적회로는 그 구성상, 복수단의 인버터가 직렬 접속되는 경우에 특히 유효하다. 도 5에 도시된 바와 같이 인버터가 직렬 접속되는 예로서, 메모리 셀 어레이의 워드선(WL)을 구동하는 드라이버 회로를 들 수 있다. 메모리 셀 어레이와 같이 대단히 부하가 큰 회로를 구동하기 위해서는 그 회로의 규모에 따른 사이즈의 트랜지스터가 필요하게 되지만, 사이즈가 큰 트랜지스터를 그대로 이용하면 그 트랜지스터를 구동하는 데 시간이 필요하기 때문에 고속화할 수 없다. 이러한 경우는, 사이즈가 작은 트랜지스터로부터 서서히 사이즈가 큰 트랜지스터를 복수단으로 나누어 구동한 쪽이 고속화할 수 있다.

따라서, 본원은 드라이버 회로와 같은 사이즈가 큰 트랜지스터를 이용하는 회로에 특히 유효하다.

또, 본 실시예에 있어서는 논리회로에 인버터를 이용하였으나, 이에 한정되지 않고 다른 논리회로에서도 적용할 수 있고, 그 경우에 있어서도 입력신호의 상태에 따라 실질적으로 차단되는 트랜지스터의 소스전위를 누설전류가 저감하도록 변경함으로써 누설전류의 저감에 의한 전력 절약화와 고속화를 실현할 수 있다.

또한, 본 실시예에 있어서는, 전원전압 변경수단에 강압과 승압이 일체로 실현되는 강압수단 및 승압수단(1)을 이용하였으나, 제 1 전원전압인 전원전압을 강압하는 강압수단 및 제 2 전원전압인 접지전압을 승압하는 승압수단 중 어느 한쪽이 어도 된다.

또, 전원전압이 강압되어 이루어지는 제 3 전원전압 또는 접지전압이 승압되어 이루어지는 제 4 전원전압은 본 집적회로의 외부로부터 주어지는 구성이어도 된다.

(제 1 실시예의 변형예)

이하, 본 발명의 제 1 실시예의 변형예를 도면을 참조하여 설명하기로 한다.

도 6은 본 발명의 제 1 실시예의 변형예에 의한 반도체 집적회로를 도시한 회로도이다. 도 6에 있어서, 도 1에 도시된 구성요소와 동일한 구성요소에는 동일한 부호를 부여하여 설명을 생략하기로 한다. 제 1 실시예와의 상위점은 제 1 인버터(21)의 Q11, 제 2 인버터(22)의 Q14, 제 3 인버터(23)의 Q15 및 제 4 인버터(24)의 Q18은 각각 고임계값 트랜지스터인

점, P형 고임계값 트랜지스터(Q11, Q15)의 소스노드는 제 1 스위치 트랜지스터(11)를 개재시켜 전원선(VDD)의 전위보다도 높은 전위로 인가되는 고전위 전원선(VPP)에 접속되는 점, N형 고임계값 트랜지스터(Q14, Q18)의 소스노드는 제 4 스위치 트랜지스터(14)를 개재시켜 접지선(VSS)보다도 낮은 전위로 인가되는 저전위 전원선(VBB)에 접속되는 점이다. 또, 제어회로(17)는 도 2에 도시된 바와 같이 입력신호(A)를 수신하여 의사전원 제어신호(P2 및 N2)로서 각각 인버터(31 및 32)를 개재시켜 반전 출력하는 동시에 의사전원 제어신호(P1 및 N1)를 관통하여 출력하는 회로에서도 된다.

이하, 상기와 같이 구성된 반도체 집적회로의 동작을 설명하기로 한다.

스탠바이시에는 의사전원 제어신호(P1, P2, N1 및 N2)를 조합함으로써 제 1 및 제 2 스위치 트랜지스터(11, 12)의 쌍과 제 3 및 제 4 스위치 트랜지스터(13, 14)의 쌍 중 적어도 한쪽을 오프로 하여 전원선(VDD)로부터 저전위 접지선(VBB)으로 통하는 전류경로 및 고전위 전원선(VPP)으로부터 접지선(VSS)으로 통하는 전류 경로를 절단하여 스탠바이시의 누설 전류를 억제한다.

우선, 제 2 상태에서부터 제 1 상태로 천이하는 경우의 회로동작을 설명하기로 한다.

도 6에 있어서, 입력신호(A)가 하이로 천이하였을 때, 제 1 인버터(21)는 로우를 출력할 필요가 있기 때문에 의사전원 제어신호(N1)에 동기하여 하이로 되므로, 제 3 의사 전원선(VSS1)이 접지선(VSS)과 도통하여 로우레벨이 되어 제 1 인버터(21)는 로우를 출력할 수 있다. 이 때, 의사전원 제어신호(N2)는 로우가 되어 제 4 스위치 트랜지스터(14)가 오프가 되기 때문에 제 4 의사 전원선(VSS2)은 플로팅 상태로 된다. 또한, 의사전원 제어신호(P2)는 입력신호(A)에 동기하여 로우가 되어 제 2 의사 전원선(VDD2)의 전위가 전원선(VDD)의 전위가 되기 때문에, 제 2 인버터(22)는 제 1 인버터(21)의 로우 출력을 수신하여 하이로 출력할 수 있다. 이 때, 의사전원 제어신호(P1)는 하이로 되어 제 1 스위치 트랜지스터(11)가 오프되기 때문에 제 1 의사 전원선(VDD1)은 플로팅 상태로 된다. 또, 제 3 인버터(23)는 제 1 인버터(21)와 마찬가지로 하이 입력과 제 3 의사 전원선(VSS1)의 로우 전위를 수신하여 로우를 출력하고, 제 4 인버터(24)는 제 2 인버터(22)와 마찬가지로 로우 입력과 제 2 의사 전원선(VDD2)의 하이전위를 수신하여 하이로 출력한다.

이 때, 각 인버터의 출력전위와 반대측의 전위는 논리에는 관계가 없기 때문에 전원전위 또는 접지전위일 필요가 없다. 그래서, 입력신호(A)를 수신하여 제 5 스위치 트랜지스터(15)를 온하고, 또, 제 6 스위치 트랜지스터(16)를 오프함으로써 플로팅 상태에 있는 제 1 의사 전원선(VDD1)과 제 4 의사 전원선(VSS2)을 단락시켜 중간전위(VDD/2) 정도로 되는 동전위로 한다.

또, 제 1 의사 전원선(VDD1)에 접속되는 고임계값 트랜지스터(Q11, Q15) 및 제 4 의사 전원선(VSS2)에 접속되는 고임계값 트랜지스터(Q14, Q18)는 각각 고임계 값을 갖기 때문에, 오프 누설전류가 거의 흐르지 않는다. 그 결과, 회로전체의 오프 누설전류는 격감하는 동시에, 또 논리값이 변화할 때의 관통 누설전류도 이들의 고임계값 트랜지스터에 의해 억제되기 때문에 소비전력을 확실히 억제할 수 있다.

다음으로, 제 1 상태에서부터 제 2 상태로 천이하는 경우의 회로동작을 설명하기로 한다.

제 2 상태의 경우도 제 1 실시예와 같은 동작을 행하여 전력 절약화를 도모하고, 본 실시예에 있어서는 논리 변환시의 관통 누설전류를 저감하기 위하여 각 인버터에 고임계값 트랜지스터(Q11, Q14, Q15, Q18)를 이용한다. 따라서, 제 1 상태일 때에는 이들의 고임계값 트랜지스터(Q11, Q14, Q15, Q18)가 모두 차단 상태가 되지만, 제 2 상태일 때에는 이들의 고임계값 트랜지스터(Q11, Q14, Q15, Q18)가 각 인버터의 출력노드의 충방전에 기여하기 때문에, 상기 제 1 실시예 그대로는 구동전류가 부족하다. 그 결과, 신호전달에 시간이 필요하게 되어 고속동작이 불가능하게 된다.

그래서, 본 실시예에 있어서는 고임계값 트랜지스터(Q11, Q15)의 소스노드에 공급되는 전원전위로서 전원선(VDD)에 인가되는 전압보다도 큰 전압(편의상, VPP라 함)을 이용함으로써, 또한, 고임계값 트랜지스터(Q14, Q18)의 소스노드에 공급되는 접지전위로서 접지선(VSS)에 인가되는 전압보다도 작은 전압(편의상, VBB로 함)을 이용함으로써 각각의 구동 전류를 확보한다.

또한, 제 1 실시예와 마찬가지로, 동작시의 누설전류의 저감뿐만 아니라 동작의 고속화도 실현된다. 즉, 도 7의 타이밍도에 도시된 바와 같이 제 2 상태에서부터 제 1 상태로 천이할 때의 제 4 인버터(24)의 출력신호(E)에 착안하면, 제 4 인버터(24)는 먼저 중간전위(VPP+VBB)/2까지 변화되기 때문에 실선으로 도시된 본 실시예에 있어서의 출력신호(E)의 지연시간(Tc)은 점선으로 도시된 종래 회로에서의 지연시간(Td)보다도 짧아지므로 고속으로 동작하게 된다.

이와 같이, 본 실시예에 의하면, 제 1 상태시에는 각 인버터(21~24)의 저임계값 트랜지스터(Q2, Q3, Q6, Q7)만이 활성화되기 때문에, 저전압하에서도 구동전류가 확보되는 동시에, 차단되는 고임계값 트랜지스터(Q11, Q14, Q15, Q18) 서로의 소스노드를 단락하기 때문에 동작이 고속화된다.

한편, 설계의 번잡함이나 회로규모의 증대를 피하기 위하여 고전위 전원선(VPP)이나 저전위 전원선(VBB)에 인가하기 위한 내부전원을 이용하지 않는 경우는 입력신호가 하이로부터 로우로 변하는 제 2 상태로의 천이 동작이 완만하게 될 우려가 있다.

그러나, 디지털 회로에서는 하이 및 로우의 2진값이 이용되기 때문에 그 중의 어느 한쪽이 온을, 다른쪽이 오프를 의미하는 경우가 많다. 즉, 반도체 메모리 회로를 예로 채용하면, 외부입력에 의해 액세스되어 데이터의 입출력이 행해지는 동작이 하나의 온 동작이고, 다른 온 동작을 위하여 하나의 온 동작을 리셋하는 리셋 동작이 오프 동작이다. 결국, 이 반도체 메모리 회로에서는 온 동작의 속도는 액세스 시간이라는 성능을 좌우하는 중요한 요소이고, 이에 대하여 오프 동작은 다른 온 동작에 지장을 주지 않을 정도로 리셋이 행해지면 되고, 온 동작만큼 그 속도는 중요하지 않다.

따라서, 본 실시예에 의한 반도체 집적회로는 저임계값 트랜지스터에 의하여 고속동작이 가능한 논리를 온 동작으로 할당하여, 고임계값 트랜지스터에 의하여 저속 동작으로 되는 논리를 오프 동작으로 할당함으로써 동작시의 저소비 전력화와 실질적인 고속화의 양립을 도모할 수 있다.

또, 고임계값 트랜지스터에 접속된 고전위 전원선(VPP) 및 저전위 전원선(VBB)에 인가하기 위한 내부전원 각각의 전위는 이들 고임계값 트랜지스터의 저속성을 보충하는 것이고, 요구방법에 따라 각 전위의 설정을 변경함으로써 고임계값 트랜지스터의 속도를 제어하는 것이 가능해진다.

(제 2 실시예)

이하, 본 발명의 제 2 의 실시예를 도면을 참조하여 설명하기로 한다.

상기 제 1 실시예의 변형예에 의한 반도체 집적회로는 저임계값 트랜지스터에 의하여 고속동작이 가능한 논리를 온 동작으로 할당하여, 고임계값 트랜지스터에 의하여 저속 동작으로 되는 논리를 오프 동작으로 할당하고, 오프 동작이 저속이라도 지장이 없는 회로, 예컨대, 메모리 셀을 액세스하는 드라이버 회로를 상정하고 있으나, 본 실시예에서는 온 동작 및 오프 동작 중 어느 하나의 동작이어도 동작시의 저소비 전력화와 고속화의 양립을 도모할 수 있도록 하는 것을 목적으로 한다.

도 8은 본 발명의 제 2 실시예에 의한 반도체 집적회로의 회로 블록도이다. 도 8에 있어서, 51은 4단의 인버터가 직렬 접속되어 입력신호(A1)를 수신하여 출력 신호(E1)를 출력하는 제 1 논리회로로서, 그 구성을 도 9의 회로도에 나타낸다. 도 9에 도시된 바와 같이, 제 1 논리회로(51)는 입력신호(A1)를 수신하여 소스노드가 제 1 의사 전원선(VDD11)에 접속되는 P형 FET로 이루어지는 고임계값 트랜지스터(Q31)와 소스노드가 제 3 의사 전원선(VSS11)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q32)로 구성되는 제 1 인버터, 제 1 인버터의 출력신호(B1)를 수신하여 소스노드가 제 2 의사 전원선(VDD12)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q33)와 소스노드가 제 4 의사 전원선(VSS12)에 접속되는 N형 FET로 이루어지는 고임계값 트랜지스터(Q34)로 구성되는 제 2 인버터, 제 2 인버터의 출력신호(C1)를 수신하여 소스노드가 제 1 의사 전원선(VDD11)에 접속되는 P형 FET로 이루어지는 고임계값 트랜지스터(Q35)와 소스노드가 제 3 의사 전원선(VSS11)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q36)로 구성되는 제 3 인버터, 제 3 인버터의 출력신호(D1)를 수신하여 소스노드가 제 2 의사 전원선(VDD12)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q37)와 소스노드가 제 4 의사 전원선(VSS12)에 접속되는 N형 FET로 이루어지는 고임계값 트랜지스터(Q38)로 구성되는 제 4 인버터가 차례로 직렬로 접속된다.

52는 4단의 인버터가 직렬 접속되고, 입력신호(A2)를 수신하여 출력신호(E2)를 출력하는 제 2 논리회로로서, 그 구성을 도 10의 회로도에 나타낸다. 도 10에 도시된 바와 같이 제 2 논리회로(52)는 입력신호(A2)를 수신하여 소스노드가 제 1 의사 전원선(VDD21)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q41)와 소스노드가 제 3 의사 전원선(VSS21)에 접속되는 N형 FET로 이루어지는 고임계값 트랜지스터(Q42)로 구성되는 제 1 인버터, 제 1 인버터의 출력신호(B2)를 수신하여 소스노드가 제 2 의사 전원선(VDD22)에 접속되는 P형 FET로 이루어지는 고임계값 트랜지스터(Q43)와 소스노드가 제 4 의사 전원선(VSS22)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q44)로 구성되는 제 2 인버터, 제 2 인버터의 출력신호(C2)를 수신하여 소스노드가 제 1 의사 전원선(VDD21)에 접속되는 P형 FET로 이루어지는 저임계값 트랜지스터(Q45)와 소스노드가 제 3 의사 전원선(VSS21)에 접속되는 N형 FET로 이루어지는 고임계값

트랜지스터(Q46)로 구성되는 제 3 인버터, 제 3 인버터의 출력신호(D2)를 수신하여 소스노드가 제 2 의사 전원선(VDD22)에 접속되는 P형 FET로 이루어지는 고임계값 트랜지스터(Q47)와 소스노드가 제 4 의사 전원선(VSS22)에 접속되는 N형 FET로 이루어지는 저임계값 트랜지스터(Q48)로 구성되는 제 4 인버터가 차례로 직렬로 접속된다. 따라서, 제 2 논리회로(52)는 고임계값 트랜지스터와 저임계값 트랜지스터의 편성이 제 1 논리회로(51)와는 반대이다.

제 1 제어회로(53)는 도 1에 도시된 반도체 집적회로의 4단의 인버터를 제외하는 주변회로에 의해 구성되고, 입력신호(A1)와 제 1 논리회로(51)의 출력신호(E1) 또는 제 2 논리회로(52)의 출력신호(E2)를 수신하여 상기 신호를 보유하여 출력하는 출력신호 보유회로로서의 보유회로(55)의 출력신호(L)에 의해 제어되는 전압 제어회로로서, 제 1 의사 전원선(VDD11), 제 2 의사 전원선(VDD12), 제 3 의사 전원선(VSS11) 및 제 4 의사 전원선(VSS12)의 전위를 제어한다.

제 2 제어회로(54)는 도 1에 도시된 반도체 집적회로의 4단의 인버터를 제외하는 주변회로에 의해 구성되고, 입력신호(A2)와 보유회로(55)의 출력신호(L)에 의해 제어되는 전압 제어회로로서, 제 1 의사 전원선(VDD21), 제 2 의사 전원선(VDD22), 제 3 의사 전원선(VSS21) 및 제 4 의사 전원선(VSS22)의 전위를 제어한다.

56은 출력신호(L)를 수신하여 입력신호(A)를 하이레벨 방향의 펄스성분을 갖는 신호펄스(A1) 또는 로우레벨 방향의 펄스성분을 갖는 신호펄스(A2)로 변환하는 펄스 변환회로이다.

이하, 상기와 같이 구성된 반도체 집적회로의 동작을 설명하기로 한다. 우선, 입력신호(A)가 로우로부터 하이로 천이하는 경우를 설명하기로 한다.

펄스 변환회로(56)는 하이레벨의 입력신호(A)를 수신하여 하이레벨의 신호펄스(A1)를 제 1 제어회로(53)로 출력한다. 제 1 제어회로(53)는 제 2 의사 전원선(VDD12)을 전원선(VDD)의 전위로 천이시키고, 제 3 의사 전원선(VSS11)을 접지선(VSS)의 전위로 천이시키며, 제 1 의사 전원선(VDD11) 및 제 4 의사 전원선(VSS12)을 중간전위(VDD/2)로 천이시킨다. 이 때, 제 1 논리회로(51)의 저임계값 트랜지스터측의 소스전위가 전원선(VDD)의 하이 전위 또는 접지선(VSS)의 로우 전위가 되는 동시에, 고임계값측의 트랜지스터의 소스전위가 중간전위(VDD/2)가 되기 때문에, 논리값이 고속으로 전달되고, 또한, 각 인버터에 인가되는 전위가 중간전위(VDD/2)이기 때문에 누설전류도 대단히 적다. 또한, 고임계값측의 트랜지스터가 갖는 고임계값에 의해 논리값이 변하는 과도기의 관통 누설전류도 억제될 수 있다.

논리값의 전달이 종료되고 제 1 논리회로(51)의 출력신호(E1)가 하이로 천이되면 보유회로(55)가 상기 출력신호(E1)의 하이 레벨값을 보유하여 출력신호(L)를 출력한다. 보유회로(55)에서 출력신호(E1)의 전위가 보유되면 출력신호(L)에 의해 제 1 제어회로(53)가 제어되어 제 2 상태로 천이동작을 시작한다. 즉, 제 2 의사 전원선(VDD12)과 제 3 의사 전원선(VSS11)을 단락하여 중간전위(VDD/2)로 천이시키고, 제 1 의사 전원선(VDD11)을 전원선(VDD)의 하이 전위로, 제 4 의사 전원선(VSS12)을 접지선(VSS)의 전위로 천이시킨다. 또, 입력신호(A)는 펄스 변환회로(56)에 의해 펄스신호(A1)로 변환되기 때문에, 제 1 논리회로(51)에서의 각 인버터의 출력노드는 제 2 상태로의 천이동작을 시작한다.

제 2 상태로의 천이동작은 고임계값측의 트랜지스터를 충방전에 이용하기 때문에 고속동작에 필요한 구동전류를 확보하는 것이 곤란하지만, 본 실시예에 의하면 구동전류는 개선되지 않지만 상기 천이동작을 조금 일찍 시작함으로써 상기 천이동작에 할당되는 시간 마진을 확대할 수 있으므로 고속동작을 실현할 수 있다.

다음으로, 입력신호(A)가 하이로부터 로우로 천이하는 경우를 설명하면, 제 2 논리회로(52)는 제 1 논리회로(51)와는 반대의 동작을 한다. 즉, 입력신호(A)의 다운에지(down edge)에 따라 제 2 제어회로(54)를 제어하고, 제 2 논리회로(52)의 출력신호(E2)가 로우가 되면 보유회로(55)에서 로우를 보유한다.

도 11의 타이밍도에 도시된 바와 같이, 보유회로(55)는 입력신호(A)의 하이출력에 상당하는 신호를 제 1 논리회로(51)의 출력신호(E1)의 업에지(up edge)를 검출하여 보유함으로써 얻어지는 동시에, 입력신호(A)의 로우출력에 상당하는 신호를 제 2 논리회로(52)의 출력신호(E2)의 다운에지를 검출하여 보유함으로써 얻어지기 때문에, 보유회로(55)는 입력신호(A)와 동기한 출력신호(L)를 확실히 출력할 수 있다.

이와 같이, 본 실시예에 의하면 전원전압보다도 큰 전압 또는 접지전압보다도 작은 전압을 이용하지 않고 저전압하에서 고속 또한 저소비 전력 동작이 가능해진다.

발명의 효과

본 발명의 반도체 집적회로의 구동방법에 의하면, 동작시에 복수의 소자 중 실질적으로 차단 상태로 되는 소자의 전원전압을 상기 소자의 구동능력이 보다 작아지도록 변경하기 때문에 동작시의 논리회로에 발생하는 관통 누설전류가 억제되므로, 대기시 뿐만 아니라 동작시에도 누설전류를 억제할 수 있고, 그 결과, 동작시의 소비전력을 저감할 수 있다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 전원전압 변경공정이 전원전압을 강압하는 공정 또는 전원전압을 승압하는 공정을 포함하면, 논리회로에 포함되는 복수의 소자 중에 하이측의 전위에 의해 구동되는 소자가 차단 상태로 되는 경우에는 강압공정이 누설전류의 억제에 유효하게 되고, 로우측의 전위에 의해 구동되는 소자가 차단상태로 되는 경우에는 승압공정이 누설전류의 억제에 유효하게 되므로, 동작시의 누설전류를 확실하게 억제할 수 있다. 또, 하이측의 전위 또는 로우측의 전위 중 어느 하나의 값으로 논리를 갖게 하는 논리회로에 대하여, 실질적으로 차단상태로 되어 있는 소자의 전위가 하이측의 전위와 로우측의 전위 중간값의 전위로 되기 때문에, 동작 개시시에 논리가 확정하는 것이 빨라지므로 동작의 고속화를 도모할 수 있다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 전원전압이 접지전위에 대하여 상대적으로 높은 제 1의 전원전압 또는 접지전위에 대하여 상대적으로 낮은 제 2 전원전압이고, 전원전압 변경공정은 제 1 전원전압을 상기 제 1 전원전압보다도 작은 제 3 전원전압으로 변경하는 공정 또는 제 2 전원전압을 상기 제 2 전원전압보다도 큰 제 4 전원전압으로 변경하는 공정을 포함하면, 논리회로에 포함되는 복수의 소자 중에 하이측의 전위인 제 1 전원전압에 의해 구동되는 소자가 차단 상태로 되는 경우에는, 제 1 전원전압보다도 작은 제 3 전원전압으로 변경하는 공정이 누설전류의 억제에 유효하게 되고, 로우측의 전위인 제 2 전원전압에 의해 구동되는 소자가 차단 상태로 되는 경우에는 제 2 전원전압보다도 큰 제 4 전원전압으로 변경하는 공정이 누설전류의 억제에 유효하게 되므로, 동작시의 누설전류를 확실하게 억제할 수 있다. 또, 하이측의 전위 또는 로우측의 전위 중 어느 하나의 값에 논리를 갖게 하는 논리회로에 대하여 실질적으로 차단 상태로 되는 소자의 전위가 하이측의 전위와 로우측 전위의 중간값의 전위로 되기 때문에, 동작 개시시에 논리가 확정하는 것이 빨라지므로, 동작의 고속화를 도모할 수 있다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 제 3 전원전압의 전압값과 제 4 전원전압의 전압값을 서로 같게 하는 공정을 포함하면, 하이측의 전위인 제 1 전원전압으로부터 강압된 제 3 전원전압과 로우측의 전위인 제 2 전원전압으로부터 승압된 제 4 전원전압을 한번에 설정할 수 있기 때문에, 하이측의 전위와 로우측 전위 사이에 중간값의 전위를 확실하게 생성할 수 있는 동시에 2개의 다른 중간값의 전위를 일부러 생성하지 않더라도 회로구성이 간단해진다.

본 발명의 반도체 집적회로의 구동방법에 있어서, 논리회로는 제 1 전원전압이 인가되는 제 1 전원선과 제 2의 전원전압이 인가되는 제 2 전원선에 접속되고, 전원전압 변경공정이 제 1 전원선을 제 1 전원전압으로부터 차단하는 동시에 제 2 전원선을 제 2 전원전압으로부터 차단한 후, 제 1 전원선과 제 2 전원선을 접속하는 공정을 포함하면, 하이측의 전위는 강압되고 또한 로우측의 전위는 승압됨으로써 제 1 전원전압과 제 2 전원전압의 중간값의 하나의 전위로 되기 때문에, 하이측 전위와 로우측 전위 사이에 중간값의 전위를 확실하게 생성할 수 있는 동시에, 서로 다른 2개의 전위를 생성하지 않더라도 회로구성이 간단해진다.

본 발명의 제 1 반도체 집적회로에 의하면, 전원전압 변경수단이 동작시에 복수의 소자 중 실질적으로 차단상태로 되는 소자의 전원전압을 상기 소자의 구동 능력이 더욱 작아지도록 변경하기 때문에, 동작시의 논리회로에 발생하는 관통 누설 전류가 억제되므로 대기시 뿐만 아니라 동작시에도 누설전류를 억제할 수 있고, 그 결과, 동작시의 소비전력을 저감할 수 있다.

제 1 반도체 집적회로에 있어서, 전원전압 변경수단이 논리회로에 접속되어 동작시의 입력신호의 상태에 따라 복수의 소자 중 실질적으로 차단 상태로 되는 소자의 제 1 전원전압을 상기 소자의 구동능력이 더욱 작아지는 제 3 전원전압으로 강압하는 강압부와, 복수의 소자 중 실질적으로 차단 상태로 되는 소자의 제 2 전원전압을 상기 소자의 구동능력이 더욱 작아지는 제 4 전원전압으로 승압하는 승압부를 가지면, 강압부는 논리회로에 포함되는 복수의 소자 중 하이측 전위에 의해 구동되는 소자가 실질적으로 차단 상태로 되는 경우에 상기 소자의 전원전압을 강압하고, 논리회로에 포함되는 복수의 소자 중 로우전위에 의해 구동되는 소자가 실질적으로 차단 상태로 되는 경우에 상기 소자의 전원전압을 승압하므로, 동작시의 누설전류를 확실하게 억제할 수 있다. 또, 하이측의 전위 또는 로우측의 전위 중 어느 하나의 값에 논리를 갖게 하는 논리 회로에 대하여, 실질적으로 차단 상태로 되는 소자의 전위가 하이측 전위와 로우측 전위의 중간값의 전위로 되기 때문에, 동작 개시시에 논리가 확정하는 것이 빨라지기 때문에 동작의 고속화를 도모할 수 있다.

제 1 반도체 집적회로에 있어서, 제 3 전원전압의 전압값과 제 4 전원전압의 전압값이 서로 같으면, 하이측 전위와 로우측 전위 사이에 중간값의 전위를 확실하게 생성할 수 있는 동시에 값이 다른 2개의 중간값의 전위를 일부러 생성하지 않더라도 회로구성이 간단해진다.

제 1 반도체 집적회로에 있어서, 논리회로가 제 1의 전원전압이 인가되는 제 1 전원선과 제 2 전원전압이 인가되는 제 2의 전원선에 접속되고, 강압부 및 승압부는 제 1 전원선과 제 2 전원선 사이에 접속되어 상기 제 1 전원선 및 제 2 전원선의 전기적인 접속을 개폐하는 스위치를 갖고 있으면, 제 1 전원전압과 제 2 전원전압의 중간값의 하나의 전위를 확실히 생성할 수 있다.

제 1 반도체 집적회로에 있어서, 제 1 전원전압이 인가되는 제 1 전원선 및 제 2 전원전압이 인가되는 제 2 전원선과, 강압부 및 승압부와 접속된 제 1 의사 전원선 및 제 2 의사 전원선을 추가로 구비하고, 논리회로는 제 1 의사 전원선 및 제 2 의사 전원선과 접속되며, 강압부 및 승압부는 제 1 전원선과 제 1 의사 전원 선 사이에 접속된 제 1 스위치, 제 2 전원선과 제 2 의사 전원선 사이에 접속된 제 2 스위치, 제 1 의사 전원선과 제 2 의사 전원선 사이에 접속된 제 3 스위치를 가지면 논리회로에 포함되는 복수의 소자 중 실질적으로 차단 상태로 되는 소자에 대하여 제 1 스위치 및 제 2 스위치를 절단하는 동시에 제 3 스위치를 접속하면, 제 1 전원전압과 제 2 전원전압의 중간값인 하나의 전위를 확실히 생성할 수 있다.

제 1 반도체 집적회로에 있어서, 제 1 전원전압이 전원전위에 인가되어, 제 2 전원전압이 접지전위에 인가되면 논리회로가 확실히 동작한다

본 발명의 제 2 반도체 집적회로에 의하면, 논리회로에 입력되는 논리에 따라 제 1 및 제 3 의사 전원선에 의해 구동되는 하나의 논리회로군과 제 2 및 제 4 의사 전원선에 의해 구동되는 다른 논리 회로군으로 나눌 수 있기 때문에 동작시에 차단 상태로 되는 회로와 동작을 행하는 회로를 이들의 논리회로군 중 어느 하나에 대응시킬 수 있으므로, 동작시에 차단 상태로 되는 회로의 동작 전압을 하이측 전위인 제 1 전원전압과 로우측 전위인 제 2 전원전압의 중간값의 전위로 변경할 수 있고, 이로써, 동작시의 누설전류를 억제할 수 있다. 또, 하이측 전위 또는 로우측 전위 중 어느 하나의 값에 논리를 갖게 하는 논리회로에 대하여, 실질적으로 차단 상태로 되는 소자의 전위가 하이측 전위와 로우측 전위의 중간값의 전위로 되기 때문에 동작 개시시에 논리가 확정하는 것이 빨라지므로 동작의 고속화를 도모할 수 있다.

제 2 반도체 집적회로에 있어서, 제 1 ~ 제 6 스위치는 동작시의 입력신호에 의하여 제어되면 동작시에 입력되는 논리값에 따라 확실하게 강압수단 또는 승압수단이 억제된다.

제 2 반도체 집적회로에 있어서, 제 1 전원전압은 전원전위에 인가되고, 제 2 전원전압은 접지전위에 인가되면 논리회로가 확실히 동작한다.

제 2 반도체 집적회로에 있어서, 복수의 논리회로 각각은 서로 도전형이 다른 2개의 전계 효과트랜지스터로 되는 인버터로서, 제 1 의사 전원선 및 제 3 의사 전원선에 각각 접속된 제 1 인버터와, 제 2 의사 전원선 및 제 4 의사 전원선에 각각 접속된 제 2 인버터가 교대로 또한 직렬로 접속되어 있으면, 교대로 또한 직렬로 접속된 복수의 인버터는 입력측으로부터 차례로 논리가 반전하기 때문에, 한쪽 도전형의 전계효과 트랜지스터가 동작 중이라면 다른쪽 도전형의 전계효과 트랜지스터가 실질적으로 차단되므로, 다른쪽 도전형의 전계효과 트랜지스터를 구동하는 의사 전원선의 전위를 제 1 전원전압과 제 2 전원전압의 중간값의 전위로 하면 동작시의 누설전류를 확실히 억제할 수 있는 회로를 실현할 수 있다. 따라서, 본 발명의 반도체 집적회로를, 예컨대 고부하의 드라이버 회로에 이용하면 동작시의 저소비 전력화 및 고속화를 확실히 실현할 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1.

복수의 소자로 이루어지는 논리회로를 갖는 반도체 집적회로의 구동방법으로서,

동작시의 입력신호의 상태에 따라서, 상기 복수의 소자 중 실질적으로 차단 상태가 되는 소자의 전원전압을 당해 소자의 구동능력이 더욱 작아지도록 변경하는 전원전압 변경단계를 구비하는 것을 특징으로 하는 반도체 집적회로의 구동방법.

청구항 2.

제 1 항에 있어서,

상기 전원전압 변경단계는,

상기 전원전압을 강압하는 단계 또는 상기 전원전압을 승압하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 구동방법.

청구항 3.

제 1 항에 있어서,

상기 전원전압은 접지전위에 대하여 상대적으로 높은 제 1 전원전압 또는 접지전위에 대하여 상대적으로 낮은 제 2 전원전압이고,

상기 전원전압 변경단계는,

상기 제 1 전원전압을 상기 제 1 전원전압보다도 작은 제 3 전원전압으로 변경하는 단계 또는 상기 제 2 전원전압을 상기 제 2 전원전압보다도 큰 제 4 전원전압으로 변경하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 구동방법.

청구항 4.

제 3 항에 있어서,

상기 제 3 전원전압의 전압 값과 상기 제 4 전원전압의 전압 값을 서로 같게 하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 구동방법.

청구항 5.

제 3 항에 있어서,

상기 논리회로는 상기 제 1 전원전압이 인가되는 제 1 전원선과 상기 제 2 전원전압이 인가되는 제 2 전원선에 접속되고,

상기 전원전압 변경단계는,

상기 제 1 전원선을 상기 제 1 전원전압으로부터 차단하는 동시에 상기 제 2 전원선을 상기 제 2 전원전압으로부터 차단한 후, 상기 제 1 전원선과 상기 제 2 전원선을 접속하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로의 구동방법.

청구항 6.

복수의 소자로 이루어지는 논리회로를 갖는 반도체 집적회로로서,

동작시의 입력신호의 상태에 따라서, 상기 복수의 소자 중 실질적으로 차단상태가 되는 소자의 전원전압을 당해 소자의 구동능력이 더욱 작아지도록 변경하는 전원전압 변경수단을 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 7.

제 6 항에 있어서,

상기 전원전압 변경수단은,

상기 논리회로에 접속되며, 동작시의 입력신호의 상태에 따라서, 상기 복수의 소자 중 실질적으로 차단 상태가 되는 소자의 제 1 전원전압을 상기 소자의 구동능력이 더욱 작아지는 제 3 전원전압으로 강압하는 강압부와,

상기 논리회로에 접속되며, 동작시의 입력신호의 상태에 따라서, 상기 복수의 소자 중 실질적으로 차단 상태가 되는 소자의 제 2 전원전압을 상기 소자의 구동능력이 더욱 작아지는 제 4 전원전압으로 승압하는 승압부를 갖는 것을 특징으로 하는 반도체 집적회로.

청구항 8.

제 7 항에 있어서,

상기 제 3 전원전압의 전압값과 상기 제 4 전원전압의 전압값은 서로 같은 것을 특징으로 하는 반도체 집적회로.

청구항 9.

제 7 항에 있어서,

상기 논리회로는, 상기 제 1 전원전압이 인가되는 제 1 전원선과 상기 제 2 전원전압이 인가되는 제 2 전원선에 접속되고,

상기 강압부와 승압부는, 상기 제 1 전원선과 상기 제 2 전원선 사이에 접속되고, 상기 제 1 전원선과 제 2 전원선의 전기적인 접속을 개폐하는 스위치를 갖는 것을 특징으로 하는 반도체 집적회로.

청구항 10.

제 7 항에 있어서,

상기 제 1 전원전압이 인가되는 제 1 전원선 및 상기 제 2 전원전압이 인가되는 제 2 전원선과,

상기 강압부 및 승압부와 접속된 제 1 의사 전원선 및 제 2 의사 전원선을 더 구비하고,

상기 논리회로는 상기 제 1 의사 전원선 및 제 2 의사 전원선과 접속되고,

상기 강압부 및 승압부는, 상기 제 1 전원선과 상기 제 1 의사 전원선 사이에 접속된 제 1 스위치, 상기 제 2 전원선과 상기 제 2 의사 전원선 사이에 접속된 제 2 스위치, 상기 제 1 의사 전원선과 상기 제 2 의사 전원선 사이에 접속된 제 3 스위치를 갖는 것을 특징으로 하는 반도체 집적회로.

청구항 11.

제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 전원전압은 전원전위에 인가되고, 상기 제 2 전원전압은 접지전위에 인가되는 것을 특징으로 하는 반도체 집적회로.

청구항 12.

각각이 복수의 소자로 이루어진 복수의 논리회로와,

접지전위에 대하여 상대적으로 높은 제 1 전원전압이 인가되는 제 1 전원선 및 접지전위에 대하여 상대적으로 낮은 제 2 전원전압이 인가되는 제 2 전원선과,

상기 논리회로에 각각 접속되고, 동작시의 입력신호의 상태에 따라서 상기 제 1 전원전압을 강압하는 강압수단과,

상기 논리회로에 각각 접속되고, 동작시의 입력신호의 상태에 따라서 상기 제 2 전원전압을 승압하는 승압수단과,

상기 강압수단 및 승압수단과 접속된 제 1 의사 전원선, 제 2 의사 전원선, 제 3 의사 전원선 및 제 4 의사 전원선을 포함하고,

상기 복수의 논리회로 중의 일부는 상기 제 1 의사 전원선 및 제 3 의사 전원선과 접속되고, 상기 복수의 논리회로 중의 나머지 부분은 상기 제 2 의사 전원선 및 제 4 의사 전원선과 접속되며,

상기 강압수단 및 승압수단은, 상기 제 1 전원선과 상기 제 1 의사 전원선 사이에 접속된 제 1 스위치, 상기 제 1 전원선과 상기 제 2 의사 전원선 사이에 접속된 제 2 스위치, 상기 제 2 전원선과 상기 제 3 의사 전원선 사이에 접속된 제 3 스위치, 상기 제 2 전원선과 상기 제 4 의사 전원선 사이에 접속된 제 4 스위치, 상기 제 1 의사 전원선과 상기 제 4 의사 전원선 사이에 접속된 제 5 스위치 및 상기 제 2 의사 전원선과 상기 제 3 의사 전원선 사이에 접속된 제 6 스위치를 갖는 것을 특징으로 하는 반도체 집적회로.

청구항 13.

제 12 항에 있어서,

상기 제 1 내지 제 6 스위치는 동작시의 입력신호에 의해서 제어되는 것을 특징으로 하는 반도체 집적회로.

청구항 14.

제 12 항 또는 제 13 항에 있어서,

상기 제 1 전원전압은 전원전위에 인가되고, 상기 제 2 전원전압은 접지전위에 인가되는 것을 특징으로 하는 반도체 집적회로.

청구항 15.

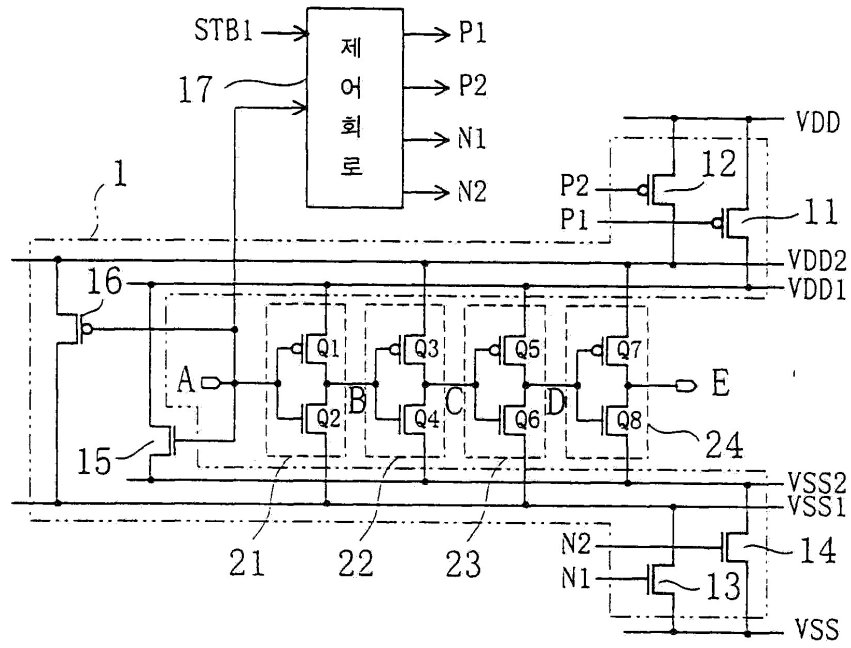
제 12 항 또는 제 13 항에 있어서,

상기 복수의 논리회로 각각은 서로 도전형이 다른 2개의 전계효과 트랜지스터로 이루어지는 인버터로서,

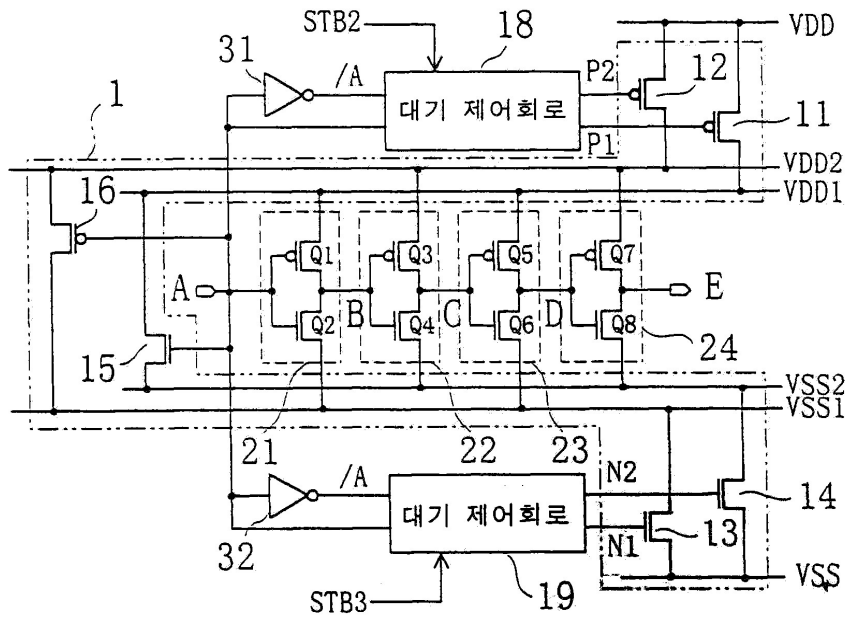
상기 제 1 의사 전원선 및 제 3 의사 전원선에 각각 접속된 제 1 인버터와, 상기 제 2 의사 전원선 및 제 4 의사 전원선에 각각 접속된 제 2 인버터가 교대로, 또한 직렬로 접속되는 것을 특징으로 하는 반도체 집적회로.

도면

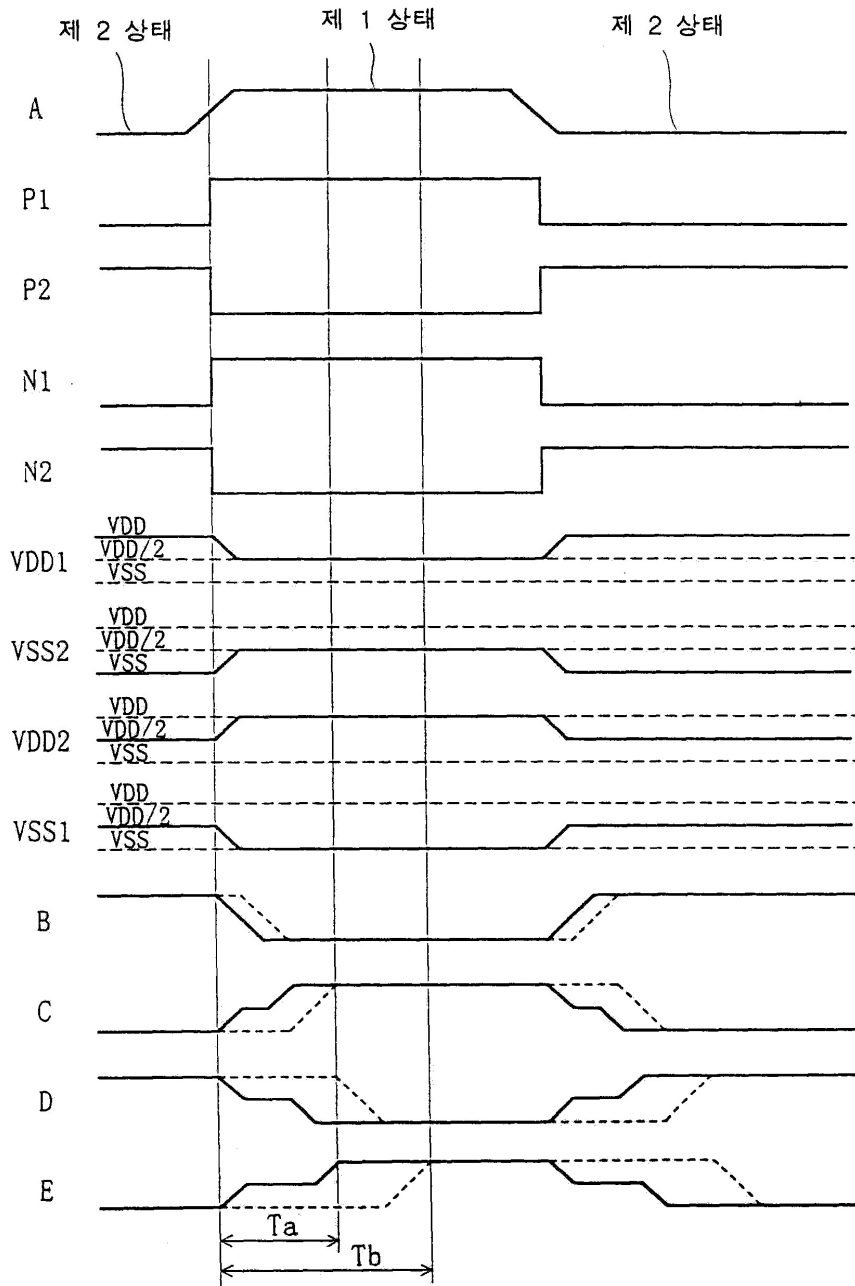
도면1



도면2

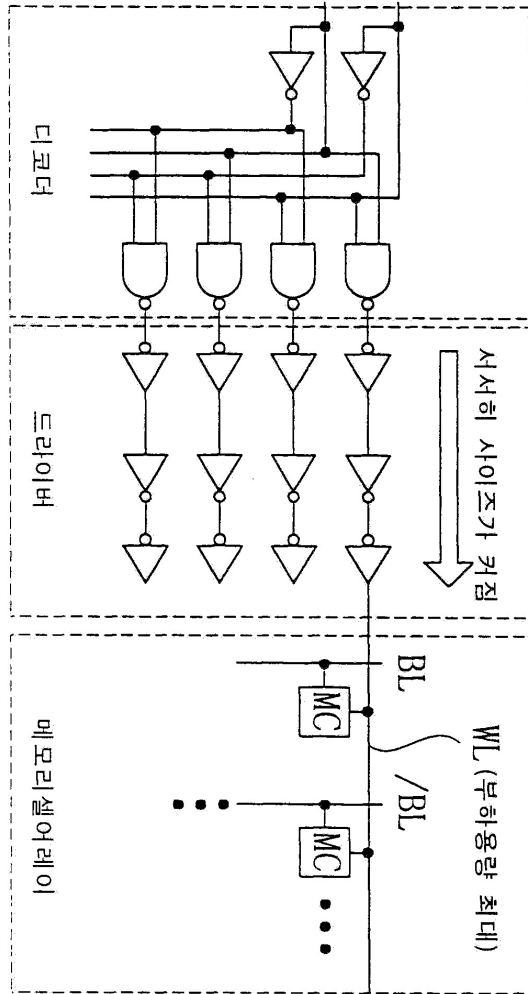


도면4

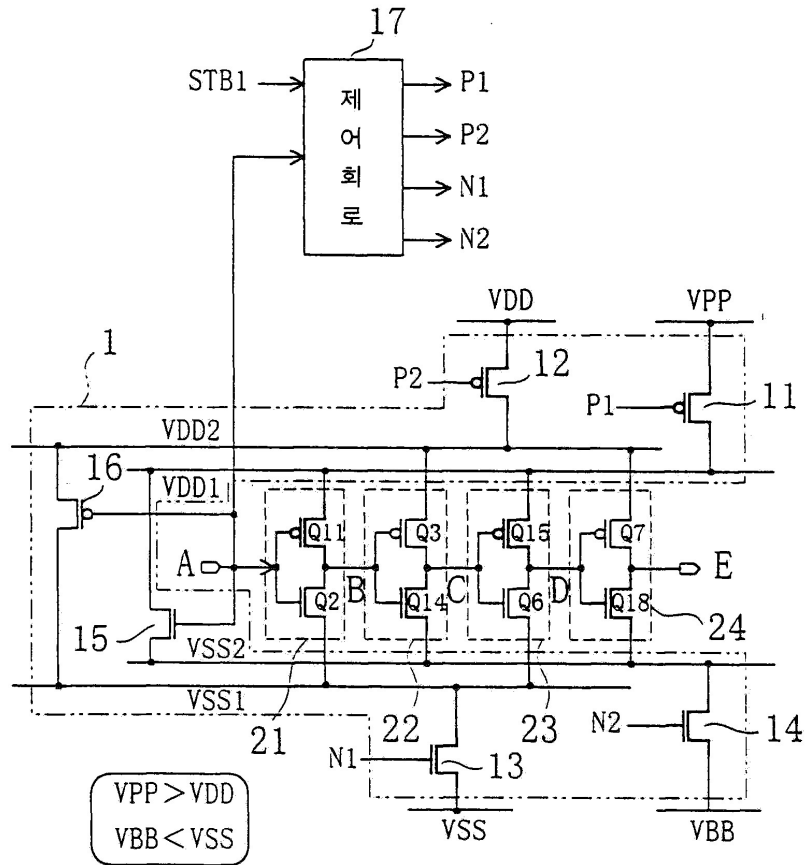


도면5

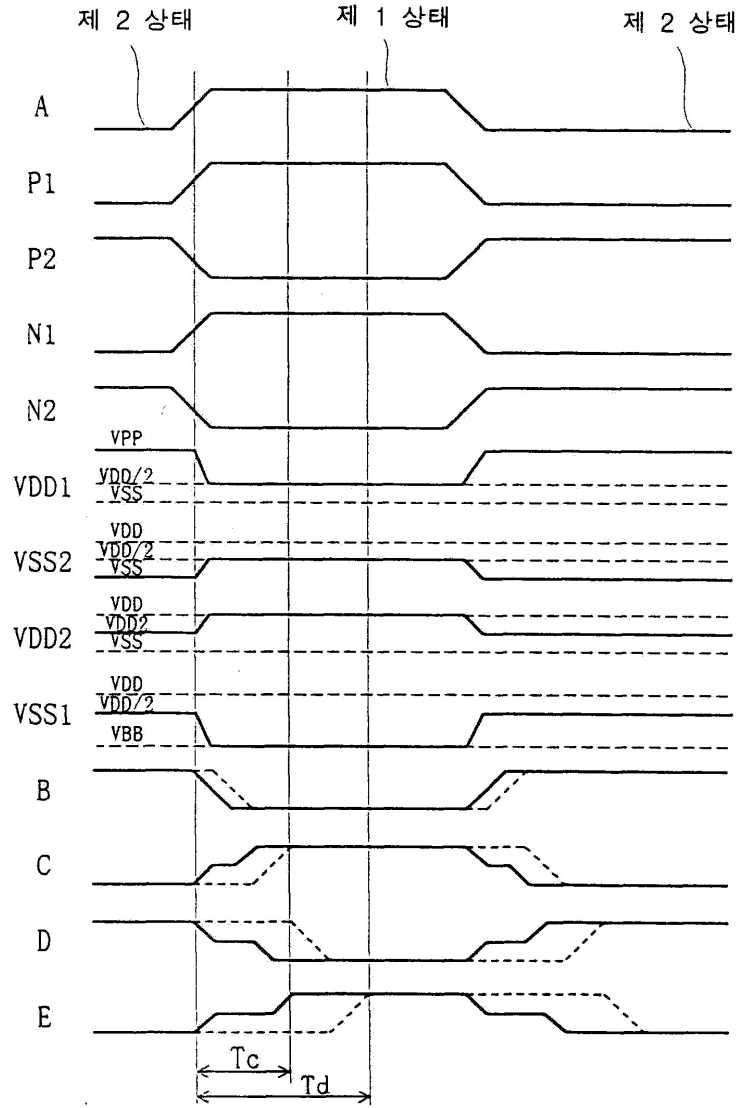
연 령 스 레 드 어



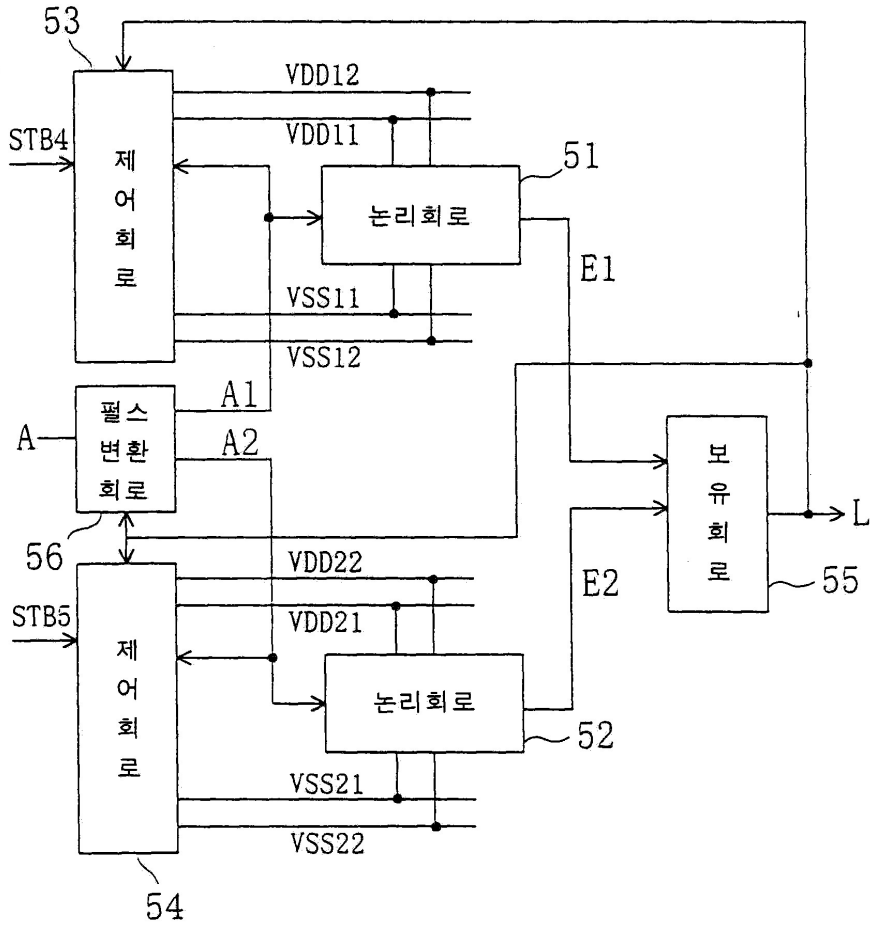
도면6



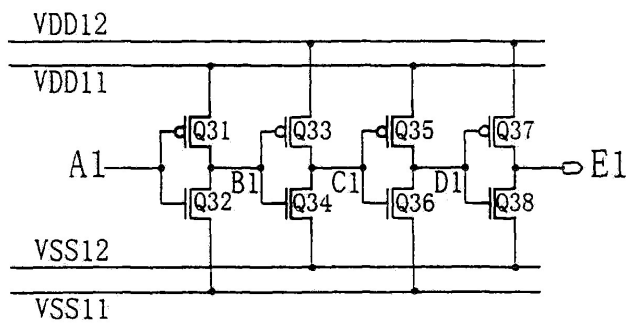
도면7



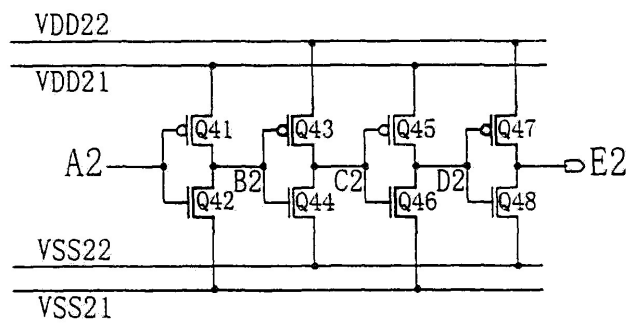
도면8



도면9



도면10



도면11

