(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01G 7/06

(11) 공개번호 특2001-0086007
(43) 공개일자 2001년09월07일

(21) 출원번호 10-2001-7005740
(22) 출원일자 2001년05월07일
번역문 제출일자 2001년05월07일
(86) 국제출원번호 PCT/US1999/26113
(86) 국제출원출원일자 1999년11월04일
(87) 국제공개번호 WO 2000/28613
(87) 국제공개일자 2000년05월18일

(81) 지정국 국내특허 : 아랍에미리트, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 코스타리카, 쿠바, 체코, 독일, 덴마크, 도미니카연방, 에스토니아, 스페인, 핀랜드, 영국, 그레나다, 그루지야, 가나, 감비아, 크로아티아, 헝가리, 인도네시아, 이스라엘, 인도, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 모로코, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 시에라리온, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 유고슬라비아, 남아프리카, 짐바브웨,
AP ARIPO특허: 가나, 감비아, 케냐, 레소토, 말라위, 수단, 시에라리온, 스와질랜드, 탄자니아, 우간다, 짐바브웨,
EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀랜드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,
OA OAPI특허: 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 기네비쏘, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 60/107,684 1998년11월09일 미국(US)

(71) 출원인 파라텍 마이크로웨이브 인코포레이티드
추후기재
미국 메릴랜드주 21045 콜럼비아 오크랜드 밀즈 로드 6935-엔

(72) 발명자 센굽타루이스씨
미국메릴랜드주21912워위크뉴헤이븐불러바드12
스토웰스티븐씨
미국메릴랜드주21045콜럼비아완더링웨이9525
쥬용페이
미국메릴랜드주21044콜럼비아리벤델레인5275슈트6
센굽타솜나스
미국메릴랜드주21912워위크뉴헤이븐불러바드12

(74) 대리인 김창세
김원준

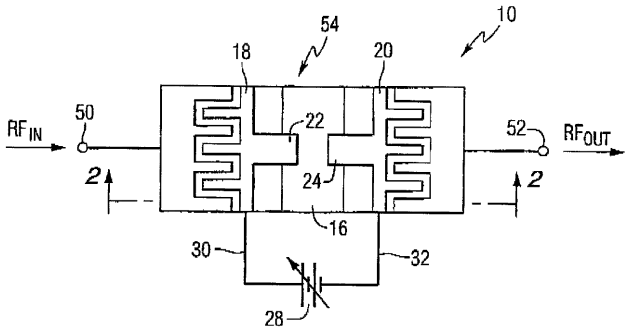
심사청구 : 없음

(54) 전압 동조 유전성 버랙터 어셈블리

요약

전압 동조 유전성 버랙터는 동조 강유전성층, 제 1 비동조 유전층 및 제 2 비동조 유전층을 포함한다. 제 1 및 제 2 전극은 동조 커패시터를 형성하기 위해 동조 강유전성층에 인접해 배치된다. 제 3 전극은 제 1 비동조 유전층에 인접해 배치되어 제 3 전극, 제 1 전극 및 제 1 비동조 유전층은 제 1 블로킹 커패시터를 형성한다. 제 4 전극은 제 2 비동조 유전층에 인접해 배치되어 제 4 전극, 제 2 전극 및 제 2 비동조 유전층은 제 2 블로킹 커패시터를 형성한다.

대표도



명세서

관련 출원

본 출원은 1998년 11월 9일 출원된 미합중국 가 특허 출원 제 60/107,684호의 우선권을 주장한다.

기술분야

본 발명은 일반적으로 DC 블로킹(blocking) 커패시터와 연관된 전압 동조 버랙터(voltage tunable varactor)에 관한 것이다.

배경기술

버랙터는 전압 동조 커패시터인데, 이 커패시터는 인가된 전압에 의존한다. 이 특성은 필터, 위상 쉬프터 등과 같은 전기적으로 동조하는 무선 주파수(RF) 회로에서의 애플리케이션시 발견될 수 있다. 흔히 사용되는 대부분의 버랙터는 반도체 다이오드 버랙터로, 동조성이 높고 동조 전압이 낮은 이점을 가지나 Q가 낮고, 파워 처리 능력이 낮으며 또한 제한된 커패시턴스 범위를 갖는다. 새로운 유형의 버랙터는 강유전성(ferroelectric) 버랙터로, 커패시터는 바이어스 전압을 변하게 함으로써 강유전성 물질의 유전율을 변하게 하여 동조된다. 강유전성 버랙터는 Q가 높고 파워 처리 능력이 뛰어나며 또한 높은 커패시턴스 범위를 갖는다.

하나의 강유전성 버랙터는 토마스 이. 코쉬카(Thomas E. Koscica)등의 " Thin Film Ferroelectric Varactor" 란 제목의 미합중국 특허 제 5,640,042호에 개시되어 있다. 코쉬카등의 특허는 평면 강유전성 버랙터를 개시하는데, 이 평면 강유전성 버랙터는 캐리어 기판층, 이 기판에 증착된 고온 초전도 금속층, 격자 정합(lattice matching), 이 금속층에 증착된 박막 강유전층 및 이 강유전성층에 증착되고 동조 장치에서 무선 주파수(RF) 전송 라인과 접촉하는 다수의 금속 도체를 포함한다. 초전도 요소와 결합하여 강유전성 요소를 사용하는 다른 동조 커패시터는 미합중국 특허 제 5,721,194호에 개시되어 있다. 강유전성층을 사용하는 동조 버랙터 및 이 버랙터를 포함하는 다양한 장치는 또한 1999년 10월 15일 출원된 " Voltage Tunable Varactors And Tunable Devices Including Such Varactors" 란 제목의 미합중국 특허 출원 제 호에 개시되어 있는데, 본 발명의 양수인에게 양도되었다.

다양한 장치에서 이 버랙터를 사용할 때, DC 바이어스 전압을 RF 시스템의 다른 부분으로부터 격리시키기 위해 DC 블로킹 커패시터를 RF 전송 라인에 삽입하는 것이 필요하다. 이러한 전송 라인상에서의 DC 블로킹은 RF 시스템에 삽입 손실을 부가할 수 있어서, RF 시스템의 설계 및 구현시 불편할 수 있다.

DC 블로킹 삽입 손실은 줄어들지만 동조성은 높은 버랙터로, 필터, 위상 쉬프터, 전압 제어 오실레이터 등과 같은 VHF, UHF, 마이크로파 및 다른 동조 회로에서 사용하기 위한 버랙터가 필요하다.

발명의 개요

본 발명에 따라서 구현된 전압 동조 유전성 버랙터 어셈블리는 동조 강유전성층, 제 1 비동조 유전층(non-tunable dielectric layers) 및 제 2 비동조 유전층을 포함한다. 동조 강유전성층에 인접하게 배치된 제 1 및 제 2 전극은 동조 커패시터를 형성한다. 제 1 및 제 2 전극은 또한 제 1 및 제 2 비동조층에 인접하게 제각각 배치된다. 제 3 전극은 제 1 비동조 유전층에 인접하게 배치되어 제 3 및 제 1 전극과 제 1 비동조 유전층은 제 1 블로킹 커패시터를 형성한다. 제 4 전극은 제 2 비동조 유전층에 인접하게 배치되어 제 4 및 제 2 전극과 제 2 비동조 유전층은 제 2 블로킹 커패시터를 형성한다.

하나의 실시예에 있어서, 전압 동조 유전성 버랙터는 대체로 평면인 표면을 갖는 기판과 이 기판의 대체로 평면인 표면상에 배치된 동조 강유전성층을 포함한다. 제 1 및 제 2 전극은 기판의 대체로 평면인 표면의 반대쪽의 동조 강유전성층의 표면상에 배치되는데, 제 1 및 제 2 전극은 제 1 갭을 형성하도록 분리된다. 제 1 및 제 2 비동조 유전층은 또한 기판의 대체로 평면인 표면상에 배치된다. 제 3 전극은 기판의 대체로 평면인 표면의 반대쪽의 제 1 비동조 유전층의 표면상에 배치되어 제 3 및 제 1 전극은 제 2 갭을 형성한다. 제 4 전극은 기판의 대체로 평면인 표면의 반대쪽의 제 2 비동조 유전층의 표면상에 배치되어 제 4 및 제 2 전극은 제 3 갭을 형성한다.

다른 실시예에 있어서, 전압 동조 유전성 버랙터는 동조 강유전성층, 제 1 비동조 유전층 및 제 2 비동조 유전층을 포함한다. 동조층은 동조 커패시터를 형성하기 위해 제 1 전극과 제 2 전극 사이에 배치된다. 제 1 비동조층은 제 1 블로킹 커패시터를 형성하기 위해 제 1 전극과 제 3 전극 사이에 배치된다. 제 2 비동조층은 제 2 블로킹 커패시터를 형성하기 위해 제 2 전극과 제 4 전극 사이에 배치된다.

본 발명의 강유전성 버랙터 어셈블리는 다양한 마이크로파 장치 및 동조 필터 같은 다른 장치에서 위상을 쉬프트하기 위해 사용될 수 있다.

도면의 간단한 설명

첨부한 도면과 다음의 바람직한 실시예의 설명을 참조하면 본 발명을 완전히 이해할 수 있다.

도 1은 본 발명에 따라서 구현되는 내장된 DC 블로킹 커패시터를 갖는 평면 버랙터 어셈블리의 정면도,

도 2는 라인 2-2를 따라 취해진 도 1의 버랙터 어셈블리의 단면도,

도 3은 도 1 및 도 2의 내장된 DC 블로킹 커패시터를 갖는 버랙터의 등가 회로도,

도 4는 본 발명에 따라서 구현된 버랙터 어셈블리에 관한 동조성 대 커패시턴스 비율의 그래프,

도 5는 본 발명에 다른 실시예에 따라서 구현되는 내장된 DC 블로킹 커패시터를 갖는 버랙터 어셈블리의 정면도,

도 6은 라인 6-6을 따라 취해진 도 5의 버랙터 어셈블리의 단면도,

도 7은 본 발명의 또다른 실시예에 따라서 구현되는 내장된 DC 블로킹 커패시터를 갖는 버랙터 어셈블리의 정면도,

도 8은 라인 8-8을 따라 취해진 도 7의 버랙터 어셈블리의 단면도.

발명의 상세한 설명

도면을 참조하면, 도 1과 도 2는 본 발명에 따라서 구현되는 버랙터 어셈블리(10)의 정면도와 단면도이다. 버랙터 어셈블리(10)는 대체로 평면인 상부 표면(14)을 갖는 기판(12)을 포함한다. 동조 강유전성층(16)은 기판의 상부 표면에 인접하게 배치된다. 금속 전극(18 및 20)은 강유전성층의 상부 위쪽에 배치된다. 전극(18 및 20)은 돌출부(projection : 22 및 24)를 갖는 형상이다. 이 돌출부의 끝은 동조 강유전성층의 표면상에 갭(26)을 형성한다. 전극(18 및 20)과 동조 강유전성층(16)의 조합은 동조 커패시터(54)를 형성한다. 동조 커패시터의 커패시턴스는 바이어스 전압을 전극(18 및 20)에 인가함으로써 변할 수 있다.

바람직한 실시예에 있어서, 기판(12)은 MgO, 알루미나(Alumina), $LaAlO_3$, 사파이어 혹은 세라믹 같은 상대적으로 낮은 유전율을 갖는 물질로 구성된다. 본 발명을 위해, 낮은 유전율은 대략 30 미만의 유전율이다. 바람직한 실시예에 있어서, 동조 강유전성층(16)은 대략 20에서 2000의 범위의 유전율을 가지고 또한 대략 10V/㎛의 바이어스 전압에서 대략 10%에서 80%의 범위의 동조성을 갖는 물질로 구성된다. 동조 강유전성층은 바륨-스트론튬-티탄산염(Barium-Strontium Titanate, $Ba_xSr_{1-x}TiO_3$: BSTO) 혹은 BSTO-합성물 세라믹으로 구성될 수 있는데, 여기서 x는 0에서 1의 범위일 수 있다. 이 BSTO 합성물의 예는 BSTO-MgO, BSTO-$MgAl_2O_4$, BSTO-$CaTiO_3$, BSTO-$MgTiO_3$, BSTO-$MgSrZrTiO_6$ 및 이것들의 조합을 포함하는데, 이것에 국한되지는 않는다.

강유전성 커패시터의 유전막은 스크린 프린터, 레이저 제거(ablation), 금속-유기 용해 증착(metal-organic solution deposition), 스퍼터링 혹은 화학적 기상 증착 기법에 의해 증착될 수 있다. 하나의 바람직한 실시예에서 동조층은 예를 들어 대략 5V에서 300V 범위의 전형적인 DC 바이어스 전압에 종속되었을 때는 100 보다 큰 유전체 유전율을 갖는다. 갭의 폭은 최소 커패시턴스(C_{min})에 대한 최대 커패시턴스(C_{max})의 비(C_{max}/C_{min})를 증가시키고 장치의 역률(quality factor : Q)을 증가시키도록 최적화되어야 한다. 이 갭의 폭은 버팩터 파라미터에 대해 가장 큰 영향을 미친다. 최적 폭(g)은 장치가 최대의 C_{max}/C_{min} 과 최소의 손실 탄젠트(tangent)를 갖는 폭에 의해 결정될 것이다.

전압 제어 소스(28)는 라인(30 및 32)에 의해 전극(18 및 20)에 연결된다. 이 전압 소스는 DC 바이어스 전압을 강유전성층에 공급하는데 사용되어, 층의 유전율을 제어한다. 버랙터 어셈블리는 또한 기판(12)의 대체로 평면인 표면에 인접하며 동조 강유전성층(16)의 맞은편에 배치된 제 1 및 제 2 비동조 유전층(34 및 36)을 포함한다. 전극(18)은 비동조 물질(34)의 상부 표면의 일부로부터 연장된다. 전극(38)은 비동조층(34)의 상부 표면에 인접하게 배치되어 갭(40)이 전극(18)과 전극(34) 사이에 형성된다. 전극(18 및 34) 및 비동조층(34)의 조합은 제 1 DC 블로킹 커패시터(42)를 형성한다. 버랙터 어셈블리는 또한 RF 입력(30)과 RF 출력(32)을 형성한다.

전극(44)은 비동조층(36)의 상부 표면에 인접하게 배치되어 갭(46)이 전극(20)과 전극(44) 사이에 형성된다. 전극(20 및 44)과 비동조층(36)의 조합은 제 2 DC 블로킹 커패시터(48)를 형성한다. DC 블로킹 커패시터의 유전막은 스크린 프린터, 레이저 제거, 금속-유기 용해 증착, 스퍼터링 혹은 화학적 기상 증착 기법에 의해 증착될 수 있다.

RF 입력(50)은 전극(38)에 연결된다. RF 출력(52)은 전극(44)에 연결된다. RF 입력 및 출력은 땜납 혹은 본딩 연결(soldered or bonded connections)에 의해 제각각 전극(38 및 44)에 연결된다. DC 블로킹 커패시터(42 및 48)에서 비동조 유전층(34 및 36)은 BSTO 합성물 같은 높은 유전율 물질로 구성된다. DC 블로킹 커패시터(42 및 48)는 DC 바이어스를 버랙터 어셈블리(10)의 외부로부터 격리시키기 위해 동조 커패시터(54)와 직렬로 연결된다. 두 개의 DC 블로킹 커패시터(42 및 48)의 커패시턴스를 증가시키기 위해, 전극은 도 1에 도시된 바와 같이 서로 낀 구성(interdigital arrangement)을 갖는다.

바람직한 실시예에 있어서, 버랙터는 폭이 5㎛에서 50㎛인 갭을 사용할 수 있다. 강유전성층의 두께는 대략 0.1㎛에서 20㎛의 범위이다. 밀봉재(sealant)가 항복 전압을 증가시키기 위해 갭에 삽입될 수 있다. 밀봉재는 높은 유전 항복 강도를 갖는 임의의 비전도 물질일 수 있어서 예를 들어 에폭시 혹은 폴리우레탄(epoxy or polyurethane) 같이 갭을 가로지르는 아크(arcing)없이 높은 전압의 애플리케이션을 가능하게 한다.

본 발명의 버랙터 어셈블리의 등가 회로가 도 3에 도시되어 있다. 이 회로는 이 예에서 등가의 커패시턴스를 갖는 두 개의 비동조 DC 블로킹 커패시터(C_2)에 직렬로 연결된 동조 커패시터(C_1)로 구성된다. 따라서, 버랙터 어셈블리의 합성 커패시터(C_t)는 다음과 같이, 즉

수학식 1

$$\frac{1}{C_t}=\frac{1}{C_1}+\frac{2}{C_2}$$

혹은

수학식 2

$$\frac{C_t}{C_1}=\frac{1}{1+\frac{2C_1}{C_2}}$$

으로 표현된다.

여기서 C_1 은 동조 커패시터의 커패시턴스이고, C_2 는 DC 블로킹 커패시터의 커패시턴스이다.

수학식 3

$$C_1 \ll C_2$$

인 경우에, 수학식 2는

수학식 4

$$C_t \approx C_1$$

을 나타낸다.

합성 커패시터의 동조성은 커패시터(C_1)의 동조성에 관련된다. 물질의 동조성(t)은 다음과 같이, 즉

수학식 5

$$t = \frac{1}{\varepsilon_r}\frac{d\varepsilon_r}{dE}$$

로 규정될 수 있는데, 여기서 ε_r은 물질의 유전율이고, E는 인가된 필드의 강도이다. 동조 물질이 사용되는 커패시터의 경우에 커패시터의 커패시턴스(C)는 흔히 유전율에 따라 선형적으로 변한다, 즉

수학식 6

$$C = a\varepsilon_r$$

인데, 여기서 a는 영역, 두께 등과 같은 기하학적 구조에 관련된 커패시터 파라미터 상수이다. 따라서 동조성은 다음과 같이, 즉

수학식 7

$$t = \frac{1}{\varepsilon_r}\frac{d\varepsilon_r}{dE} = \frac{1}{C}\frac{dC}{dE}$$

로 표현될 수 있다.

C_1이 동조성(t_1)을 갖는 동조 커패시터이고 C_2가 비동조 커패시터라면, 버랙터 어셈블리의 합성 동조성(t_t)은 수학식 1과 수학식 7로부터 다음과 같은 수학식, 즉

수학식 8

$$\frac{t_t}{C_t} = \frac{t_1}{C_1}$$

을 얻을 수 있다.

수학식 2를 사용하여 수학식 8을 다음과 같이, 즉

수학식 9

$$\frac{t_t}{t_1} = \frac{C_t}{C_1} = \frac{1}{1+\frac{2C_1}{C_2}}$$

으로 바꿀 수 있는데, 여기서 C_t는 버랙터 어셈블리의 합성 동조성이다. 수학식 1은 C_1과 C_2 모두가 양수이기 때문에

수학식 10

$$C_t < C_1$$

을 나타낸다. 따라서, 수학식 9로부터

수학식 11

$$t_t < t_1$$

이다.

수학식 3의 조건($C_1 << C2$)이 적용되면

수학식 12

$$t_t \approx t_1$$

이다.

도 4는 수학식 9의 관계를 그래프적으로 도시한다. 예를 들어,

$$\frac{C_2}{C_1} = 20$$

$$\frac{C_2}{C_1} = 40$$

따라서, $C_2 >> C1$이라면, 합성 커패시턴스(Ct)와 동조성(tt)은 동조 커패시터(C1)에 의해 주로 결정된다. 본 발명에서는 DC 블로킹 커패시터의 합성(integration)시에 부가 삽입 손실이 매우 적게 발생하는데, 이는 DC 블로킹 커패시터의 커패시턴스가 어셈블리의 버랙터 부분의 커패시턴스 보다 훨씬 크기 때문이다. 본 발명의 버랙터 어셈블리의 삽입 손실은 주로 동조 강유전성 커패시터로부터 기인하는데, 이는 동조 강유전성 커패시터의 커패시턴스가 DC 블로킹 커패시터의 커패시턴스 보다 훨씬 적기 때문이다.

도 5와 도 6은 형면 커패시터 구조를 갖는 버랙터 어셈블리(56)의 정면도와 단면도이다. 도 5와 도 6에서, 커패시터(58)는 제각각 바이어스 종단(64 및 66)을 구비한 DC 바이어스 금속층 전극(60 및 62)을 갖는 동조 평행판 커패시터이다. 커패시터(58)에서 동조 물질(68)은 벌크(bulk), 테이프(tape) 혹은 박막 형태의 BSTO-기반 혹은 관련 물질일 수 있다. DC 블로킹 커패시터(70 및 72)는 제각각 동조 커패시터(58)에 직렬로 연결된 평행판 커패시터이다. 커패시터(70 및 72)에서 사용되는 유전 물질(74 및 76)은 벌크, 테이프 혹은 박막 형태로 높은 유전율을 갖는 비동조 물질이다. DC 블로킹 커패시터(70 및 72)의 커패시턴스는 유전 물질의 유전율과 유전층의 두께를 적절히 선택함으로써 동조 커패시터(58)의 커패시턴스 보다 적어도 20배는 커야 한다. 버랙터 어셈블리(56)의 전극(78 및 80)은 터미널(82 및 84)을 통해 무선 주파수(RF) 신호에 연결된다. 수학식 3에서의 조건, 즉 $C_2 >> C1$을 만족시키기 위해, 동조층(68)에 비해 높은 유전율과 얇은 비동조층(74 및 76)이 커패시턴스를 증가시키기 위해 DC 블로킹 커패시터(70 및 72)에 대해 선택된다.

도 7과 도 8은 본 발명에 따라서 구현된 버랙터 어셈블리(86)의 세 번째 실시예를 도시한다. 버랙터 어셈블리(86)의 구조는 버랙터 어셈블리(56)의 구조와 유사하다. 그러나, 버랙터 어셈블리(86)에서는 커패시턴스를 증가시키기 위해 버랙터 어셈블리(56)에서의 하나의 층인 DC 블로킹 커패시터를 대체하는 다수층(multilayer)인 커패시터가 DC 블로킹 커패시터로 사용된다. 이 구조에서 유전 물질은 테이프, 박막 혹은 후막(thick film)일 수 있다. 도 7과 도 8에서, 커패시터(88)는 제각각 바이어스 종단(94 및 96)을 구비한 DC 바이어스 금속층 전극(90 및 92)을 갖는 동조 커패시터이다. 커패시터(88)에서 동조 물질(98)은 BSTO-기반 혹은 관련 물질일 수 있다. 다수층인 DC 블로킹 커패시터(1

00 및 102)는 제각각 동조 커패시터(88)에 직렬로 연결된다. 커패시터(100 및 102)에서 사용되는 유전 물질은 높은 유전율을 갖는 비동조 물질이다. 이 실시예에 있어서, DC 블로킹 커패시터(100 및 102)의 커패시턴스는 유전 물질, 유전층의 두께 및 유전층의 수를 적절히 선택함으로써 동조 커패시터(88)의 커패시턴스 보다 적어도 40배는 커야 한다. 버랙터 어셈블리(86)의 전극(104 및 106)은 전극 종단(108 및 110)을 통해 RF 전송 라인에 연결된다.

내장된 DC 블로킹(들)을 갖는 강유전성 버랙터를 전술하였는데, 여기서 낮은 손실과 높은 동조성 물질이 사용된다. 내장된 블로킹 커패시터는 버랙터가 RF 회로에서 훨씬 쉽게 사용되게 하고, 종래의 버랙터를 사용하였을 때 종래의 DC 블로킹 커패시터가 야기하는 삽입 손실을 제거한다. 낮은 손실과 높은 동조성 물질은 바륨-스트론튬-티탄산염, 즉 $Ba_xSr_{1-x}TiO_3$ (BSTO)이거나 혹은 BSTO-기반 합성물일 수 있는데, 여기서 x는 1이하이다. 이러한 높은 품질의 물질은 본 발명의 버랙터 성능을 크게 개선할 수 있다. 강유전성 버랙터는 벌크, 박막 혹은 후막 강유전성 물질로 제조될 수 있다.

따라서, 본 발명은 내장된 DC 블로킹 커패시터와 높은 품질의 동조 강유전성 물질을 사용함으로써 강유전성 버랙터 어셈블리의 성능을 높이고, 종래의 DC 블로킹 삽입 손실을 제거하며 RF 회로 설계와 프로세싱을 매우 용이하게 한다. 본 발명은 첨부한 청구범위에 규정된 본 발명의 사상과 범주를 벗어나지 않는 개시된 장치의 수많은 실제 애플리케이션과 다양한 수정을 포함하는데, 당업자라면 이러한 애플리케이션과 수정을 알 것이다.

(57) 청구의 범위

청구항 1.

전압 동조 유전성 버랙터 어셈블리(a voltage tunable dielectric varactor assembly)에 있어서,

동조 강유전성층(a tunable ferroelectric layer)과,

상기 동조 강유전성층에 인접해 배치되어 동조 커패시터를 형성하는 제 1 및 제 2 전극과,

상기 제 1 전극에 인접해 배치된 제 1 비동조(non-tunable) 유전층과,

상기 제 1 비동조 유전층에 인접해 배치된 제 3 전극을 포함하고, 상기 제 3 전극, 상기 제 1 전극 및 상기 제 1 비동조 유전층은 제 1 블로킹 커패시터(a first blocking capacitor)를 형성하며,

상기 제 2 전극에 인접해 배치된 제 2 비동조 유전층과,

상기 제 2 비동조 유전층에 인접해 배치된 제 4 전극을 포함하되, 상기 제 4 전극, 상기 제 2 전극 및 상기 제 2 비동조 유전층은 제 2 블로킹 커패시터를 형성하는

전압 동조 유전성 버랙터 어셈블리.

청구항 2.

제 1 항에 있어서,

상기 제 1 전극과 제 2 전극 사이의 커패시턴스는 상기 제 1 전극과 제 3 전극 사이의 커패시턴스 보다 적어도 대략 20배(a factor of at least about 20) 미만인 전압 동조 유전성 버랙터 어셈블리.

청구항 3.

제 1 항에 있어서,

상기 동조 강유전성층은 대략 20에서 2000의 범위인 유전율(a permittivity)을 가지고, 대략 10V/㎛의 바이어스 전압에서 대략 10%에서 80%의 범위인 동조성(a tunability)을 갖는 전압 동조 유전성 버랙터 어셈블리.

청구항 4.

제 1 항에 있어서,

상기 동조 강유전성층, 상기 제 1 비동조 유전층 및 상기 제 2 비동조 유전층을 지지하기 위한 기판을 더 포함하는 전압 동조 유전성 버랙터 어셈블리.

청구항 5.

제 4 항에 있어서,

상기 기판은 MgO, 알루미나(Alumina), $LaAlO_3$, 사파이어(sapphire) 및 세라믹(a ceramic)의 그룹 중 하나를 포함하는 전압 동조 유전성 버랙터 어셈블리.

청구항 6.

제 1 항에 있어서,

상기 동조 강유전성층은

동조 강유전성 후막(thick film)과,

동조 강유전성 벌크 세라믹(bulk ceramic)과,

동조 강유전성 박막 중 하나를 포함하는 전압 동조 유전성 버랙터 어셈블리.

청구항 7.

전압 동조 유전성 버랙터 어셈블리에 있어서,

대체로 평면인 표면(generally planar surface)을 갖는 기판과,

상기 기판의 상기 대체로 평면인 표면상에 배치된 동조 강유전성층과,

상기 기판의 상기 대체로 평면인 표면 위에서 마주하며 상기 동조 강유전성층의 표면상에 배치된 제 1 및 제 2 전극 - 상기 제 1 및 제 2 전극은 그들 사이에 제 1 갭을 형성하도록 분리됨 - 과,

상기 기판의 상기 대체로 평면인 표면상에 배치된 제 1 및 제 2 비동조 유전층을 포함하고, 상기 제 1 비동조 유전층의 일부는 상기 제 1 전극에 인접해 배치되고 상기 제 2 비동조 유전층의 일부는 상기 제 2 전극에 인접해 배치되고,

상기 기판의 상기 대체로 평면인 표면에서 마주보는 상기 제 1 비동조 유전층의 표면상에 배치된 제 3 전극을 포함하고, 상기 제 3 및 제 1 전극은 그들 사이에 제 2 갭을 형성하도록 분리되며,

상기 기판의 상기 대체로 평면인 표면에서 마주보는 상기 제 2 비동조 유전층의 표면상에 배치된 제 4 전극을 포함하되, 상기 제 4 및 제 2 전극은 그들 사이에 제 3 갭을 형성하도록 분리되는

전압 동조 유전성 버랙터 어셈블리.

청구항 8.

제 7 항에 있어서,

상기 제 1 전극과 상기 제 2 전극 사이의 커패시턴스는 상기 제 1 전극과 상기 제 3 전극 사이의 커패시턴스 보다 적어도 대략 20배 미만인 전압 동조 유전성 버랙터 어셈블리.

청구항 9.

제 7 항에 있어서,

상기 제 2 및 제 3 갭은 서로 낀 갭(interdigital gaps)인 전압 동조 유전성 버랙터 어셈블리.

청구항 10.

제 7 항에 있어서,

상기 동조 강유전성층은 대략 20에서 2000의 범위인 유전율을 가지고 대략 10V/㎛의 바이어스 전압에서 대략 10%에서 80%의 범위인 동조성을 갖는 전압 동조 유전성 버랙터 어셈블리.

청구항 11.

제 7 항에 있어서,

상기 기판은 MgO, 알루미나, $LaAlO_3$, 사파이어 및 세라믹의 그룹 중 하나를 포함하는 전압 동조 유전성 버랙터 어셈블리.

청구항 12.

제 7 항에 있어서,

상기 동조 강유전성층은

동조 강유전성 후막과,

동조 강유전성 벌크 세라믹과,

동조 강유전성 박막 중 하나를 포함하는 전압 동조 유전성 버랙터 어셈블리.

청구항 13.

제 7 항에 있어서,

상기 동조 강유전성층은 상기 동조 강유전성층을 통해 RF 신호를 제 1 방향으로 진행시키기 위한 RF 입력과 RF 출력을 포함하고, 상기 제 1 갭은 상기 제 1 방향에 실질적으로 수직인 제 2 방향으로 연장되는 전압 동조 유전성 버랙터 어셈블리.

청구항 14.

전압 동조 유전성 버랙터 어셈블리에 있어서,

동조 강유전성층과,

상기 동조 강유전성층의 맞은편에 배치된 제 1 및 제 2 전극과,

제 1 및 제 2 비동조 유전층을 포함하고, 상기 제 1 비동조 유전층은 상기 제 1 전극에 인접해 배치되고 상기 제 2 비동조 유전층은 상기 제 2 전극에 인접해 배치되며,

상기 제 1 전극에 마주하여 상기 제 1 비동조 유전층의 표면에 인접해 배치된 제 3 전극과,

상기 제 2 전극에 마주하여 상기 제 2 비동조 유전층의 표면에 인접해 배치된 제 4 전극을 포함하는

전압 동조 유전성 버랙터 어셈블리.

청구항 15.

제 14 항에 있어서,

상기 제 1 전극과 상기 제 2 전극 사이의 커패시턴스는 상기 제 1 전극과 상기 제 3 전극 사이의 커패시턴스 보다 적어도 대략 20배 미만인 전압 동조 유전성 버랙터 어셈블리.

청구항 16.

제 14 항에 있어서,

상기 동조 강유전성층은 대략 20에서 2000의 범위인 유전율을 가지고, 대략 10V/㎛의 바이어스 전압에서 대략 10%에서 80%의 범위인 동조성을 갖는 전압 동조 유전성 버랙터 어셈블리.

청구항 17.

제 14 항에 있어서,

상기 동조 강유전성층은

동조 강유전성 후막과,

동조 강유전성 벌크 세라믹과,

동조 강유전성 박막 중 하나를 포함하는 전압 동조 유전성 버랙터 어셈블리.

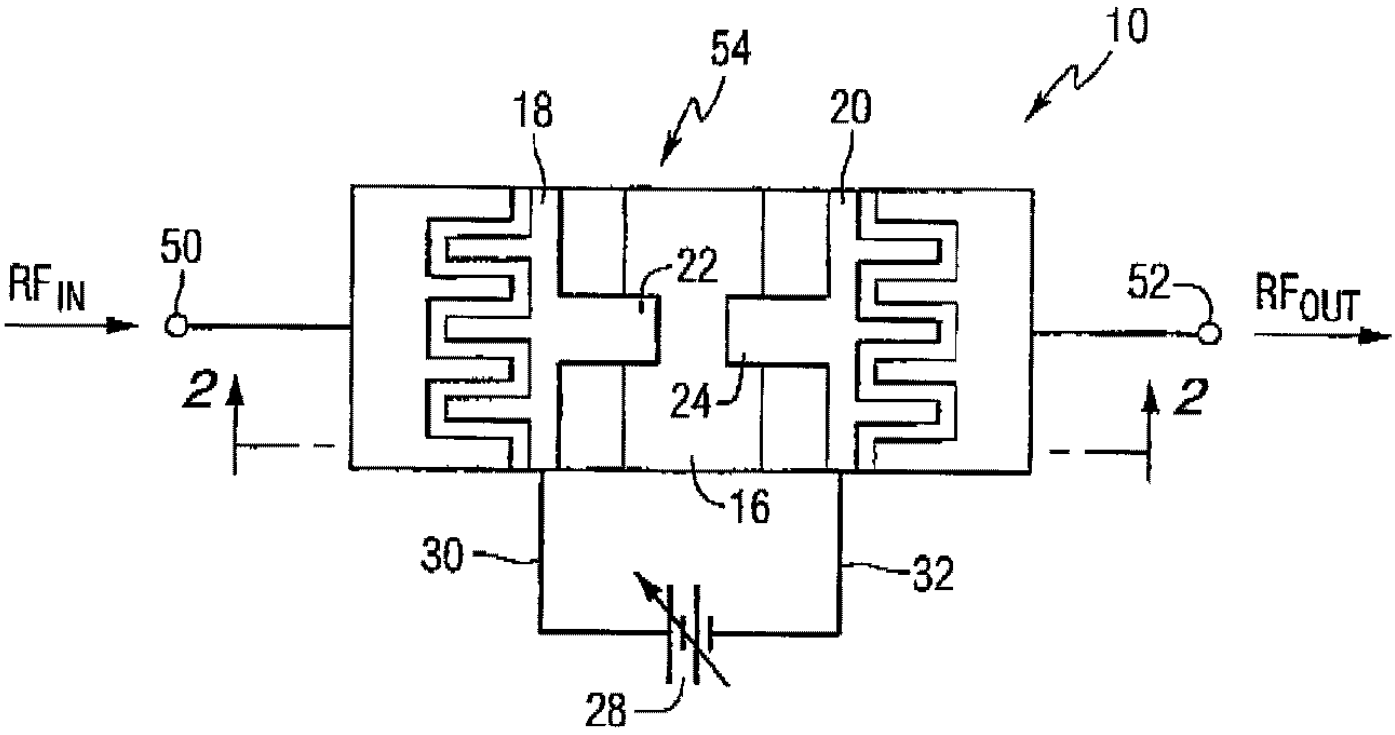
청구항 18.

제 14 항에 있어서,

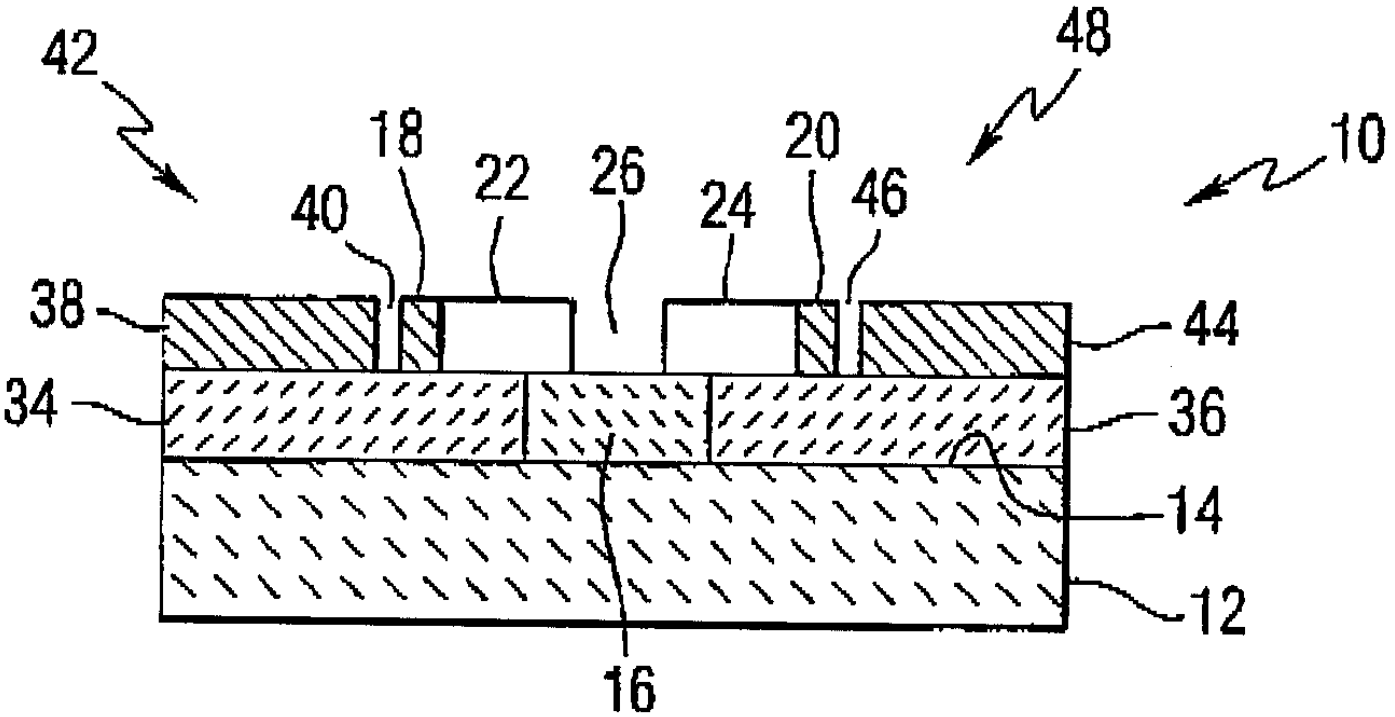
제 1의 다수의 추가 비동조 유전층 및 제 2의 다수의 추가 비동조 유전층을 더 포함하되, 상기 제 3 전극은 상기 제 1의 다수의 추가 비동조 유전층의 각각의 층의 표면에 인접해 더 배치되고, 상기 제 4 전극은 상기 제 2의 다수의 추가 비동조 유전층의 각각의 층의 표면에 인접해 더 배치되는 전압 동조 유전성 버랙터 어셈블리.

도면

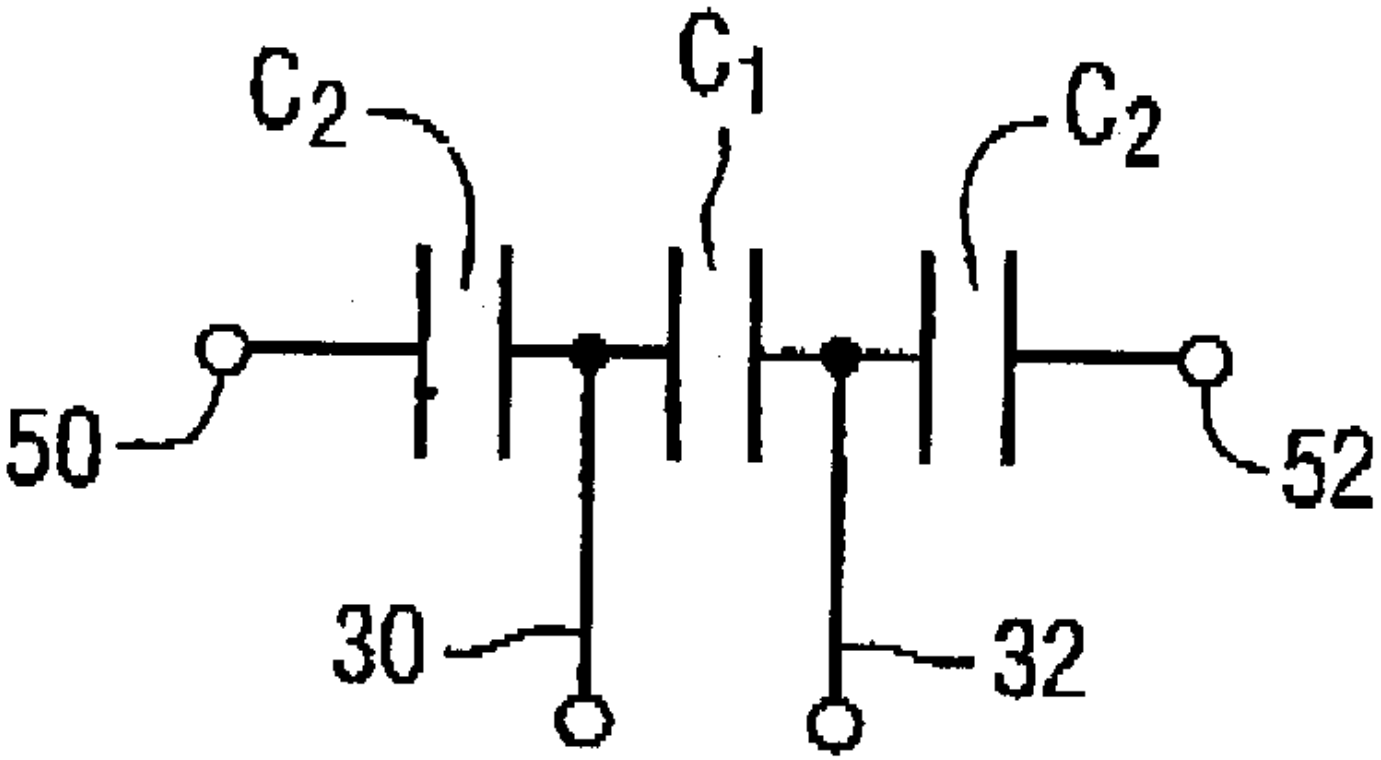
도면 1


10
54
18
20
RF IN
50
22
52
RF OUT
2
24
2
16
30
32
28

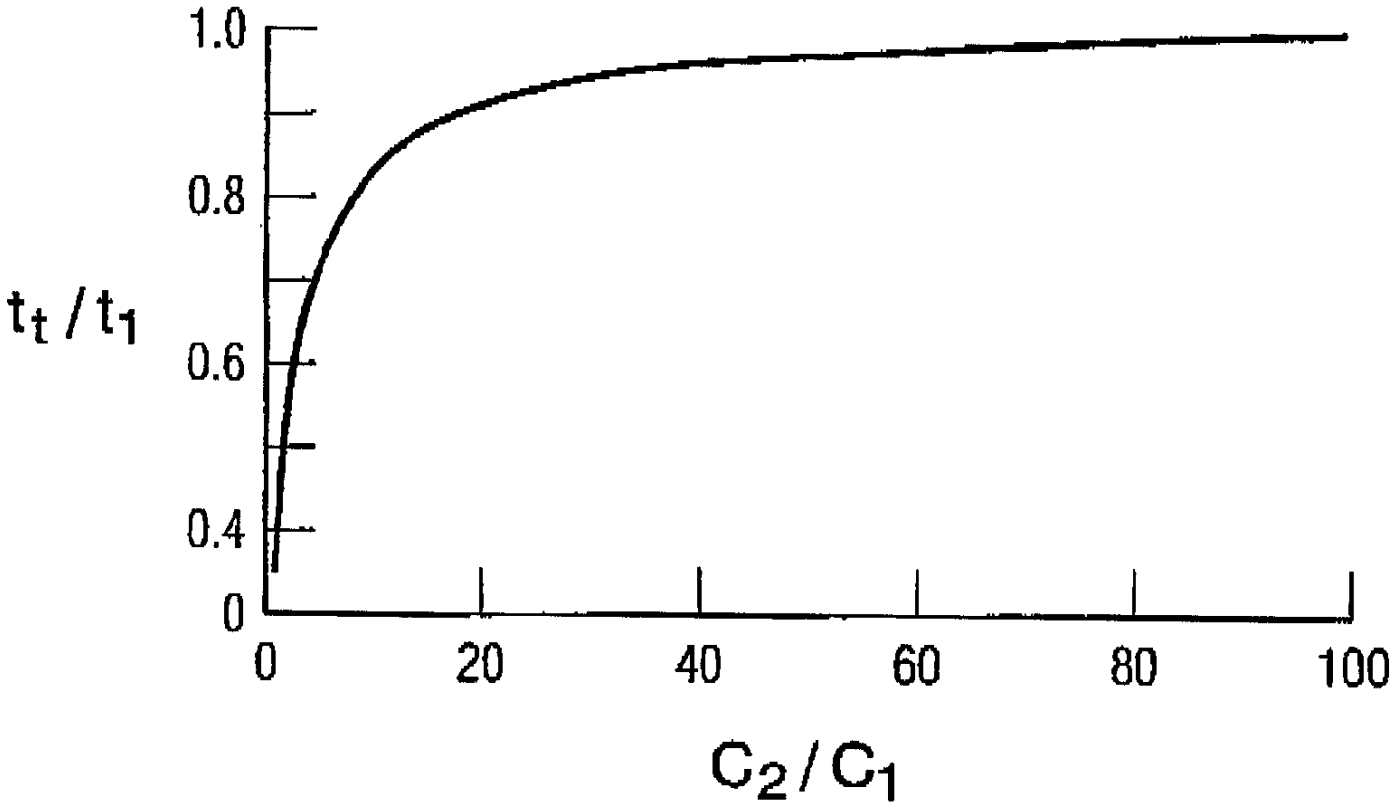
도면 2


42
48
10
18
22
26
20
40
24
46
38
44
34
36
14
12
16

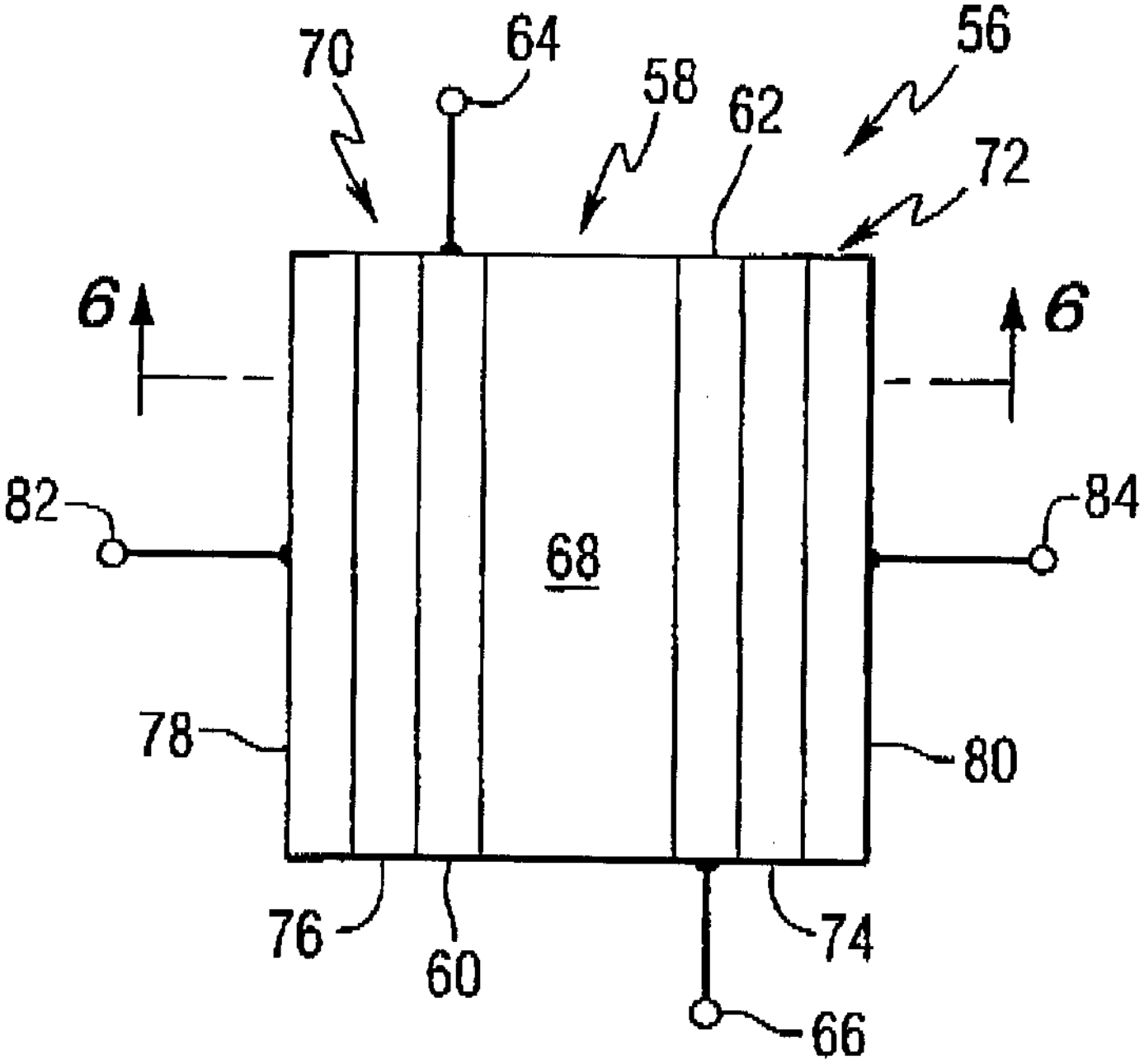
도면 3



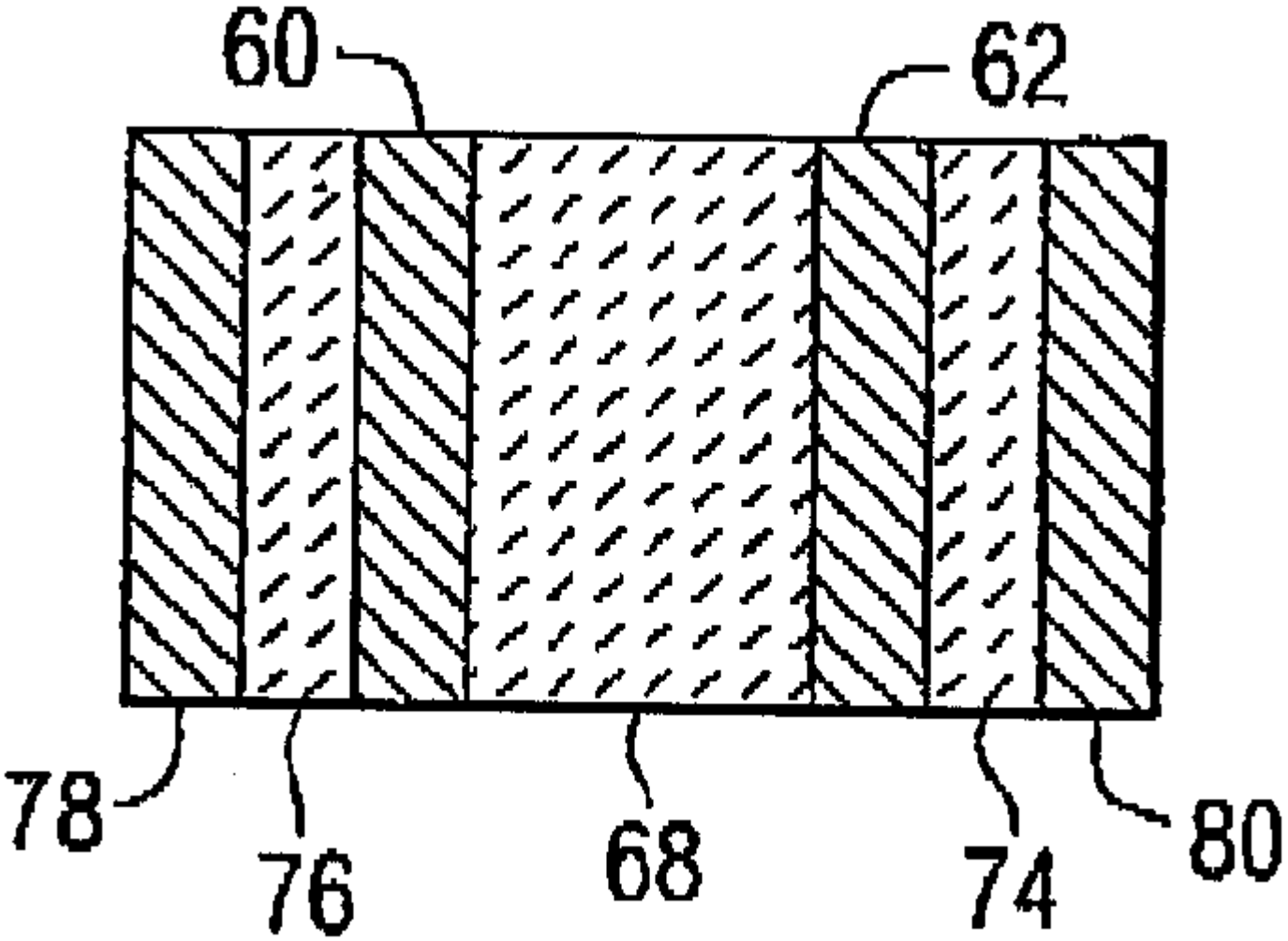
도면 4



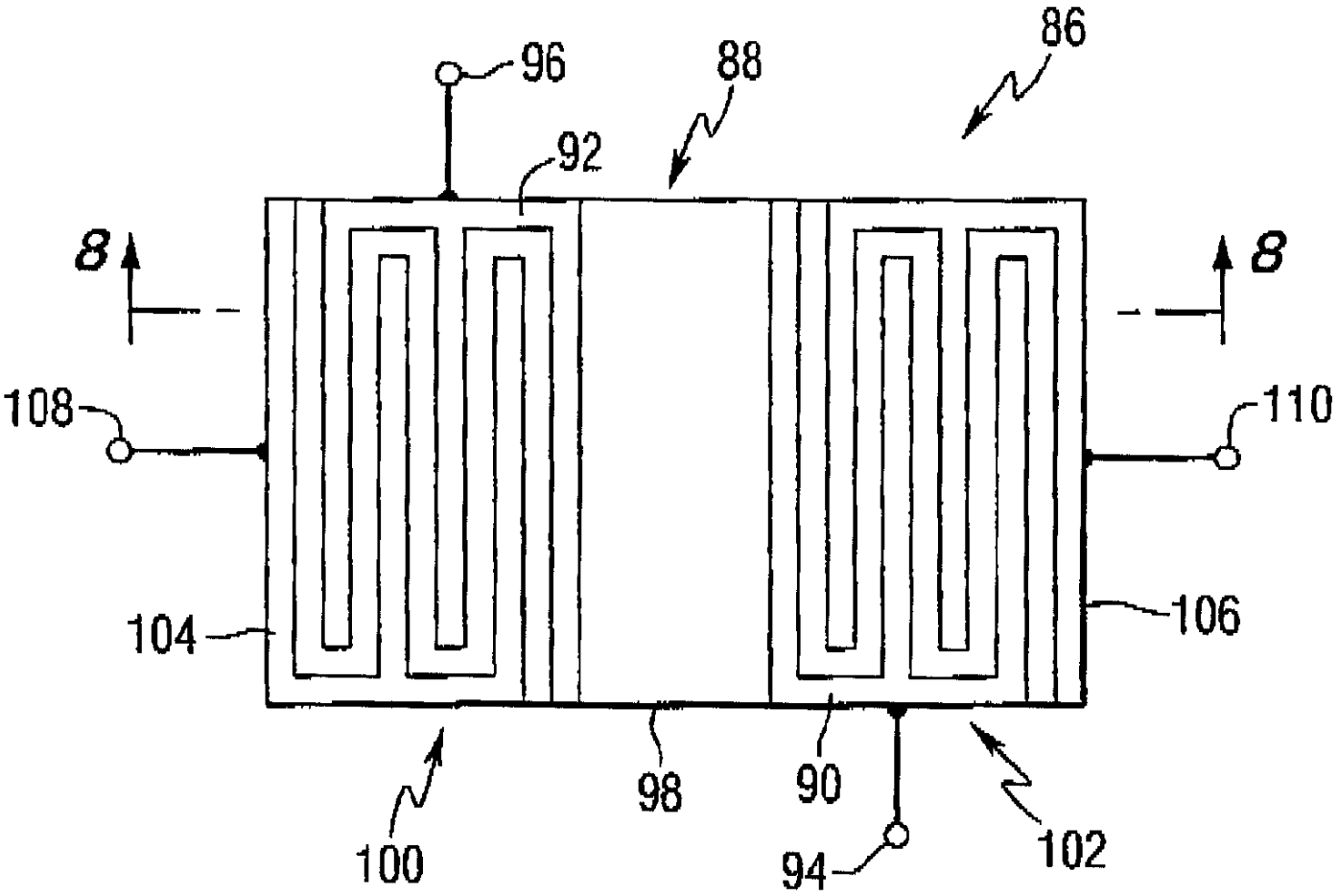
도면 5



도면 6



도면 7



도면 8