



[12] 发明专利说明书

[21] ZL 专利号 01807539.8

[45] 授权公告日 2005 年 4 月 13 日

[11] 授权公告号 CN 1197148C

[22] 申请日 2001.3.28 [21] 申请号 01807539.8

[30] 优先权

[32] 2000.3.30 [33] US [31] 09/539,130

[86] 国际申请 PCT/US2001/009995 2001.3.28

[87] 国际公布 WO2001/075968 英 2001.10.11

[85] 进入国家阶段日期 2002.9.29

[71] 专利权人 自由度半导体公司

地址 美国德克萨斯

[72] 发明人 杰伊·P·约翰

詹姆斯·A·科盖斯诺 林益相

迈克尔·H·肯施罗

维达·依尔德瑞海·伯格

飞利浦·W·德尔

戴维·L·斯托菲

理查德·W·马恩特尔

约翰·W·斯蒂尔

审查员 郭强

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

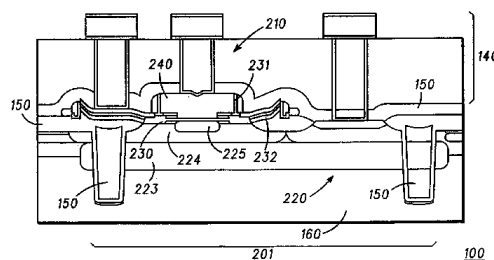
代理人 王永刚

权利要求书 2 页 说明书 11 页 附图 7 页

[54] 发明名称 异质结 BICOMS 集成电路的制造方法

[57] 摘要

一种异质结 BiCMOS IC (100) 的制造方法, 包括形成栅电极 (121, 131), 在栅电极上形成保护层 (901, 902), 在保护层上形成半导体层 (1101), 在半导体层上淀积电绝缘层 (1102, 1103), 使用掩膜层 (1104) 限定半导体层中的掺杂区 (225) 并限定电绝缘层中的孔 (1201), 在电绝缘层上形成导电层 (1301), 使用另一掩膜层 (1302) 限定导电层中的发射极区 (240), 并限定出本征基极区 (231) 和部分非本征基极区 (1502), 以限定导电层中非本征基极区的另一部分。



1. 一种制造异质结 BiCMOS 集成电路的方法，包括：
在半导体衬底上形成栅电极；
5 在栅电极和半导体衬底上形成保护层，保护层包括绝缘层和绝缘层上的非晶硅层；
在保护层中形成孔；
在保护层上形成半导体层（1101），半导体层由不同于半导体衬底的半导体材料组成；
10 在半导体层上形成电绝缘层（1102，1103）；
对半导体衬底中的部分集电极区掺杂；
通过将孔自对准到集电极区的所述部分，在电绝缘层中形成孔；
在半导体上形成导电层；
在导电层中形成发射极区；并且
15 通过将非本征基极区自对准到发射极区，在半导体层中形成非本征基极区。
 2. 根据权利要求 1 的方法，还包括：
在半导体衬底中形成第一电类型的阱；
在半导体衬底中形成第二导电类型的阱；
20 在半导体衬底中形成该第一导电类型的源区和漏区；并且
在半导体衬底中形成该第二导电类型的源区和漏区。
 3. 根据权利要求 2 的方法，其中：
形成第一导电类型的源区和漏区发生在形成保护层之前。
 4. 根据权利要求 3 的方法，其中：
25 形成第二导电类型的源区和漏区发生在形成非本征基极区之后。
 5. 根据权利要求 2 的方法，其中：
形成第一导电类型的源区和漏区发生在形成非本征基极区之后。
 6. 根据权利要求 5 的方法，其中：
形成第二导电类型的源区和漏区发生在形成非本征基极区之后。

**7. 根据权利要求 1 的方法，还包括：
形成 CMOS 晶体管的栅极；以及
在形成保护层之后，形成与栅极相邻的侧壁隔层。**

异质结 BiCMOS 集成电路的制造方法

5 技术领域

本发明一般涉及集成电路 (IC), 特别涉及具有双极晶体管的 IC 的制造方法。

10 背景技术

双极互补金属-氧化物-半导体 (BiCMOS) IC 用在广泛的应用领域中。大多数 BiCMOS IC 使用同质结双极晶体管, 电性能特性很局限。使用带隙工程, 研究人员开发了异质结双极晶体管 (HBT), 它的电性能特性比同质结双极晶体管的优越。然而, 用常规的 CMOS 制造工艺集成这些 HBT 很复杂。因此, 需要一种专门用于 HBT 的制造步骤模块化并与广泛使用的常规 CMOS 制造工艺兼容的异质结 BiCMOS 的制造方法。

15 发明内容

一种制造异质结 BiCMOS 集成电路的方法, 包括: 在半导体衬底上形成栅电极; 在栅电极和半导体衬底上形成保护层, 保护层包括绝缘层和绝缘层上的非晶硅层; 在保护层中形成孔; 在保护层上形成半导体层, 半导体层由不同于半导体衬底的半导体材料组成; 在半导体层上形成电绝缘层; 对半导体衬底中的部分集电极区掺杂; 通过将孔自对准到集电极区的所述部分, 在电绝缘层中形成孔; 在半导体上形成导电层; 在导电层中形成发射区; 并且通过将非本征基极区自对准到发射极区, 在半导体层中形成非本征基极区。

20 附图说明

结合附图阅读下面详细的说明可以更好地理解本发明。

图 1 示出了根据本发明一个实施例的异质结 BiCMOS IC 的 CMOS 部分的剖面图;

图 2 示出了根据本发明一个实施例的异质结 BiCMOS IC 的 HBT 部分的剖面图;

图 3 示出了根据本发明一个实施例的异质结 BiCMOS IC 的制造方法的流程图;

5 图 4 示出了根据本发明一个实施例在图 3 的方法中进行 HBT 模块化之前异质结 BiCMOS IC 的 HBT 部分的剖面图;

图 5 示出了根据本发明一个实施例在图 3 的方法中进行 HBT 模块化之后异质结 BiCMOS IC 的 HBT 部分的剖面图;

10 图 6 示出了根据本发明一个实施例在图 3 的方法中进行 HBT 模块化之前异质结 BiCMOS IC 的 CMOS 部分的剖面图;

图 7 示出了根据本发明一个实施例在图 3 的方法中进行 HBT 模块化之后异质结 BiCMOS IC 的 CMOS 部分的剖面图;

图 8 示出了根据本发明的一个实施例在图 3 的方法中 HBT 模块化的流程图; 以及

15 图 9 到 15 示出了根据本发明的一个实施例图 8 的 HBT 模块化的各种步骤期间异质结 BiCMOS IC 的 HBT 部分的剖面图。

为了简化和清楚起见, 附图示出了构成的一般方式, 附图中的元件没有按比例画出。此外, 不同图中的相同参考数字表示相同的元件。此外, 省略了公知的特性和技术, 例如预淀积清洁和后腐蚀清洁的
20 详细说明以避免混淆本发明。而且, 说明书和权利要求书中的术语顶部、底部、上、下等, 如果有的话, 是为说明性的目的, 如此使用术语是为了描述相对位置, 并且这些术语在适当的环境下可以互换。

具体实施方式

25 图 1 示出了异质结 BiCMOS IC100 的 CMOS 部分 101 的剖面图。部分 100 包括 N 沟道 MOS (N-MOS) 晶体管 120 和 P 沟道 MOS (P-MOS) 晶体管 130。在这些结构中, N-MOS 晶体管 120 包括 N 型栅电极 121、N 型源和漏区 122、沟道区 123 以及 p 型阱 124。P-MOS 晶体管 130 包括 P 型栅电极 131、P 型源和漏区 132、沟道区 133 以及 N 型阱 134。P-MOS

晶体管 130 也可以具有位于 N 型阱 134 下重掺杂的 N 型区 135。N 导电类型代表第一导电类型，P 导电类型代表第二导电类型。本领域中的技术人员应该理解异质结 BiCMOS IC100 包括与晶体管 120 和 130 类似的多个晶体管。

5 异质结 BiCMOS IC100 也包括位于晶体管 120 和 130 上并电耦合到这些晶体管的多级互连结构 140。为简化起见，图 1 仅示出了多级互连结构 140 的第一级。在许多其它结构中，异质结 BiCMOS IC100 还包括半导体衬底 160 和多个场氧化区或电绝缘区 150。

10 图 2 示出了异质结 BiCMOS IC100 的 HBT 部分 201 的剖面图。部分 201 包括 HBT210。HBT210 包括集电极区 220、基极区 230 以及发射极区 240。集电极区 220 包括多个区 221、222、223、224 以及 225。基极区 230 包括本征基极区 231 和非本征基极区 232。在优选实施例中，HBT210 为 NPN 晶体管，集电极区 220 和发射极区 240 具有 N 导电类型，基极区 230 具有 P 导电类型。本领域的技术人员应该理解异质结 BiCMOS IC100
15 包括多个与 HBT210 类似的晶体管。

图 3 示出了异质结 BiCMOS IC100 (图 1 和 2) 的制造方法的流程图 300。在流程图 300 的步骤 310 中，提供半导体衬底。在优选实施例中，半导体衬底具有外延层和位于外延层下并支撑外延层的支撑衬底。同样在优选实施例中，支撑衬底和外延层具有 P 型导电类型，每个由
20 相同的半导体材料，例如硅组成。作为一个例子，步骤 310 的半导体衬底类似于图 1 和 2 中的衬底 160。

在半导体衬底的外延层中形成双极晶体管的埋层。可以在形成外延层之前或之后支撑衬底上形成埋层。埋层用作 HBT 中的埋置集电极区，并优选由 N 型掺杂剂重掺杂。作为一个例子，埋置的集电极区可以类似于 HBT 210 (图 2) 中的区 223。P-MOS 晶体管 130 (图 1) 中的
25 区 135 (图 1) 可选地与区 223 (图 2) 同时形成。

接下来，在流程图 300 的步骤 320 中，在半导体衬底的外延层中形成电绝缘区。这些电绝缘区可包括场氧化区，例如通过局部硅氧化 (LOCOS)、多晶硅缓冲的 LOCOS、多晶硅密封的局部氧化 (PELOX) 或

浅沟槽隔离工艺形成。此外，电绝缘区可以包括除场氧化区之外的深沟槽隔离。作为一个例子，在步骤 320 期间形成的电绝缘区类似于电绝缘区 150 (图 1 和 2)。

随后，在流程图 300 的步骤 330 中，在半导体衬底的外延层中形成 N 型阱，在流程图 300 的步骤 340 中，在半导体衬底的外延层中形成 P 型阱。通过注入和/或扩散工艺形成 N 型和 P 型阱。作为一个例子，步骤 330 的 N 型阱类似于 P-MOS 晶体管 130 (图 1) 中的 N 型阱 134 (图 1)，步骤 340 的 P 型阱类似于 N-MOS 晶体管 120 (图 1) 中的 P 型阱 124 (图 1)。此外，用于 HBT 210 (图 2) 的集电极区 220 (图 2) 中的区 222 (图 2) 可以与步骤 330 期间的 N 型阱 134 (图 1) 同时形成。本领域的技术人员应该理解步骤 330 和 340 的顺序可以颠倒。

然后，在流程图 300 的步骤 350 中，可在半导体衬底的外延层上形成栅电极。在优选实施例中，栅电极由淀积的非晶硅组成，随后退火变成多晶硅。例如，可通过淀积未掺杂的非晶硅层、构图或腐蚀硅层、掺杂硅层以及氧化硅层的剩余部分形成栅电极。在栅极氧化或其它随后的高温步骤期间进行硅层的退火，由此不需要专门或特定的栅极退火。例如，步骤 350 的栅电极的第一部分可以类似于 P-MOS 晶体管 130 (图 1) 中的栅电极 131 (图 1)，步骤 350 的栅电极的第二部分类似于 N-MOS 晶体管 120 (图 1) 中的栅电极 121 (图 1)。

在步骤 360，在半导体衬底的外延层中形成 N 型源和漏区。通过注入和/或扩散工艺形成源和漏区。例如，步骤 360 的 N 型源和漏区类似于 N-MOS 晶体管 120 (图 1) 中的 N 型源和漏区 122 (图 1)。此外，HBT210 (图 2) 中的区 221 (图 2) 也可以与步骤 360 期间的 N 型源和漏区 122 (图 1) 同时形成。

接下来，在步骤 370，进行 HBT 模块。在 HBT 模块开始时，在掺杂、淀积、生长和/或腐蚀部分 HBT 之前，在 BiCMOS IC 的 MOS 晶体管和其它非 HBT 部分上形成至少一个保护层。一层或多层保护层用于在形成 HBT 部分期间保护 BiCMOS IC 的非 HBT 部分。在 HBT 模块的结束处除去一层或多层保护层。

虽然可在步骤 370 之前形成 HBT 部分，但设计步骤 370 的 HBT 模块很大程度上与 HBT 模块之前发生的 CMOS 处理无关。

图 4 示出了进行图 3 中步骤 370 的 HBT 模块之前异质结 BiCMOS IC100 的 HBT 部分 201 的剖面图，图 5 示出了进行图 3 的 HBT 模块的步骤 370 之后的异质结 BiCMOS IC100 的 HBT 部分 201 的剖面图。图 6 示出了进行图 3 的 HBT 模块的步骤 370 之前的异质结 BiCMOS IC100 的 CMOS 部分 101 的剖面图，图 7 示出了进行图 3 的 HBT 模块的步骤 370 之后的异质结 BiCMOS IC100 的 CMOS 部分 101 的剖面图。通过比较图 6 和 7，本领域的技术人员应该理解 CMOS 部分 101 的条件或结构在刚刚 HBT 模块之前和之后相同。因此，步骤 370 的 HBT 模块被模块化了，并且与广泛的 CMOS 制造工艺兼容。

再返回图 3，在流程图 300 的步骤 380 中，进行 HBT 模块的步骤 370 之后在半导体衬底的外延层中形成 P 型源和漏区。通过注入和/或扩散工艺形成步骤 380 的源和漏区。作为一个例子，步骤 380 的 P 型源和漏区类似于 P-MOS 晶体管 130 (图 1) 中的 P 型源和漏区 132 (图 1)。

在图 3 示出的制造方法的该实施例中，在进行 HBT 模块之前和形成 P 型源和漏区之前形成 N 型源和漏区，在进行 HBT 模块之后和形成 N 型源和漏区之后形成 P 型源和漏区。在制造方法的另一个实施例中，进行 HBT 模块之后形成 N 型和 P 型源和漏区，在制造方法的再一个实施例中，进行 HBT 模块之前形成 N 型和 P 型源和漏区。此外，在这里介绍的任何实施例中，形成 N 型和 P 型源和漏区的顺序可以颠倒。形成 N 型和 P 型源和漏区的步骤具体顺序取决于使用的特定掺杂剂的扩散长度以及形成 N 型和 P 型源和漏区之后进行处理步骤的时间和温度。

然后，在图 3 中流程图 300 的步骤 390，在 N-MOS 晶体管、P-MOS 晶体管以及 HBT 上形成多级互连结构，并电连接 N-MOS 晶体管、P-MOS 晶体管以及 HBT。步骤 390 可包括平面化技术，多级互连结构可包括由金、铜、铝、和/或钨组成的金属层。多级互连结构可进一步包括钨栓塞以及由钛和/或钨组成的扩散阻挡层。例如，步骤 390 的多级互连结构类似于多级互连结构 140 (图 1 和 2)。在其它工艺之中，在步骤 380

和 390 之间形成自对准硅化物 (salicide) 工艺。

图 8 示出了在图 3 的步骤 370 中 HBT 模块化的流程图，图 9 到 15 示出了图 8 的 HBT 模块化的各种步骤期间异质结 BiCMOS IC100 的 HBT 部分 201 的剖面图。如前所述，图 8 的 HBT 模块期间，在栅电极和半
5 导体衬底上形成至少一个保护层，保护层具有露出部分半导体衬底的孔。如前所述，在形成 HBT 各部分期间使用一层或多层保护层保护 BiCMOS IC 的 CMOS 部分和其它非 HBT 部分。

例如，图 8 的步骤 805，保护层淀积在多晶硅栅电极和半导体衬底的外延层上。在优选实施例中，淀积两个或多个保护层。如果淀积
10 两个保护层，那么首先淀积由原硅酸四乙酯 (TEOS) 或另一氧化物组成的 10 到 200 纳米 (nm) 层，由氮化硅 (SiN) 或非晶硅 (α -Si) 组成的 10 到 200nm 层可以淀积在由 TEOS 组成的层上。在使用 SiN 的两个保护层的实施例中，由 TEOS 组成的层用作由 SiN 组成的覆盖层和下面的栅极氧化层之间的缓冲层，在随后的外延生长工艺期间，由 SiN
15 组成的层用作氢扩散阻挡层。由 SiN 组成的层也作为腐蚀中止以保护 CMOS 和 SiN 组成的层下面的其它非 HBT 部分。在使用 α -Si 的两个保护层的实施例中，由 α -Si 组成的层用作硬掩膜，由 TEOS 组成的层用作腐蚀中止。

如果淀积三层保护层，那么首先淀积 10 到 50nm 由富硅氮化物
20 (SiRN) 组成的层；在 SiRN 或 SiN 组成的层上淀积 10 到 50nm 由 TEOS 或另一氧化物组成的层；以及在由 TEOS 组成的层上淀积 10 到 50nm 的 α -Si 组成的层。本领域的技术人员应该理解也可以使用保护层的其它组合。

同样在步骤 805 中，具有孔的掩膜层可形成在保护层上。掩膜层
25 中的孔露出部分下面的保护层。在优选实施例中，掩膜层由光致抗蚀剂组成。图 9 示出了步骤 805 (图 8) 之后 HBT 部分 201 的剖面图。图 9 中的 HBT 部分 201 包括 TEOS 层 901，SiN 层 902、以及具有步骤 805 (图 8) 期间形成的孔 904 的掩膜层 903。

再返回到图 8，在步骤 810，N 型掺杂剂穿过掩膜层中的孔，穿过

由掩膜层中的孔露出的部分保护层、进入到掩膜层中孔下面的部分外延层内。在 N 型区为 IC 的 HBT 的一部分集电极区的那部分外延层中，N 型掺杂剂形成 N 型区。例如，可以使用磷作为 N 型掺杂剂。

5 随后，在图 8 的步骤 815，除去部分保护层以在保护层中形成孔，露出下面的部分外延层。保护层的每个除去部分位于至少一个埋置集电极区上。掩膜层还预先限定了外延层中的 N 型区。因此，保护层的除去部分与外延层中的 N 型区自对准。

同样在步骤 815 中，退火步骤 810 期间形成的 N 型区和步骤 360 (图 3) 期间形成的 N 型源和漏区。在使用两个保护层的实施例中，优选使用反应离子腐蚀工艺腐蚀顶保护层中的孔，由掩膜层中的孔限定，露出下面部分底保护层。然后，除去掩膜层，退火 N 型区和 N 型源和漏区。随后，优选使用稀释的氢氟酸腐蚀底保护层中的孔，由顶保护层中的孔限定，露出下面的部分外延层。因此，掩膜层直接定义了顶保护层中的孔，并间接定义了底保护层中的孔。图 10 示出了步骤 815 15 (图 8) 之后 HBT 部分 201 的剖面图。图 10 中的 HBT 部分 201 包括步骤 810 (图 8) 期间形成的区 224，也包括步骤 815 (图 8) 期间形成的层 901 和 902 中的孔 1001。

再参考图 8，步骤 805、810 以及 815 之后，在步骤 820 中，在保护层和外延层上形成半导体层。半导体层由与外延层不同的半导体材料组成。在优选实施例中，半导体层具有约 50 到 200nm 的厚度，并由硅锗碳组成。半导体层具有约 0.0 到 1.0 重量百分比的碳，但优选具有约 0.2 重量百分比的碳。在半导体层中使用硅锗碳减少了由随后的选择性注入集电极 (SIC) 区引起的基极轮廓扩散。同样在优选实施例中，直接位于以前露出的部分外延层上的部分半导体层具有晶体或外延原子结构，没有直接位于以前露出的部分外延层上的部分半导体层具有多晶硅或非晶原子结构。 25

在不同的实施例中，步骤 820 的外延生长工艺可用于退火步骤 810 期间形成的 N 型区以及步骤 360 (图 3) 期间形成的 N 型源和漏区。例如，高温氢预生长或外延生长工艺的烘焙部分用作退火。在本实施例

中，省略了单独的步骤 815 的退回工艺。

接下来，在图 8 的步骤 825，至少一个电绝缘层形成在半导体层上。例如，由 10 到 100nm 由 TEOS 或另一氧化物组成的层淀积在半导体层上，然后 10 到 100nm 由 α -Si 组成的层淀积在由 TEOS 组成的层上。
5 α -Si 组成的层用作由 TEOS 组成的层的硬掩膜，并保护 TEOS 组成的层在随后的预发射极清洁工艺期间不变薄。在优选实施例中，使用两个电绝缘层。

然后，在图 8 的步骤 830，电绝缘层上形成掩膜层，掩膜层具有孔，露出下面部分电绝缘层。电绝缘层的这些下面部分位于步骤 815
10 中形成的保护层的孔上，也位于步骤 810 形成的 N 型区上。在优选实施例中，掩膜层由光致抗蚀剂组成。图 11 示出了步骤 830 (图 8) 之后 HBT 部分 201 的剖面图。图 11 中的 HBT 部分 201 包括在步骤 820 (图 8) 期间形成的半导体层 1101、步骤 825 (图 8) 期间形成的 TEOS 层 1102 和 α -Si 层 1103，以及步骤 830 (图 8) 期间形成的具有孔 1105 的掩膜
15 层 1104。

再返回到图 8，在图 8 的步骤 835，N 型掺杂剂穿过掩膜层中的孔、穿过由掩膜层中的孔露出的部分电绝缘层、以及穿过下面的部分半导体层注入以在下面的部分外延层中形成 N 型区。这些 N 型区为异质结
20 BiCMOS IC 中 HBT 的部分集电极区并且也称做选择性注入的集电极 (SIC) 区。在优选实施例中，这些 N 型区位于 N 型区内，并且比以前步骤 810 期间形成的 N 型区重掺杂。例如，磷可以用作 N 型掺杂剂。

随后，在图 8 的步骤 840，除去部分电绝缘层，在电绝缘层中形成孔，其中孔露出了下面的部分半导体层。步骤 830 期间形成的掩膜层限定了除去的部分或电绝缘层中的孔。该掩膜层也用于预先限定步
25 骤 835 期间的 N 型区。因此，电绝缘层中的孔与这些以前形成的 N 型区自对准。本领域的技术人员应该理解步骤 835 中的注入顺序以及步骤 840 中除去部分电绝缘层的顺序可以颠倒。

同样在步骤 840 中，除去以前在步骤 830 期间形成的掩膜层。在使用两个电绝缘层的优选实施例中，腐蚀顶电绝缘层，由掩膜层限定，

露出下面部分底电绝缘层。然后，除去掩膜层。接下来，腐蚀底电绝缘层，由顶绝缘层中的孔限定，露出下面部分的半导体层。因此，掩膜层直接限定了顶电绝缘层中的孔并间接限定了底电绝缘层中的孔。

5 HBT部分201包括步骤835(图8)期间形成的区225以及步骤步骤840(图8)期间形成的层1102和1103中的孔1201。

再返回到图8，在步骤845，导电层形成在半导体层上和电绝缘层的孔中。在优选实施例中，导电层具有约100-300nm的厚度，由淀积(原位)期间或淀积之后掺杂的N型硅组成。例如，砷(As)可以用于掺杂导电层中的硅。直接位于以前露出半导体层上的那部分导电层
10 优选具有外延或晶体原子结构，直接位于电绝缘层上的那部分导电层优选具有多晶或非晶原子结构。

随后，步骤850和855期间，在导电层中形成发射极区。在步骤850中，在位于电绝缘层孔中的那部分导电层上形成掩膜层。在优选实施例中，掩膜层由光致抗蚀剂组成。图13示出了步骤850(图8)之后HBT部分201的剖面图。图13中的HBT部分201包括在步骤845(图8)期间形成的导电层1301以及在步骤850(图8)期间形成的掩膜层1302。再返回到图8，在步骤855，除去或腐蚀导电层的露出部分以露出下面的部分电绝缘层。掩膜层保护掩膜层下面的那部分导电层不受
20 腐蚀剂腐蚀，导电层的这些部分用作异质结BiCMOS IC中HBT的发射极区。在优选实施例中，使用反应离子腐蚀剂构图导电层。

接下来，在图8的步骤860中，P型掺杂剂穿过电绝缘层的露出部分注入到下面部分半导体层内。例如，可以使用硼或氟化硼作为P型掺杂剂。以前的步骤850期间形成的掩膜层阻止了P型掺杂剂进入
25 掩膜层下导电层的其余部分。因此，掩膜层也阻止了P型杂质注入到导电层的其余部分下面的那部分半导体层中。步骤860期间没有注入的那部分半导体层形成HBT的本征基极区，步骤860期间注入的那部分半导体层形成HBT的非本征基极区。

以前的步骤850期间形成的掩膜层用于限定步骤855期间的发射

极区，也用于限定步骤 860 期间本征和非本征基极区之间的过渡点。因此，本征基极区的外部和非本征基极区的内部与发射极区自对准。图 14 示出了步骤 860 (图 8) 之后的 HBT 部分 201 的剖面图。图 14 中的 HBT 部分 201 包括步骤 855 (图 8) 期间形成的发射极区 240，步骤 5 860 (图 8) 期间形成的本征基极区 231 和非本征基极区 232。本领域的技术人员应该理解构图或形成发射极区 240 期间可以除去部分电绝缘层或层 1102 和 1103。

再参考图 8，在步骤 865，除去以前在步骤 850 期间形成的掩膜层。然后，淀积由 TEOS 或另一氧化物组成的可选 10 到 60nm 层。该可选层 10 用于保护发射极区和非本征基极区不受随后除去步骤 805 期间已形成的保护层期间使用的腐蚀剂腐蚀。

随后，在图 8 的步骤 870 期间，优选通过反应性离子腐蚀除去或腐蚀部分半导体层。在优选实施例中，形成掩膜层覆盖发射极区、本征基极区以及与本征基极区相邻的部分非本征基极区。在优选实施例中，掩膜层由光致抗蚀剂组成。图 15 示出了步骤 870 (图 8) 之后 HBT 15 部分 201 的剖面图。图 15 中的 HBT 部分 201 包括步骤 870 (图 8) 期间形成的 TEOS 层 1501 以及掩膜层 1502。构图半导体层期间也除去可选 TEOS 层的露出部分。该构图步骤限定了非本征基极区的外部，并且不影响本征基极区。

20 然后，在图 8 的步骤 875，除去前面步骤 805 期间形成的保护层。在顶层由 SiN 组成的两个保护层的实施例中，使用热含磷湿腐蚀剂除去由 SiN 组成的层，使用稀释的氢氟酸腐蚀剂除去由 TEOS 组成的层。以前讨论过的图 5 示出了步骤 875 (图 8) 之后 HBT 部分 201 的剖面图。

因此提供了一种制造异质结 BiCMOS IC 的改进制造方法，克服了 25 现有技术的不足。专门用于异质级 BiCMOS IC 中的 HBT 的制造步骤模块化并与广泛使用的常规 CMOS 制造工艺兼容或者至少适用。可以使用常规的处理设备制造 HBT，HBT 的电特性比同质结双极晶体管的优越。

虽然参考具体的实施例介绍了本发明，但本领域的技术人员应该理解可以进行各种改变同时不脱离本发明的精神或范围。例如，这里

提供了大量的细节，例如具体的导电类型、化学组合物、以及原子结构以帮助理解本发明，而不是限定本发明的范围。作为附加的例子，在图 8 的步骤 805 之前可以进行图 8 的步骤 810，或者在除去部分保护层和除去掩膜层之间的步骤 815 期间进行图 8 的步骤 810。作为进一步

5 的例子，可以在图 3 的步骤 320 和 330 之间形成双多晶硅电容器，在图 3 的步骤 350 和 360 之间形成 MOS 晶体管中的分段沟槽。此外，这里介绍的方法可以用于制造不含任何 MOS 晶体管的双极 IC。在该双极 IC 实施例中，图 8 中的步骤 805 的保护层用于保护无源器件，例如电阻器和电容器。因此，公开本发明的各实施例意在说明本发明的范围，

10 而不是限定性的。本发明的范围仅由附带的权利要求书要求的扩展范围限定。

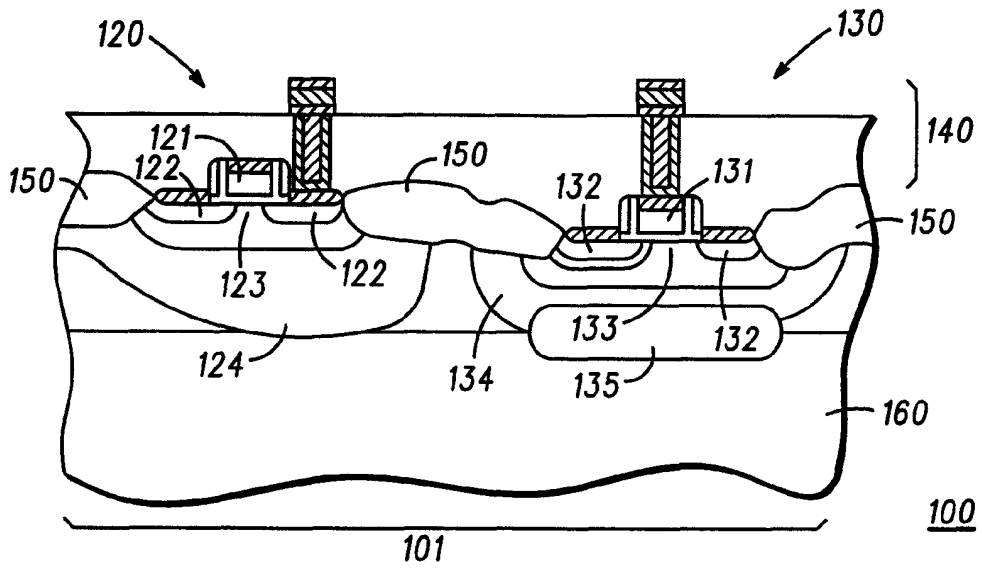


图 1

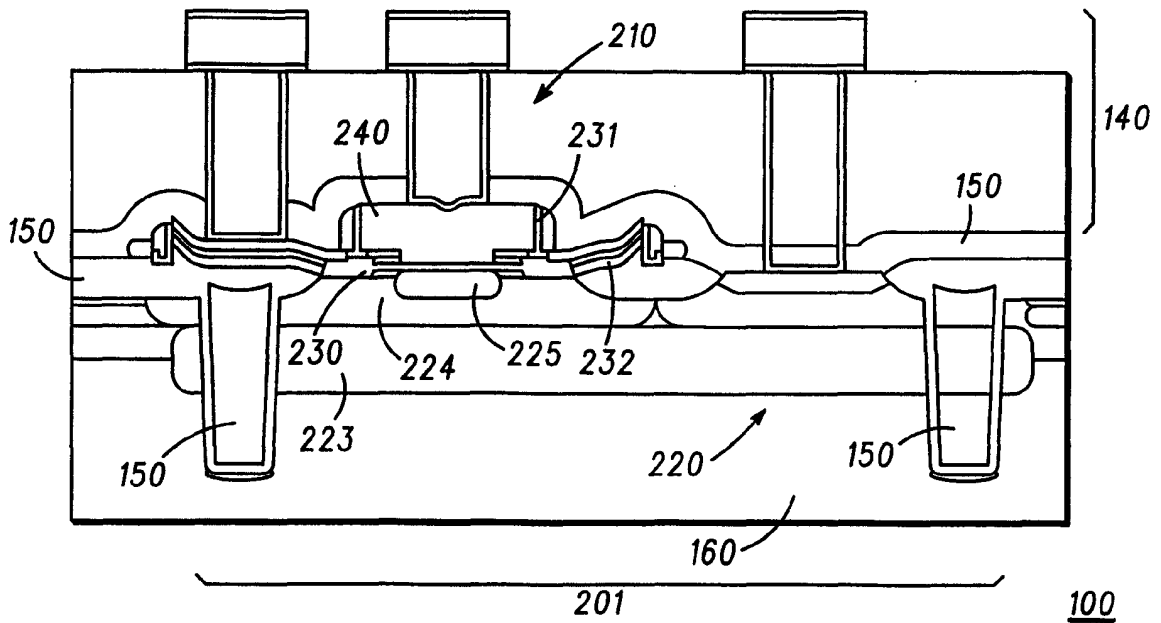


图 2

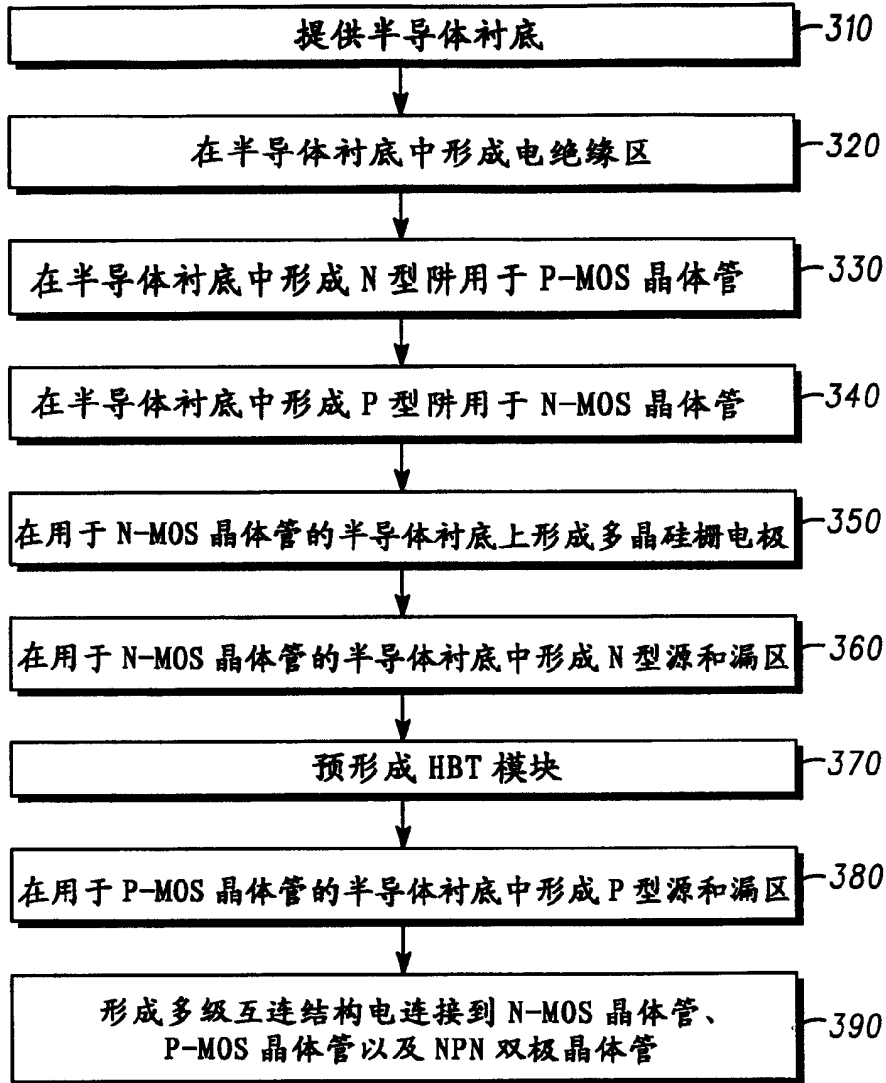


图 3 300

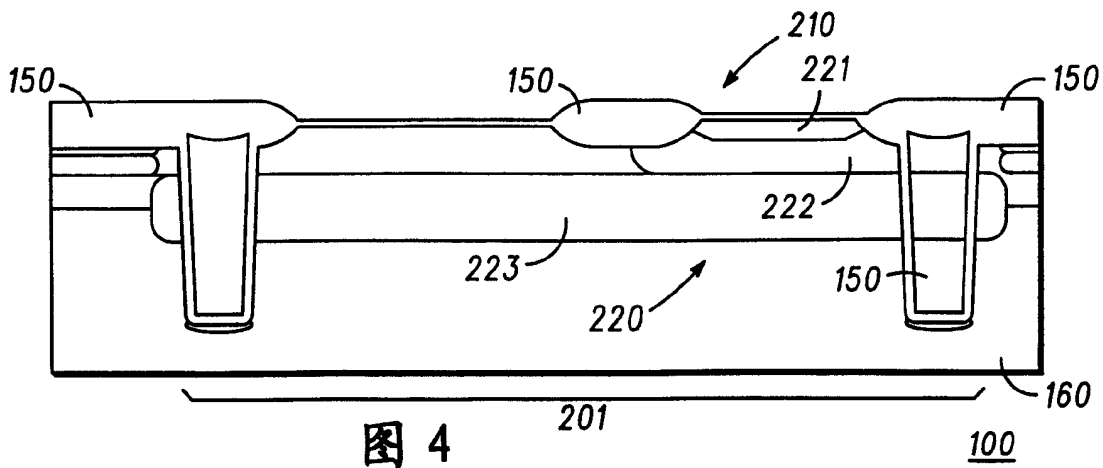


图 4

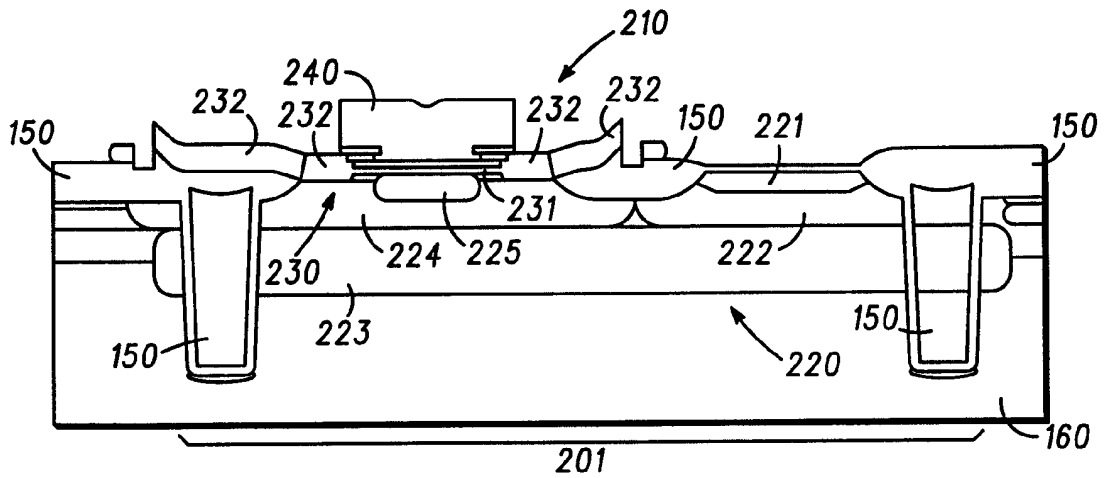


图 5

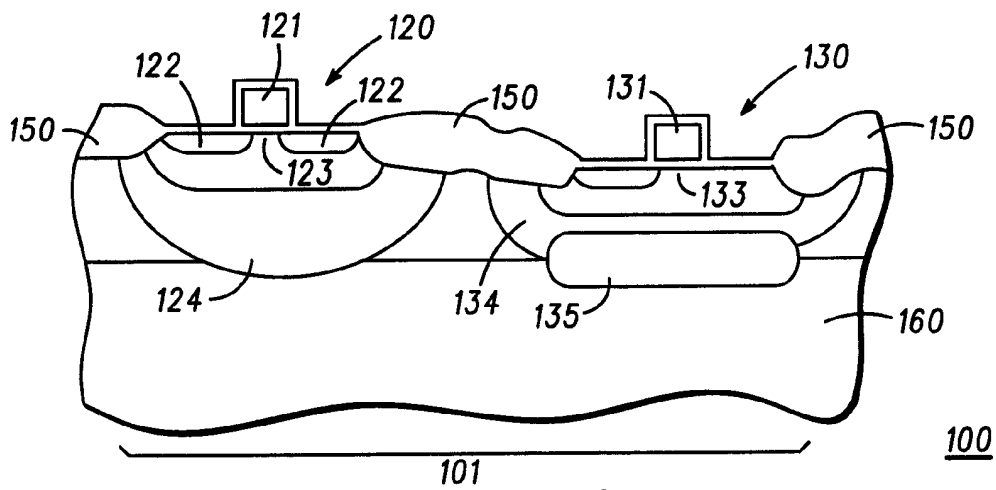


图 6

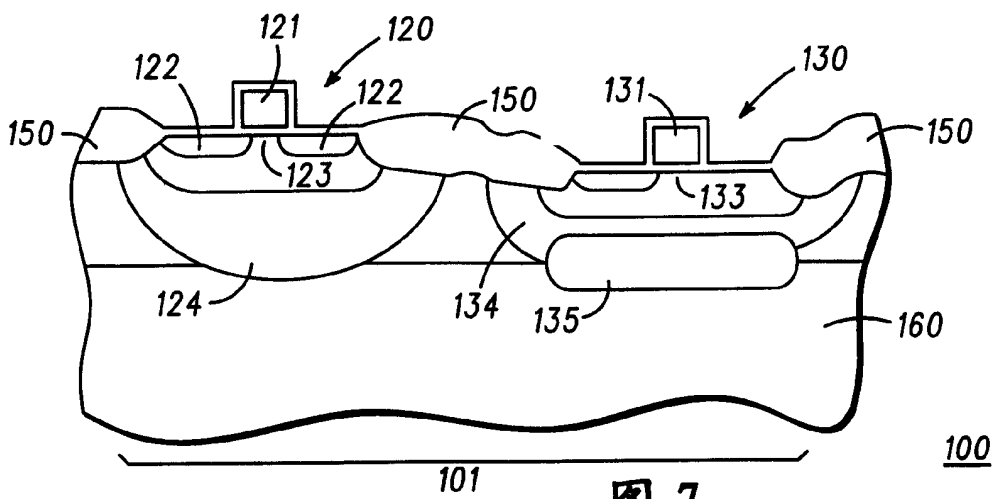
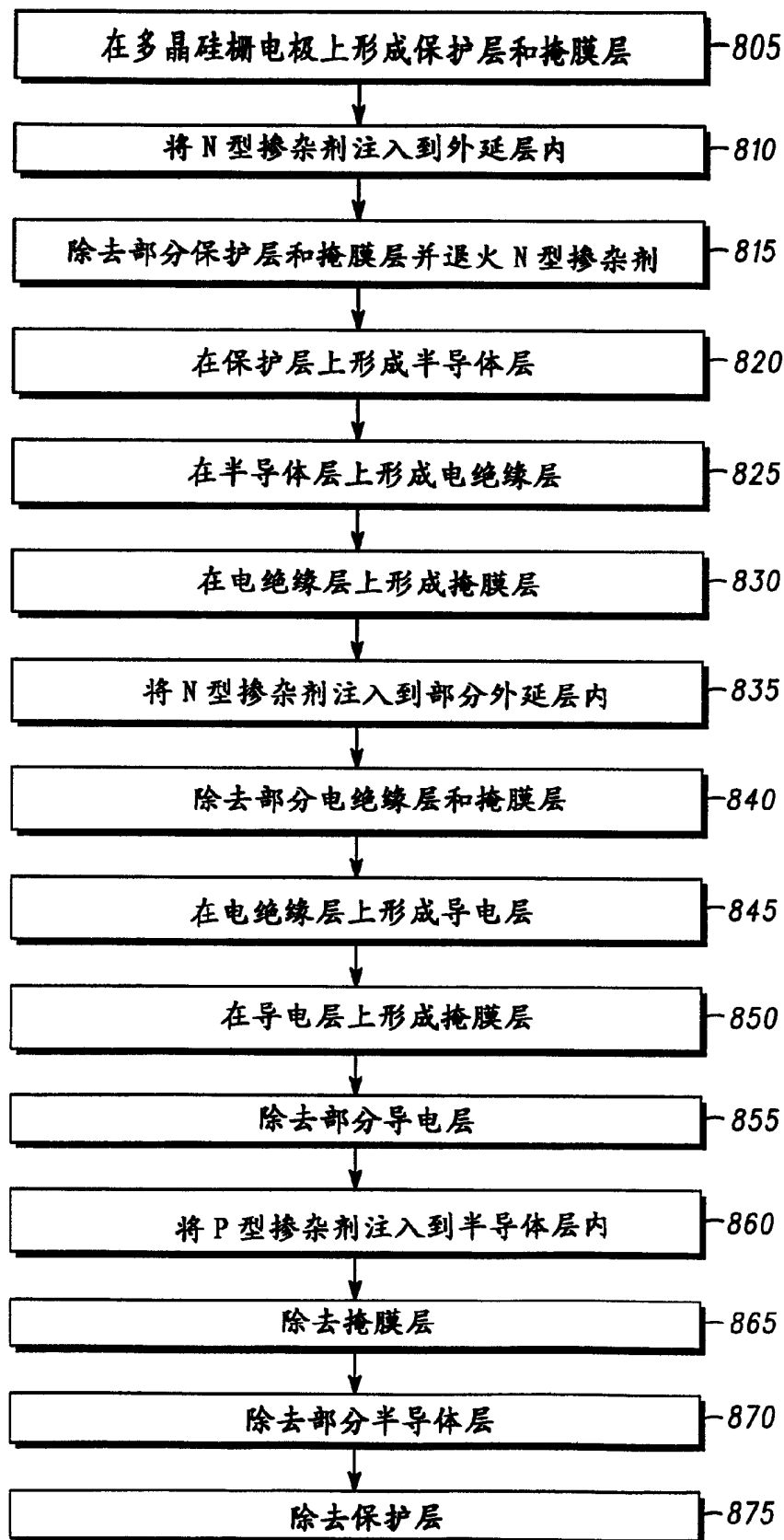


图 7



370
图 8

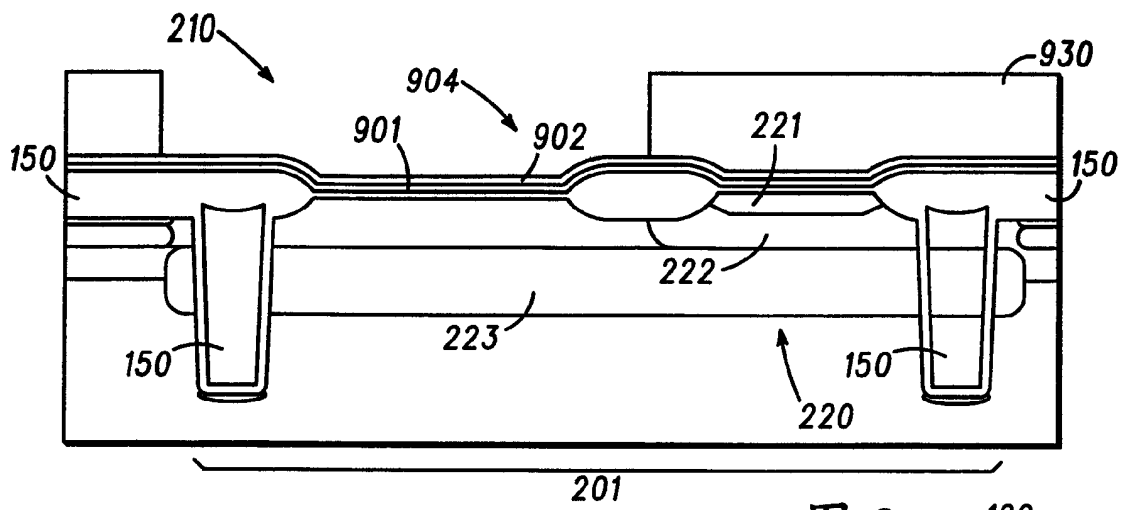


图 9 100

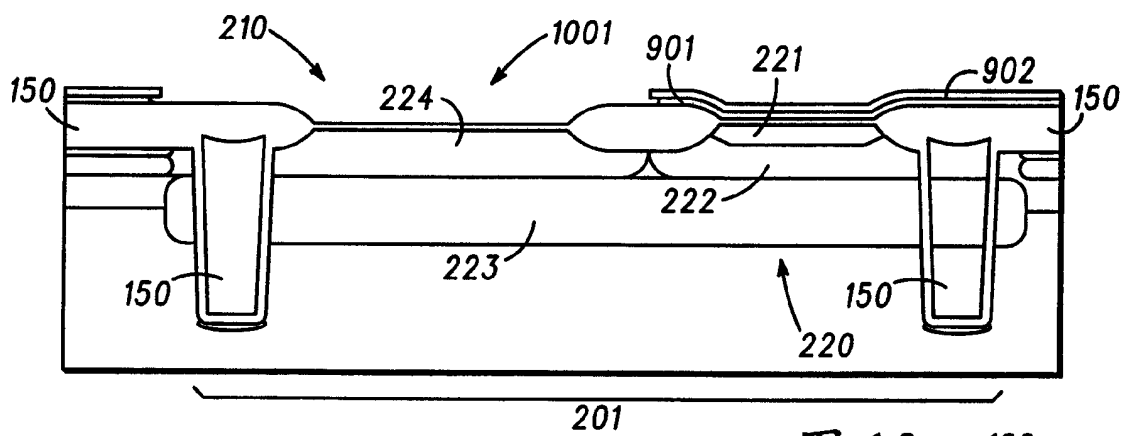


图 10 100

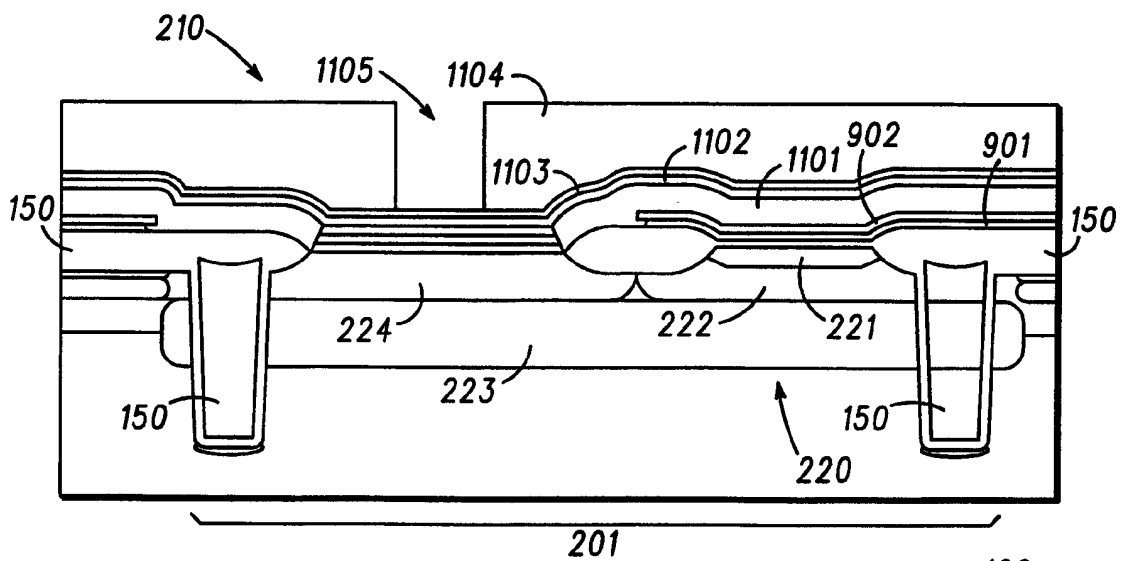


图 11 100

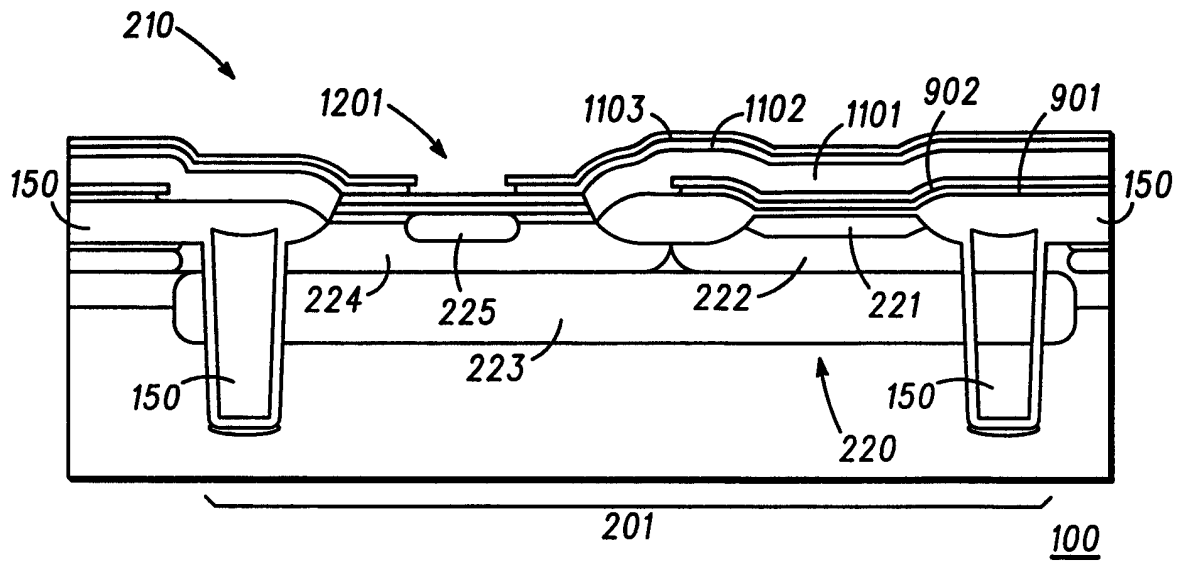


图 12

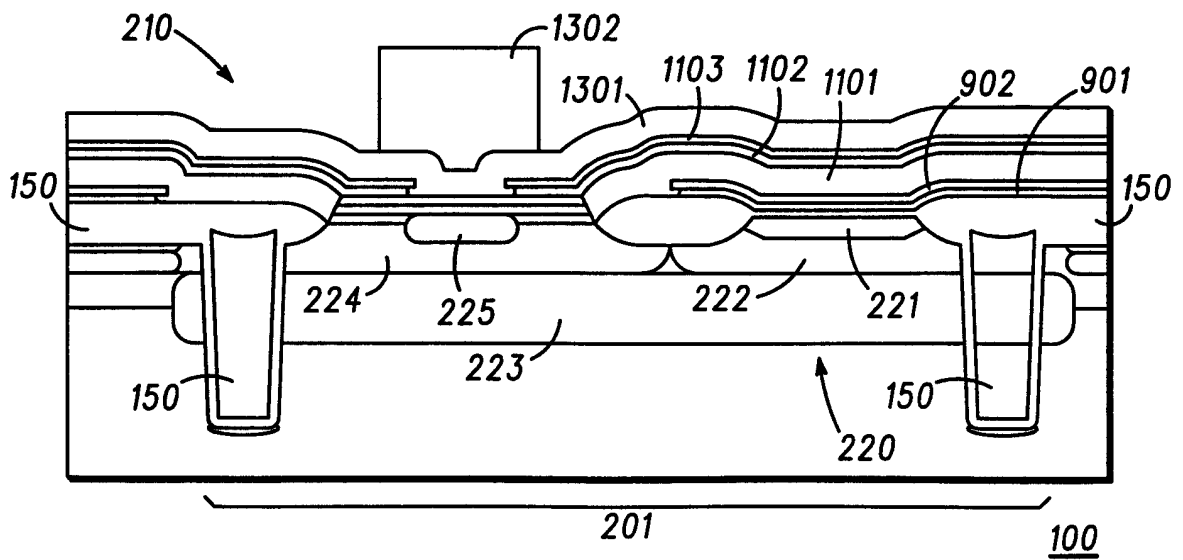


图 13

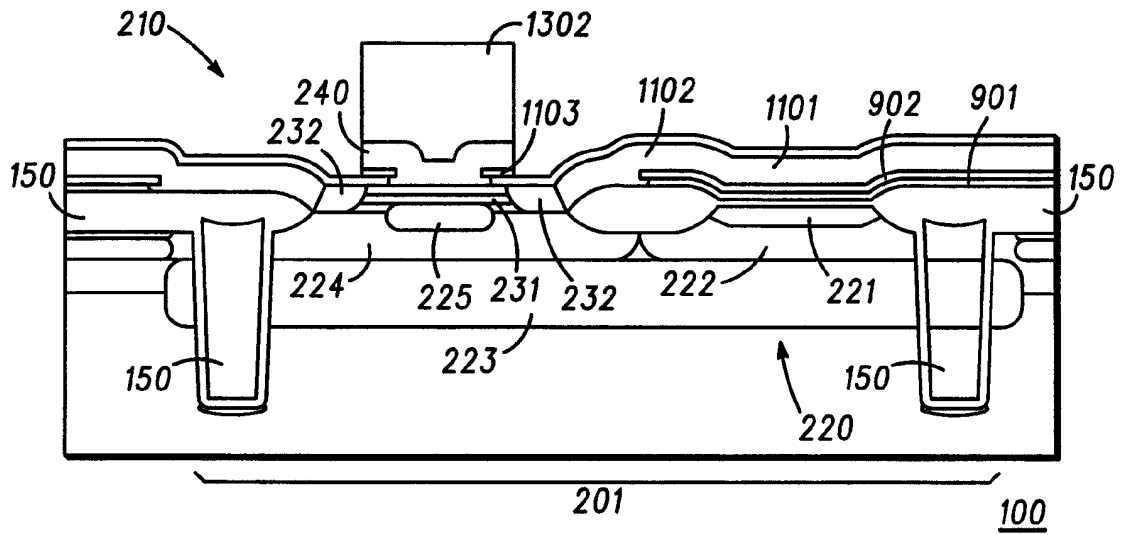


图 14

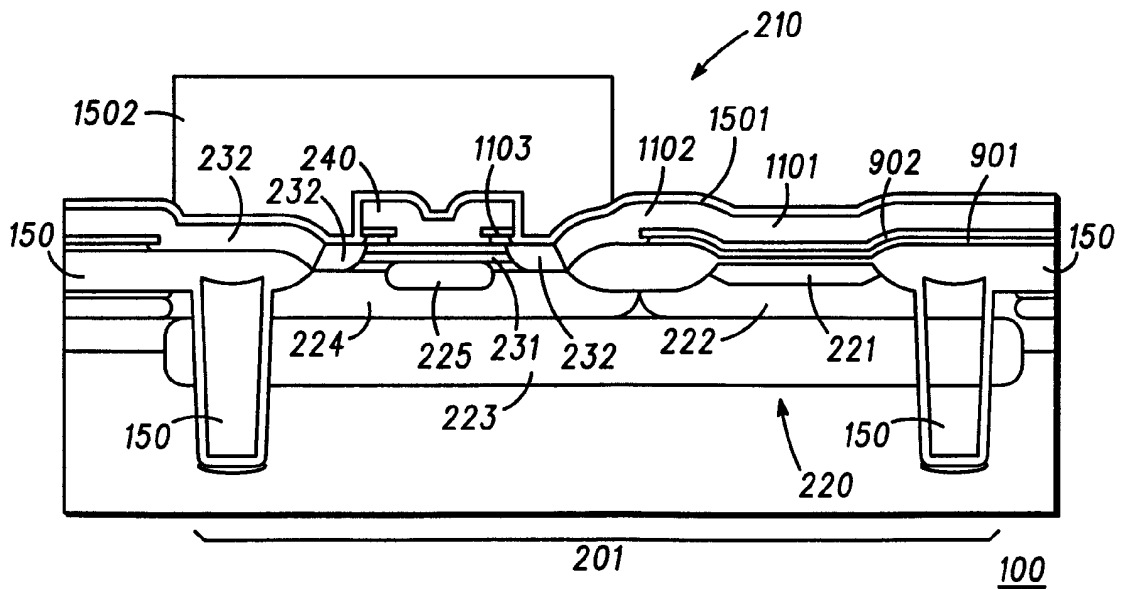


图 15