

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97100119

※ 申請日期：97年1月2日

※IPC分類：

一、發明名稱：(中文/英文)

光學與電子束微影製造層級之共對準的高 Z 結構及方法

HIGH-Z STRUCTURE AND METHOD FOR CO-ALIGNMENT
OF MIXED OPTICAL AND ELECTRON BEAM
LITHOGRAPHIC FABRICATION LEVELS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

張艷 / ZHANG, YAN

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

三、發明人：(共 5 人)

姓名 (中文/英文)

1、大衛 麥可 費得 / FRIED, DAVID MICHAEL

2、約翰 麥可 賀根羅爾 / HERGENROTHER, JOHN MICHAEL

3、雪瑞 珍 麥納柏 / MCNAB, SHAREE JANE

4、麥可 J. 魯克斯 / ROOKS, MICHAEL J.

5、安娜 托波爾 / TOPOL, ANNA

國籍 (中文/英文)

1、2、4 為美國 / US

3. 為紐西蘭 / NZ

5. 為波蘭 / PL

四、 聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、西元 2007 年 01 月 02 日、11/618,974

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種方法，其係將一積體電路晶片之一製造層級之一第一組特徵對準一電子束對準目標並使用電子束微影來形成第一組特徵，以及將積體電路晶片的相同製造層級之一第二組特徵對準光學對準目標並使用微影來形成第二組特徵，其中，電子束對準目標包含形成於基材中之一高原子量層，光學對準目標係形成於基材中，光學對準目標本身係對準電子束對準目標。本發明亦提供一種電子束對準目標之形成方法及結構。

六、英文發明摘要：

A method for aligning a first set of features of a fabrication level of an integrated circuit chip to an electron beam alignment target including a high atomic weight layer formed in a substrate and forming the first set of features using electron beam lithography and for aligning a second set of features of the same fabrication level of the integrated circuit chip to an optical alignment target formed in the substrate and forming the second set of features using photolithography, the optical alignment target itself is aligned to the electron beam alignment target. Also a method of forming and a structure of the electron beam alignment target.

七、指定代表圖：

(一)本案指定代表圖為：圖 1P。

(二)本代表圖之元件符號簡單說明：

100	SOI 基材
105	主體
110	BOX 層
115	矽層
170	第二層
175	高原子量(Z)材料
178	電子後向散射層
180	應力削減層
185	帽蓋層
190	電子束對準目標
205	光學對準目標
210	淺溝渠隔離(STI)
215	FET
225	通道區域
220	源極/汲極
230	閘極介電質
235	閘極電極
240	間隙壁
245	層內介電層
250、255	接觸

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體製程的領域，尤其是關於一種混合光學與電子束微影製造層級之共對準的對準目標及方法。

【先前技術】

為了製造積體電路，各種微影定義製造層級必須相互對準。在光學微影中，基材上的一層光阻係透過圖案化光罩而暴露於光化輻射，其中，圖案化光阻係對準於基材上的對準目標。早期微影製程步驟所製造的結構係作為光罩上對準標記的對準目標。相較之下，電子束微影是一種直寫(direct-write)製程，沒有光罩，且電子束係掃過一電子束阻劑層。在每一製造層級，電子束必須標示為一參考結構。一般來說，光學微影快，但是不能將影像印在非常小的節距(pitch)上。電子束微影可以將影像印在非常小的節距上，但是慢。結合這兩種技術優點的方法受電子束微影系統不能標記目前光學對準結構的事實所阻礙。因此，目前有需求一種光學與電子束微影製造層級之共對準的對準目標以及方法。

【發明內容】

本發明的一第一面向為一種方法，包含形成一電子束對準目標於一基材中，此電子束對準目標包含一電子後向

散射(back-scattering)層於一溝渠之一底部，以及一帽蓋層於電子後向散射層頂上且填滿溝渠；在形成電子束對準目標之後，形成一光學對準目標於基材中，對應於基材中之電子束對準目標之一位置，光學對準目標位於基材中之一預定位置；形成一光阻層於基材上；將一光罩對準光學對準目標或電子束對準目標，光罩具有透光及不透光區域之一第一圖案，第一圖案代表一積體電路之一製造層級之一第一組特徵；將光阻層透過光罩而暴露於光化輻射，以形成選擇性曝光區域於光阻層中，不透光區域實質上阻擋光化輻射，且透光區域實質上傳送光化輻射；對應電子束對準目標之位置而設置一電子束之一起始位置(home position)；將光阻層以第二圖案暴露於電子束，以形成電子束曝光域(virtual electron exposure fields)於光阻層中，第二圖案代表積體電路之製造層級之第二組特徵；以及顯影光阻層，以轉移第一及第二圖案至光阻層中之光阻圖案。

本發明之第二面向為第一面向中，電子後向散射層包含一金屬。

本發明之第三面向為第一面向中，電子束對準目標更包含一應力削減層於電子後向散射層及帽蓋層之間。

本發明之第四面向為第三面向中，電子後向散射層包含一金屬，以及應力削減層包含一金屬矽化物。



本發明之第五面向為第一面向更包含：轉移光阻圖案到基材或形成於基材上之一層中。

本發明之第六面向為第一面向中，將光罩對準光學對準目標或電子束對準目標之步驟包含分別對應光學對準目標或電子束對準目標而設置一對準標記於光罩上。

本發明之第七面向為第一面向中，(i)將光阻層暴露於光化輻射係在將光阻層暴露於電子束之前實施；或(ii)將光阻層暴露於電子束係在將光阻層暴露於光化輻射之前實施。

本發明之第八面向為第一面向更包含：將基材的表面分成虛擬電子束曝光域；以及形成額外電子束對準目標僅在包含第二組特徵的成員之特徵及具有對應虛擬電子束曝光域中位置的基材之區域中。

本發明之第九面向為第一面向中，沿電子束對準目標佔用的基材之一頂表面測量的一面積係沿光學對準目標佔用的基材之頂表面測量的一面積之 25 至 100 倍。

【實施方式】

微影對準係定義為將彼此相關且位於一基材上之積

體電路的不同結構於水平方向(如 x-y 位置)上定位的製程。水平方向係定義為與基材之頂表面平行的任何方向。積體電路的製造層級係定義為將一組積體電路相關的圖案化結構同時形成於基材中或基材上之層級。製造層級可包含二或多個微影步驟。

光學微影(在此之後稱為微影(photolithgraphy))藉由將光阻層透過一光罩暴露於光化輻射(如紫外光),以形成光阻特徵(resist feature)及間隙壁的圖案於光阻層中,此光罩具有透光及不透光(對於光化輻射)區域的對應圖案區域。微影對準仰賴於對應基材上之對準目標之影像而設置對準標記之影像於光罩上,以及對應於基材移動光罩,或對應光罩移動基材,以將光罩(以及光罩上的圖案)對準基材(及基材上的結構)。光學對準目標具有受限的深度(如約 30 奈米至約 100 奈米的等級)之小的水平尺寸(如約 10 奈米至約 100 奈米的等級),以及具有低原子量(如矽)的製造結構。

藉由當電子束以直寫製程掃過光阻層時關閉及開啟電子束,使電子束微影形成影像於基材上之光阻層中(以電子束輻射)。電子束微影的對準仰賴在基材上設置一位置,其藉由對應電子束曝光機台中電子束之起始位置,以掃描式電子顯微鏡(SEM)成像後向散射電子。因此,可以在任何特定時間決定直接在電子束路徑之基材上的 x-y 位置。根據本發明之實施例的電子束對準目標呈現相對於周圍

基材區域大的地形(topographical)對比(大且深)，以增加後向散射電子之數目，後向散射電子係用來產生供標記電子束之 SEM 影像。

光阻(photoresist)定義為當暴露於光化紫外輻射時，會進行改變其在顯影液中溶解度的化學反應之一種聚合組成物。電子束阻劑定義為當暴露於電子束時，會進行改變其在顯影液中溶解度的化學反應之一種聚合組成物。阻劑(resist)定義為當暴露於光化紫外輻射或電子束時，會進行改變其在顯影液中溶解度的化學反應之一種聚合組成物。在之後任何時候指稱光阻或電子束阻劑時，可以阻劑取代之。

雖然本發明之實施例使用絕緣層上矽(SOI)基材來說明，本發明之實施例同樣可應用在塊狀矽基材。塊狀矽基材不包含埋藏氧化(BOX)層。在工業中，對於半導體基材、塊狀矽或 SOI 的通用名稱為「晶圓(wafer)」，且「基材」及「晶圓」兩術語可在工業中交互使用。「積體電路」及「積體電路晶片」之術語可交互使用。

圖 1A 至 1P 為根據本發明之實施例，說明在相同的基材上製造電子束對準目標、光學對準目標及例示場效應電晶體(FET)之剖面圖。在圖 1A 中，SOI 基材(或晶圓)100 包含主體(或操作物(handle)) 105、於主體頂上之 BOX 層

110 及於 BOX 層頂上之矽層 115。BOX 層 110 包含二氧化矽。在一例示中，主體 105 為單晶矽。在一例示中，矽層 115 為單晶矽。在一種方法中，SOI 晶圓之形成係藉由將氧離子植入單晶矽晶圓及回火，以形成埋藏二氧化矽層。在另一種方法中，SOI 晶圓之形成係藉由將兩矽晶圓的頂表面氧化、將氧化的表面接觸放置、回火以將晶圓接合在一起，以及之後藉由例如化學機械研磨(CMP)，以從晶圓之一的底部移除矽。

在矽層 115 的頂表面上形成第一墊層 120。在第一墊層 120 的頂表面上形成第二墊層 125。在第二墊層 125 的頂表面上形成硬遮罩層 130。在一例示中，第一墊層 120 為二氧化矽。在一例示中，第二墊層 125 為氮化矽。在一例示中，硬遮罩層 130 為二氧化矽。在一例示中，BOX 層 110 為約 50 奈米至約 300 奈米厚。在一例示中，矽層 115 為約 30 奈米至約 200 奈米厚。在一例示中，第一墊層 120 為約 2 奈米至約 20 奈米厚。在一例示中，第二墊層 125 為約 5 奈米至約 150 奈米厚。在一例示中，硬遮罩層 130 為約 50 奈米至約 145 奈米厚。

在圖 1B 中，圖案化光阻層 135 係形成於硬遮罩層 130 的頂表面上，且開口 140 係以微影形成於光阻層中，以暴露在開口底部的硬遮罩層區域。此微影步驟定義之後將形成的電子束對準目標之位置及水平形狀。

在圖 1C 中，使用圖案化光阻層 135(參見圖 1B)來蝕刻硬遮罩層 130，以形成開口 145 於硬遮罩層中，且移除光阻層。除此之外，也可以留下在蝕刻硬遮罩層 130 之後存留的任何光阻層 135，由之後根據圖 1D 描述的操作完全消耗，或在這些操作之後留下光阻層。第二墊層 125 的一區域係暴露於開口 145 的底部。

在圖 1D 中，藉由蝕刻穿透第二墊層 125、第一墊層 120、矽層 115、BOX 層 110 至主體 105 中，以形成溝渠 150。在第一墊層 120 與 BOX 層 110 為二氧化矽且第二墊層 125 為氮化矽的例示中，現在將提供蝕刻溝渠 150 的兩例示。第一方法中，在第一步驟中，係用使用 CF_4 作為反應氣體的反應性離子蝕刻(RIE)來蝕刻溝渠 150。在第二方法中，使用四個步驟。在第一步驟中，係用使用 CHF_3 作為反應氣體的 RIE 來蝕刻穿透第二墊層 125 及第一墊層 120。在第二步驟中，係用使用 HBr 作為反應氣體的 RIE 來蝕刻穿透矽層 115。在第三步驟中，係用使用 CHF_3 作為反應氣體的 RIE 來蝕刻穿透 BOX 層 110。在第四步驟中，係用使用 HBr 作為反應氣體的 RIE 來蝕刻至主體 105 中。如圖 1D 所示，在溝渠 150 的蝕刻期間，移除所有的硬遮罩 130 (參見圖 1C)，且移除大部分的第二墊層 120。然而，在一極端的例子中，可在蝕刻溝渠 150 之後存留一層硬遮罩層 130 及所有第一及第二墊層 115 及 120，而在

另一個相反的極端例子中，至少一層第一墊層 120 應該存留，以保護矽層 115 的頂表面，防止在溝渠 150 的蝕刻期間被攻擊。如前所述，任何存留的光阻層 135 (參見圖 1C) 在此時被移除。

在圖 1E 中，任何存留的硬遮罩層(參見圖 1C)以及第一及第二墊層 120 及 125 (參見圖 1D)係被移除(如藉由濕蝕刻或結合濕蝕刻及 RIE)。溝渠 150 自矽層 115 的頂表面 160 延伸一深度 D1，且具有至少一水平方向的最小寬度 W1 之水平幾何。在一例示中，W1 係約從 100 奈米至約 10 微米，且 D1 係約從 500 奈米至 5 微米。

在圖 1F 中，形成溝渠襯層。溝渠襯層包含第一層 165 及第二層 170，第一層 165 形成於矽層 115 的所有暴露表面上及溝渠 150 的所有暴露表面上，第二層 170 形成於第一層 165 的所有暴露表面上。溝渠襯層可包含任何數目的獨立層。在一例示中，第一層 165 為二氧化矽。在一例示中，第二層 170 為氮化矽。在一例示中，第一層 165 為約 2 奈米至約 20 奈米厚。在一例示中，第二層 170 為約 5 奈米至約 150 奈米厚。

在圖 1G 中，一層高原子量(Z)材料 175 沉積於第二層 170 上，填滿(如所示)或部分填充溝渠 150。在一例示中，一高 Z 材料為具有原子量大於矽(約 28 amu)的材料，較佳

具有約 40 或以上的原子量。在一例示中，材料 175 為金屬。在一例示中，材料 175 較佳為鍍化鎢。在一例示中，材料 175 較佳為鎢，其可由化學氣相沉積(CVD)所形成。

在圖 1H 中，實施 CMP，其消耗所有或一些的層 165 及 170 上材料 175。在圖 1H 中，留存一些的層 170 及所有層 165。

在圖 1I 中，凹陷材料 175(參見圖 1H)使低於溝渠 150 頂部至一厚度 T1，以形成電子後向散射層 178。在一例示中，凹陷電子後向散射層 178 使低於 BOX 層 110 的層級(當使用 SOI 基材時)。若電子後向散射層 178 為鎢，可使用 RIE 製程或濕蝕刻製程(如過氧化氫)來實施凹陷。在一例示中，T1 介於約 200 奈米至約 1 微米。

在圖 1J 中，形成選擇性的應力削減層 180 於溝渠 150 中之電子後向散射層 178 之上。在一例示中，當電子後向散射層 178 為鎢(或其他金屬)，應力削減層 180 為矽化鎢(或一金屬矽化物)。可由沉積一矽化物層(如非晶矽或多晶矽)，之後高溫回火(視金屬而定，如對於 NiSi 約 400°C、對於 CoSi 約 400°C、對於 WSi 約 700°C)，之後濕蝕刻移除未反應的鎢(或金屬)，以形成金屬矽化物。較佳對於電子後向散射層 178 使用金屬，及對於帽蓋層 180 使用金屬矽化物，以如以下所述減少電子後向散射層 178 及帽蓋層

185 之間的應力。

在圖 1K 中，形成帽蓋層 185 使填滿溝渠 150。在一例示中，帽蓋層 185 為介電材料。在一例示中，帽蓋層 185 為二氧化矽，可由 CVD 或電漿增強 CVD 所形成，或為 TEOS 氧化物。

在圖 1L 中，實施 CMP 使移除過多的帽蓋層，以形成電子束對準目標 190。之後，實施潔淨使移除污染物，尤其是任何金屬污染物。在一例示中，實施硫酸/硝酸潔淨/水潤洗，之後實施鹽酸潔淨/水潤洗。

在圖 1M 中，移除任何留存的第一及第二層 165 及 170 (如當第一及第二層 165 及 170 分別為氮化矽及氧化矽，藉由熱磷酸蝕刻及氫氟酸為主的蝕刻劑移除)。

在圖 1N 中，新的第一墊層 195 形成於矽層 115 及電子束對準目標 190 上，及新的第二墊層 200 形成於第一墊層 195 上。在一例示中，第一墊層 195 為二氧化矽。在一例示中，第二墊層 200 為氮化矽。在一例示中，第一墊層 195 為約 2 奈米至約 20 奈米厚。在一例示中，第二墊層 200 為約 5 奈米至約 150 奈米厚。

電子束對準目標 190 將從電子後向散射層 178 後向散

射電子。電子束對準目標 190 呈現較大的原子量，且因此電子散射在 SEM 模式對照使用積體電路晶片早期製程(如前端製程；FEOL)的標準矽及矽為主的膜。

如圖 10 所述，在此時可形成光學對準目標，或可與第一光學定義製造層級同時形成。在一例示中，第一光學定義製造層級為介電質填滿溝渠絕緣層級，如圖 1P 所述。

在圖 10 中，藉由微影製程將光學對準目標 205 形成於矽層 115 中，其中，微影製程包含塗佈光阻層、透過對準電子束對準目標 190 之光罩使光阻層曝光、將曝光的光阻層顯影以圖案化光阻層，之後蝕刻穿透第一及第二墊層 195 及 200 至矽層 115 中 (未顯示於圖 10，見圖 10)，之後移除光阻層。在一例示中，當第二墊層 200 為氮化矽，可使用以 CHF_3 作為反應氣體的 RIE 來蝕刻第二墊層。在一例示中，當第一墊層 195 為二氧化矽，可使用以 CHF_3 作為反應氣體的 RIE 來蝕刻第一墊層。在一例示中，可使用以 HBr 作為反應氣體的 RIE 來蝕刻至矽層 115 中。第一及第二墊層 195 及 200 在後續的製程步驟中保護電子束對準目標 190。

光學對準目標 205 自矽層 115 的頂表面 160 延伸一深度 D_2 ，且具有至少一水平方向的最小寬度 W_2 之水平幾何。在一例示中， W_2 從約 100 奈米至約 5000 奈米，且

D2 從約 10 奈米至約 500 奈米。在圖 1O 所述的例示中，D2 可等於但不大於矽層 115 的厚度。在第一例示中，光學對準目標 205 延伸至矽層 115 中，但不接觸 BOX 層 110。在第二例示中，光學對準目標 205 延伸至矽層 115 中且接觸 BOX 層 110。電子束對準目標 175 可與光學對準目標 205 相同尺寸或比較大或比較小(就表面區域來說)。

在圖 1P 中，淺溝渠隔離(STI) 210 與光學對準目標 205 及矽層 115 同時形成(穿過第一及第二墊層 195 及 200，見圖 1O，其之後被移除)，且矽層 115 下達 BOX 層 110。在一例示中，STI 結構的第一區域可藉由對準電子束對準目標 190 的微影製程所形成，而 STI 結構的第二區域可藉由對準電子束對準目標 190 的電子束微影製程所形成。這兩種微影製程都包含微影定義 STI 圖案於阻劑中、蝕刻溝渠穿透第一及第二墊層 195 及 200(見圖 1O)及矽層 115、移除光阻層、沉積絕緣物以溢填滿溝渠，且之後實施 CMP。溝渠絕緣物也填充於光學對準目標 205 中。在一例示中，溝渠絕緣物為 CVD 氧化物。在一例示中，溝渠絕緣物為四乙基矽酸鹽(TEOS)氧化物。在 SOI 基材，STI 210 延伸至完全接觸 BOX 層 110。在塊狀矽基材的例子中，STI 210 延伸一設定距離至塊狀矽基材中。

同樣也在圖 1P 中，FET 215 包含在通道區域 225 相對側的源極/汲極 220、以閘極介電質 230 與通道區域分隔的

閘極電極 235，以及形成的選擇性間隙壁 240。之後，形成層內介電層 245，且電性導通源極/汲極接觸 250 及電性導通閘極電極接觸 255 係形成於層內介電層中。在一例示中，接觸 250 及 255 係以鑲嵌製程所形成。

鑲嵌製程是一種於介電層中形成線溝渠、介層洞或接觸開口，沉積具有足夠厚度來填滿溝渠的電導體於介電質之頂表面上，且實施 CMP 製程來移除過多的導體，且使得導體的表面與介電層的表面為共平面，以形成鑲嵌線、介層洞或接觸。

一般而言，具有電性導通的線及介層洞之額外介電層係形成於介電層 245 上，以將個別的半導體裝置連接積體電路。

在 FET 215 的製造中，FET 及接觸的特定特徵可以使用電子束對準目標 190 之電子束微影步驟來形成，以及 FET 及接觸的特定特徵可以使用光學對準目標 205 之微影步驟來形成。所有的電子束微影步驟使用電子束對準目標 190。最常見的是微影步驟使用光學對準目標 205，或使用形成在光學對準目標 205 之後其他後續形成的光學目標。這些後續形成的光學對準目標可對準電子束對準目標 190、光學對準目標 205 或其他已對準光學對準目標 205 之光學對準目標。FET 215 並非按照電子束對準目標 190

或光學對準目標 205 的尺寸比例。

FET 215 應視為可形成於基材 100 中或上的裝置之例示，包含但非限定於二極體、二極電晶體、矽鍺電晶體、其他異質接合電晶體、電阻器、電容器及誘導體。在此也可以了解的是有許多產生半導體結構所需的微影製造步驟，及有許多連接這些裝置以形成積體電路所需的微影製造步驟，以及對準電子束對準目標 190、光學對準目標 205 或兩者的所有微影步驟將可參考以下圖 3 的描述。

圖 2 說明根據本發明之實施例可採取的電子束對準目標之各種幾何形狀。在圖 2 中，說明例示的水平幾何(即上視圖、平面圖)電子束對準目標。電子束對準目標 190A 是方形，具有每邊邊長為 $W1$ 。電子束對準目標 190B 是矩形，具有短邊邊長為 $W1$ 。電子束對準目標 190C 是「L」形，具有「L」的「足(foot)」長度為 $W1$ 。電子束對準目標 190D 是十字形，具有每一交叉臂之寬度為 $W1$ 。電子束對準目標 190E 是方環，具有每一外邊邊長為 $W1$ 。

現在，最大光學域的尺寸約 20 毫米乘以約 20 毫米，而可印製的最大電子域的尺寸約 0.3 毫米乘以 0.3 毫米。在約 10 毫米乘以 10 毫米的單積體電路晶片的例示中，僅需要一光學曝光域及約 1200 對應電子束曝光域。在許多例子中，當光學曝光域足以大於晶片尺寸，則可以在同時

以同一光學曝光域來印製許多晶片。

現在，微影可印製的圖案之最小節距約 200 奈米，而電子束微影可印製的圖案之最小節距約 70 奈米。因此，即使層級包含具有小於 200 奈米的節距之少量特徵時，必須使用電子束微影。對於包含微影可印製的圖案節距及微影不可印製但電子束微影可印製的圖案之製造層級，其優點在於以微影製程印製微影可印製的區域，以電子束微影製程印製微影不可印製的區域，而非以電子束微影來印製所有製造層級。

圖 3 為根據本發明之實施例之一例示的積體電路晶片之上視圖，說明光學及電子束曝光域之間及光學及電子束對準目標之間的水平光學關係。在圖 3 中，曝光域 300 隔成多(如圖 3 所示的 4 個)積體電路晶片，每一個積體電路晶片都包含一光學對準目標 205。每個積體電路晶片 305 實質上隔成多(如圖 3 所示的 4 個)電子束曝光域 310。然而，不是每個電子束曝光域 310 包含一電子束對準目標 190，只有在選擇的電子束曝光域。

只有在那些電子束微影製程會實施的電子束曝光域會包含電子束對準目標 190。在那些沒有電子束對準目標 190 的區域，只會實施微影製程。然而，可以了解的是微影製程可在包含電子束對準目標 190 的電子束曝光域中實

施。

圖 3 中的積體電路 305 之頂視圖也是已知的積體電路 305 之平面圖、平面設計或平面佈局，且電子束對準目標 190、光學對準目標 205 及所有積體電路結構及積體電路 305 的所有製造層級之特徵(未顯示於圖 3)，皆對應電子束對準目標 190 之位置(且因此對應光學對準目標 205 及互相對應)而設置其位置，且具有一組 X-Y 座標，繪製在平面圖上。

在此需注意的是每一包含電子束對準目標 190 的電子束曝光域 310 不需要以電子束微影印製，只有那些微影不可印製的圖案間距需要以電子束微影印製。然而，如前所述，用在製造不同層級的所有電子束對準目標 190，在製造程序的一開始就一起製造。可包含使用電子束微影的區域之一積體電路上的製造層級之例示包含但非限定於 STI 層級(因為矽區域被定義為 STI 區域)、FETs 的閘極電極層級、二極電晶體的發射極層級、接觸層級(裝置及第一真實線層級之間的內連接層級)，以及第一線層級。

圖 4 為根據本發明之實施例，使用光學及電子束微影來製造一種積體電路的流程圖。在步驟 320，對在任何微影定義製造層級會以電子束微影處理的積體電路晶片之所有區域的半導體基材中形成電子束對準目標。

在步驟 325，將第一光學對準目標對準選擇性形成於對準電子束對準目標之基材中。如果光學對準目標未形成於步驟 320 中，則在任一步驟 335A、335B 或 335C 之第一時間，對準電子束對準目標與第一微影層級積體電路影像形成光學對準目標。

接著在步驟 330，塗佈光阻層於基材上。之後，實施方法之步驟 335A、335B 或 335C。如果方法實施步驟 335A 或 335B，則使用雙曝光阻劑(即可以電子束或光來曝光之阻劑)。若方法實施步驟 335C，則可使用雙曝光阻劑或光阻劑(即可光曝光之阻劑)。

在步驟 335A，實施使用電子束對準目標之電子束微影曝光，之後實施使用先形成的光學對準目標或使用電子束對準目標之微影曝光。此方法之後實施步驟 340。

在步驟 335B，實施使用先形成的光學對準目標或使用電子束對準目標之微影曝光，之後實施使用電子束對準目標之電子束微影曝光。此方法之後實施步驟 340。

在步驟 335C，實施使用先形成的光學對準目標或使用電子束對準目標之微影曝光。此方法之後實施步驟 340。

在步驟 340，將阻劑進行曝光、顯影、蝕刻、離子植入或實施其他製程，之後將阻劑移除。如果這是積體電路晶片的第一微影定義製造層級(如定義在 STI 層級)，且如果尚未形成第一光學對準目標，則步驟 340 定義第一光學對準目標於基材中。如果在步驟 345 中形成第一光學對準目標，則其可以電子束微影或微影來定義。

在步驟 345，係決定是否需要另一微影定義製造層級。如果需要另一製造層級，則方法回到步驟 330，否則完成積體電路晶片之微影定義製造層級。

然而，如果選擇性且以電子束曝光一單層阻劑，則可在相同製造層級實施兩「阻劑」製程。在第一例示中，電子束微影製程之實施係使用電子束阻劑及電子束對準目標、顯影電子束阻劑、及轉移電子束阻劑中的圖案至基材或基材上的層中。之後，微影製程之實施係使用光阻及電子束對準目標或光學對準目標、顯影光阻及轉移光阻中的圖案至基材或基材上的層中。在第二例示中，微影製程之實施係使用光阻及電子束對準目標或光學對準目標、顯影光阻及轉移光阻中的圖案至基材或基材上的層中。之後，電子束微影製程之實施係使用電子束阻劑及電子束對準目標、顯影電子束阻劑、及轉移電子束阻劑中的圖案至相同的基材或基材上的層中。

因此，本發明的實施例提供一種光學與電子束微影製造層級之共對準的對準目標及方法。

上述提供本發明之實施例之說明以了解本發明，可以了解的是本發明並非限定於前述特定的實施例，而是可為熟此技藝人士所了解在不脫離本發明之範圍可以包含各種修改、排列及取代。因此，在此意欲將下列申請範圍涵蓋在本發明之精神及範圍中的所有修改及改變。

【圖式簡單說明】

申請的請求項提供本發明之特徵。然而，本發明本身將可藉由參考以下說明實施例的詳細說明與伴隨圖式結合解讀而有最佳的了解，其中：

圖 1A 至 1P，說明根據本發明之實施例在相同的基材上製造電子束對準目標、光學對準目標及一例示場效應電晶體之剖面圖；

圖 2 說明根據本發明之實施例可能採取的電子束對準目標之各種幾何形狀；

圖 3 為根據本發明之實施例之一例示積體電路晶片之上視圖，說明光學及電子束曝光域之間及光學及電子束對準目標之間的空間關係；以及

圖 4 為根據本發明之實施例，同時使用光學及電子束微影來製造一種積體電路的流程圖。

【主要元件符號說明】

- 100 SOI 基材
- 105 主體
- 110 BOX 層
- 115 矽層
- 120 第一墊層
- 125 第二墊層
- 130 硬遮罩層
- 135 圖案化光阻層
- 140、145 開口
- 150 溝渠
- 160 頂表面
- 165 第一層
- 170 第二層
- 175 高原子量(Z)材料
- 178 電子後向散射層
- 180 應力削減層
- 185 帽蓋層
- 190、190A、190B、190C、190D、190E 電子束對準目標
- 195 新的第一墊層
- 200 新的第二墊層
- 205 光學對準目標
- 210 淺溝渠隔離(STI)
- 215 FET
- 225 通道區域

- 220 源極/汲極
- 230 閘極介電質
- 235 閘極電極
- 240 間隙壁
- 245 層內介電層
- 250、255 接觸
- 300、310 曝光域
- 305 積體電路晶片
- 310 電子束曝光域

十、申請專利範圍：

1. 一種混合光學與電子束微影製造層級之共對準的方法，包含：

形成一電子束對準目標於一基材中，該電子束對準目標包含一電子後向散射(back-scattering)層於一溝渠之一底部，及一帽蓋層於該電子後向散射層頂上且填滿該溝渠；

在形成該電子束對準目標之後，形成一光學對準目標於該基材中，對應於該基材中該電子束對準目標之一位置，該光學對準目標位於該基材中之一預定位置；

形成一光阻層於該基材上；

將一光罩對準該光學對準目標或該電子束對準目標，該光罩具有透光及不透光區域之一第一圖案，該第一圖案代表一積體電路之一製造層級之一第一組特徵；

將該光阻層透過該光罩而暴露於該光化輻射，以形成選擇性曝光區域於該光阻層中，該不透光區域實質上阻擋該光化輻射，且該透光區域實質上傳送該光化輻射；

對應該電子束對準目標之該位置而設置一電子束之一一起始位置(home position)；

將該光阻層於一第二圖案暴露於該電子束，以形成電子束曝光域於該光阻層中，該第二圖案代表該積體電路之該製造層級之一第二組特徵；以及

顯影該光阻層，以轉移該第一及第二圖案至該光阻層中之一光阻圖案。

2. 如請求項 1 所述之方法，其中該電子後向散射層包含一金屬。
3. 如請求項 1 所述之方法，其中該電子束對準目標更包含一應力削減層於該電子後向散射層及該帽蓋層之間。
4. 如請求項 3 所述之方法，其中該電子後向散射層包含一金屬，以及該應力削減層包含一金屬矽化物。
5. 如請求項 1 所述之方法，更包含：
轉移該光阻圖案到該基材中或形成於該基材上之一層中。
6. 如請求項 1 所述之方法，其中將該光罩對準該光學對準目標或該電子束對準目標之該步驟包含分別對應該光學對準目標或該電子束對準目標而設置一對準標記於該光罩上。
7. 如請求項 1 所述之方法，其中：
 - (i) 將該光阻層暴露於該光化輻射係在將該光阻層暴露於該電子束之前實施；或
 - (ii) 將該光阻層暴露於該電子束係在將該光阻層暴露於該光化輻射之前實施。
8. 如請求項 1 所述之方法，更包含：

分隔該基材的表面成虛擬電子束曝光域(virtual electron exposure fields)；以及

僅在包含特徵的該基材之每一區域中形成額外電子束對準目標，該特徵為該第二組特徵的成員並位於在該基材之對應該虛擬電子束曝光域中之位置上。

9. 如請求項 1 所述之方法，其中沿該電子束對準目標佔用的該基材之一頂表面測量的一面積係沿該光學對準目標佔用的該基材之該頂表面測量的一面積之 25 至 100 倍。

10. 一種製造一積體電路晶片之方法，包含：

形成一第一溝渠於一半導體基材中之對應於該積體電路晶片之一平面佈局之該基材上的一第一位置，所述第一溝渠自所述基材的頂表面延伸第一距離至所述基材中；

以一電子後向散射材料填滿該第一溝渠；

凹陷該基材之一頂表面下方之該後向散射材料；

以一介電帽蓋層填滿該溝渠；以及

對應於該積體電路晶片之該平面佈局而設置一第二溝渠於該基材上的一第二位置，及蝕刻該第二溝渠至該基材中，所述第二溝渠自所述基材的所述頂表面延伸第二距離至所述基材中，以及所述第一距離大於所述第二距離；

形成一光阻層於該基材之頂上；

將一光學光罩對準該第一溝渠；

將該光阻層透過一光罩暴露於紫外光；

將一電子束之一起始位置對準該第一溝渠；以及
將該光阻層暴露於該電子束輻射。

11. 如請求項 10 所述之方法，其中該電子後向散射層包含一金屬。

12. 如請求項 10 所述之方法，更包含：

形成一應力削減層於該電子後向散射層及該帽蓋層之間。

13. 如請求項 12 所述之方法，其中該電子後向散射層包含一金屬，以及該應力削減層包含一金屬矽化物。

14. 如請求項 10 所述之方法，更包含：

該基材包含一埋藏氧化層、一矽層及一主體，該埋藏氧化層位於該矽層及該主體之間，該矽層之一頂表面係該基材之該頂表面；

該第一溝渠延伸穿過該矽層、穿過該埋藏氧化層且至該主體中；以及

該第二溝渠延伸穿過該矽層，且接觸該埋藏氧化層。

15. 如請求項 14 所述之方法，其中該電子後向散射層之一頂表面位於該埋藏氧化層之一底表面之下。

16. 如請求項 14 所述之方法，其中該應力削減層之一頂表面位於該埋藏氧化層之一底表面之下。

17. 如請求項 10 所述之方法，更包含：

一襯層，形成於該第一溝渠之側壁及一底部上。

18. 一種積體電路結構，包含：

一第一溝渠，於一半導體基材中之對應於該積體電路晶片之一平面佈局之該基材上一第一位置；

一電子後向散射層，於該第一溝渠之該底部；

一介電帽蓋層，於該電子後向散射層上之該溝渠中；

以及

一第二溝渠，於該半導體基材中之對應於該積體電路晶片之該平面佈局之該基材上一第二位置；

其中該第一溝渠自該基材之一頂表面延伸一第一距離至該基材中，該第二溝渠自該基材之該頂表面延伸一第二距離至該基材中，以及該第二距離大於該第一距離。

19. 如請求項 18 所述之結構，其中該電子後向散射層包含一金屬。

20. 如請求項 18 所述之結構，更包含：

一應力削減層，於該電子後向散射層及該帽蓋層之間。

21. 如請求項 18 所述之結構，其中該電子後向散射層包含一金屬，以及該應力削減層包含一金屬矽化物。
22. 如請求項 18 所述之結構，更包含：
一襯層，形成於該第一溝渠之側壁及一底部上。
23. 如請求項 18 所述之方法，更包含：
該基材包含一埋藏氧化層於一矽層及一主體之間，該矽層之一頂表面係該基材之一頂表面；
該第一溝渠延伸穿過該矽層、穿過該埋藏氧化層及至該主體中；以及
該第二溝渠延伸穿過該矽層，且接觸該埋藏氧化層。
24. 如請求項 23 所述之結構，其中該電子後向散射層之一頂表面位於該埋藏氧化層之一底表面之下。
25. 如請求項 23 所述之結構，其中該應力削減層之一頂表面位於該埋藏氧化層之一底表面之下。
26. 如請求項 18 所述之結構，其中該電子後向散射層具有介於約 200 奈米至約 1 微米之一厚度。
27. 如請求項 18 所述之結構，其中該電子後向散射層包含鎢。

28. 如請求項 18 所述之結構，其中該電子後向散射層包含鎢，以及更包含一矽化鎢層於該電子後向散射層及該帽蓋層之間。

29. 一種混合光學與電子束微影製造層級之共對準的方法，包含：

形成一電子束對準目標於一基材中，該電子束對準目標包含一電子後向散射層於一溝渠之一底部及一帽蓋層於該電子後向散射層頂上且填滿該溝渠；

在形成該電子束對準目標之後，形成一光學對準目標於該基材中，對應於該基材中之該電子束對準目標之一位置，該光學對準目標位於該基材中之一預定位置；

形成一光阻層於該基材上；

將一光罩對準該光學對準目標或該電子束對準目標，該光罩具有透光及不透光區域之一第一圖案，該第一圖案代表一積體電路之一製造層級之一第一組特徵；

將該光阻層透過該光罩而暴露於該光化輻射，以形成具有曝光及未曝光區域之一曝光光阻層，該不透光區域實質上阻擋該光化輻射，及該透光區域實質上傳送該光化輻射；

將該光阻層顯影，以轉移該第一圖案至該曝光光阻層；

形成一電子束阻劑層於該基材上；

對應該電子束對準目標之該位置而設置一電子束之一起始位置；

於一第二圖案中，將該電子束阻劑層暴露於該電子束，以形成具有曝光及未曝光區域之一曝光電子束阻劑層，該第二圖案代表該積體電路之該製造層級之一第二組特徵；以及

將該曝光電子束阻劑層顯影，以轉移該第二圖案至該曝光電子束阻劑層。

30. 如請求項 29 所述之方法，其中該光學對準目標為該第一組特徵之一。
31. 如請求項 29 所述之方法，其中該電子後向散射層包含一金屬，以及更包含一金屬矽化層於該電子後向散射層及該帽蓋層之間。

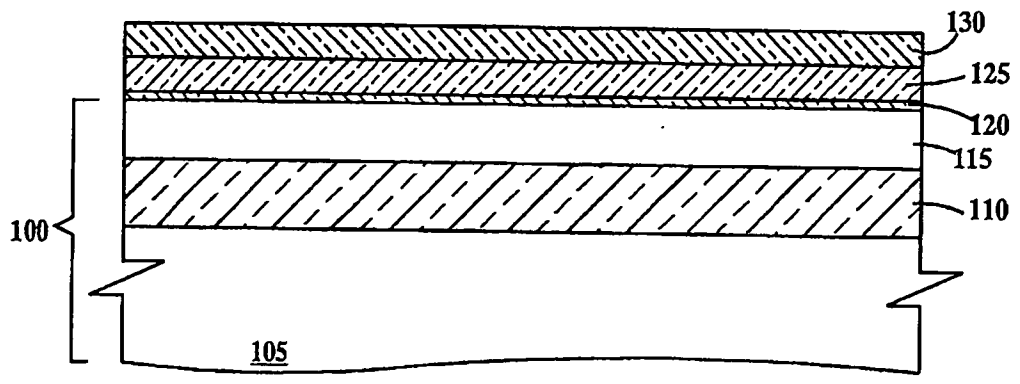
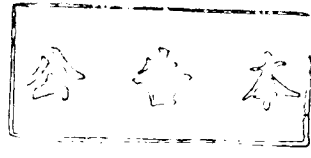


圖 1A

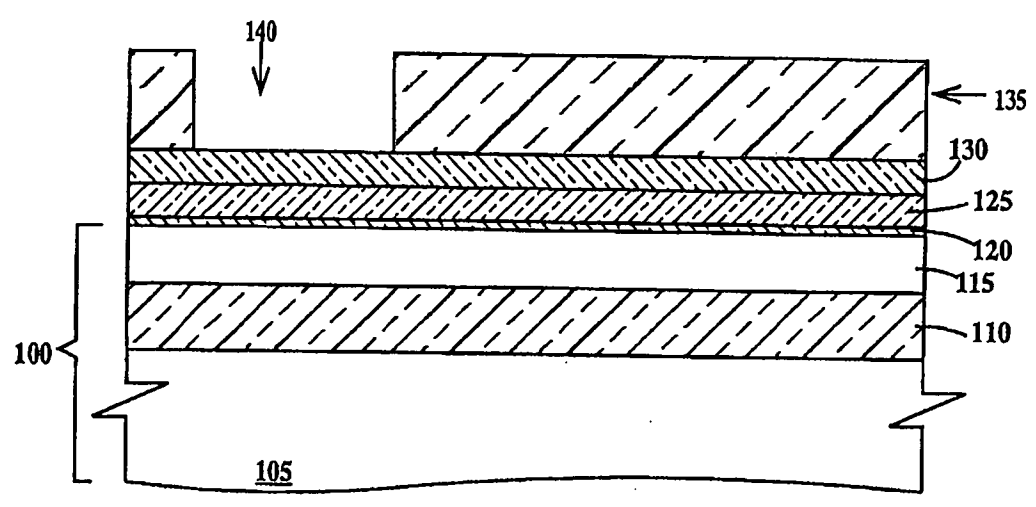


圖 1B

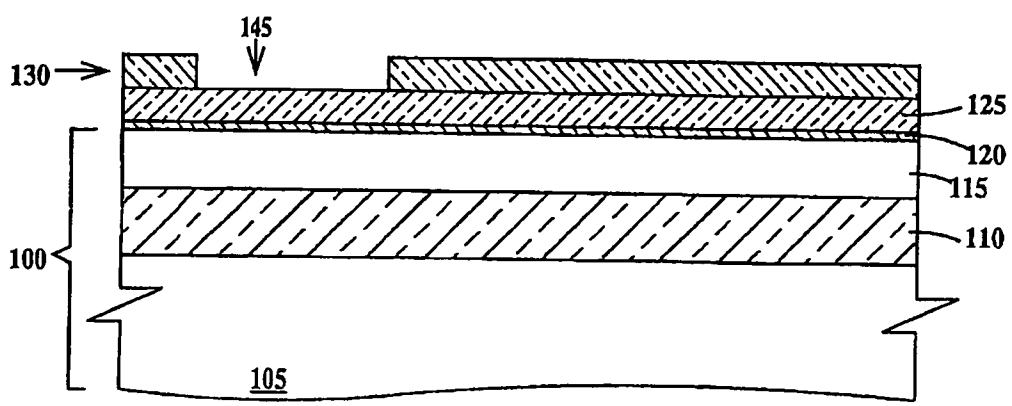


圖 1C

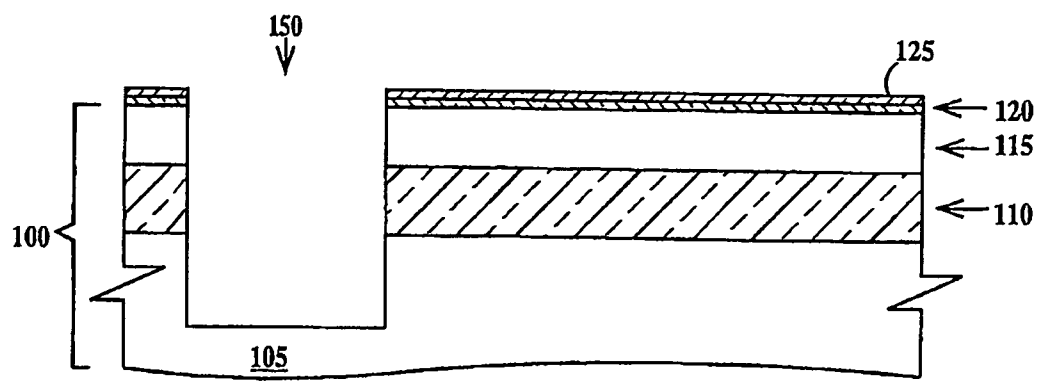


圖 1D

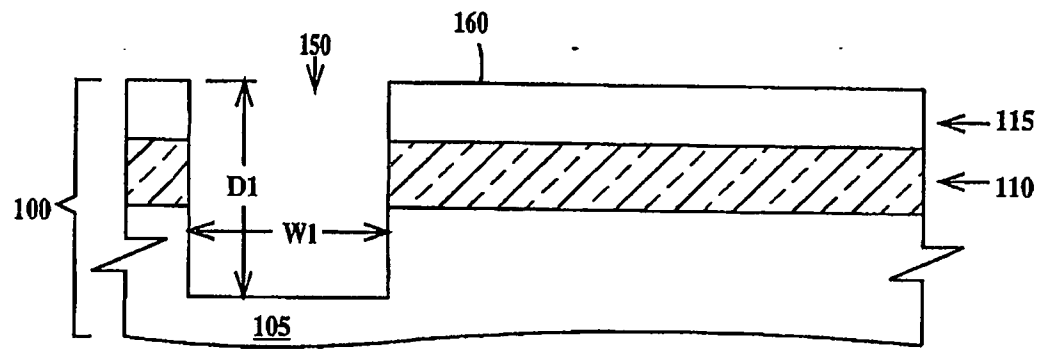


圖 1E

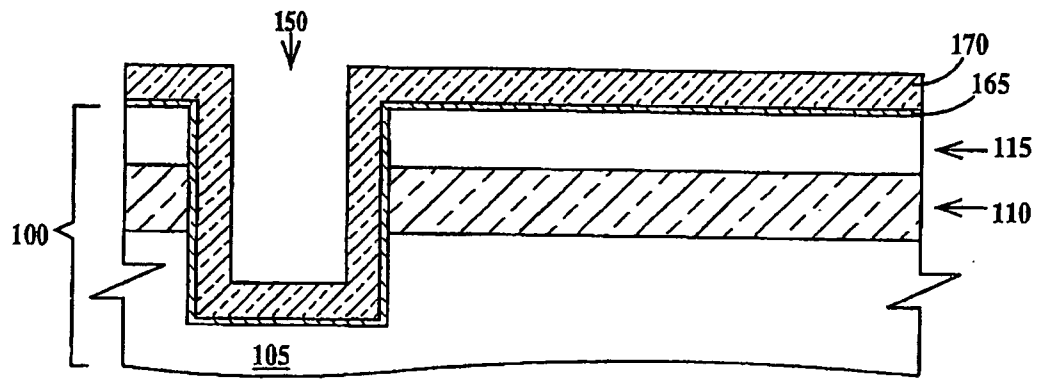


圖 1F

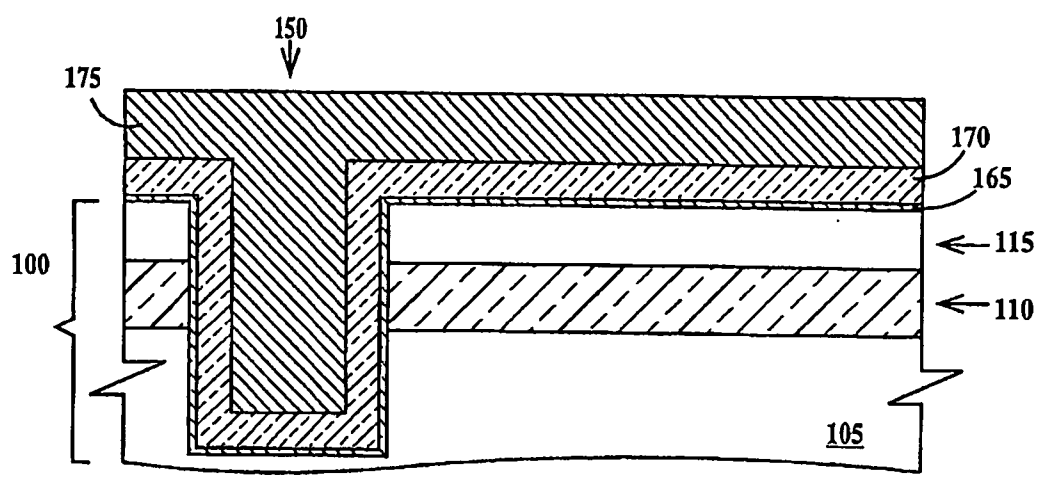


圖 1G

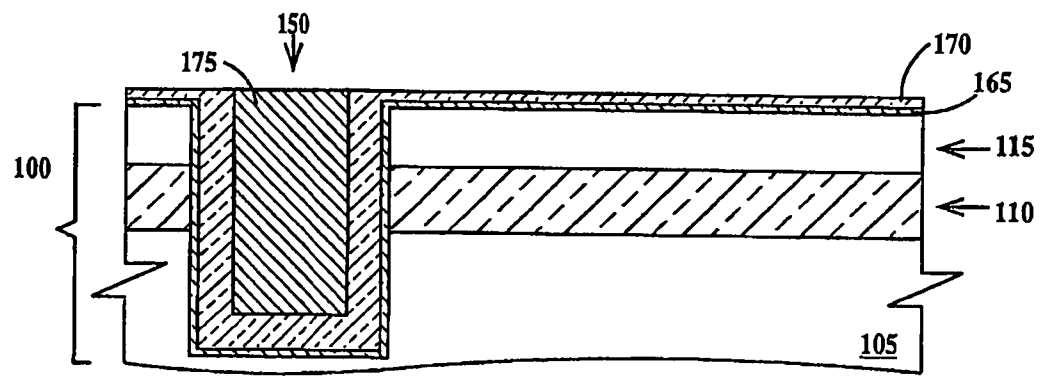


圖 1H

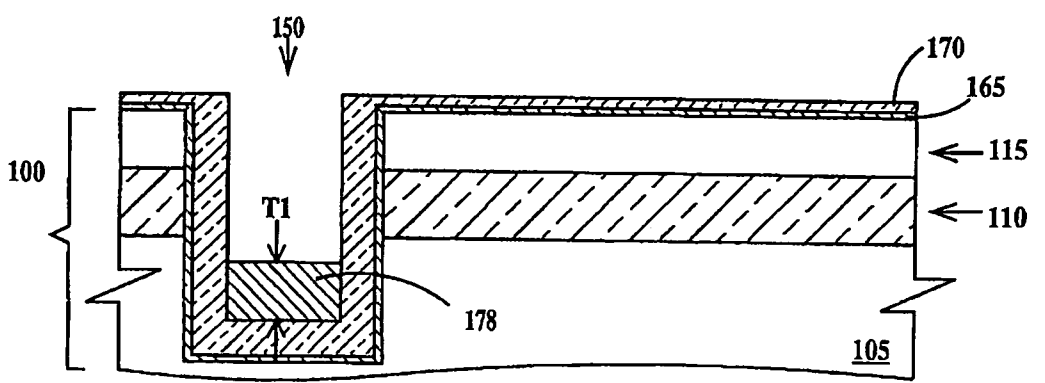


圖 1I

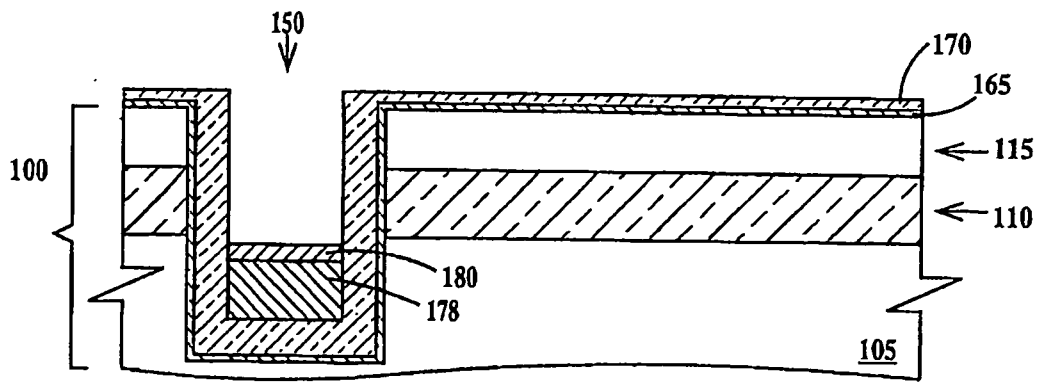


圖 1J

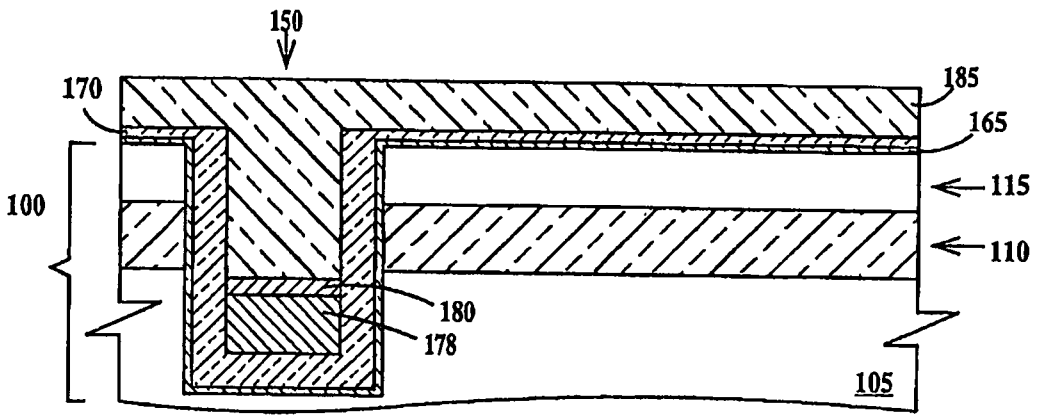


圖 1K

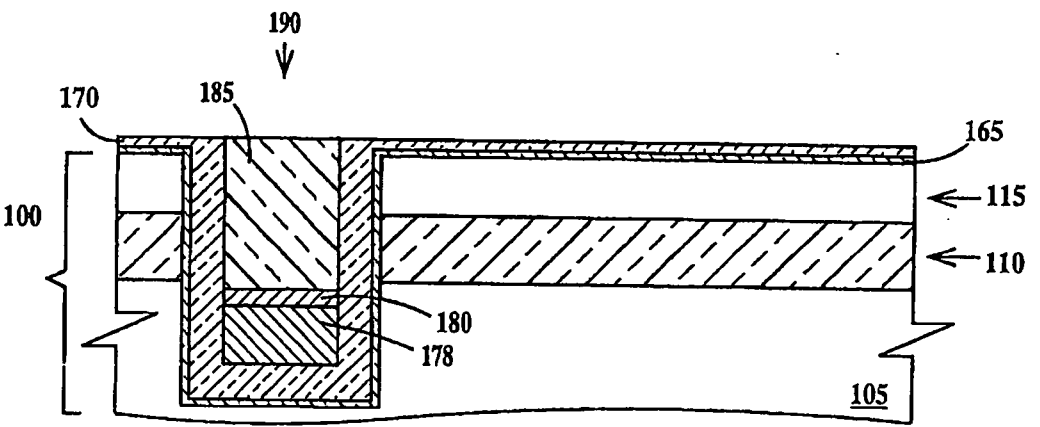


圖 1L

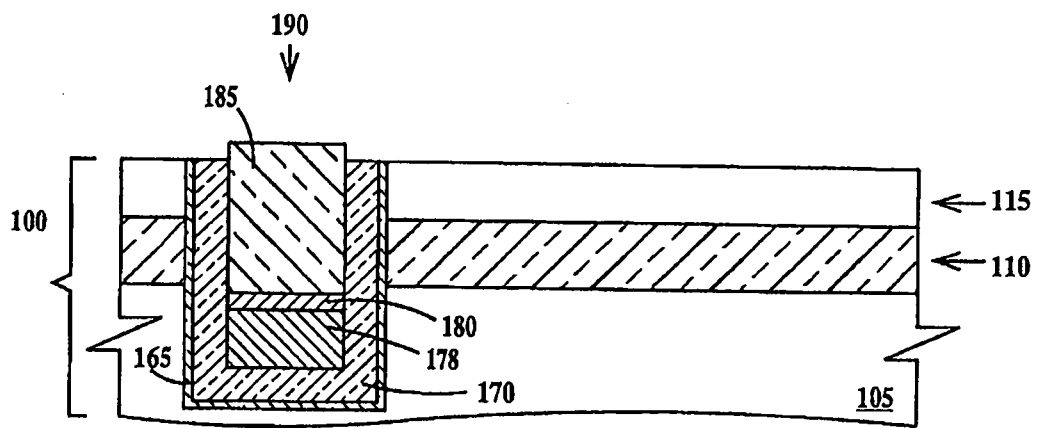


圖 1M

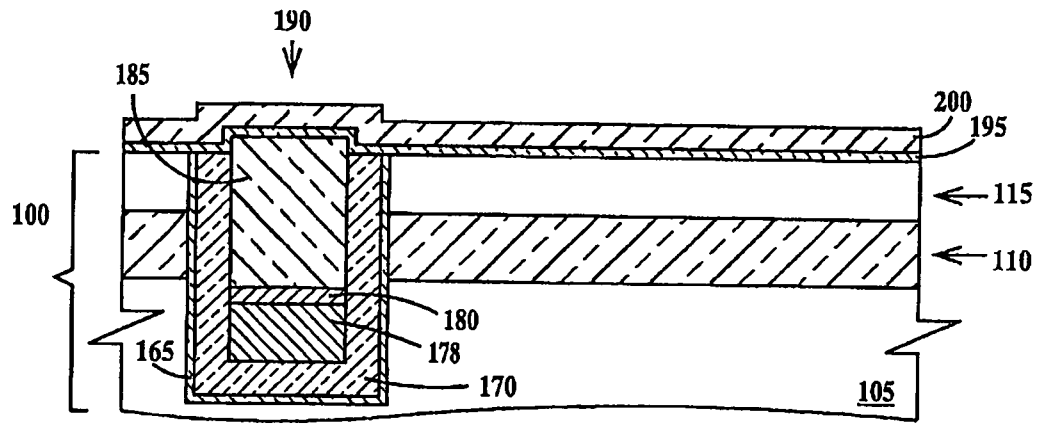


圖 1N

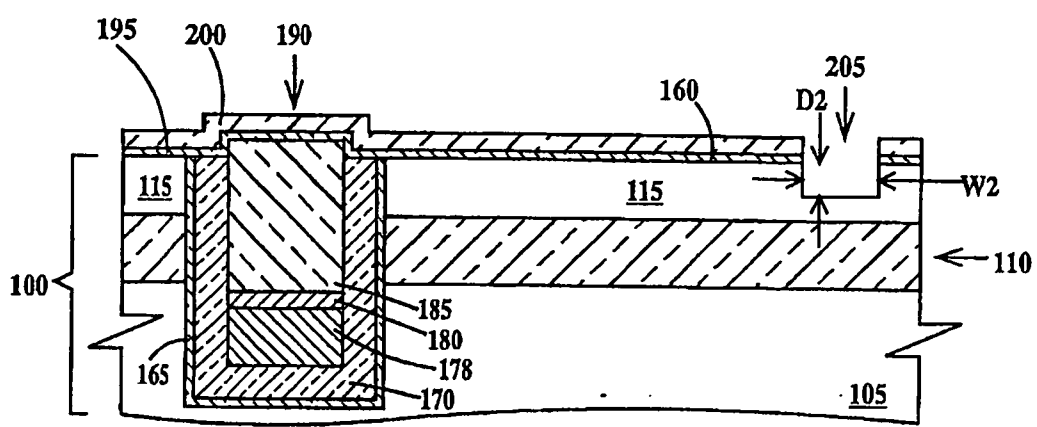


圖 10

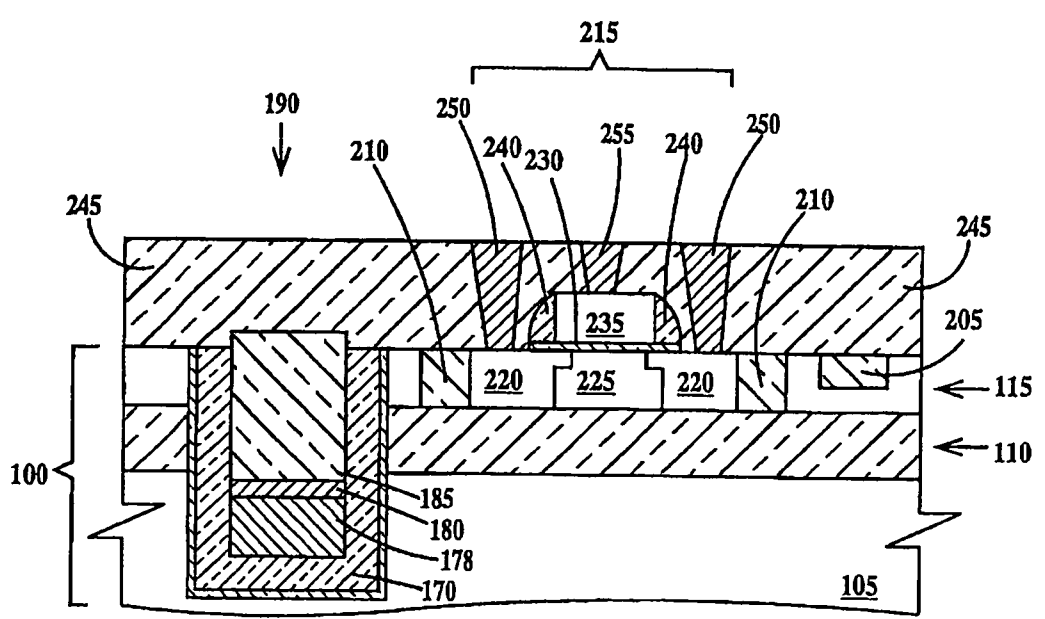


圖 1P

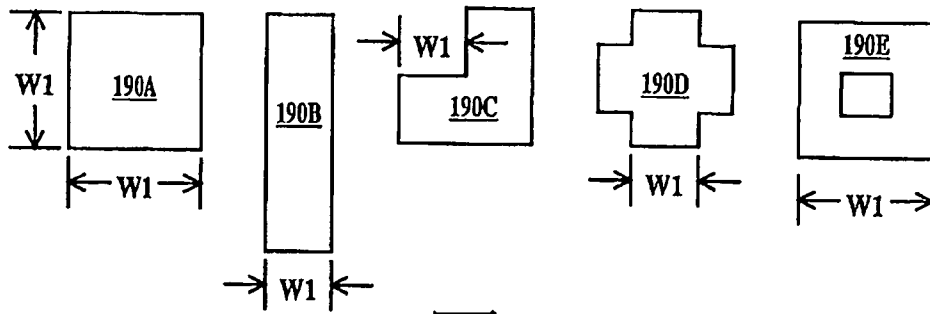


圖2

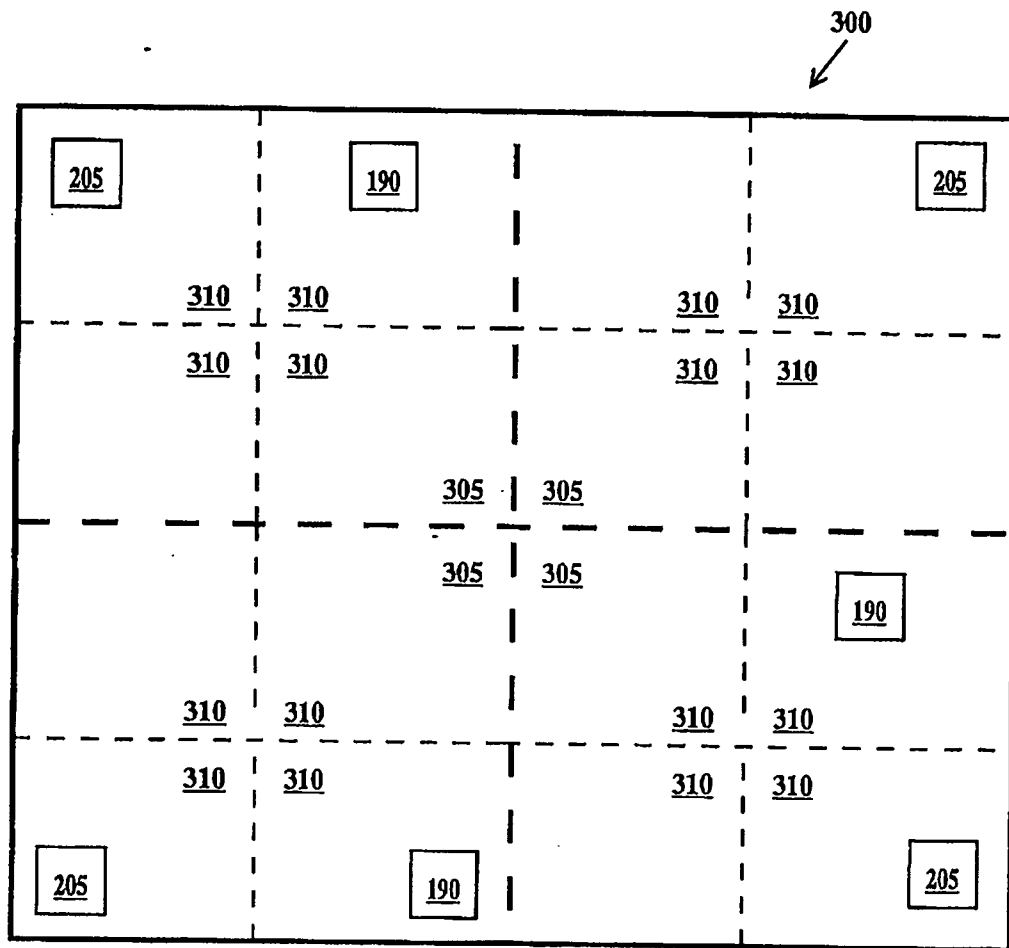


圖3

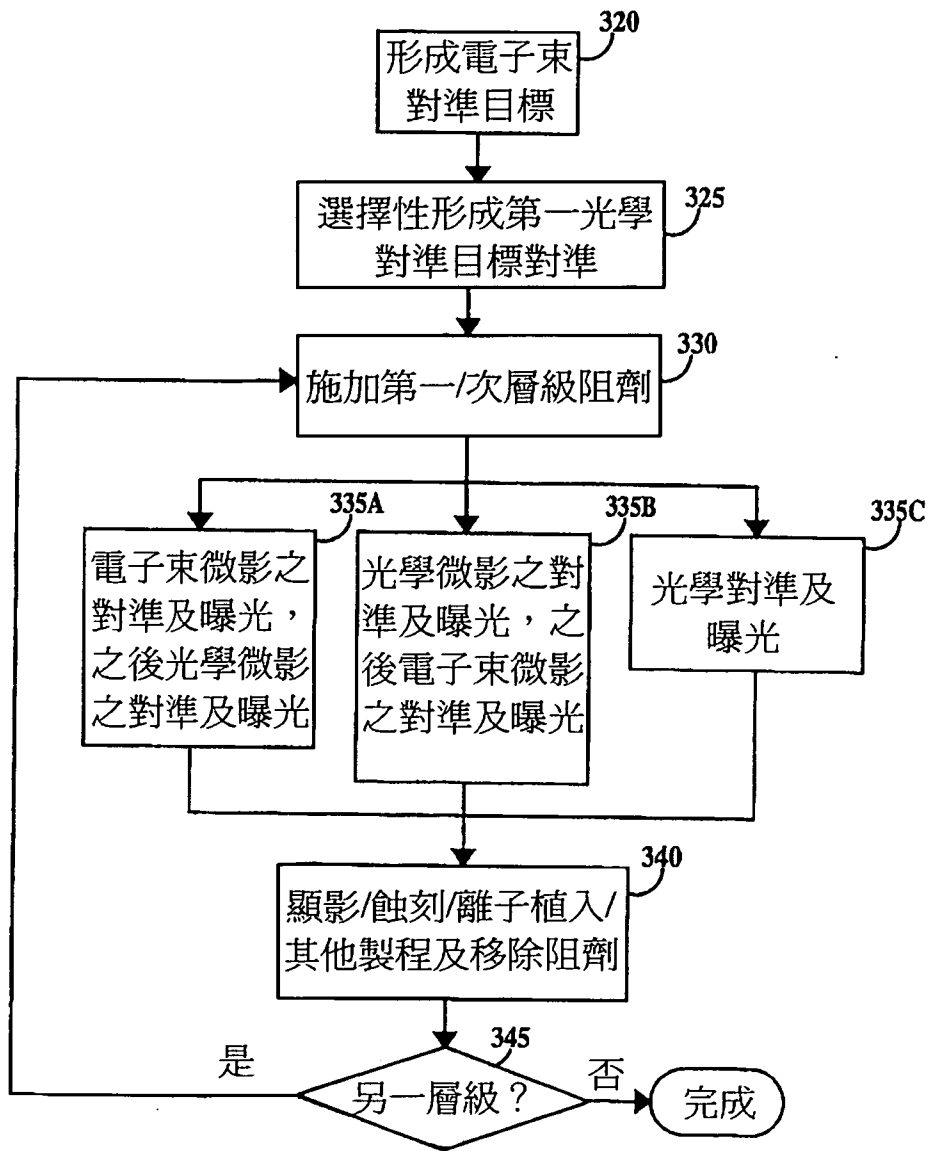


圖4