

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7673069号  
(P7673069)

(45)発行日 令和7年5月8日(2025.5.8)

(24)登録日 令和7年4月25日(2025.4.25)

(51)国際特許分類	F I
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/04 C
H 0 1 L 25/18 (2023.01)	H 0 1 L 23/48 P
H 0 1 L 23/48 (2006.01)	H 0 1 L 21/60 3 2 1 E
H 0 1 L 21/60 (2006.01)	

請求項の数 13 (全33頁)

(21)出願番号	特願2022-541426(P2022-541426)	(73)特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(86)(22)出願日	令和3年7月20日(2021.7.20)	(74)代理人	100135389 弁理士 臼井 尚
(86)国際出願番号	PCT/JP2021/027095	(74)代理人	100200609 弁理士 齊藤 智和
(87)国際公開番号	WO2022/030244	(72)発明者	神田 沢水 京都市右京区西院溝崎町2 1 番地 ロー ム株式会社内
(87)国際公開日	令和4年2月10日(2022.2.10)	(72)発明者	福田 諒介 京都市右京区西院溝崎町2 1 番地 ロー ム株式会社内
審査請求日	令和6年6月21日(2024.6.21)	審査官	正山 旭
(31)優先権主張番号	特願2020-133193(P2020-133193)		
(32)優先日	令和2年8月5日(2020.8.5)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

厚さ方向を向く第1主面を有する第1導電板と、  
前記厚さ方向において前記第1主面と同じ側を向く第2主面を有するとともに、前記厚さ方向に対して直交する第1方向において前記第1導電板から離れて位置する第2導電板と、  
前記厚さ方向において前記第1主面が向く側に設けられた電極を有するとともに、前記第1主面に接合された複数の半導体素子と、  
前記複数の半導体素子の前記電極と、前記第2主面と、の各々に電氣的に接合された導電部材と、を備え、  
前記導電部材は、本体部と、前記複数の半導体素子の前記電極に対して個別かつ電氣的に接合された複数の第1接合部と、前記第2主面に電氣的に接合された第2接合部と、前記本体部、および前記複数の第1接合部をつなぐ第1連結部と、前記本体部および前記第2接合部をつなぐ第2連結部と、を有し、  
前記複数の第1接合部の各々は、前記厚さ方向に視て前記複数の半導体素子のいずれかの前記電極に重なる重複領域を含み、  
前記厚さ方向に視て、前記重複領域の面積は、前記複数の半導体素子の各々の前記電極の面積の70%以上であり、  
導電性を有するとともに、前記複数の第1接合部と、前記複数の半導体素子の前記電極と、を個別かつ電氣的に接合する複数の第1接合層をさらに備え、

前記厚さ方向に視て、前記複数の第1接合層の各々は、前記複数の第1接合部のいずれかの前記重複領域よりも外方にはみ出した部分を含む、半導体装置。

【請求項2】

前記厚さ方向に視て、前記本体部の少なくとも一部が前記第1主面に重なっている、請求項1に記載の半導体装置。

【請求項3】

前記複数の半導体素子は、前記厚さ方向および前記第1方向の各々に対して直交する第2方向に沿って配列されており、

前記本体部は、前記第2方向に沿って延びている、請求項1または2に記載の半導体装置。

【請求項4】

前記第1連結部は、前記第2方向において互いに離れて位置する複数の連結領域を含み、前記複数の連結領域は、前記複数の第1接合部に対して個別につながっている、請求項3に記載の半導体装置。

【請求項5】

前記第2方向に視て、前記複数の連結領域の各々は、前記複数の第1接合部のいずれかから前記本体部に向かうほど、前記第1主面から離れる向きに傾斜している、請求項4に記載の半導体装置。

【請求項6】

前記第2方向に視て、前記複数の第1接合部の各々に対して当該第1接合部につながる複数の連結領域のいずれかがなす鋭角の大きさは、 $30^\circ$ 以上 $60^\circ$ 以下である、請求項5に記載の半導体装置。

【請求項7】

前記複数の第1接合層の各々は、錫を含有する、請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】

前記複数の第1接合部の各々の厚さは、当該第1接合部に接する前記複数の第1接合層のいずれかの最大厚さの2倍以下である、請求項1ないし7のいずれかに記載の半導体装置。

【請求項9】

前記複数の第1接合層の各々の最大厚さは、 $100\mu\text{m}$ 以上である、請求項8に記載の半導体装置。

【請求項10】

導電性を有するとともに、前記第2接合部と前記第2主面とを電気的に接合する第2接合層をさらに備え、

前記第2接合層は、前記複数の第1接合層と同一の材料からなる、請求項1ないし9のいずれかに記載の半導体装置。

【請求項11】

前記第1導電板、前記第2導電板および前記導電部材の各々は、いずれも銅を含有する、請求項1ないし10のいずれかに記載の半導体装置。

【請求項12】

前記第1導電板および前記第2導電板の各々の厚さは、前記導電部材の最大厚さよりも大である、請求項1ないし11のいずれかに記載の半導体装置。

【請求項13】

前記第2主面の面内方向に視て、前記第2連結部は、前記第2接合部から前記本体部に向かうほど、前記第2主面から離れる向きに傾斜している、請求項1ないし12のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、スイッチング素子などの複数の半導体素子が搭載された半導体装置に関する。

【背景技術】

10

20

30

40

50

## 【 0 0 0 2 】

電気信号に基づき電流を変換するという、複数のスイッチング素子が搭載された半導体装置が広く知られている。このような半導体装置は、たとえばインバータといった電力変換回路に使用されている。特許文献 1 には、複数のスイッチング素子が搭載された半導体装置の一例が開示されている。当該半導体装置は、第 1 金属パターンに接合された複数のスイッチング素子（半導体チップ）を備える。複数のスイッチング素子の各々は、下面電極および上面電極を有する。下面電極は、第 1 金属パターンに電氣的に接合されている。上面電極には、複数のワイヤの各々の一端が電氣的に接合されている。当該複数のワイヤの各々の他端は、第 1 金属パターンの隣に位置する第 2 金属パターンに電氣的に接合されている。

10

## 【 0 0 0 3 】

特許文献 1 が開示されている半導体装置は、複数のスイッチング素子と、第 2 金属パターンとの導通が複数のワイヤでなされている。このため、当該半導体装置は、より大きな電流を流すことに不向きな構成である。さらに、複数のワイヤの各々は、複数のスイッチング素子の上面電極と、第 2 金属パターンとに対して個別に接合される。このため、複数のワイヤの接合に時間を要するため、当該半導体装置の製造効率の低下を招く要因となっている。したがって、これらについての改善が望まれる。

## 【先行技術文献】

## 【特許文献】

## 【 0 0 0 4 】

【文献】特開 2 0 1 6 - 7 2 4 2 1 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【 0 0 0 5 】

本開示は上記事情に鑑み、より大きな電流に対応しつつ、装置の製造効率の向上を図ることが可能な半導体装置を提供することをその一の課題とする。

## 【課題を解決するための手段】

## 【 0 0 0 6 】

本開示によって提供される半導体装置は、厚さ方向を向く第 1 主面を有する第 1 導電板と；前記厚さ方向において前記第 1 主面と同じ側を向く第 2 主面を有するとともに、前記厚さ方向に対して直交する第 1 方向において前記第 1 導電板から離れて位置する第 2 導電板と；前記厚さ方向において前記第 1 主面が向く側に設けられた電極を有するとともに、前記第 1 主面に接合された複数の半導体素子と；前記複数の半導体素子の前記電極と、前記第 2 主面と、の各々に電氣的に接合された導電部材と、を備える。前記導電部材は、本体部と、前記複数の半導体素子の前記電極に対して個別かつ電氣的に接合された複数の第 1 接合部と、前記第 2 主面に電氣的に接合された第 2 接合部と、前記本体部および前記複数の第 1 接合部をつなぐ第 1 連結部と、前記本体部および前記第 2 接合部をつなぐ第 2 連結部と、を有する。

30

## 【発明の効果】

## 【 0 0 0 7 】

本開示にかかる半導体装置によれば、より大きな電流に対応しつつ、当該装置の製造効率の向上を図ることが可能となる。

40

## 【 0 0 0 8 】

本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなる。

## 【図面の簡単な説明】

## 【 0 0 0 9 】

【図 1】本開示の第 1 実施形態にかかる半導体装置の斜視図である。

【図 2】図 1 に示す半導体装置の平面図である。

【図 3】図 2 に対応する平面図であり、封止樹脂を透過している。

50

- 【図 4】図 1 に示す半導体装置の底面図である。
- 【図 5】図 1 に示す半導体装置の正面図である。
- 【図 6】図 1 に示す半導体装置の右側面図である。
- 【図 7】図 3 の V I I - V I I 線に沿う断面図である。
- 【図 8】図 3 の V I I I - V I I I 線に沿う断面図である。
- 【図 9】図 3 の I X - I X 線に沿う断面図である。
- 【図 10】図 3 の X - X 線に沿う断面図である。
- 【図 11】図 3 の X I - X I 線に沿う断面図である。
- 【図 12】図 1 に示す半導体装置の第 1 導電部材の平面図である。
- 【図 13】図 1 に示す半導体装置の第 2 導電部材の平面図である。 10
- 【図 14】図 3 の部分拡大図である。
- 【図 15】図 7 の部分拡大図である。
- 【図 16】図 3 の部分拡大図である。
- 【図 17】図 8 の部分拡大図である。
- 【図 18】図 7 の部分拡大図である。
- 【図 19】本開示の第 2 実施形態にかかる半導体装置の斜視図である。
- 【図 20】図 19 に対応する斜視図であり、封止樹脂の図示を省略している。
- 【図 21】図 19 に対応する斜視図であり、封止樹脂および第 2 導電部材の図示を省略している。
- 【図 22】図 19 に示す半導体装置の平面図である。 20
- 【図 23】図 22 に対応する平面図であり、封止樹脂を透過している。
- 【図 24】図 23 の部分拡大図である。
- 【図 25】図 22 に対応する平面図であり、封止樹脂および第 2 導電部材の図示を省略している。
- 【図 26】図 25 の部分拡大図である。
- 【図 27】図 19 に示す半導体装置の右側面図である。
- 【図 28】図 19 に示す半導体装置の底面図である。
- 【図 29】図 19 に示す半導体装置の背面図である。
- 【図 30】図 19 に示す半導体装置の正面図である。
- 【図 31】図 23 の X X X I - X X X I 線に沿う断面図である。 30
- 【図 32】図 23 の X X X I I - X X X I I 線に沿う断面図である。
- 【図 33】図 32 の部分拡大図である。
- 【図 34】図 23 の X X X I V - X X X I V 線に沿う断面図である。
- 【図 35】図 23 の X X X V - X X X V 線に沿う断面図である。
- 【図 36】図 23 の X X X V I - X X X V I 線に沿う断面図である。
- 【図 37】図 19 に示す半導体装置の回路図である。
- 【発明を実施するための形態】
- 【0010】  
本開示を実施するための形態について、添付図面に基づいて説明する。
- 【0011】 40  
図 1 ~ 図 18 に基づき、本開示の第 1 実施形態にかかる半導体装置 A 10 について説明する。半導体装置 A 10 は、第 1 導電板 11、第 2 導電板 12、第 1 入力端子 13、出力端子 14、第 2 入力端子 15、複数の半導体素子 20、ダイボンディング層 23、第 1 導電部材 31、複数の第 1 接合層 33、第 2 接合層 34 および封止樹脂 50 を備える。半導体装置 A 10 においては、複数の半導体素子 20 は、一対のスイッチング素子 21、および一対の保護素子 22 を含む。さらに半導体装置 A 10 は、第 1 ゲート端子 161、第 2 ゲート端子 162、第 1 検出端子 171、第 2 検出端子 172、第 2 導電部材 32、複数の第 3 接合層 35、第 4 接合層 36、一対のゲートワイヤ 41、および一対の検出ワイヤ 42 を備える。ここで、図 3 は、理解の便宜上、封止樹脂 50 を透過している。図 3 では、透過した封止樹脂 50 を想像線（二点鎖線）で示している。図 3 において、I X - I X 50

線、および X - X 線をそれぞれ一点鎖線で示している。

【 0 0 1 2 】

半導体装置 A 1 0 の説明においては、便宜上、第 1 導電板 1 1 および第 2 導電板 1 2 の各々の厚さ方向を「厚さ方向 z」と呼ぶ。厚さ方向 z に対して直交する方向を「第 1 方向 x」と呼ぶ。厚さ方向 z および第 1 方向 x の双方に対して直交する方向を「第 2 方向 y」と呼ぶ。

【 0 0 1 3 】

半導体装置 A 1 0 は、第 1 入力端子 1 3 および第 2 入力端子 1 5 に印加された直流の電源電圧を、一对のスイッチング素子 2 1 により交流電力に変換する。変換された交流電力は、出力端子 1 4 からモータなどの電力供給対象に入力される。半導体装置 A 1 0 は、たとえばインバータといった電力変換回路に使用される。

10

【 0 0 1 4 】

第 1 導電板 1 1 は、図 3、図 7 および図 8 に示すように、一对のスイッチング素子 2 1 のうち一方の当該スイッチング素子 2 1 (後述する第 1 素子 2 1 A) と、一对の保護素子 2 2 のうち一方の当該保護素子 2 2 (後述する第 1 ダイオード 2 2 A) とを搭載する導電部材である。第 1 導電板 1 1 は、第 2 導電板 1 2、第 1 入力端子 1 3、出力端子 1 4、第 2 入力端子 1 5、第 1 ゲート端子 1 6 1、第 2 ゲート端子 1 6 2、第 1 検出端子 1 7 1 および第 2 検出端子 1 7 2 とともに、同一のリードフレームから構成されている。当該リードフレームは、銅 (Cu)、または銅合金である。このため、第 1 導電板 1 1、第 2 導電板 1 2、第 1 入力端子 1 3、出力端子 1 4、第 2 入力端子 1 5、第 1 ゲート端子 1 6 1、第 2 ゲート端子 1 6 2、第 1 検出端子 1 7 1 および第 2 検出端子 1 7 2 の各々の組成は、銅を含む(すなわち、各部材は銅を含有する)。第 1 導電板 1 1 は、第 1 主面 1 1 1 および第 1 裏面 1 1 2 を有する。第 1 主面 1 1 1 は、厚さ方向 z を向く。第 1 主面 1 1 1 の上に、後述する第 1 素子 2 1 A と、後述する第 1 ダイオード 2 2 A とが搭載されている。第 1 裏面 1 1 2 は、厚さ方向 z において第 1 主面 1 1 1 とは反対側を向く。第 1 裏面 1 1 2 には、たとえば錫 (Sn) めっきが施されている。図 7 および図 8 に示すように、第 1 導電板 1 1 の厚さ T 1 は、第 1 導電部材 3 1 の最大厚さ  $t_{max}$  よりも大である。

20

【 0 0 1 5 】

第 2 導電板 1 2 は、図 3、図 7 および図 8 に示すように、一对のスイッチング素子 2 1 のうち他方の当該スイッチング素子 2 1 (後述する第 2 素子 2 1 B) と、一对の保護素子 2 2 のうち一方の当該保護素子 2 2 (後述する第 2 ダイオード 2 2 B) とを搭載する導電部材である。第 2 導電板 1 2 は、第 1 方向 x において第 1 導電板 1 1 から離れて位置する。第 2 導電板 1 2 は、第 2 主面 1 2 1 および第 2 裏面 1 2 2 を有する。第 2 主面 1 2 1 は、厚さ方向 z において第 1 主面 1 1 1 と同じ側を向く。第 2 主面 1 2 1 の上に、後述する第 2 素子 2 1 B と、後述する第 2 ダイオード 2 2 B とが搭載されている。第 2 裏面 1 2 2 は、厚さ方向 z において第 2 裏面 1 2 2 とは反対側を向く。第 2 裏面 1 2 2 には、たとえば錫めっきが施されている。図 7 および図 8 に示すように、第 2 導電板 1 2 の厚さ T 2 は、第 1 導電部材 3 1 の最大厚さ  $t_{max}$  よりも大である。

30

【 0 0 1 6 】

一对のスイッチング素子 2 1 は、図 3 および図 7 に示すように、第 1 素子 2 1 A および第 2 素子 2 1 B を含む。第 1 素子 2 1 A は、第 1 導電板 1 1 の第 1 主面 1 1 1 に接合されている。第 2 素子 2 1 B は、第 2 導電板 1 2 の第 2 主面 1 2 1 に接合されている。一对のスイッチング素子 2 1 は、たとえば MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。半導体装置 A 1 0 の説明においては、一对のスイッチング素子 2 1 は、n チャンネル型であり、かつ縦型構造の MOSFET を対象とする。一对のスイッチング素子 2 1 の各々は、化合物半導体基板を含む。当該化合物半導体基板は、炭化ケイ素 (SiC) を含有する。この他、当該化合物半導体基板は、窒化ガリウム (GaN) を含有する場合でもよい。図 1 5 に示すように、一对のスイッチング素子 2 1 の各々は、第 1 電極 2 1 1、第 2 電極 2 1 2 および第 3 電極 2 1 3 を有する。

40

【 0 0 1 7 】

50

図 1 5 に示すように、第 1 電極 2 1 1 は、第 1 導電板 1 1 の第 1 主面 1 1 1、および第 2 導電板 1 2 の第 2 主面 1 2 1 のいずれかに対向して設けられている。第 1 電極 2 1 1 には、変換対象となる電力に対応する電圧が印加される。すなわち、第 1 電極 2 1 1 は、ドレイン電極に相当する。

【 0 0 1 8 】

図 1 5 に示すように、第 2 電極 2 1 2 は、厚さ方向 z において第 1 導電板 1 1 の第 1 主面 1 1 1 が向く側、すなわち第 1 電極 2 1 1 とは反対側に設けられている。第 2 電極 2 1 2 には、一对のスイッチング素子 2 1 のいずれかにより変換された電力に対応する電流が流れる。すなわち、第 2 電極 2 1 2 は、ソース電極に相当する。第 2 電極 2 1 2 は、複数の金属めっき層を含む。第 2 電極 2 1 2 は、ニッケル ( Ni ) めっき層と、当該ニッケルめっき層の上に積層された金 ( Au ) めっき層を含む。この他、第 2 電極 2 1 2 は、ニッケルめっき層と、当該ニッケルめっき層の上に積層されたパラジウム ( Pd ) めっき層と、当該パラジウムめっき層の上に積層された金めっき層を含む場合でもよい。

10

【 0 0 1 9 】

図 1 4 および図 1 5 に示すように、第 3 電極 2 1 3 は、厚さ方向 z において第 2 電極 2 1 2 と同じ側に設けられ、かつ第 2 電極 2 1 2 から離れて位置する。第 3 電極 2 1 3 には、一对のスイッチング素子 2 1 のいずれかが駆動するためのゲート電圧が印加される。すなわち、第 3 電極 2 1 3 は、ゲート電極に相当する。一对のスイッチング素子 2 1 の各々においては、当該ゲート電圧に基づき、第 1 電極 2 1 1 に印加された電圧に対応する電流を変換する。厚さ方向 z に沿って視て、第 3 電極 2 1 3 の面積は、第 2 電極 2 1 2 の面積よりも小である。

20

【 0 0 2 0 】

一对の保護素子 2 2 は、図 3 および図 8 に示すように、第 1 ダイオード 2 2 A および第 2 ダイオード 2 2 B を含む。第 1 ダイオード 2 2 A は、第 1 導電板 1 1 の第 1 主面 1 1 1 に接合されている。第 2 ダイオード 2 2 B は、第 2 導電板 1 2 の第 2 主面 1 2 1 に接合されている。一对の保護素子 2 2 は、たとえばショットキーバリアダイオードである。第 1 ダイオード 2 2 A は、第 1 素子 2 1 A に対して並列接続されている。第 2 ダイオード 2 2 B は、第 2 素子 2 1 B に対して並列接続されている。一对の保護素子 2 2 の各々は、一对のスイッチング素子 2 1 の各々に逆バイアスが印加された場合、当該スイッチング素子 2 1 ではなく、それに対して並列接続された当該保護素子 2 2 に電流を流すという、いわゆる還流ダイオードである。図 1 8 に示すように、一对の保護素子 2 2 の各々は、上面電極 2 2 1 および下面電極 2 2 2 を有する。

30

【 0 0 2 1 】

図 1 7 に示すように、上面電極 2 2 1 は、厚さ方向 z において第 1 導電板 1 1 の第 1 主面 1 1 1 が向く側 ( 図 1 7 における上側 ) に設けられている。一对の保護素子 2 2 の各々において、上面電極 2 2 1 は、当該保護素子 2 2 に対して並列接続されている一对のスイッチング素子 2 1 のいずれかの第 2 電極 2 1 2 に導通している。すなわち、上面電極 2 2 1 は、アノード電極に相当する。

【 0 0 2 2 】

図 1 7 に示すように、下面電極 2 2 2 は、厚さ方向 z において上面電極 2 2 1 とは反対側に設けられている。一对の保護素子 2 2 の各々において、下面電極 2 2 2 は、当該保護素子 2 2 に対して並列接続されている一对のスイッチング素子 2 1 のいずれかの第 1 電極 2 1 1 に導通している。すなわち、下面電極 2 2 2 は、カソード電極に相当する。

40

【 0 0 2 3 】

図 3 に示すように、第 1 導電板 1 1 の第 1 主面 1 1 1 において、第 1 素子 2 1 A および第 1 ダイオード 2 2 A が第 2 方向 y に沿って配列されている。第 2 導電板 1 2 の第 2 主面 1 2 1 において、第 2 素子 2 1 B および第 2 ダイオード 2 2 B が第 2 方向 y に沿って配列されている。このように半導体装置 A 1 0 においては、複数の半導体素子 2 0 が第 2 方向 y に沿って配列されている。

【 0 0 2 4 】

50

ダイボンディング層 2 3 は、図 3、図 1 5 および図 1 8 に示すように、第 1 導電板 1 1 の第 1 主面 1 1 1、および第 2 導電板 1 2 の第 2 主面 1 2 1 と、一对のスイッチング素子 2 1 の第 1 電極 2 1 1、および一对の保護素子 2 2 の下面電極 2 2 2 との間に位置する部分を含む。ダイボンディング層 2 3 は、導電性を有する。ダイボンディング層 2 3 は、たとえば鉛フリーハンダである。その他、ダイボンディング層 2 3 は、鉛ハンダでもよい。ダイボンディング層 2 3 は、第 1 素子 2 1 A の第 1 電極 2 1 1、および第 1 ダイオード 2 2 A の下面電極 2 2 2 と、第 1 主面 1 1 1 とを電気的に接合する。これにより、第 1 素子 2 1 A の第 1 電極 2 1 1、および第 1 ダイオード 2 2 A の下面電極 2 2 2 は、第 1 導電板 1 1 に導通する。ダイボンディング層 2 3 は、第 2 素子 2 1 B の第 1 電極 2 1 1、および第 2 ダイオード 2 2 B の下面電極 2 2 2 と、第 2 主面 1 2 1 とを電気的に接合する。これにより、第 2 素子 2 1 B の第 1 電極 2 1 1、および第 2 ダイオード 2 2 B の下面電極 2 2 2 は、第 2 導電板 1 2 に導通する。

10

## 【 0 0 2 5 】

第 1 入力端子 1 3 は、図 3 に示すように、第 2 方向 y に沿って延びる部分を含むとともに、第 1 導電板 1 1 につながっている。このため、第 1 入力端子 1 3 は、第 1 導電板 1 1 に導通している。第 1 入力端子 1 3 は、電力変換対象となる直流の電源電圧が印加される P 端子（正極）である。第 1 入力端子 1 3 は、被覆部 1 3 A および露出部 1 3 B を有する。図 9 に示すように、被覆部 1 3 A は、第 1 導電板 1 1 につながり、かつ封止樹脂 5 0 に覆われている。第 1 方向 x に沿って視て、被覆部 1 3 A は、屈曲している。図 2 ~ 図 5 に示すように、露出部 1 3 B は、被覆部 1 3 A につながり、かつ封止樹脂 5 0 から露出している。露出部 1 3 B は、第 2 方向 y において第 1 導電板 1 1 から遠ざかる側に延びている。露出部 1 3 B の表面には、たとえば錫めっきが施されている。

20

## 【 0 0 2 6 】

出力端子 1 4 は、図 3 に示すように、第 2 方向 y に沿って延びる部分を含むとともに、第 2 導電板 1 2 につながっている。このため、出力端子 1 4 は、第 2 導電板 1 2 に導通している。出力端子 1 4 から、一对のスイッチング素子 2 1 により変換された交流電力が出力される。出力端子 1 4 は、被覆部 1 4 A および露出部 1 4 B を有する。被覆部 1 4 A は、第 2 導電板 1 2 につながり、かつ封止樹脂 5 0 に覆われている（図 1 1 参照）。第 1 方向 x に沿って視て、被覆部 1 4 A は、第 1 入力端子 1 3 の被覆部 1 3 A と同様に屈曲している。図 2 ~ 図 5 に示すように、露出部 1 4 B は、被覆部 1 4 A につながり、かつ封止樹脂 5 0 から露出している。露出部 1 4 B は、第 2 方向 y において第 2 導電板 1 2 から遠ざかる側に延びている。露出部 1 4 B の表面には、たとえば錫めっきが施されている。

30

## 【 0 0 2 7 】

第 2 入力端子 1 5 は、図 3 に示すように、第 2 方向 y において第 1 導電板 1 1 および第 2 導電板 1 2 の双方から離れて位置し、かつ第 1 方向 x において第 1 入力端子 1 3 と出力端子 1 4 との間に位置する。第 2 入力端子 1 5 は、第 2 方向 y に沿って延びている。第 2 入力端子 1 5 は、第 2 素子 2 1 B の第 2 電極 2 1 2 と、第 2 ダイオード 2 2 B の上面電極 2 2 1 とに導通している。第 2 入力端子 1 5 は、電力変換対象となる直流の電源電圧が印加される N 端子（負極）である。第 2 入力端子 1 5 は、被覆部 1 5 A および露出部 1 5 B を有する。図 1 0 に示すように、被覆部 1 5 A は、封止樹脂 5 0 に覆われている。図 2 ~ 図 5 に示すように、露出部 1 5 B は、被覆部 1 5 A につながり、かつ封止樹脂 5 0 から露出している。露出部 1 5 B は、第 2 方向 y において第 1 導電板 1 1 および第 2 導電板 1 2 の双方から遠ざかる側に延びている。露出部 1 5 B の表面には、たとえば錫めっきが施されている。

40

## 【 0 0 2 8 】

第 1 ゲート端子 1 6 1 は、図 3 に示すように、第 2 方向 y において第 1 導電板 1 1 から離れて位置し、かつ第 1 方向 x の一方端に位置する。第 2 ゲート端子 1 6 2 は、図 3 に示すように、第 2 方向 y において第 2 導電板 1 2 から離れて位置し、かつ第 1 方向 x の他方端に位置する。第 1 ゲート端子 1 6 1 は、第 1 素子 2 1 A の第 3 電極 2 1 3 に導通している。第 1 ゲート端子 1 6 1 には、第 1 素子 2 1 A が駆動するためのゲート電圧が印加され

50

る。第2ゲート端子162は、第2素子21Bの第3電極213に導通している。第2ゲート端子162には、第2素子21Bが駆動するためのゲート電圧が印加される。

【0029】

図3に示すように、第1ゲート端子161は、被覆部161Aおよび露出部161Bを有する。図11に示すように、被覆部161Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部161Bは、被覆部161Aにつながり、かつ封止樹脂50から露出している。露出部161Bは、第2方向yにおいて第1導電板11から遠ざかる側に延びている。露出部161Bの表面には、たとえば錫めっきが施されている。

【0030】

図3に示すように、第2ゲート端子162は、被覆部162Aおよび露出部162Bを有する。図11に示すように、被覆部162Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部162Bは、被覆部162Aにつながり、かつ封止樹脂50から露出している。露出部162Bは、第2方向yにおいて第2導電板12から遠ざかる側に延びている。露出部162Bの表面には、たとえば錫めっきが施されている。

10

【0031】

第1検出端子171は、図3に示すように、第2方向yにおいて第1導電板11から離れて位置し、かつ第1方向xにおいて第1入力端子13と第1ゲート端子161との間に位置する。第2検出端子172は、図3に示すように、第2方向yにおいて第2導電板12から離れて位置し、かつ第1方向xにおいて出力端子14と第2ゲート端子162との間に位置する。第1検出端子171は、第1素子21Aの第2電極212に導通している。第1検出端子171には、第1素子21Aの第2電極212に流れる電流に対応した電圧が印加される。第2検出端子172は、第2素子21Bの第2電極212に導通している。第2検出端子172には、第2素子21Bの第2電極212に流れる電流に対応した電圧が印加される。

20

【0032】

図3に示すように、第1検出端子171は、被覆部171Aおよび露出部171Bを有する。図11に示すように、被覆部171Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部171Bは、被覆部171Aにつながり、かつ封止樹脂50から露出している。露出部171Bは、第2方向yにおいて第1導電板11から遠ざかる側に延びている。露出部171Bの表面には、たとえば錫めっきが施されている。

30

【0033】

図3に示すように、第2検出端子172は、被覆部172Aおよび露出部172Bを有する。図11に示すように、被覆部172Aは、封止樹脂50に覆われている。図2～図5に示すように、露出部172Bは、被覆部172Aにつながり、かつ封止樹脂50から露出している。露出部172Bは、第2方向yにおいて第2導電板12から遠ざかる側に延びている。露出部172Bの表面には、たとえば錫めっきが施されている。

【0034】

図5に示すように、半導体装置A10において、第1入力端子13の露出部13B、出力端子14の露出部14B、および第2入力端子15の露出部15Bの各々の高さhは、いずれも同一である。さらに、これらの各々の厚さは、いずれも同一である。このため、第1方向xに沿って視て、第2入力端子15の少なくとも一部（露出部15B）が、第1入力端子13および出力端子14の各々に重なっている（図6参照）。

40

【0035】

第1導電部材31は、図3に示すように、第1素子21Aの第2電極212と、第1ダイオード22Aの上面電極221と、第2導電板12の第2主面121とに電氣的に接合されている。これにより、第1素子21Aの第2電極212と、第1ダイオード22Aの上面電極221とは、これらが相互に導通された状態で第2導電板12に導通している。第1導電部材31は、銅を含有する。半導体装置A10においては、第1導電部材31は、金属クリップである。図12に示すように、第1導電部材31は、本体部311、複数の第1接合部312、第1連結部313、第2接合部314および第2連結部315を有

50

する。

【0036】

図12に示すように、本体部311は、第1導電部材31の主要部をなしている。本体部311は、第2方向yに沿って延びている。図7および図8に示すように、本体部311は、第1導電板11の第1主面111に対して平行である。図3に示すように、厚さ方向zに沿って視て、本体部311の一部が第1主面111に重なっている。

【0037】

図3、図7および図8に示すように、複数の第1接合部312は、第1素子21Aの第2電極212、および第1ダイオード22Aの上面電極221に対して個別かつ電氣的に接合されている。複数の第1接合部312の各々は、第1素子21Aの第2電極212、および第1ダイオード22Aの上面電極221のいずれかに対向している。図14および図16に示すように、複数の第1接合部312の各々は、開口312Aを有する。開口312Aは、複数の第1接合部312のいずれかを厚さ方向zに貫通している。開口312Aは、厚さ方向zに沿って視て円形状である。開口312Aの開口面積は、 $0.25\text{mm}^2$ 以上である。複数の第1接合部312の各々は、重複領域312Bを含む。厚さ方向zに沿って視て、重複領域312Bは、第1素子21Aの第2電極212、および第1ダイオード22Aの上面電極221のいずれかに重なる領域（ただし、開口312Aを除く。）を指す。厚さ方向zに沿って視て、重複領域312Bの面積は、第1素子21Aの第2電極212、および第1ダイオード22Aの上面電極221の各々の面積の70%以上である。

10

20

【0038】

図7および図12に示すように、第1連結部313は、本体部311と、複数の第1接合部312とをつないでいる。図7に示すように、第2方向yに沿って視て、第1連結部313は、複数の第1接合部312から本体部311に向かうほど、第1導電板11の第1主面111から離れる向きに傾斜している。第2方向yに沿って視て、複数の第1接合部312の各々に対して第1連結部313がなす鋭角（図15および図17参照）の大きさは、 $30^\circ$ 以上 $60^\circ$ 以下である。

【0039】

図3、図10および図11に示すように、第2接合部314は、第2導電板12の第2主面121に電氣的に接合されている。第2接合部314は、第2主面121に対向している。半導体装置A10においては、第2接合部314は、第2方向yにおいて互いに離れて位置する2つの領域を含む。

30

【0040】

図7、図8および図12に示すように、第2連結部315は、本体部311と第2接合部314とをつないでいる。第2導電板12の第2主面121の面内方向（半導体装置A10では第2方向y）に沿って視て、第2連結部315は、第2接合部314から本体部311に向かうほど、第2主面121から離れる向きに傾斜している。

【0041】

複数の第1接合層33の各々は、図15および図17に示すように、第1素子21Aの第2電極212、および第1ダイオード22Aの上面電極221のいずれかと、それに対向する第1導電部材31の複数の第1接合部312のいずれかとの間に位置する部分を含む。複数の第1接合層33は、導電性を有する。複数の第1接合層33は、たとえば鉛フリーハンダである。その他、複数の第1接合層33は、鉛ハンダでもよい。複数の第1接合層33は、複数の第1接合部312と、第1素子21Aの第2電極212、および第1ダイオード22Aの上面電極221とを個別かつ電氣的に接合する。したがって、第1導電部材31は、複数の第1接合層33により、第1素子21Aの第2電極212と、第1ダイオード22Aの上面電極221とに電氣的に接合されている。図14および図16に示すように、厚さ方向zに沿って視て、複数の第1接合層33の各々は、複数の第1接合部312のいずれかの重複領域312Bよりも外方にはみ出した部分を含む。複数の第1接合部312のいずれかの重複領域312Bよりも外方にはみ出した当該第1接合層33

40

50

には、フィレットが形成される。図 1 4 ~ 図 1 7 に示すように、ハンダである当該第 1 接合層 3 3 が当該重複領域 3 1 2 B から外方に離れるほど、フィレットは、第 1 素子 2 1 A の第 2 電極 2 1 2 の表面、および第 1 ダイオード 2 2 A の上面電極 2 2 1 の表面のいずれかに向けて当該フィレットの厚さ方向 z の寸法が徐々に小となる形状をなす。

【 0 0 4 2 】

図 1 5 および図 1 7 に示すように、複数の第 1 接合層 3 3 は、複数の第 1 接合部 3 1 2 に対して個別に接している。さらに複数の第 1 接合層 3 3 の各々は、複数の第 1 接合部 3 1 2 の各々の開口 3 1 2 A を規定する当該第 1 接合部 3 1 2 の内周面にも接している。このため、複数の第 1 接合層 3 3 の各々は、複数の第 1 接合部 3 1 2 のいずれかの開口 3 1 2 A に陥入した部分を含む。複数の第 1 接合部 3 1 2 の各々の厚さ  $t$  は、 $0.1\text{ mm}$  以上、かつ複数の第 1 接合層 3 3 の各々の最大厚さ  $T_{\max}$  の 2 倍以下である。ここで、複数の第 1 接合層 3 3 の各々の最大厚さ  $T_{\max}$  は、開口 3 1 2 A に貫入した当該第 1 接合層 3 3 の部分を含まない。複数の第 1 接合層 3 3 の各々の最大厚さ  $T_{\max}$  は、複数の半導体素子 2 0 の各々の厚さよりも大である。

10

【 0 0 4 3 】

第 2 接合層 3 4 は、図 8 および図 1 6 に示すように、第 2 導電板 1 2 の第 2 主面 1 2 1 と、それに対向する第 1 導電部材 3 1 の第 2 接合部 3 1 4 との間に位置する部分を含む。第 2 接合層 3 4 は、導電性を有する。第 2 接合層 3 4 は、たとえば鉛フリーハンダである。その他、第 2 接合層 3 4 は、鉛ハンダでもよい。第 2 接合層 3 4 は、第 2 接合部 3 1 4 と第 2 主面 1 2 1 とを電氣的に接合する。したがって、第 1 導電部材 3 1 は、第 2 接合層 3 4 により第 2 主面 1 2 1 に電氣的に接合されている。

20

【 0 0 4 4 】

第 2 導電部材 3 2 は、図 3 に示すように、第 2 素子 2 1 B の第 2 電極 2 1 2 と、第 2 ダイオード 2 2 B の上面電極 2 2 1 と、第 2 入力端子 1 5 の被覆部 1 5 A とに接合されている。これにより、第 2 素子 2 1 B の第 2 電極 2 1 2 と、第 2 ダイオード 2 2 B の上面電極 2 2 1 とは、これらが相互に導通された状態で第 2 入力端子 1 5 に導通している。第 2 導電部材 3 2 は、銅を含有する。半導体装置 A 1 0 においては、第 2 導電部材 3 2 は、金属クリップである。図 1 3 に示すように、第 2 導電部材 3 2 は、本体部 3 2 1、複数の第 3 接合部 3 2 2、第 3 連結部 3 2 3、第 4 接合部 3 2 4 および第 4 連結部 3 2 5 を有する。

【 0 0 4 5 】

図 1 3 に示すように、本体部 3 2 1 は、第 2 導電部材 3 2 の主要部をなしている。本体部 3 2 1 は、第 2 方向  $y$  に沿って延びている。図 7、図 8 および図 1 0 に示すように、本体部 3 1 1 は、第 2 導電板 1 2 の第 2 主面 1 2 1 に対して平行である。本体部 3 2 1 は、第 1 導電部材 3 1 の本体部 3 1 1 よりも第 1 導電板 1 1 の第 1 主面 1 1 1、および第 2 主面 1 2 1 の双方から離れて位置するとともに、第 1 導電部材 3 1 の第 2 接合部 3 1 4 を跨いでいる。

30

【 0 0 4 6 】

図 3、図 7 および図 8 に示すように、複数の第 3 接合部 3 2 2 は、第 2 素子 2 1 B の第 2 電極 2 1 2、および第 2 ダイオード 2 2 B の上面電極 2 2 1 に対して個別かつ電氣的に接合されている。複数の第 3 接合部 3 2 2 の各々は、第 2 素子 2 1 B の第 2 電極 2 1 2、および第 2 ダイオード 2 2 B の上面電極 2 2 1 のいずれかに対向している。

40

【 0 0 4 7 】

図 8 および図 1 3 に示すように、第 3 連結部 3 2 3 は、本体部 3 2 1 と、複数の第 3 接合部 3 2 2 とをつないでいる。図 8 に示すように、第 2 方向  $y$  に沿って見て、第 3 連結部 3 2 3 は、複数の第 3 接合部 3 2 2 から本体部 3 2 1 に向かうほど、第 2 導電板 1 2 の第 2 主面 1 2 1 から離れる向きに傾斜している。

【 0 0 4 8 】

図 3、図 1 0 および図 1 1 に示すように、第 4 接合部 3 2 4 は、第 2 入力端子 1 5 の被覆部 1 5 A に電氣的に接合されている。第 4 接合部 3 2 4 は、被覆部 1 5 A に対向している。

50

## 【 0 0 4 9 】

図 10 に示すように、第 4 連結部 3 2 5 は、本体部 3 2 1 と第 4 接合部 3 2 4 とをつないでいる。第 1 方向 x に沿って視て、第 4 連結部 3 2 5 は、第 4 接合部 3 2 4 から本体部 3 2 1 に向かうほど、第 2 導電板 1 2 の第 2 主面 1 2 1 から離れる向きに傾斜している。

## 【 0 0 5 0 】

複数の第 3 接合層 3 5 の各々は、図 7 および図 8、第 1 ダイオード 2 2 A の第 2 電極 2 1 2、および第 2 ダイオード 2 2 B の上面電極 2 2 1 のいずれかと、それに対向する第 2 導電部材 3 2 の複数の第 3 接合部 3 2 2 のいずれかとの間に位置する部分を含む。複数の第 3 接合層 3 5 は、導電性を有する。複数の第 3 接合層 3 5 は、たとえば鉛フリーハンダである。その他、複数の第 3 接合層 3 5 は、鉛ハンダでもよい。複数の第 3 接合層 3 5 は、複数の第 3 接合部 3 2 2 と、第 2 素子 2 1 B の第 2 電極 2 1 2、および第 2 ダイオード 2 2 B の上面電極 2 2 1 とを個別かつ電氣的に接合する。したがって、第 2 導電部材 3 2 は、複数の第 3 接合層 3 5 により、第 2 素子 2 1 B の第 2 電極 2 1 2 と、第 2 ダイオード 2 2 B の上面電極 2 2 1 とに電氣的に接合されている。

10

## 【 0 0 5 1 】

第 4 接合層 3 6 は、図 10 および図 11 に示すように、第 2 入力端子 1 5 の被覆部 1 5 A と、それに対向する第 2 導電部材 3 2 の第 4 接合部 3 2 4 との間に位置する部分を含む。第 4 接合層 3 6 は、導電性を有する。第 4 接合層 3 6 は、たとえば鉛フリーハンダである。その他、第 4 接合層 3 6 は、鉛ハンダでもよい。第 4 接合層 3 6 は、第 4 接合部 3 2 4 と被覆部 1 5 A とを電氣的に接合する。したがって、第 2 導電部材 3 2 は、第 4 接合層 3 6 により被覆部 1 5 A に電氣的に接合されている。

20

## 【 0 0 5 2 】

一对のゲートワイヤ 4 1 は、図 3 および図 1 4 に示すように、一对のスイッチング素子 2 1 の第 3 電極 2 1 3 と、第 1 ゲート端子 1 6 1 の被覆部 1 6 1 A、および第 2 ゲート端子 1 6 2 の被覆部 1 6 2 A とに、個別かつ電氣的に接合されている。これにより、第 1 ゲート端子 1 6 1 は、第 1 素子 2 1 A の第 3 電極 2 1 3 に導通している。第 2 ゲート端子 1 6 2 は、第 2 素子 2 1 B の第 3 電極 2 1 3 に導通している。一对のゲートワイヤ 4 1 の各々は、金を含有する。この他、一对のゲートワイヤ 4 1 の各々は、銅を含有する場合や、アルミニウム (A1) を含有する場合でもよい。

## 【 0 0 5 3 】

一对の検出ワイヤ 4 2 は、図 3 および図 1 4 に示すように、一对のスイッチング素子 2 1 の第 2 電極 2 1 2 と、第 1 検出端子 1 7 1 の被覆部 1 7 1 A、および第 2 検出端子 1 7 2 の被覆部 1 7 2 A とに、個別かつ電氣的に接合されている。これにより、第 1 検出端子 1 7 1 は、第 1 素子 2 1 A の第 2 電極 2 1 2 に導通している。第 2 検出端子 1 7 2 は、第 2 素子 2 1 B の第 2 電極 2 1 2 に導通している。一对の検出ワイヤ 4 2 の各々は、金を含有する。この他、一对の検出ワイヤ 4 2 の各々は、銅を含有する場合や、アルミニウムを含有する場合でもよい。

30

## 【 0 0 5 4 】

封止樹脂 5 0 は、図 3、および図 7 ~ 図 10 に示すように、一对のスイッチング素子 2 1、一对の保護素子 2 2、第 1 導電部材 3 1 および第 2 導電部材 3 2 と、第 1 導電板 1 1 および第 2 導電板 1 2 の各々の一部ずつとを覆っている。封止樹脂 5 0 は、電気絶縁性を有する。封止樹脂 5 0 は、たとえば黒色のエポキシ樹脂を含む材料からなる。封止樹脂 5 0 は、頂面 5 1、底面 5 2、一对の第 1 側面 5 3、一对の第 2 側面 5 4、複数の凹部 5 5、および溝部 5 6 を有する。

40

## 【 0 0 5 5 】

図 7 ~ 図 10 に示すように、頂面 5 1 は、厚さ方向 z において第 1 導電板 1 1 の第 1 主面 1 1 1 と同じ側を向く。図 7 ~ 図 10 に示すように、底面 5 2 は、厚さ方向 z において頂面 5 1 とは反対側を向く。図 4 に示すように、底面 5 2 から第 1 導電板 1 1 の第 1 裏面 1 1 2、および第 2 導電板 1 2 の第 2 裏面 1 2 2 が露出している。

## 【 0 0 5 6 】

50

図 2、図 4 および図 6 に示すように、一对の第 1 側面 5 3 は、第 1 方向 x において互いに離れて位置する。一对の第 1 側面 5 3 の各々は、頂面 5 1 および底面 5 2 につながっている。

【 0 0 5 7 】

図 2、図 4 および図 5 に示すように、一对の第 2 側面 5 4 は、第 2 方向 y において互いに離れて位置する。一对の第 2 側面 5 4 の各々は、頂面 5 1 および底面 5 2 につながっている。図 5 に示すように、一对の第 2 側面 5 4 のうち一方の当該第 2 側面 5 4 から、第 1 入力端子 1 3 の露出部 1 3 B、出力端子 1 4 の露出部 1 4 B、および第 2 入力端子 1 5 の露出部 1 5 B が露出している。さらに当該第 2 側面 5 4 から、第 1 ゲート端子 1 6 1 の露出部 1 6 1 B、第 2 ゲート端子 1 6 2 の露出部 1 6 2 B、第 1 検出端子 1 7 1 の露出部 1 7 1 B、および第 2 検出端子 1 7 2 の露出部 1 7 2 B が露出している。

10

【 0 0 5 8 】

図 2、図 4 および図 5 に示すように、複数の凹部 5 5 は、一对の第 2 側面 5 4 のうち第 1 入力端子 1 3 の露出部 1 3 B などが露出する第 2 側面 5 4 から第 1 方向 x に向けて凹むとともに、厚さ方向 z において頂面 5 1 から底面 5 2 に至っている。第 1 方向 x において、複数の凹部 5 5 は、第 1 入力端子 1 3 と第 1 検出端子 1 7 1 との間、第 1 入力端子 1 3 と第 2 入力端子 1 5 との間、出力端子 1 4 と第 2 入力端子 1 5 との間、および出力端子 1 4 と第 2 検出端子 1 7 2 との間に対して個別に位置する。複数の凹部 5 5 により、第 1 入力端子 1 3、出力端子 1 4、第 2 入力端子 1 5、第 1 検出端子 1 7 1 および第 2 検出端子 1 7 2 のいずれか 2 つにかかる封止樹脂 5 0 の沿面距離がより長く確保される。さらに第 1 ゲート端子 1 6 1 および第 2 ゲート端子 1 6 2 のいずれかと、第 1 入力端子 1 3、出力端子 1 4 および第 2 入力端子 1 5 のいずれかにかかる封止樹脂 5 0 の沿面距離がより長く確保される。このことは、半導体装置 A 1 0 の絶縁耐圧の向上を図る上で好適である。

20

【 0 0 5 9 】

図 4、図 6、および図 9 ~ 図 1 1 に示すように、溝部 5 6 は、底面 5 2 から厚さ方向 z に凹むとともに、第 1 方向 x に沿って延びている。溝部 5 6 の第 1 方向 x の両端は、一对の第 1 側面 5 3 につながっている。溝部 5 6 により、第 1 導電板 1 1 および第 2 導電板 1 2 と、第 1 入力端子 1 3、出力端子 1 4、第 2 入力端子 1 5、第 1 ゲート端子 1 6 1、第 2 ゲート端子 1 6 2、第 1 検出端子 1 7 1 および第 2 検出端子 1 7 2 とにかかる封止樹脂 5 0 の沿面距離がより長く確保される。このことは、半導体装置 A 1 0 の絶縁耐圧の向上を図る上で好適である。

30

【 0 0 6 0 】

次に、半導体装置 A 1 0 の作用効果について説明する。

【 0 0 6 1 】

半導体装置 A 1 0 は、複数の半導体素子 2 0 の電極（半導体装置 A 1 0 では第 1 素子 2 1 A の第 2 電極 2 1 2、および第 1 ダイオード 2 2 A の上面電極 2 2 1）と、第 2 導電板 1 2 の第 2 主面 1 2 1 と、の各々に電氣的に接合された導電部材（第 1 導電部材 3 1）を備える。導電部材は、本体部 3 1 1、複数の第 1 接合部 3 1 2、第 1 連結部 3 1 3、第 2 接合部 3 1 4 および第 3 接合層 3 5 を有する。複数の第 1 接合部 3 1 2 は、複数の半導体素子 2 0 の電極に対して個別かつ電氣的に接合されている。第 2 接合部 3 1 4 は、第 2 主面 1 2 1 に電氣的に接合されている。これにより、導電部材のこれらの部分の接合は一括的なものとなるため、より短時間でかつ効率的に、当該導電部材を複数の半導体素子 2 0 の電極に対して個別かつ電氣的に接合することができる。したがって、半導体装置 A 1 0 によれば、より大きな電流に対応しつつ、半導体装置 A 1 0 の製造効率の向上を図ることが可能となる。

40

【 0 0 6 2 】

複数の第 1 接合部 3 1 2 の各々は、厚さ方向 z に沿って視て複数の半導体素子 2 0 のいずれかの電極に重なる重複領域 3 1 2 B を含む。厚さ方向 z に沿って視て、重複領域 3 1 2 B の面積は、複数の半導体素子 2 0 の各々の電極の面積の 7 0 % 以上である。このことは、複数の半導体素子 2 0 の各々により大きな電流を流すことを可能としつつ、第 1 接合

50

層 3 3 と、複数の第 1 接合部 3 1 2 の各々に作用する熱応力集中の緩和に好適である。

【 0 0 6 3 】

厚さ方向  $z$  に沿って視て、本体部 3 1 1 の少なくとも一部が第 1 導電板 1 1 の第 1 主面 1 1 1 に重なっている。このことは、半導体装置 A 1 0 の第 1 方向  $x$  の寸法を縮小する上で効果的である。

【 0 0 6 4 】

第 2 方向  $y$  に沿って視て、第 1 連結部 3 1 3 は、第 1 接合部 3 1 2 から本体部 3 1 1 に向かうほど、第 1 導電板 1 1 の第 1 主面 1 1 1 から離れる向きに傾斜している。これにより、複数の第 1 接合層 3 3 の各々には、複数の半導体素子 2 0 のいずれかの電極の第 1 方向  $x$  の一方に位置するフィレットが形成されやすくなる。したがって、複数の半導体素子 2 0 の各々の電極と、第 1 接合層 3 3 との界面に作用する熱応力集中を、より効果的に低減することができる。この場合において、第 2 方向  $y$  に沿って視て、第 1 接合部 3 1 2 に対して第 1 連結部 3 1 3 がなす鋭角  $\theta$  の大きさは、 $30^\circ$  以上  $60^\circ$  以下であることが、当該熱応力集中の緩和に適したフィレットの形状となる。一方、鋭角  $\theta$  が  $30^\circ$  未満である場合は、複数の半導体素子 2 0 のいずれかと、導電部材 (第 1 導電部材 3 1) との間との距離が過度に小となるため、当該半導体素子 2 0 の耐圧破壊を防止する観点から好ましくない。他方、鋭角  $\theta$  が  $60^\circ$  を超える場合は、複数の第 1 接合層 3 3 のいずれかに形成されたフィレットの体積が過大となり、当該第 1 接合層 3 3 に発生する熱応力が集中しやすくなる。このことは、当該第 1 接合層 3 3 における熱応力集中の緩和の観点から好ましくない。

【 0 0 6 5 】

第 1 接合部 3 1 2 の厚さ  $t$  は、第 1 接合層 3 3 の最大厚さ  $T_{max}$  の 2 倍以下である。これにより、第 1 接合層 3 3 の熱耐久性を確保しつつ、第 1 接合層 3 3 と第 1 接合部 3 1 2 との界面に作用する熱応力集中を低減することができる。

【 0 0 6 6 】

複数の第 1 接合部 3 1 2 の各々は、厚さ方向  $z$  に貫通する開口 3 1 2 A を有する。第 1 接合層 3 3 により第 1 接合部 3 1 2 を複数の半導体素子 2 0 の各々の電極に電氣的に接合する際、開口 3 1 2 A を設けることにより、溶融した第 1 接合層 3 3 に含まれる気泡を外部に放出させることができる。さらに第 1 接合層 3 3 は、開口 3 1 2 A を規定する第 1 接合部 3 1 2 の内周面に接している。これにより、溶融した第 1 接合層 3 3 には、第 1 接合部 3 1 2 の位置をスイッチング素子 2 1 の電極に対して所定な位置にするセルフアライメント効果が得られる。

【 0 0 6 7 】

導電部材は、銅を含有する。これにより、アルミニウムを含有するワイヤと比較して、導電部材の電気抵抗を低減させることができる。このことは、スイッチング素子 2 1 により大きな電流を流すことに好適である。

【 0 0 6 8 】

第 1 導電板 1 1 は、銅を含有する。さらに、第 1 導電板 1 1 の厚さ  $T_1$  は、導電部材の最大厚さ  $t_{max}$  よりも大である。これにより、第 1 導電板 1 1 の熱伝導率の向上を図りつつ、第 1 主面 1 1 1 の面内方向 (第 1 方向  $x$  および第 2 方向  $y$ ) の熱伝導の効率を高めることができる。このことは、半導体装置 A 1 0 の放熱性の向上に寄与する。

【 0 0 6 9 】

図 1 9 ~ 図 3 7 に基づき、本開示の第 2 実施形態にかかる半導体装置 A 2 0 について説明する。これらの図において、先述した半導体装置 A 1 0 と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図 2 0 は、理解の便宜上、封止樹脂 5 0 の図示を省略している。図 2 1 および図 2 5 の各々は、理解の便宜上、封止樹脂 5 0 および第 2 導電部材 3 2 の図示を省略している。図 2 3 は、理解の便宜上、封止樹脂 5 0 を透過している。図 2 3 では、透過した封止樹脂 5 0 を想像線で示している。

【 0 0 7 0 】

半導体装置 A 2 0 は、半導体装置 A 1 0 に対して、支持基板 6 0、一对の第 1 ダイオー

ド端子 181、一对の第 2 ダイオード端子 182、一对の制御配線 70、および複数のダイオードワイヤ 43 をさらに備える。

【0071】

支持基板 60 は、図 20 および図 21 に示すように、第 1 導電板 11 および第 2 導電板 12 を支持している。半導体装置 A20 においては、支持基板 60 は、DBC (Direct Bonded Copper) 基板から構成される。図 31 ~ 図 36 に示すように、支持基板 60 は、絶縁層 61、一对の第 1 金属層 62、および第 2 金属層 63 を有する。支持基板 60 は、第 2 金属層 63 の一部を除き、封止樹脂 50 に覆われている。

【0072】

図 31 ~ 図 36 に示すように、絶縁層 61 は、厚さ方向 z において一对の第 1 金属層 62 と、第 2 金属層 63 との間を介在する部分を含む。絶縁層 61 は、熱伝導性が比較的高い材料からなる。絶縁層 61 は、たとえば窒化アルミニウム (AlN) を含むセラミックスからなる。絶縁層 61 は、セラミックスの他、絶縁樹脂シートからなる構成でもよい。

10

【0073】

図 31 ~ 図 36 に示すように、一对の第 1 金属層 62 は、絶縁層 61 の厚さ方向 z の一方側に位置する。一对の第 1 金属層 62 は、第 1 方向 x において互いに離れて位置する。一对の第 1 金属層 62 の各々は、銅を含有する。一对の第 1 金属層 62 のうち一方の当該第 1 金属層 62 に、第 1 導電板 11 の第 1 裏面 112 が接合層 69 により接合されている。一对の第 1 金属層 62 のうち他方の当該第 1 金属層 62 に、第 2 導電板 12 の第 2 裏面 122 が接合層 69 により接合されている。これにより、半導体装置 A20 において、第 1 導電板 11 および第 2 導電板 12 が支持基板 60 に支持された構成となる。接合層 69 は、たとえば銀 (Ag) を含有するろう材である。図 25 に示すように、厚さ方向 z に沿って視て、一对の第 1 金属層 62 の各々は、絶縁層 61 の周縁よりも内方に位置する。

20

【0074】

図 31 ~ 図 36 に示すように、第 2 金属層 63 は、絶縁層 61 の厚さ方向 z の他方側に位置する。図 28 に示すように、第 2 金属層 63 の表面 (厚さ方向 z を向く面) は、封止樹脂 50 の底面 52 から露出している。当該表面は、ヒートシンク (図示略) に接合される。第 2 金属層 63 は、銅を含有する。厚さ方向 z に沿って視て、第 2 金属層 63 の周縁は、絶縁層 61 の周縁よりも内方に位置する。

【0075】

第 1 入力端子 13 は、図 23 および図 32 に示すように、第 1 方向 x の一方側に位置し、かつ第 1 導電板 11 と一体となっている。第 1 入力端子 13 は、第 1 導電板 11 から第 1 方向 x に沿って延びている。第 1 入力端子 13 の厚さは、第 1 導電板 11 の厚さ T1 よりも小である。出力端子 14 は、図 23 および図 32 に示すように、第 1 方向 x の他方側に位置し、かつ第 2 導電板 12 と一体となっている。半導体装置 A20 においては、出力端子 14 は、第 2 方向 y において互いに離れて位置する一对の領域を含む。当該一对の領域の各々は、第 2 導電板 12 から第 1 方向 x に沿って延びている。当該一对の領域の各々の厚さは、第 2 導電板 12 の厚さ T2 よりも小である。第 2 入力端子 15 は、図 23 および図 31 に示すように、第 1 方向 x の一方側に位置する。第 2 入力端子 15 は、第 1 導電板 11 から第 1 方向 x に離れて位置する。半導体装置 A20 においては、第 2 入力端子 15 は、第 2 方向 y において互いに離れて位置する一对の領域を含む。当該一对の領域は、第 1 入力端子 13 の第 2 方向 y の両側に位置する。当該一对の領域の各々は、第 1 方向 x に沿って延びている。

30

40

【0076】

半導体装置 A20 においては、複数の半導体素子 20 は、複数のスイッチング素子 21 を含む。図 23 および図 25 に示すように、複数のスイッチング素子 21 は、一对の第 1 素子 21A、一对の第 2 素子 21B、第 3 素子 21C および第 4 素子 21D を含む。これらのうち、第 3 素子 21C および第 4 素子 21D の各々の構成は、一对の第 1 素子 21A、および一对の第 2 素子 21B の各々の構成と異なる。第 3 素子 21C および第 4 素子 21D は、互いに同一の構成である。第 3 素子 21C は、第 1 導電板 11 の第 1 主面 111

50

に接合されている。第4素子21Dは、第2導電板12の第2主面121に接合されている。

【0077】

複数のスイッチング素子21の各々は、図37に示すスイッチング機能部Q1と、還流ダイオードD2とを備える。複数のスイッチング素子21のうち、第3素子21Cおよび第4素子21Dの各々は、スイッチング機能部Q1および還流ダイオードD2の他に、図37に示すダイオード機能部D1をさらに備える。第3素子21Cおよび第4素子21Dの各々は、第1電極211、第2電極212および第3電極213の他に、第4電極214、および一对の第5電極215をさらに有する。第3素子21Cおよび第4素子21Dの各々において、第4電極214には、第2電極212に流れる電流と同一の電流が流れる。第3素子21Cおよび第4素子21Dの各々において、一对の第5電極215は、ダイオード機能部D1に導通している。

10

【0078】

図37に示すように、半導体装置A20は、ハーフブリッジ型のスイッチング回路を構成している。一对の第1素子21A、および第3素子21Cは、上アーム回路を構成している。当該上アーム回路において、一对の第1素子21A、および第3素子21Cは、互いに並列接続されている。一对の第2素子21B、および第4素子21Dは、下アーム回路を構成している。当該下アーム回路において、一对の第2素子21B、および第4素子21Dは、互いに並列接続されている。

【0079】

図23および図25に示すように、第1導電板11の第1主面111において、一对の第1素子21A、および第3素子21Cが第2方向yに沿って配列されている。第2導電板12の第2主面121において、一对の第2素子21B、および第4素子21Dが第2方向yに沿って配列されている。このように半導体装置A20においても、複数の半導体素子20が第2方向yに沿って配列されている。

20

【0080】

一对の制御配線70は、第1ゲート端子161、第2ゲート端子162、第1検出端子171、第2検出端子172、一对の第1ダイオード端子181、および一对の第2ダイオード端子182と、複数のスイッチング素子21との導電経路の一部を構成している。図23～図25に示すように、一对の制御配線70は、第1配線70Aおよび第2配線70Bを含む。第1方向xにおいて、第1配線70Aは、一对の第1素子21A、および第3素子21Cと、第1入力端子13および第2入力端子15との間に位置する。第1配線70Aは、第1導電板11の第1主面111に接合されている。第1方向xにおいて、第2配線70Bは、一对の第2素子21B、および第4素子21Dと、出力端子14との間に位置する。第2配線70Bは、第2導電板12の第2主面121に接合されている。図32および図36に示すように、一对の制御配線70の各々は、絶縁層71、複数の配線層72、金属層73、複数のホルダ74、および複数の被覆層75を有する。制御配線70は、複数のホルダ74の各々の一部と、複数の被覆層75とを除き、封止樹脂50に覆われている。

30

【0081】

図33に示すように、絶縁層71は、厚さ方向zにおいて複数の配線層72と、金属層73との間に介在する部分を含む。絶縁層71は、たとえばセラミックスからなる。絶縁層71は、セラミックスの他、絶縁樹脂シートからなる構成でもよい。

40

【0082】

図33に示すように、複数の配線層72は、絶縁層71の厚さ方向zの一方側に位置する。複数の配線層72の各々は、銅を含有する。図25に示すように、複数の配線層72は、第1配線層721、第2配線層722、および一对の第3配線層723を含む。厚さ方向zに沿って見て、一对の第3配線層723の各々の面積は、第1配線層721および第2配線層722の各々の面積よりも小である。

【0083】

50

図 3 3 に示すように、金属層 7 3 は、絶縁層 7 1 の厚さ方向 z の他方側に位置する。金属層 7 3 は、銅を含有する。第 1 配線 7 0 A の金属層 7 3 は、接合層 7 8 により第 1 導電板 1 1 の第 1 主面 1 1 1 に接合されている。第 2 配線 7 0 B の金属層 7 3 は、接合層 7 8 により第 2 導電板 1 2 の第 2 主面 1 2 1 に接合されている。接合層 7 8 は、導電性の有無を問わない材料からなる。接合層 7 8 は、たとえば鉛フリーハンダである。

【 0 0 8 4 】

図 3 3 に示すように、複数のホルダ 7 4 は、ホルダ接合層 7 9 により複数の配線層 7 2 に対して個別かつ電氣的に接合されている。複数のホルダ 7 4 は、金属などの導電性材料からなる。複数のホルダ 7 4 の各々は、厚さ方向 z に沿って延びる筒状である。複数のホルダ 7 4 の各々の厚さ方向 z の下端は、複数の配線層 7 2 のいずれかに電氣的に接合されている。複数のホルダ 7 4 の各々の厚さ方向 z の上端は、封止樹脂 5 0 から露出している。ホルダ接合層 7 9 は、導電性を有する。ホルダ接合層 7 9 は、たとえば鉛フリーハンダである。

10

【 0 0 8 5 】

図 3 2 および図 3 6 に示すように、複数の被覆層 7 5 は、複数のホルダ 7 4 の厚さ方向 z の上端に対して個別に覆っている。複数の被覆層 7 5 は、後述する封止樹脂 5 0 の第 2 凸部 5 8 に対して個別に接して配置されている。複数の被覆層 7 5 の各々は、電気絶縁性を有する。複数の被覆層 7 5 の各々は、合成樹脂を含む材料からなる。

【 0 0 8 6 】

半導体装置 A 2 0 においては、図 1 9 ~ 図 2 1 に示すように、第 1 ゲート端子 1 6 1、第 2 ゲート端子 1 6 2、第 1 検出端子 1 7 1、第 2 検出端子 1 7 2、一对の第 1 ダイオード端子 1 8 1、および一对の第 2 ダイオード端子 1 8 2 の各々は、厚さ方向 z に延びる金属ピンからなる。これらの端子は、一对の制御配線 7 0 の複数のホルダ 7 4 に対して個別に圧入されている。これにより、これらの端子は、複数のホルダ 7 4 に対して個別に支持されている。さらに、図 2 9、図 3 0 および図 3 6 に示すように、これらの端子の各々の一部は、制御配線 7 0 の複数の被覆層 7 5 のいずれかに覆われている。

20

【 0 0 8 7 】

第 1 ゲート端子 1 6 1 は、図 2 4 に示すように、複数のホルダ 7 4 のうち、第 1 配線 7 0 A の第 1 配線層 7 2 1 に接合された当該ホルダ 7 4 に圧入されている。これにより、第 1 ゲート端子 1 6 1 は、当該ホルダ 7 4 に支持されるとともに、第 1 配線 7 0 A の第 1 配線層 7 2 1 に導通している。

30

【 0 0 8 8 】

第 1 検出端子 1 7 1 は、図 2 4 および図 3 3 に示すように、複数のホルダ 7 4 のうち、第 1 配線 7 0 A の第 2 配線層 7 2 2 に接合された当該ホルダ 7 4 に圧入されている。これにより、第 1 検出端子 1 7 1 は、当該ホルダ 7 4 に支持されるとともに、第 1 配線 7 0 A の第 2 配線層 7 2 2 に導通している。

【 0 0 8 9 】

一对の第 1 ダイオード端子 1 8 1 は、図 2 4 に示すように、複数のホルダ 7 4 のうち、第 1 配線 7 0 A の一对の第 3 配線層 7 2 3 に接合された当該一对のホルダ 7 4 に対して個別に圧入されている。これにより、一对の第 1 ダイオード端子 1 8 1 は、当該一对のホルダ 7 4 に支持されるとともに、第 1 配線 7 0 A の一对の第 3 配線層 7 2 3 に個別に導通している。

40

【 0 0 9 0 】

第 2 ゲート端子 1 6 2 は、図 2 5 および図 3 6 に示すように、複数のホルダ 7 4 のうち、第 2 配線 7 0 B の第 1 配線層 7 2 1 に接合された当該ホルダ 7 4 に圧入されている。これにより、第 2 ゲート端子 1 6 2 は、当該ホルダ 7 4 に支持されるとともに、第 2 配線 7 0 B の第 1 配線層 7 2 1 に導通している。

【 0 0 9 1 】

第 2 検出端子 1 7 2 は、図 2 5 および図 3 6 に示すように、複数のホルダ 7 4 のうち、第 2 配線 7 0 B の第 2 配線層 7 2 2 に接合された当該ホルダ 7 4 に圧入されている。これ

50

により、第2検出端子172は、当該ホルダ74に支持されるとともに、第2配線70Bの第2配線層722に導通している。

【0092】

一对の第2ダイオード端子182は、図25および図36に示すように、複数のホルダ74のうち、第2配線70Bの一对の第3配線層723に接合された当該一对のホルダ74に対して個別に圧入されている。これにより、一对の第2ダイオード端子182は、当該一对のホルダ74に支持されるとともに、第2配線70Bの一对の第3配線層723に個別に導通している。

【0093】

複数のゲートワイヤ41は、図25に示すように、複数のスイッチング素子21の第3電極213と、第1配線70Aの第1配線層721、および第2配線70Bの第1配線層721とに、個別かつ電氣的に接合されている。これにより、第1ゲート端子161は、一对の第1素子21Aの第3電極213、および第3素子21Cの第3電極213に導通している。第2ゲート端子162は、一对の第2素子21Bの第3電極213、および第4素子21Dの第3電極213に導通している。

10

【0094】

複数の検出ワイヤ42は、図25に示すように、一对の第1素子21Aの第2電極212、一对の第2素子21Bの第2電極212、第3素子21Cの第4電極214、および第4素子21Dの第4電極214と、第1配線70Aの第2配線層722、および第2配線70Bの第2配線層722とに、個別かつ電氣的に接合されている。これにより、第1検出端子171は、一对の第1素子21Aの第2電極212、および第3素子21Cの第4電極214に導通している。第2検出端子172は、一对の第2素子21Bの第2電極212、および第4素子21Dの第4電極214に導通している。

20

【0095】

複数のダイオードワイヤ43は、図25に示すように、第3素子21Cの一对の第5電極215、および第4素子21Dの一对の第5電極215と、第1配線70Aの一对の第3配線層723、および第2配線70Bの一对の第3配線層723とに、個別かつ電氣的に接合されている。これにより、一对の第1ダイオード端子181は、第3素子21Cの一对の第5電極215に個別に導通している。一对の第2ダイオード端子182は、第4素子21Dの一对の第5電極215に個別に導通している。複数のダイオードワイヤ43の各々は、金を含有する。この他、複数のダイオードワイヤ43の各々は、銅を含有する場合や、アルミニウムを含有する場合でもよい。

30

【0096】

第1導電部材31は、図25に示すように、一对の第1素子21Aの第2電極212と、第3素子21Cの第2電極212と、第2導電板12の第2主面121とに電氣的に接合されている。これにより、一对の第1素子21Aの第2電極212と、第3素子21Cの第2電極212とは、これらが相互に導通された状態で第2導電板12に導通している。

【0097】

半導体装置A20においては、図25、図26および図33に示すように、複数の第1接合部312は、一对の第1素子21Aの第2電極212、および第3素子21Cの第2電極212に対して個別かつ電氣的に接合されている。複数の第1接合部312の各々は、一对の第1素子21Aの第2電極212、および第3素子21Cの第2電極212のいずれかに対向している。

40

【0098】

半導体装置A20においては、図25に示すように、第1導電部材31の第1連結部313は、複数の連結領域313A(図25では3つの連結領域313A)を含む。複数の連結領域313Aは、第2方向yにおいて互いに離れて位置する。複数の連結領域313Aは、第1導電部材31の複数の第1接合部312に対して個別につながっている。図32に示すように、第2方向yに沿って見て、複数の連結領域313Aの各々は、複数の第1接合部312のいずれかから第1導電部材31の本体部311に向かうほど、第1導電

50

板 1 1 の第 1 主面 1 1 1 から離れる向きに傾斜している。第 2 方向 y に沿って見て、複数の第 1 接合部 3 1 2 の各々に対して当該第 1 接合部 3 1 2 につながる複数の連結領域 3 1 3 A のいずれかがなす鋭角（図 3 3 参照）の大きさは、30°以上60°以下である。

【0099】

第 2 導電部材 3 2 は、図 2 4 に示すように、一对の第 2 素子 2 1 B の第 2 電極 2 1 2 と、第 4 素子 2 1 D の第 2 電極 2 1 2 と、第 2 入力端子 1 5 の被覆部 1 5 A とに接合されている。これにより、一对の第 2 素子 2 1 B の第 2 電極 2 1 2 と、第 4 素子 2 1 D の第 2 電極 2 1 2 とは、これらが相互に導通された状態で第 2 入力端子 1 5 に導通している。半導体装置 A 2 0 においては、図 2 4 に示すように、第 2 導電部材 3 2 は、一对の本体部 3 2 1、複数の第 3 接合部 3 2 2、複数の第 3 連結部 3 2 3、一对の第 4 接合部 3 2 4、一对の第 4 連結部 3 2 5、一对の中間部 3 2 6、および複数の横梁部 3 2 7 を有する。

10

【0100】

図 2 4 に示すように、一对の本体部 3 2 1 は、第 2 方向 y において互いに離れて位置する。一对の本体部 3 2 1 の各々は、第 1 方向 x に沿って延びている。図 3 1 に示すように、一对の本体部 3 2 1 の各々は、第 1 導電板 1 1 の第 1 主面 1 1 1、および第 2 導電板 1 2 の第 2 主面 1 2 1 の双方に対して平行である。一对の本体部 3 2 1 は、第 1 導電部材 3 1 の本体部 3 1 1 よりも第 1 主面 1 1 1 および第 2 主面 1 2 1 の双方から離れて位置する。

【0101】

図 2 4 に示すように、一对の中間部 3 2 6 は、第 2 方向 y において互いに離れて位置するとともに、第 2 方向 y において一对の本体部 3 2 1 の間に位置する。一对の中間部 3 2 6 の各々は、第 1 方向 x に沿って延びている。一对の中間部 3 2 6 の各々の第 1 方向 x の寸法は、一对の本体部 3 2 1 の各々の第 1 方向 x の寸法よりも小である。厚さ方向 z に沿って見て、一对の中間部 3 2 6 のうち一方の中間部 3 2 6 の第 2 方向 y の両側に、一对の第 2 素子 2 1 B が位置する。厚さ方向 z に沿って見て、一对の中間部 3 2 6 のうち他方の中間部 3 2 6 の第 2 方向 y の両側に、一对の第 2 素子 2 1 B のいずれかと、第 4 素子 2 1 D とが位置する。

20

【0102】

図 2 4 に示すように、複数の第 3 接合部 3 2 2 は、一对の第 2 素子 2 1 B の第 2 電極 2 1 2、および第 4 素子 2 1 D の第 2 電極 2 1 2 に対して個別かつ電氣的に接合されている。複数の第 3 接合部 3 2 2 の各々は、一对の第 2 素子 2 1 B の第 2 電極 2 1 2、および第 4 素子 2 1 D の第 2 電極 2 1 2 のいずれかに対向している。

30

【0103】

図 2 4 および図 3 5 に示すように、複数の第 3 連結部 3 2 3 のうち一对の当該第 3 連結部 3 2 3 は、複数の第 3 接合部 3 2 2 のいずれかの第 2 方向 y の両端につながっている。一对の当該第 3 連結部 3 2 3 は、一对の中間部 3 2 6 に、または一对の中間部 3 2 6 のいずれか、および一对の本体部 3 2 1 のいずれかにつながっている。第 1 方向 x に沿って見て、複数の第 3 連結部 3 2 3 の各々は、複数の第 3 接合部 3 2 2 のいずれかから、一对の本体部 3 2 1 のいずれか、または一对の中間部 3 2 6 のいずれかに向かうほど、第 2 導電板 1 2 の第 2 主面 1 2 1 から離れる向きに傾斜している。

【0104】

40

図 2 4 および図 3 1 に示すように、一对の第 4 接合部 3 2 4 は、第 2 入力端子 1 5 の被覆部 1 5 A の一对の領域に対して、個別かつ電氣的に接合されている。一对の第 4 接合部 3 2 4 の各々は、被覆部 1 5 A の当該一对の領域のいずれかに対向している。

【0105】

図 2 4 および図 3 1 に示すように、一对の第 4 連結部 3 2 5 は、一对の本体部 3 2 1 と、一对の第 4 接合部 3 2 4 とを個別につないでいる。第 2 方向 y に沿って見て、一对の第 4 連結部 3 2 5 の各々は、一对の第 4 接合部 3 2 4 のいずれかから一对の本体部 3 2 1 のいずれかに向かうほど、第 1 導電板 1 1 の第 1 主面 1 1 1 から離れる向きに傾斜している。

【0106】

図 2 4 および図 3 4 に示すように、複数の横梁部 3 2 7 は、第 2 方向 y に沿って配列さ

50

れている。厚さ方向 $z$ に沿って視て、複数の横梁部327は、第1導電部材31の複数の第1接合部312に対して個別に重なる領域を含む。複数の横梁部327の各々の第2方向 $y$ の両端は、一对の中間部326に、または一对の中間部326のいずれか、および一对の本体部321のいずれかにつながっている。第1方向 $x$ に沿って視て、複数の横梁部327の各々は、厚さ方向 $z$ のうち第1導電板11の第1主面111が向く側に凸状をなしている。

【0107】

半導体装置A20においては、図22、および図27～図30に示すように、封止樹脂50は、頂面51、底面52、一对の第1側面53、一对の第2側面54、複数の凹部55、および溝部56の他に、複数の第1凸部57、および複数の第2凸部58をさらに有する。

10

【0108】

図27、図29および図30に示すように、複数の第1凸部57は、頂面51から厚さ方向 $z$ に向けて突出している。図22に示すように、厚さ方向 $z$ に沿って視て、複数の第1凸部57は、封止樹脂50の四隅に配置されている。複数の第1凸部57の各々の外形は、円錐台状である。図22および図31に示すように、複数の第1凸部57の各々は、取付け孔571を有する。複数の第1凸部57の各々の取付け孔571は、当該取付け孔571を厚さ方向 $z$ に貫通していない。複数の第1凸部57は、半導体装置A20にドライバモジュールを搭載する際に利用される。当該ドライバモジュールは、半導体装置A20の駆動および制御を担う。

20

【0109】

図27、図29および図30に示すように、複数の第2凸部58は、頂面51から厚さ方向 $z$ に向けて突出している。図22に示すように、複数の第2凸部58は、第1ゲート端子161、第2ゲート端子162、第1検出端子171、第2検出端子172、一对の第1ダイオード端子181、および一对の第2ダイオード端子182に対して個別に配置されている。図32および図36に示すように、複数の第2凸部58の各々は、一对の制御配線70の複数のホルダ74のいずれかの一部を覆っている。複数の第2凸部58の各々から、複数のホルダ74のいずれかの厚さ方向 $z$ の上端が露出している。

【0110】

半導体装置A20においては、図29および図30に示すように、一对の第1側面53のうち一方の当該第1側面53から、第1入力端子13の露出部13B、および第2入力端子15の露出部15Bが露出している。一对の第1側面53のうち他方の当該第1側面53から、出力端子14の露出部14Bが露出している。

30

【0111】

半導体装置A20においては、図22、図28および図29に示すように、複数の凹部55は、一对の第1側面53のうち第1入力端子13の露出部13B、および第2入力端子15の露出部15Bが露出する当該第1側面53から第1方向 $x$ に向けて凹むとともに、厚さ方向 $z$ において頂面51から底面52に至っている。第2方向 $y$ において、複数の凹部55は、第1入力端子13の第2方向 $y$ の両側に位置する。複数の凹部55により、第1入力端子13および第2入力端子15にかかる封止樹脂50の沿面距離がより長く確保される。このことは、半導体装置A20の絶縁耐圧の向上を図る上で好適である。

40

【0112】

半導体装置A20においては、図27、図28、図31および図32に示すように、溝部56は、底面52から厚さ方向 $z$ に凹むとともに、第2方向 $y$ に沿って延びている。溝部56の第2方向 $y$ の両端は、一对の第2側面54につながっている。溝部56は、第1方向 $x$ において互いに離れて位置する一对の領域を含む。第1方向 $x$ において、当該一对の領域の間に支持基板60の第2金属層63が位置する。溝部56により、第1入力端子13および第2入力端子15と、出力端子14とにかかる封止樹脂50の沿面距離がより長く確保される。このことは、半導体装置A20の絶縁耐圧の向上を図る上で好適である。

【0113】

50

次に、半導体装置 A 2 0 の作用効果について説明する。

【 0 1 1 4 】

半導体装置 A 2 0 は、複数の半導体素子 2 0 の電極（半導体装置 A 2 0 では一对の第 1 素子 2 1 A の第 2 電極 2 1 2、および第 4 素子 2 1 D の第 2 電極 2 1 2）と、第 2 導電板 1 2 の第 2 主面 1 2 1 と、の各々に電氣的に接合された導電部材（第 1 導電部材 3 1）を備える。導電部材は、本体部 3 1 1、複数の第 1 接合部 3 1 2、第 1 連結部 3 1 3、第 2 接合部 3 1 4 および第 3 接合層 3 5 を有する。複数の第 1 接合部 3 1 2 は、複数の半導体素子 2 0 の電極に対して個別かつ電氣的に接合されている。第 2 接合部 3 1 4 は、第 2 主面 1 2 1 に電氣的に接合されている。導電部材のこれらの部分の接合は、一括的なものとなっている。したがって、半導体装置 A 2 0 によっても、より大きな電流に対応しつつ、半導体装置 A 2 0 の製造効率の向上を図ることが可能となる。

10

【 0 1 1 5 】

半導体装置 A 2 0 においては、第 1 導電部材 3 1 の第 1 連結部 3 1 3 は、第 2 方向 y において互いに離れて位置する複数の連結領域 3 1 3 A を含む。複数の連結領域 3 1 3 A は、第 1 導電部材 3 1 の複数の第 1 接合部 3 1 2 に対して個別につながっている。さらに、第 2 方向 y に沿って視て、複数の連結領域 3 1 3 A の各々は、複数の第 1 接合部 3 1 2 のいずれかから第 1 導電部材 3 1 の本体部 3 1 1 に向かうほど、第 1 導電板 1 1 の第 1 主面 1 1 1 から離れる向きに傾斜している。これにより、複数の第 1 接合層 3 3 の各々には、複数の半導体素子 2 0 のいずれかの電極の第 1 方向 x の一方に位置するフレットが形成されやすくなる。さらに、複数の連結領域 3 1 3 A の各々と本体部 3 1 1 との境界を含み、かつ第 1 方向 x とを面外方向とする第 1 導電部材 3 1 の断面において、当該断面の断面二次モーメントがより小となるため、本体部 3 1 1 に対する第 1 連結部 3 1 3 の曲げ加工がより容易なものとする事ができる。

20

【 0 1 1 6 】

本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

【 0 1 1 7 】

本開示は、以下の付記に記載された構成を含む。

付記 1 .

厚さ方向を向く第 1 主面を有する第 1 導電板と、

30

前記厚さ方向において前記第 1 主面と同じ側を向く第 2 主面を有するとともに、前記厚さ方向に対して直交する第 1 方向において前記第 1 導電板から離れて位置する第 2 導電板と、

前記厚さ方向において前記第 1 主面が向く側に設けられた電極を有するとともに、前記第 1 主面に接合された複数の半導体素子と、

前記複数の半導体素子の前記電極と、前記第 2 主面と、の各々に電氣的に接合された導電部材と、を備え、

前記導電部材は、本体部と、前記複数の半導体素子の前記電極に対して個別かつ電氣的に接合された複数の第 1 接合部と、前記第 2 主面に電氣的に接合された第 2 接合部と、前記本体部、および前記複数の第 1 接合部をつなぐ第 1 連結部と、前記本体部および前記第 2 接合部をつなぐ第 2 連結部と、を有する、半導体装置。

40

付記 2 .

前記複数の第 1 接合部の各々は、前記厚さ方向に沿って視て前記複数の半導体素子のいずれかの前記電極に重なる重複領域を含み、

前記厚さ方向に沿って視て、前記重複領域の面積は、前記複数の半導体素子の各々の前記電極の面積の 7 0 % 以上である、付記 1 に記載の半導体装置。

付記 3 .

前記厚さ方向に沿って視て、前記本体部の少なくとも一部が前記第 1 主面に重なっている、付記 2 に記載の半導体装置。

付記 4 .

50

前記複数の半導体素子は、前記厚さ方向および前記第 1 方向の双方に対して直交する第 2 方向に沿って配列され、

前記本体部は、前記第 2 方向に沿って延びている、付記 2 または 3 に記載の半導体装置。  
付記 5 .

前記第 1 連結部は、前記第 2 方向において互いに離れて位置する複数の連結領域を含み、前記複数の連結領域は、前記複数の第 1 接合部に対して個別につながっている、付記 4 に記載の半導体装置。

付記 6 .

前記第 2 方向に沿って視て、前記複数の連結領域の各々は、前記複数の第 1 接合部のいずれかから前記本体部に向かうほど、前記第 1 主面から離れる向きに傾斜している、付記 5 に記載の半導体装置。

10

付記 7 .

前記第 2 方向に沿って視て、前記複数の第 1 接合部の各々に対して当該第 1 接合部につながる複数の連結領域のいずれかがなす鋭角の大きさは、 $30^\circ$  以上  $60^\circ$  以下である、付記 6 に記載の半導体装置。

付記 8 .

導電性を有するとともに、前記複数の第 1 接合部と、前記複数の半導体素子の前記電極と、を個別かつ電気的に接合する複数の第 1 接合層をさらに備え、

前記厚さ方向に沿って視て、前記複数の第 1 接合層の各々は、前記複数の第 1 接合部のいずれかの前記重複領域よりも外方にはみ出した部分を含む、付記 2 ないし 7 のいずれかに記載の半導体装置。

20

付記 9 .

前記複数の第 1 接合層は、錫を含有する、付記 8 に記載の半導体装置。

付記 10 .

前記複数の第 1 接合部の各々の厚さは、当該第 1 接合部に接する前記複数の第 1 接合層のいずれかの最大厚さの 2 倍以下である、付記 9 に記載の半導体装置。

付記 11 .

前記複数の第 1 接合層の各々の最大厚さは、 $100\ \mu\text{m}$  以上である、付記 10 に記載の半導体装置。

付記 12 .

30

前記複数の第 1 接合部の各々は、前記厚さ方向に貫通する開口を有し、

前記開口を規定する当該第 1 接合部の内周面に、前記複数の第 1 接合層のいずれかが接している、付記 8 ないし 11 のいずれかに記載の半導体装置。

付記 13 .

導電性を有するとともに、前記第 2 接合部と前記第 2 主面とを電気的に接合する第 2 接合層をさらに備え、

前記第 2 接合層は、前記複数の第 1 接合層と同一の材料からなる、付記 8 ないし 12 のいずれかに記載の半導体装置。

付記 14 .

前記第 1 導電板、前記第 2 導電板および前記導電部材の各々は、いずれも銅を含有する、付記 1 ないし 13 のいずれかに記載の半導体装置。

40

付記 15 .

前記第 1 導電板および前記第 2 導電板の各々の厚さは、前記導電部材の最大厚さよりも大である、付記 1 ないし 14 のいずれかに記載の半導体装置。

付記 16 .

前記第 2 主面の面内方向に沿って視て、前記第 2 連結部は、前記第 2 接合部から前記本体部に向かうほど、前記第 2 主面から離れる向きに傾斜している、付記 1 ないし 15 のいずれかに記載の半導体装置。

付記 17 .

前記複数の半導体素子、および前記導電部材を覆う封止樹脂をさらに備え、

50

前記封止樹脂は、前記第 1 主面および前記第 2 主面に接している、付記 1 ないし 1 6 のいずれかに記載の半導体装置。

付記 1 8 .

前記第 1 導電板は、前記厚さ方向において前記第 1 主面とは反対側を向く第 1 裏面を有し、

前記第 2 導電板は、前記厚さ方向において前記第 2 主面とは反対側を向く第 2 裏面を有し、

前記封止樹脂から前記第 1 裏面および前記第 2 裏面が露出している、付記 1 7 に記載の半導体装置。

付記 1 9 .

前記複数の半導体素子の少なくともいずれかは、化合物半導体基板を含む、付記 1 ないし 1 8 のいずれかに記載の半導体装置。

付記 2 0 .

前記化合物半導体基板は、炭化ケイ素を含有する、付記 1 9 に記載の半導体装置。

#### 【符号の説明】

#### 【 0 1 1 8 】

A 1 0 , A 2 0 : 半導体装置	1 1 : 第 1 導電板	
1 1 1 : 第 1 主面	1 1 2 : 第 1 裏面	
1 2 : 第 2 導電板	1 2 1 : 第 2 主面	
1 2 2 : 第 2 裏面	1 3 : 第 1 入力端子	20
1 3 A : 被覆部	1 3 B : 露出部	
1 4 : 出力端子	1 4 A : 被覆部	
1 4 B : 露出部	1 5 : 第 2 入力端子	
1 5 A : 被覆部	1 5 B : 露出部	
1 6 1 : 第 1 ゲート端子	1 6 1 A : 被覆部	
1 6 1 B : 露出部	1 6 2 : 第 2 ゲート端子	
1 6 2 A : 被覆部	1 6 2 B : 露出部	
1 7 1 : 第 1 検出端子	1 7 1 A : 被覆部	
1 7 1 B : 露出部	1 7 2 : 第 2 検出端子	
1 7 2 A : 被覆部	1 7 2 B : 露出部	30
1 8 1 : 第 1 ダイオード端子	1 8 2 : 第 2 ダイオード端子	
2 0 : 半導体素子	2 1 : スイッチング素子	
2 1 A : 第 1 素子	2 1 B : 第 2 素子	
2 1 C : 第 3 素子	2 1 D : 第 4 素子	
2 1 1 : 第 1 電極	2 1 2 : 第 2 電極	
2 1 3 : 第 3 電極	2 1 4 : 第 4 電極	
2 1 5 : 第 5 電極	2 2 : 保護素子	
2 2 A : 第 1 ダイオード	2 2 B : 第 2 ダイオード	
2 2 1 : 上面電極	2 2 2 : 下面電極	
2 3 : ダイボンディング層	3 1 : 第 1 導電部材	40
3 1 1 : 本体部	3 1 2 : 第 1 接合部	
3 1 2 A : 開口	3 1 2 B : 重複領域	
3 1 3 : 第 1 連結部	3 1 3 A : 連結領域	
3 1 4 : 第 2 接合部	3 1 5 : 第 2 連結部	
3 2 : 第 2 導電部材	3 2 1 : 本体部	
3 2 2 : 第 3 接合部	3 2 2 A : 開口	
3 2 3 : 第 3 連結部	3 2 4 : 第 4 接合部	
3 2 5 : 第 4 連結部	3 2 6 : 中間部	
3 2 7 : 横梁部	3 3 : 第 1 接合層	
3 4 : 第 2 接合層	3 5 : 第 3 接合層	50

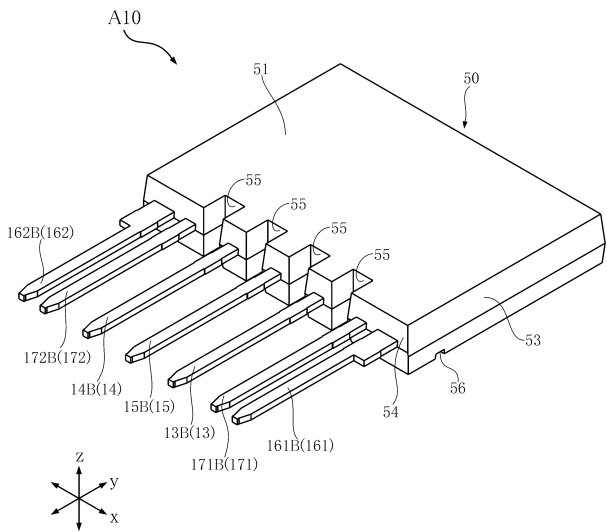
- 36 : 第4 接合層      41 : ゲートワイヤ
- 42 : 検出ワイヤ    43 : ダイオードワイヤ
- 50 : 封止樹脂      51 : 頂面
- 52 : 底面      53 : 第1 側面
- 54 : 第2 側面      55 : 凹部
- 56 : 溝部      57 : 第1 凸部
- 571 : 取付け孔    58 : 第2 凸部
- 60 : 支持基板      61 : 絶縁層
- 62 : 第1 金属層    63 : 第2 金属層
- 69 : 接合層      70 : 制御配線
- 70A : 第1 配線    70B : 第2 配線
- 71 : 絶縁層      72 : 配線層
- 721 : 第1 配線層    722 : 第2 配線層
- 723 : 第3 配線層    73 : 金属層
- 74 : ホルダ      75 : 被覆層
- 78 : 接合層      79 : ホルダ接合層
- z : 厚さ方向      x : 第1 方向      y : 第2 方向

10

【 図面 】

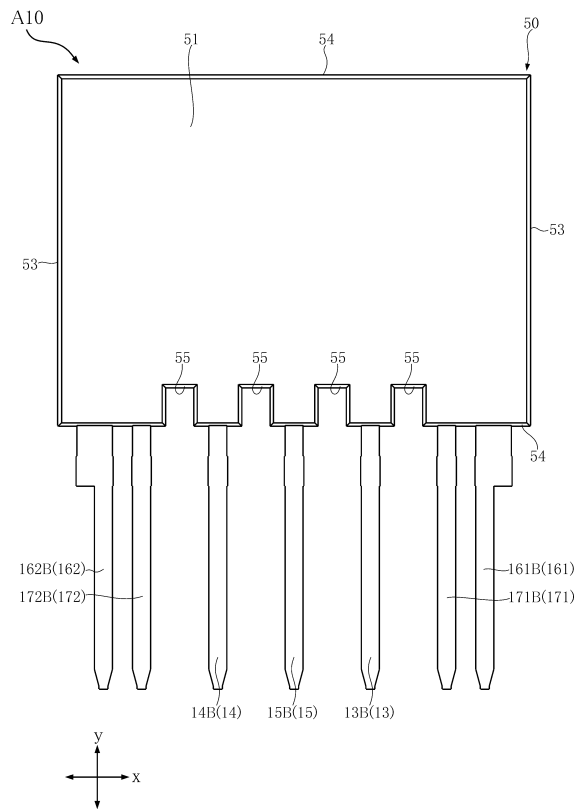
【 図 1 】

FIG.1



【 図 2 】

FIG.2



20

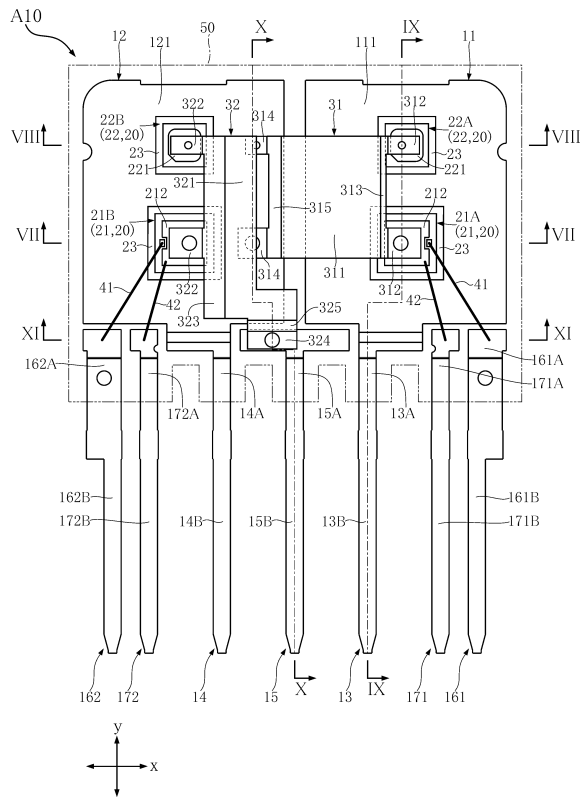
30

40

50

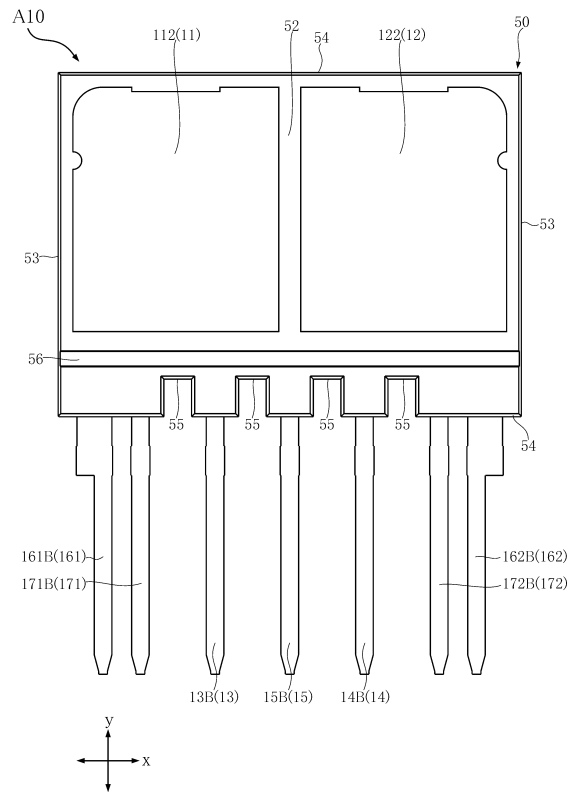
【図3】

FIG.3



【図4】

FIG.4

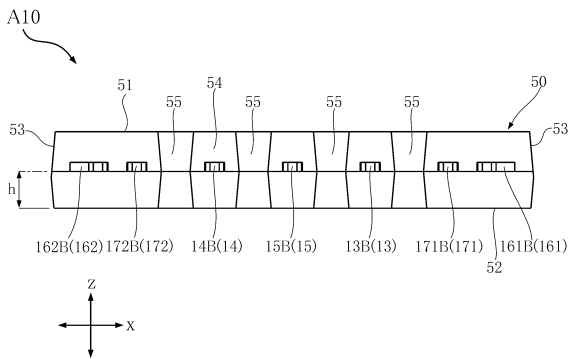


10

20

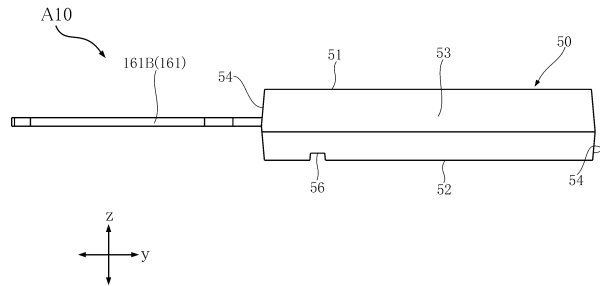
【図5】

FIG.5



【図6】

FIG.6



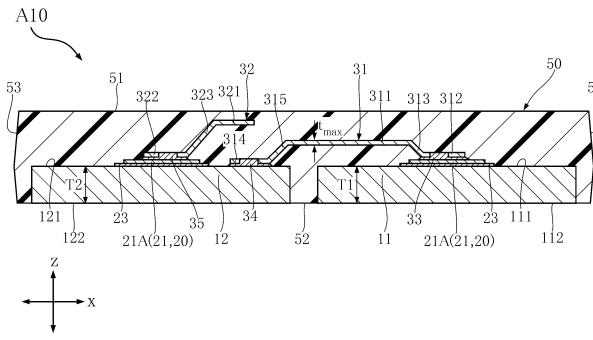
30

40

50

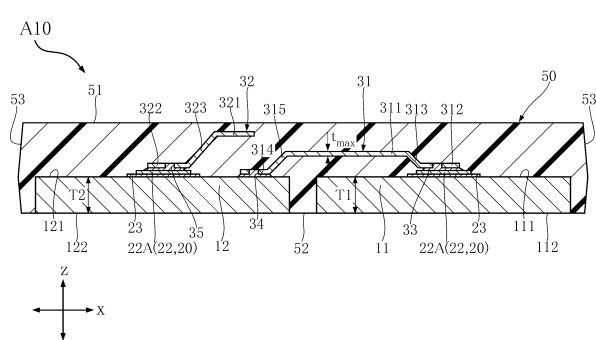
【 図 7 】

FIG.7



【 図 8 】

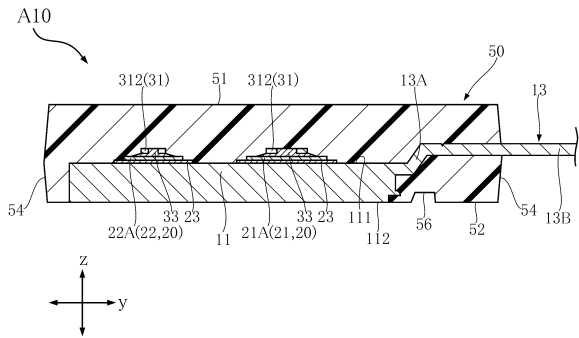
FIG.8



10

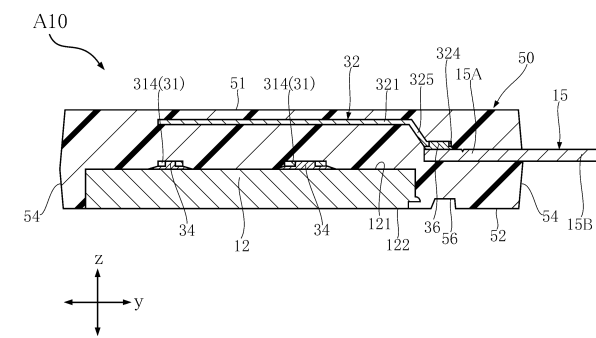
【 図 9 】

FIG.9



【 図 10 】

FIG.10



20

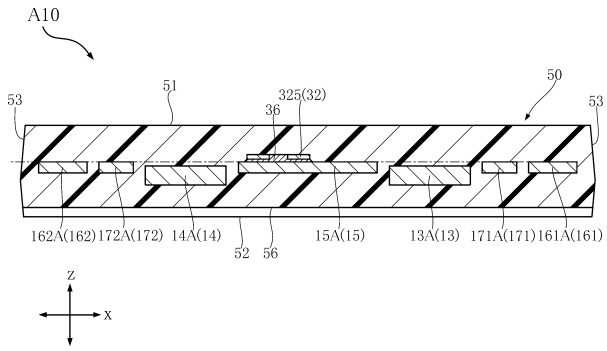
30

40

50

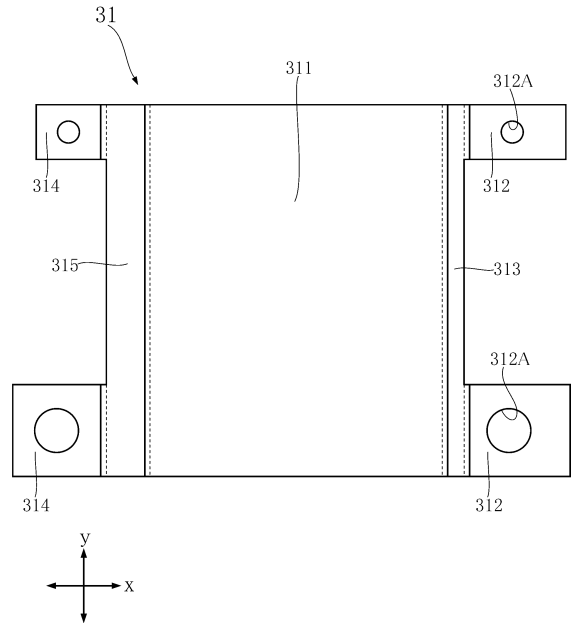
【図 1 1】

FIG.11



【図 1 2】

FIG.12

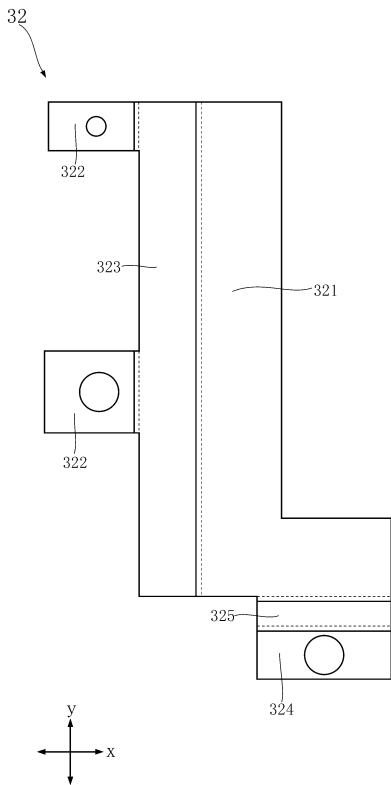


10

20

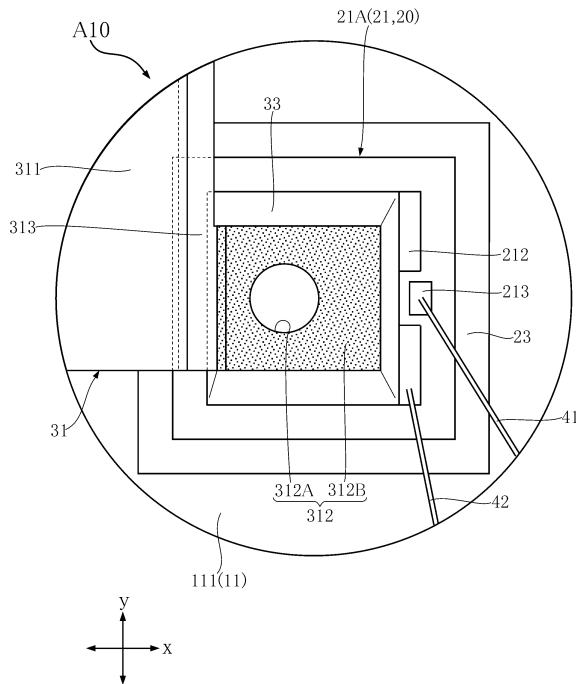
【図 1 3】

FIG.13



【図 1 4】

FIG.14

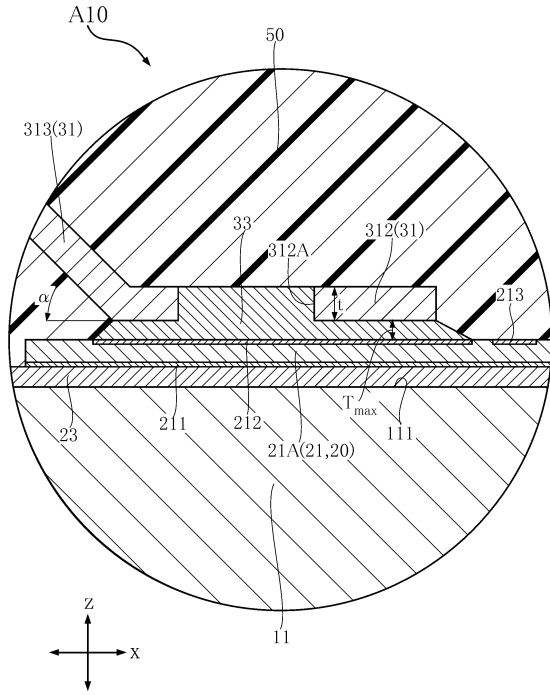


30

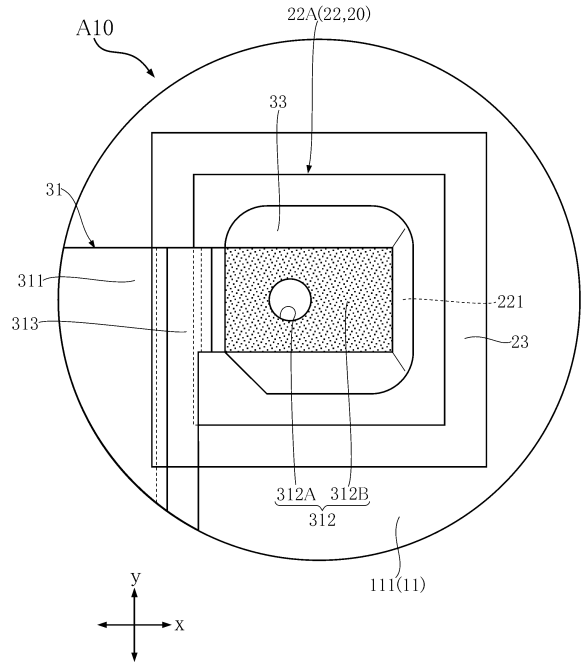
40

50

【図15】  
FIG.15



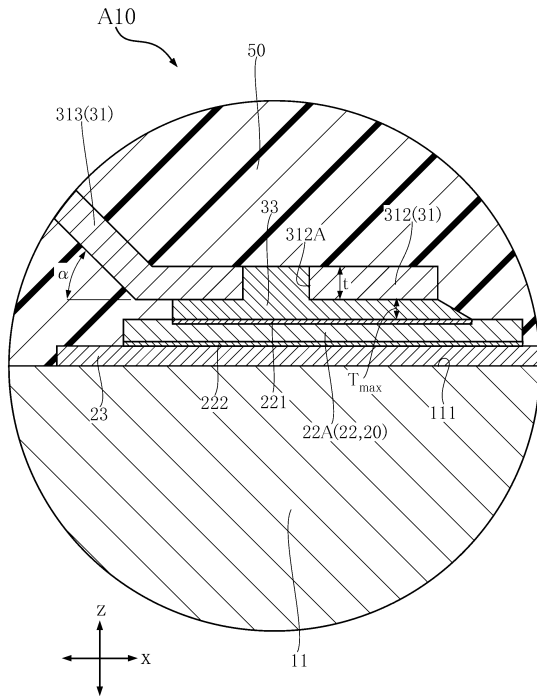
【図16】  
FIG.16



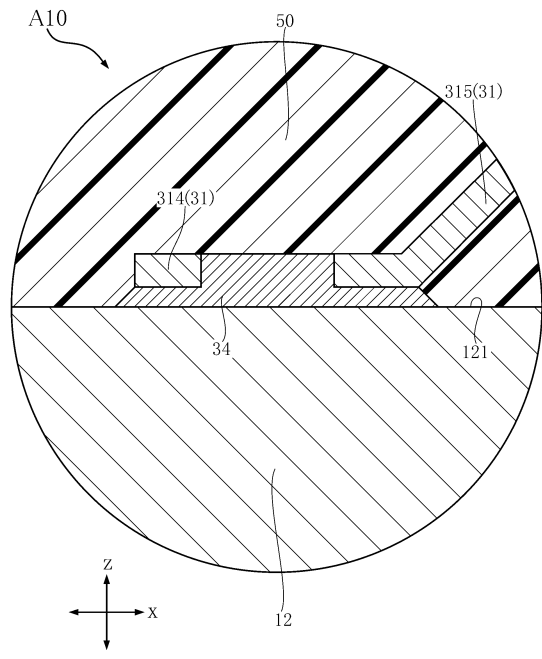
10

20

【図17】  
FIG.17



【図18】  
FIG.18

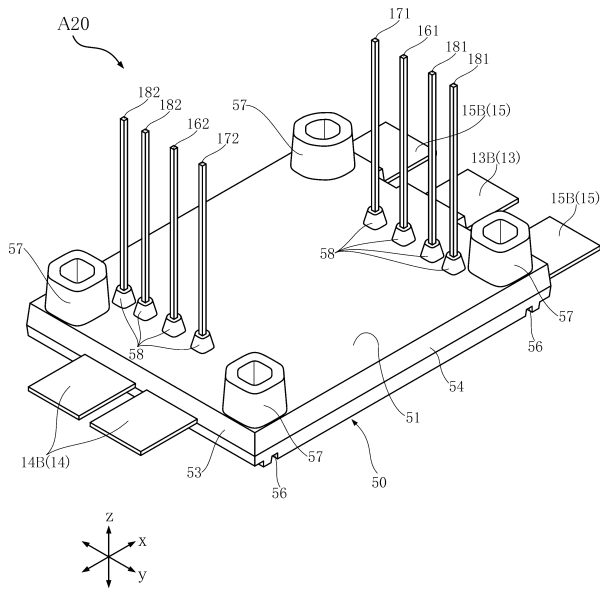


30

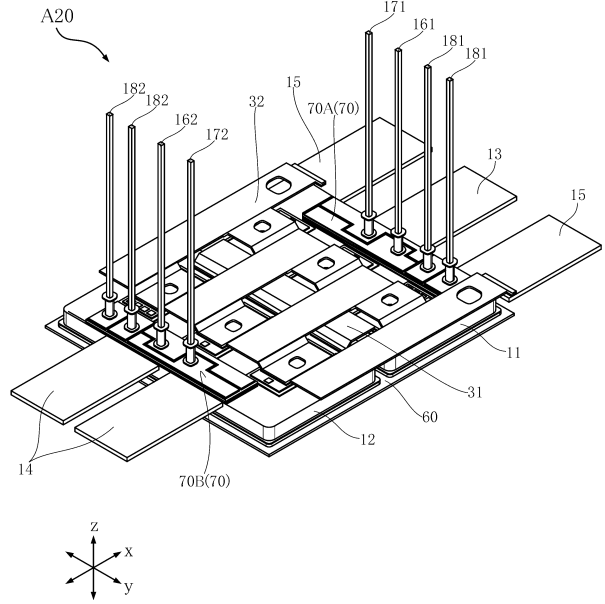
40

50

【 19 】  
FIG.19



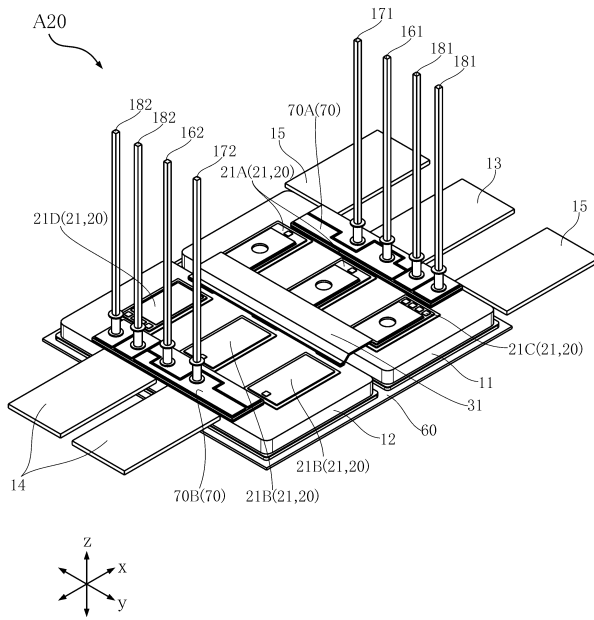
【 20 】  
FIG.20



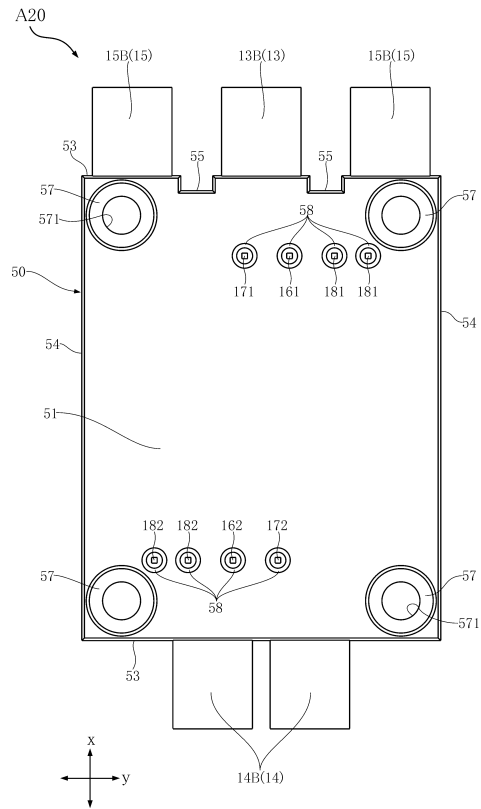
10

20

【 21 】  
FIG.21



【 22 】  
FIG.22



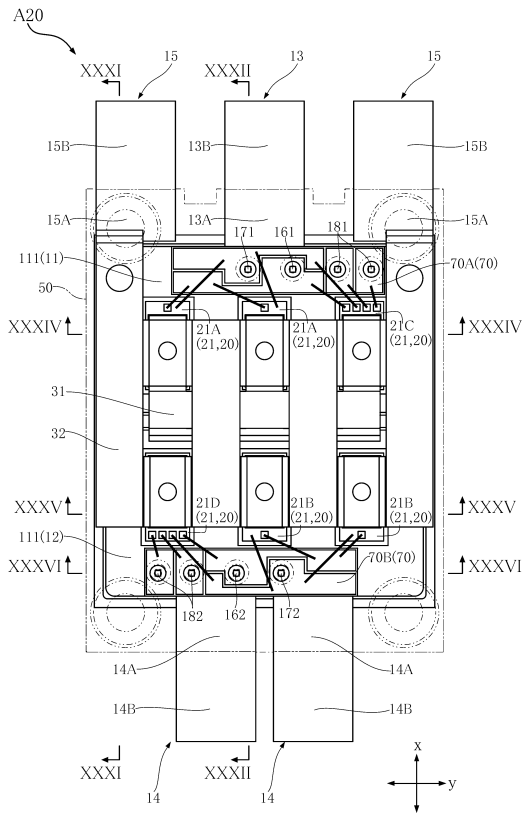
30

40

50

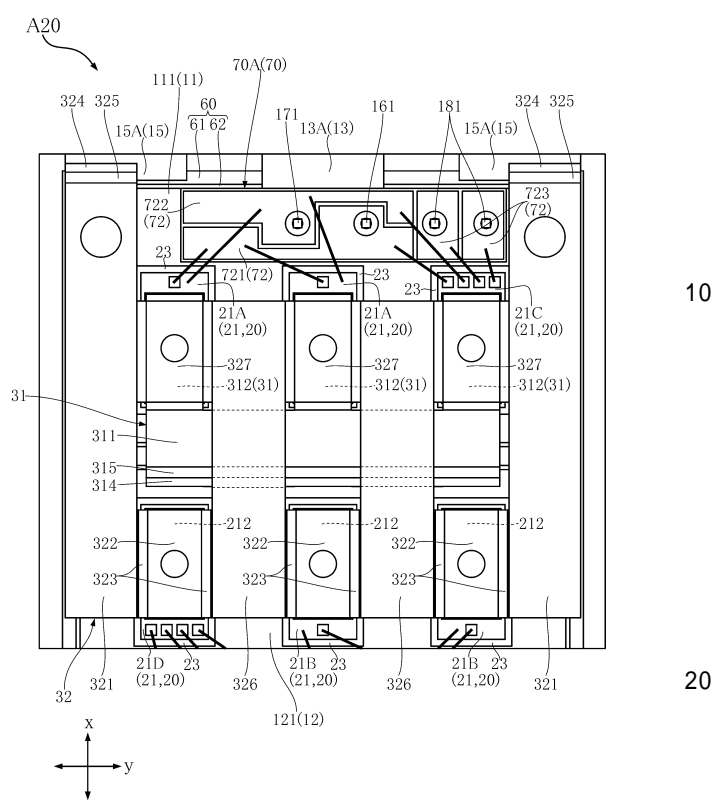
【図23】

FIG.23



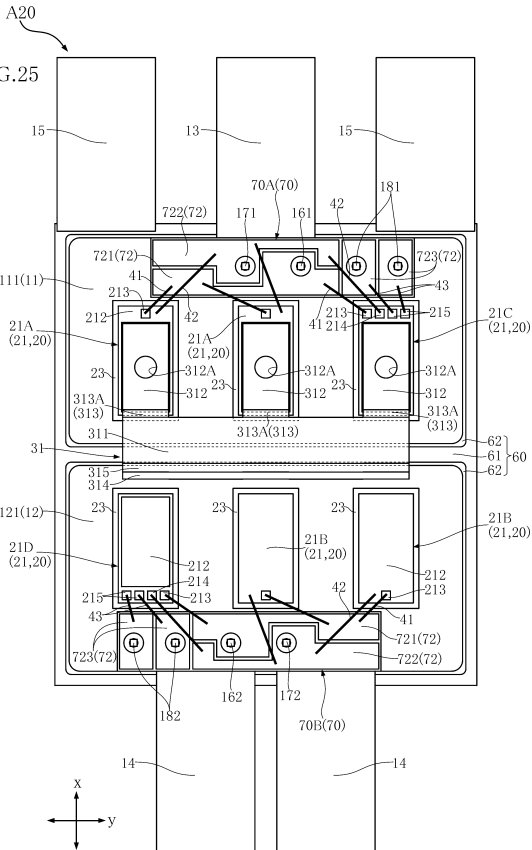
【図24】

FIG.24



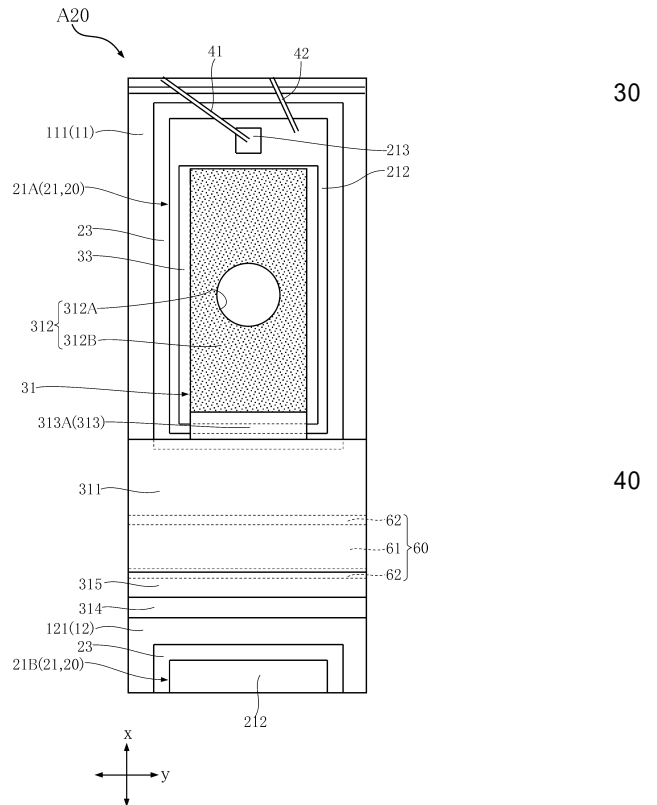
【図25】

FIG.25



【図26】

FIG.26



10

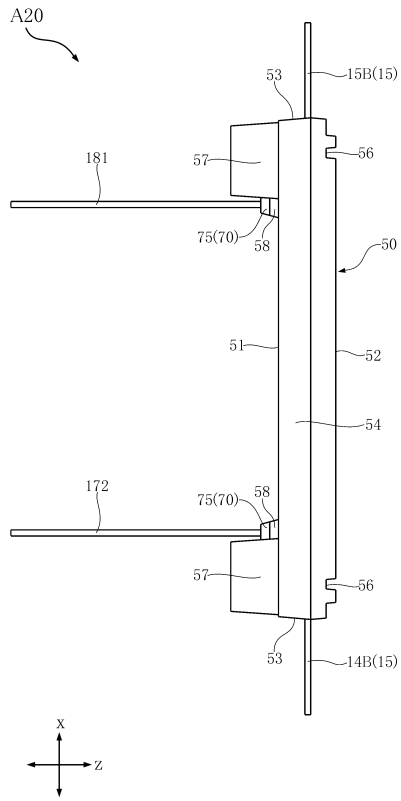
20

30

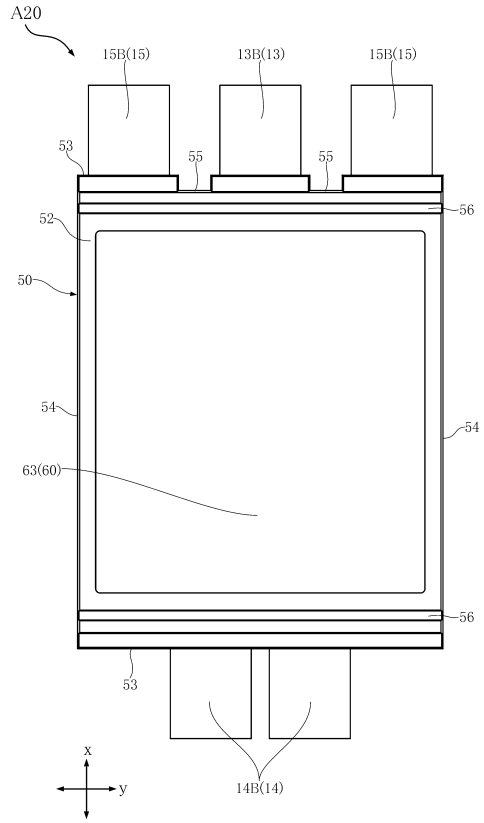
40

50

【 図 2 7 】  
FIG.27



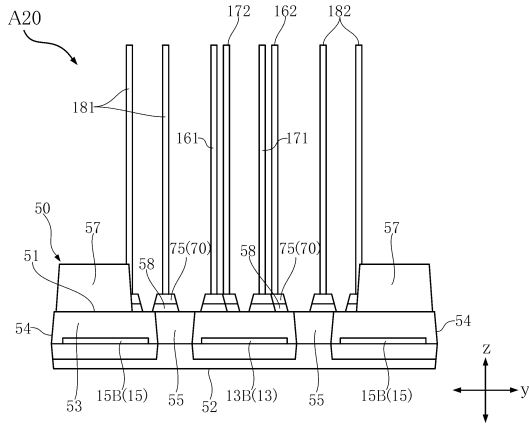
【 図 2 8 】  
FIG.28



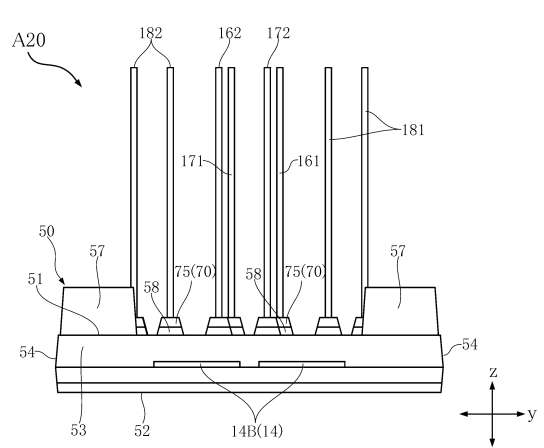
10

20

【 図 2 9 】  
FIG.29



【 図 3 0 】  
FIG.30



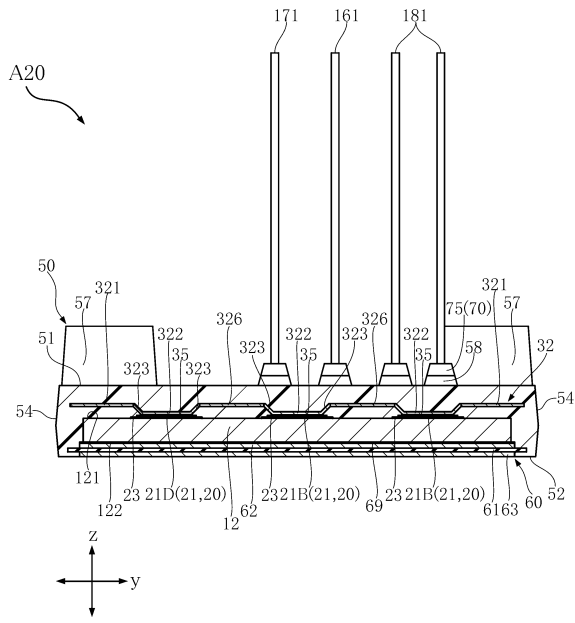
30

40

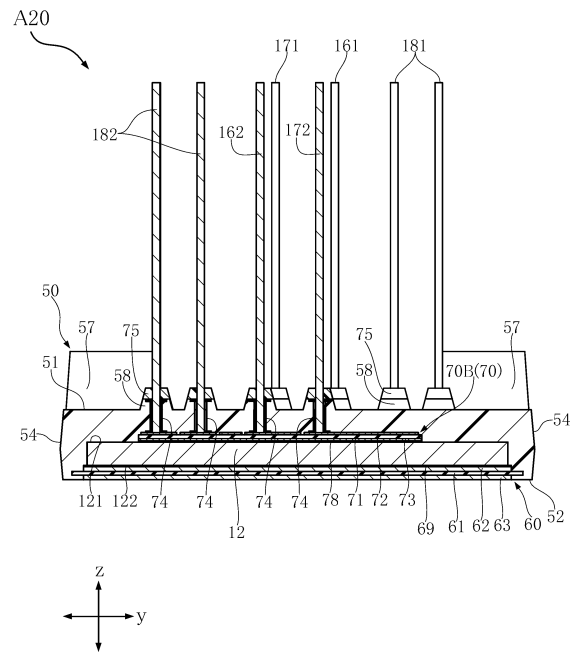
50



【 3 5 】  
FIG.35



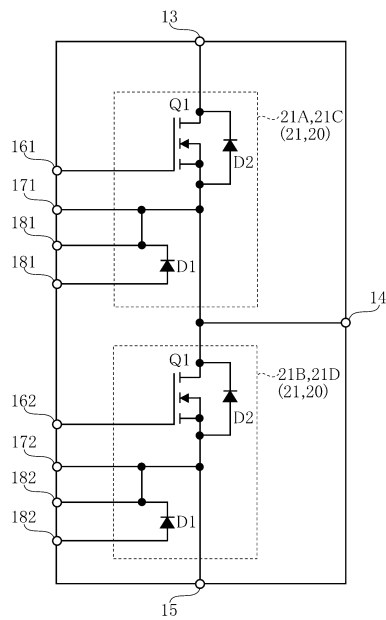
【 3 6 】  
FIG.36



10

20

【 3 7 】  
FIG.37



30

40

50

## フロントページの続き

- (56)参考文献 国際公開第2019/187700(WO, A1)  
特開2019-087741(JP, A)  
特開2015-149326(JP, A)  
特開2014-017319(JP, A)  
特開2017-050441(JP, A)  
特開2019-192751(JP, A)  
特開2020-092108(JP, A)  
特開2008-066561(JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
H01L 25/07  
H01L 23/48  
H01L 21/60