



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 10 05 84
(21) PV 3464-84

(51) Int. Cl.⁴

G 06 F 7/64

(40) Zveřejněno 16 04 85

(45) Vydáno 16 03 87

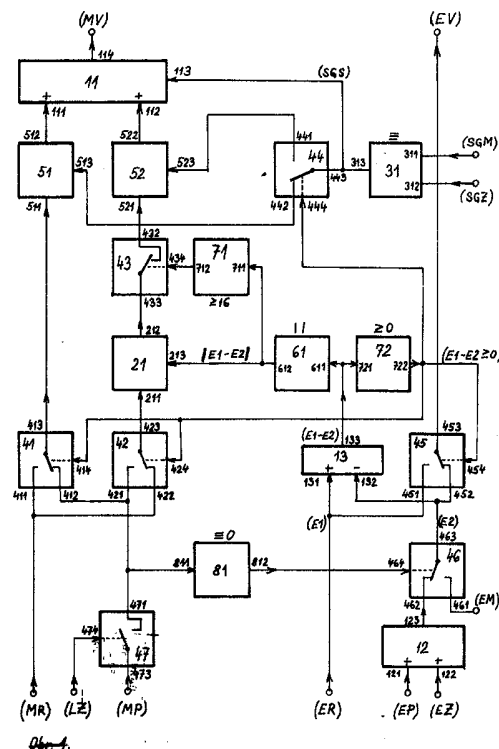
(75)

Autor vynálezu

DOBIÁŠ KAREL ing. CSc., WOLLNER PETR ing., PRAHA

(54) Aritmetická jednotka pro rychlé sčítání s násobením v pohyblivé řádové čárce

Zapojení aritmetické jednotky pro rychlé sčítání s násobením v pohyblivé řádové čárce, která umožňuje realizaci operace typu $V = R + P \cdot Z$ v jedné operaci. Posuv mantisy menšího operandu, který je vybrán pomocí komparace exponentů, se provádí vícebitovým posouvacím obvodem, realizovaným jako kombinační obvod. Aritmetická jednotka vylučuje nutnost jakéhokoliv sekvenčního, respektive programového zpracování a umožňuje rychlé provedení celkové operace daného typu. Aritmetickou jednotku je možno výhodně použít zejména u číslicových diferenciálních analyzátorů při řešení soustav diferenciálních rovnic, neboť obchází nutnost obecného násobení dvou operandů v pohyblivé řádové čárce a dalších obdobných operací a umožňuje tak vysokou rychlost zpracování.



Vynález se týká aritmetické jednotky pro rychlé sčítání s násobením v pohyblivé řádové čárce.

V dosavadních provedeních aritmetických jednotek univerzálních číslicových počítačů jsou operace násobení, respektive sčítání a další komplexnější operace s operandy vyjádřeny v pohyblivé řádové čárce prováděny zásadně sekvenčním programovým způsobem. Jedná se zejména o postupné vyadresovávání jednotlivých operandů, zvláště pro mantisu a zvláště pro exponent, jejich ukládání do registrů aritmetické jednotky, sekvenční posuv bit po bitu, provádění řady dílčích aritmetických operací a zpětné postupné ukládání do paměti. U násobení dvou šestnáctibitových slov se jedná minimálně o 16 posuvů a 16 součtů. Na sekvenčním principu v podstatě nic nemění ani mikroprogramové zpracování v aritmetické jednotce, případně realizace specializovaných operačních jednotek pro zpracování čísel v pohyblivé řádové čárce, tzv. floating-point procesory. Uvedený sekvenční princip zpracování má pak za následek relativně dlouhou dobu výpočtu.

Uvedené nevýhody odstraňuje zapojení aritmetické jednotky pro rychlé sčítání s násobením v pohyblivé řádové čárce podle vynálezu, jehož podstata spočívá v tom, že vnější sběrnice vstupu mantisy prvního operandu je zapojena paralelně na pracovní sběrnici prvního přepínače a klidovou sběrnici druhého přepínače, jehož pracovní sběrnice je propojena s klidovou sběrnici prvního přepínače a rovněž s pracovní sběrnici sedmého přepínače a se vstupem výběrového obvodu. Výstup tohoto výběrového obvodu je zapojen na řídicí vstup šestého přepínače, jehož přepínací sběrnice je propojena jednak s klidovou sběrnici pátého přepínače a jednak se záporným vstupem třetí sčítačky, jejíž kladný vstup je propojen s pracovní sběrnici pátého přepínače a rovněž s vnější sběrnici vstupu exponentu prvního operandu. Dále je propojena klidová sběrnice šestého přepínače s výstupem druhé sčítačky, jejíž první vstup je zapojen na vnější sběrnici vstupu exponentu druhého operandu a druhý vstup je zapojen na vnější sběrnici vstupu exponentu třetího operandu. Pracovní sběrnice šestého přepínače je připojena na mezní záporný exponent. Přepínací sběrnice prvního přepínače je zapojena na vstup prvního obvodu řízení inverze, jehož výstup je zapojen na první vstup první sčítačky a podobně druhý vstup této první sčítačky je zapojen na výstup druhého obvodu řízené inverze, jehož vstup je zapojen na klidovou sběrnici třetího přepínače, jehož přepínací sběrnice je zapojena na výstup šestnáctibitového posouvacího obvodu, jehož vstup je zapojen na přepínací sběrnici druhého přepínače. Dále jsou propojeny řídicí vstupy prvního, druhého, čtvrtého a pátého přepínače s výstupem druhého číslicového komparátoru, jehož vstup je zapojen na vstup obvodu absolutní hodnoty a na výstup třetí sčítačky. Kromě toho je propojen výstup obvodu absolutní hodnoty s řídicím vstupem šestnáctibitového posouvacího obvodu a se vstupem prvního číslicového komparátoru, jehož výstup je přiveden na řídicí vstup třetího přepínače. Řídicí vstupy prvního a druhého obvodu řízené inverze jsou zapojeny postupně na klidovou sběrnici a pracovní sběrnici čtvrtého přepínače, jehož přepínací sběrnice je zapojena jednak na přenosový vstup první sčítačky a jednak na výstup logického obvodu ekvivalence, jehož první a druhý vstup jsou vyvedeny postupně jako vnější logický vstup znaménka operace a vnější logický vstup znaménka třetího operandu. Dále je propojen vnější logický vstup třetího operandu s řídicím vstupem sedmého přepínače, jehož přepínací sběrnice je zapojena na vnější sběrnici vstupu mantisy druhého operandu. Konečně je vyveden výstup první sčítačky jako vnější sběrnice výstupu mantisy výsledku a podobně přepínací sběrnice pátého přepínače je vyvedena jako vnější sběrnice výstupu exponentu výsledku. Každá uvedená komplexní operace typu $V = R \pm P \cdot Z$ je realizována v jediném výpočetním taktu. Příslušný posuv mantisy, odvozený z hodnot exponentů vstupních operandů, je realizován kombinačním obvodem, nikoliv sekvenčním způsobem, a výsledek dostáváme přímo. Tímto způsobem se na příklad podstatným způsobem zrychlují algoritmy při řešení soustav diferenciálních rovnic, na příklad algoritmus integrace, výpočet algebraických vztahů pro pravé strany diferenciálních rovnic a podobně, při použití v číslicových diferenciálních analyzátoch.

Aritmetická jednotka podle vynálezu umožňuje provádění operací typu $V = R \pm P \cdot Z$, to je paralelní zpracování třech operandů, vyjádřených ve formátu dat s pohyblivou řádovou čárkou v jedné mikroinstrukci. Operandů R, P, V jsou v obecném tvaru, vícebitová mantisa

i exponent, operand Z má mantisu omezenou na jednobitový příznak a údaj o znaménku, příslušný exponent je rovněž v obecném tvaru. Aritmetická jednotka pro rychlé sčítání s násobením podle vynálezu umožňuje rychlé provedení komplexní operace daného typu a lze ji výhodně využít při realizaci výpočetních algoritmů v přírůstkových číslicových diferenciálních analyzátoch. Zde se jedná o rychlé zpracovávání všech přírůstků postupně vznikajících v celé počítačové síti, složené z dílčích operačních prvků. Operand Z zde odpovídá okamžitým dílčím výstupním přírůstkům jednotlivých operačních prvků dané sítě. Úplné výstupní přírůstky každého operačního prvku, v rámci každého úplného integračního kroku úlohy, jsou zde rozloženy do optimální sekvence dílčích přírůstků Z v uvedeném jednoduchém tvaru. Postupné iterativní zpracování všech přírůstků v dané počítačové síti, pomocí dílčích operací daného typu, umožňuje rychlé ustálení výstupních veličin všech operačních prvků bez nutnosti násobení operandů v obecném tvaru, což při provádění obdobných operací na univerzálních číslicových počítačích podstatným způsobem prodlužuje výpočet.

Na připojeném výkrese je znázorněno blokové zapojení aritmetické jednotky pro rychlé sčítání s násobením v pohyblivé řádové čárce podle vynálezu, která je tvořena třemi sčítačkami, šestnáctibitovým posouvacím obvodem, logickým obvodem ekvivalence, sedmi přepínači, dvěma obvody řízené inverze, obvodem absolutní hodnoty, dvěma číslicovými komparátory a výběrovým obvodem. Vnější sběrnice MR vstupu mantisy prvního operandu je zapojena paralelně na pracovní sběrnici 411 prvního přepínače 41 a klidovou sběrnici 422 druhého přepínače 42, jehož pracovní sběrnice 421 je propojena s klidovou sběrnici 412 prvního přepínače 41 a rovněž s pracovní sběrnici 471 sedmého přepínače 47 a se vstupem 811 výběrového obvodu 81, jehož výstup 812 je zapojen na řídicí vstup 464 šestého přepínače 46, jehož přepínací sběrnice 463 je propojena jednak s klidovou sběrnici 452 pátého přepínače 45 a jednak se záporným vstupem 132 třetí sčítačky 13, jejíž kladný vstup 131 je propojen s pracovní sběrnici 451 pátého přepínače 45 a rovněž s vnější sběrnici ER vstupu exponentu prvního operandu. Dále je propojena klidová sběrnice 462 šestého přepínače 46 s výstupem 123 druhé sčítačky 12, jejíž první vstup 121 je zapojen na vnější sběrnici EP vstupu exponentu druhého operandu a druhý vstup 122 této druhé sčítačky 12 je zapojen na vnější sběrnici EZ vstupu exponentu třetího operandu. Dále je zapojena pracovní sběrnice 461 šestého přepínače 46 na mezní záporný exponent EM. Přepínací sběrnice 413 prvního přepínače 41 je zapojena na vstup 511 prvního obvodu řízení inverze 51, jehož výstup 512 je zapojen na první vstup 111 první sčítačky 11 a podobně druhý vstup 112 této první sčítačky 11 je zapojen na výstup 522 druhého obvodu 52 řízené inverze, jehož vstup 521 je zapojen na klidovou sběrnici 432 třetího přepínače 43, jehož přepínací sběrnice 433 je zapojena na výstup 212 šestnáctibitového posouvacího obvodu 21, jehož výstup 211 je zapojen na přepínací sběrnici 423 druhého přepínače 42. Dále jsou propojeny řídicí vstupy 414, 424, 444, 454 prvního, druhého, čtvrtého a pátého přepínače 41, 42, 44, 45 s výstupem 722 druhého číslicového komparátoru 72, jehož vstup 721 je zapojen na vstup 611 obvodu 61 absolutní hodnoty a na výstup 133 třetí sčítačky 13. Dále je pak propojen výstup 612 obvodu 61 absolutní hodnoty s řídicím vstupem 213 šestnáctibitového posouvacího obvodu 21 a se vstupem 711 prvního číslicového komparátoru 71, jehož výstup 712 je přiveden na řídicí vstup 434 třetího přepínače 43. Řídicí vstupy 513, 523 prvního a druhého obvodu 51, 52 řízení inverze jsou zapojeny postupně na klidovou sběrnici 442 a pracovní sběrnici 441 čtvrtého přepínače 44, jehož přepínací sběrnice 443 je zapojena jednak na přenosový vstup 113 první sčítačky 11 a jednak na výstup 313 logického obvodu 31 ekvivalence, jehož první a druhý vstup 311, 312 jsou vyvedeny postupně jako vnější logický vstup SGM znaménka operace a vnější logický vstup SGZ znaménka třetího operandu. Dále je pak propojen vnější logický vstup LZ třetího operandu s řídicím vstupem 474 sedmého přepínače 47, jehož přepínací sběrnice 473 je napojena na vnější sběrnici MP vstupu mantisy druhého operandu a konečně je vyveden výstup 114 první sčítačky 11 jako vnější sběrnice MV výstupu mantisy výsledku a podobně přepínací sběrnice 453 pátého přepínače 45 je vyvedena jako vnější sběrnice EV výstupu exponentu výsledku.

Funkce aritmetické jednotky pro rychlé sčítání s násobením v pohyblivé řádové čárce podle vynálezu je následující. První dva operandy R, P jsou definovány pomocí mantisy

a exponentu MR, ER, respektive MP, EP, přičemž rozsah mantis je na příklad 16 bitů, rozsah exponentů například 8 bitů. Třetí operand Z je určen osmibitovým exponentem EZ a mantisa je zjednodušena na logický signál LZ, vnější logický vstup třetího operandu, který má hodnotu logické 1 pokud je operand Z nenulový, jinak má hodnotu nulovou, a logický signál SGZ, vnější logický vstup znaménka třetího operandu, který má hodnotu logické 1, pokud je operand Z záporný. Dalším vstupem aritmetické jednotky je matematické znaménko SGM, vnější logický vstup znaménka operace, které je obdobně definováno jako logická 1 pro operaci odečítání. Pomocí druhé sčítačky 12 se vytváří součet exponentů EP+EZ, který slouží jako celkový exponent E2 druhé části prováděné operace, součinu P.Z, pokud nedojde k jeho omezení pomocí šestého přepínače 46. Tato mezní funkce bude vysvětlena později. Jako exponent E1 první části operace je použit přímo exponent ER. Pomocí třetí sčítačky 13, ve funkci odčítání, se vytváří rozdíl exponentů E1 - E2, který pak pomocí druhého číslicového komparátoru 72 vytváří na výstupu 722, logický signál, který nabývá hodnoty logické 1 $(E1 - E2) \geq 0$, exponent prvního operandu R je větší nebo roven exponentu součinu P.Z. Tímto signálem je pak řízen pátý přepínač 45, který vybírá větší z obou exponentů pro vnější sběrnici výstupu exponentu výsledku EV. Signálem z výstupu 722 je dále řízen komutátor mantis, tvořený přepínači 41, 42, které přepínají vstupní mantisy prvního a druhého operandu MR, MP do dvou kanálů. První kanál je veden přímo, druhý kanál pro zpracování menšího sčítance obsahuje jednak šestnáctibitový posouvací obvod 21 a přepínač 43, který umožňuje vynulování této mantisy, pokud rozdíl exponentů E1-E2 je v absolutní hodnotě větší nebo roven 16. Řízení tohoto přepínače obstarává první komparátor 71. Mantisa součinné části je mimo to vynulována pomocí přepínače 47, pokud třetí operand Z (při LZ = 0) nebo mantisa MP mají nulovou hodnotu. Mantisa menšího z operandů je tedy posouvána doprava o rozdíl příslušných exponentů, s omezením na maximální hodnotu 15 bitů. Obě výsledné mantisy jsou sečteny pomocí první sčítačky 11 na výslednou mantisu MV. Znaménko slučování je řízeno logickým signálem SGS, který vzniká na výstupu 313 logického obvodu ekvivalence 31 a který zpracovává vstupní údaje SGM a SGZ. Záporné znaménko, při odčítání obou mantis, se realizuje jednak provedením inverze v příslušném kanálu pomocí dvou obvodů řízené inverze 51 a 52 a jednak pomocí vstupního přenosového bitu na vstupu 113. Provedení inverze v příslušném kanálu se řídí pomocí čtvrtého přepínače 44, který je ovládán společně s přepínači 41 a 42. Velikost posuvu je řízena absolutní hodnotou rozdílu exponentů pomocí obvodu 61 absolutní hodnoty. Pokud je výsledná hodnota mantisy součinu P.Z rovna 0, je exponent E2 položen maximální záporné hodnotě EM, při osmibitových exponentech to odpovídá hodnotě -128. Tímto způsobem je ošetřen stav, kdy libovolný ze součinitelů P, Z je nulový.

Aritmetickou jednotku pro rychlé sčítání s násobením v pohyblivé řádové čárce lze využít zejména v číslicových diferenciálních analyzátoch, určených pro řešení soustav diferenciálních rovnic.

P Ř E D M Ě T V Y N Á L E Z U

Aritmetická jednotka pro rychlé sčítání s násobením v pohyblivé řádové čárce, tvořená třemi sčítačkami, šestnáctibitovým posouvacím obvodem, logickým obvodem ekvivalence, sedmi přepínači, dvěma obvody řízené inverze, obvodem absolutní hodnoty, dvěma číslicovými komparátory a výběrovým obvodem, vyznačující se tím, že vnější sběrnice (MR) vstupu mantisy prvního operandu je zapojena paralelně na pracovní sběrnici (411) prvního přepínače (41) a klidovou sběrnici (422) druhého přepínače (42), jehož pracovní sběrnice (421) je propojena s klidovou sběrnici (412) prvního přepínače (41) a rovněž s pracovní sběrnici (471) sedmého přepínače (47) a se vstupem (811) výběrového obvodu (81), jehož výstup (812) je zapojen na řídicí vstup (464) šestého přepínače (46), jehož přepínací sběrnice (463) je propojena jednak s klidovou sběrnici (452) pátého přepínače (45) a jednak se záporným vstupem (132) třetí sčítačky (13), jejíž kladný vstup (131) je propojen s pracovní sběrnici (451) pátého přepínače (45) a rovněž s vnější sběrnici (ER) vstupu exponentu prvního operandu,

dále je propojena klidová sběrnice (462) šestého přepínače (46) s výstupem (123) druhé sčítačky (12), jejíž první vstup (121) je zapojen na vnější sběrnici (EP) vstupu exponentu druhého operandu a druhý vstup (122) této druhé sčítačky (12) je zapojen na vnější sběrnici (EZ) vstupu exponentu třetího operandu, dále je zapojena pracovní sběrnice (461) šestého přepínače (46) na mezní záporný exponent (EM), dále je pak zapojena přepínací sběrnice (413) prvního přepínače (41) na vstup (511) prvního obvodu (51) řízené inverze, jehož výstup (512) je zapojen na první vstup (111) první sčítačky (11) a podobně druhý vstup (112) této první sčítačky (11) je zapojen na výstup (522) druhého obvodu (52) řízení inverze, jehož vstup (521) je zapojen na klidovou sběrnici (432) třetího přepínače (43), jehož přepínací sběrnice (433) je zapojena na výstup (212) šestnáctibitového posouvacího obvodu (21), jehož vstup (211) je zapojen na přepínací sběrnici (423) druhého přepínače (42), dále jsou propojeny řídicí vstupy (414, 424, 444, 454) prvního, druhého, čtvrtého a pátého přepínače (41, 42, 44, 45) s výstupem (722) druhého číslicového komparátoru (72), jehož vstup (721) je zapojen na vstup (611) obvodu (61) absolutní hodnoty a na výstup (133) třetí sčítačky (13) dále je pak propojen výstup (612) obvodu (61) absolutní hodnoty s řídicím vstupem (213) šestnáctibitového posouvacího obvodu (21) a se vstupem (711) prvního číslicového komparátoru (71), jehož výstup (712) je přiveden na řídicí vstup (434) třetího přepínače (43), přičemž řídicí vstupy (513, 523) prvního a druhého obvodu (51, 52) řízené inverze jsou zapojeny postupně na klidovou sběrnici (442) a pracovní sběrnici (441) čtvrtého přepínače (44), jehož přepínací sběrnice (443) je zapojena jednak na přenosový vstup (113) první sčítačky (11) a jednak na výstup (313) logického obvodu (31) ekvivalence, jehož první a druhý vstup (311, 312) jsou vyvedeny postupně jako vnější logický vstup (SGM) znaménka operace a vnější logický vstup (SGZ) znaménka třetího operandu a dále je pak propojen vnější logický vstup (LZ) třetího operandu s řídicím vstupem (474) sedmého přepínače (47), jehož přepínací sběrnice (473) je napojena na vnější sběrnici vstupu (MP) mantisy druhého operandu a konečně je vyveden výstup (114) první sčítačky (11) jako vnější sběrnice výstupu (MV) mantisy výsledku a podobně přepínací sběrnice (453) pátého přepínače (45) je vyvedena jako vnější sběrnice výstupu (EV) exponentu výsledku.

1 výkres

