

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4820001号
(P4820001)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 624B
G09G 3/20 642A
G09G 3/20 622C
G09G 3/20 641D

請求項の数 7 (全 12 頁)

(21) 出願番号 特願2000-553939 (P2000-553939)
 (86) (22) 出願日 平成11年6月7日(1999.6.7)
 (65) 公表番号 特表2002-518691 (P2002-518691A)
 (43) 公表日 平成14年6月25日(2002.6.25)
 (86) 国際出願番号 PCT/IB1999/001042
 (87) 国際公開番号 WO1999/065012
 (87) 国際公開日 平成11年12月16日(1999.12.16)
 審査請求日 平成18年6月5日(2006.6.5)
 (31) 優先権主張番号 9812739.2
 (32) 優先日 平成10年6月12日(1998.6.12)
 (33) 優先権主張国 英国 (GB)

(73) 特許権者 590000248
 コーニンクレッカ フィリップス エレク
 トロニクス エヌ ヴィ
 オランダ国 5621 ベーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100072051
 弁理士 杉村 興作
 (72) 発明者 アラン ヘー クナップ
 オランダ国 5656 アーアー アイン
 ドーフェン プロフ ホルストラーン 6

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス電界発光表示装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数の電界発光表示素子を有し、前記電界発光表示素子の各々が、
 該電界発光表示素子を流れる電流を制御する関連付けられたスイッチ手段を有する、アク
 ティブマトリックス電界発光表示装置であって、

各々のスイッチ手段は、表示素子アドレス期間中に印加される表示素子駆動電流を決定
 する駆動信号を標本化して格納するように、そして前記表示素子アドレス期間に後続して
 前記表示素子駆動電流を保持するように動作可能である電流ミラー回路を有し、該電流ミ
 ラー回路は、第1トランジスタと、第2トランジスタと、格納キャパシタと、前記表示素
 子アドレス期間中に前記第1トランジスタのゲート及び前記第2トランジスタのゲートを
 接続するように動作可能であるスイッチ装置とを有し、

前記第1トランジスタの複数の電流搬送電極は、給電ラインと前記電界発光表示素子の
 電極との間に接続され、

前記駆動信号は、前記第2トランジスタの第1電流搬送電極及びゲート電極に印加され、
 前記第2トランジスタの第2電流搬送電極は前記給電ラインに接続され、

前記第1トランジスタの前記ゲートは、前記格納キャパシタを介して前記給電ラインに
 、及び前記スイッチ装置を介して前記第2トランジスタの前記ゲートに接続される、

ことを特徴とするアクティブマトリックス電界発光表示装置であり、

前記電界発光表示素子の行についての前記スイッチ装置はそれぞれの共通の行アドレス
 導体に接続され、前記行アドレス導体を介して、前記行における前記スイッチ装置を動作

10

20

させる選択信号が印加され、各々の行アドレス導体は順に選択信号を受け入れるように配置され、

前記電界発光表示素子の各々の行は、該行における電界発光表示素子全てにより共有されるそれぞれの給電ラインと関連付けられ、

前記電界発光表示素子の第 N 行に関連付けられ且つ前記電界発光表示素子の第 N 行に共通の給電ラインは、前記電界発光表示素子の第 $(N + 1)$ 行に関連付けられた行アドレス導体としての役割も果たし、前記電界発光表示素子の前記第 $(N + 1)$ 行を介して、前記第 $(N + 1)$ 行の電流ミラー回路のスイッチ装置に選択信号が印加され、ここで、 N は整数であり、前記第 $(N + 1)$ 行は前記第 N 行と隣接している、

ことを更に特徴とするアクティブマトリックス電界発光表示装置。

10

【請求項 2】

請求項 1 に記載のアクティブマトリックス電界発光表示装置であって、第 1 列における電界発光表示素子についての駆動信号は、前記第 1 列における前記電界発光表示素子に対して共通である、それぞれの列アドレス導体を介して供給されることを特徴とするアクティブマトリックス電界発光表示装置。

【請求項 3】

請求項 1 に記載のアクティブマトリックス電界発光表示装置であって、前記駆動信号は、前記列アドレス導体と前記第 2 トランジスタとの間に接続された他のスイッチ装置を介して前記第 2 トランジスタに供給され、前記他のスイッチ装置は、前記アドレス期間中に動作するように配置されていることを特徴とするアクティブマトリックス電界発光表示装置。

20

【請求項 4】

請求項 1 に記載のアクティブマトリックス電界発光表示装置であって、駆動波形が各々の行アドレス導体に適用され、前記電界発光表示素子の関係する行のスイッチ装置を動作させる選択信号に加えて、前記関係する行に隣接する電界発光表示素子の行における第 2 スwitch 装置を動作させるように備えられた電圧レベルを有し、前記第 1 トランジスタおよび前記第 2 トランジスタは、前記電界発光表示素子の前記隣接する行についての前記行アドレス期間中に、前記行アドレス導体に接続されていることを特徴とするアクティブマトリックス電界発光表示装置。

【請求項 5】

30

請求項 1 に記載のアクティブマトリックス電界発光表示装置であって、1 つの電界発光表示素子に係る電流ミラー回路の第 2 トランジスタは、同じ列における電界発光表示素子すべてに係る電流ミラー回路により共有されていることを特徴とするアクティブマトリックス電界発光表示装置。

【請求項 6】

請求項 5 に記載のアクティブマトリックス電界発光表示装置であって、前記共有されている第 2 トランジスタは、それぞれの前記列アドレス導体と、前記給電ラインの電源に対応する電源との間に接続され、前記電界発光表示素子の列の電流ミラー回路の第 1 トランジスタのゲートは、前記スイッチ装置を介して前記列アドレス導体に接続されていることを特徴とするアクティブマトリックス電界発光表示装置。

40

【請求項 7】

請求項 1 ないし 6 のいずれか 1 項に記載のアクティブマトリックス電界発光表示装置であって、前記トランジスタは TFT (Thin Film Transistor) を有することを特徴とするアクティブマトリックス電界発光表示装置。

【発明の詳細な説明】

【0001】

本発明は、電界発光表示素子のマトリックスアレイを具え、前記電界発光表示素子の各々が、該表示素子を通る電流を制御する関連するスイッチ手段を有する、アクティブマトリックス表示装置に関する。

【0002】

50

電界発光表示素子を用いるマトリックス表示装置はよく知られている。前記表示素子に関しては、慣例的な I I I - V 半導体混合物を具える有機薄膜電界発光素子および発光ダイオード (L E D) が使用されていた。主に、これらのような表示装置は、前記電界発光表示素子を行および列アドレスラインの交差する組間に接続し、多重式に配置した、パッシブ型のものであった。(有機)ポリマ電界発光材料における最近の発展は、特にビデオ表示目的等に使用するこれらの能力を証明してきた。これらのような材料を使用する電界発光素子は、代表的に、1 対の (アノードおよびカソード) 電極間に挟まれた半導体接合されたポリマの層を 1 つ以上具え、前記電極のうち一方は透明であり、前記電極のうち他方は、ホールまたは電子を前記ポリマ層に注入するのに好適な材料のものである。このような例は、Applied Physics Letters 58(18) 1 9 8 2 - 1 9 8 4 ページ (1 9 9 1 年 5 月 6 日) における D. Braun および A. J. Heeger による論文において記載されている。前記接合されたポリマ鎖および側鎖の適切な選択によって、前記ポリマのバンドギャップ、電子親和力およびイオン化ポテンシャルを調節することができる。このような材料のアクティブ層を、C V D プロセスを使用して、または単に可溶性共役ポリマの溶液を使用するスピンコーティング技術によって製造することができる。これらのプロセスにより、大きい発光表面を有する L E D およびディスプレイを製造することができる。

10

【 0 0 0 3 】

有機電界発光材料は、これらがきわめて能率的であり、比較的低い (D C) 駆動電圧を必要とするという利点がある。さらに、慣例的な L C D と相違して、バックライトが必要ない。簡単なマトリックス表示装置において、前記材料を、行および列アドレス導体の組間に設け、前記導体の交点において、これらによって電界発光表示素子の行および列アレイを形成する。前記有機電界発光表示素子のダイオード様 I - V 特性によって、各々の素子は、多重化駆動動作を実現する表示およびスイッチ機能の双方を行うことができる。しかしながら、この簡単なマトリックス装置を、慣例的な一度に 1 行の走査を基礎として駆動する場合、各々の表示素子は、全体のフィールド時間のうち行アドレス周期に対応する短い間에만駆動され、発光する。例えば、N 行を有するアレイの場合において、各々の表示素子は、f をフィールド周期として、最大 f / N に等しい周期発光することができる。このとき、このディスプレイから所望の平均輝度を得るために、各々の素子によって発生されるピーク輝度を前記必要な平均輝度の少なくとも N 倍にしなければならず、ピーク表示素子電流を平均電流の少なくとも N 倍にする必要がある。結果として生じる高いピーク電流は、特に、前記表示素子の寿命のより急激な劣化と、前記行アドレス導体に沿って生じる電圧低下による問題を生じる。

20

30

【 0 0 0 4 】

これらの問題に対する一つの解決法は、前記表示素子をアクティブマトリックスに収容し、それによって、各々の表示素子が関連するスイッチ手段を有し、このスイッチ手段が、その光出力を前記行アドレス周期よりわずかに長い周期の間保持するために、駆動電流を前記表示素子に供給するように動作できるようにすることである。このようにして、例えば、各々の表示素子回路に、アナログ (表示データ) 駆動信号を、各々の行アドレス周期においてフィールド周期あたり一回ロードし、この駆動信号は格納され、関係している表示素子の行が次にアドレスされるまで、1 フィールド周期の間、前記表示素子を通る必要な駆動電流を保持するように作用する。これは、各々の表示素子によって必要な前記ピーク輝度およびピーク電流を、N 行を有するディスプレイに関して、約 N の因数によって減少させる。このようなアクティブマトリックスアドレス電界発光表示装置は、欧州特許出願公開明細書第 0 7 1 7 4 4 6 号に記載されている。電界発光表示素子は、光を発生させるために連続的に電流を通過させる必要があるが、L C 表示素子は容量性であり、したがって、実質的に電流を受けず、駆動信号電圧をキャパシタンスに全フィールド周期中格納させるため、L C D に使用されている慣例的な種類のアクティブマトリックス回路を、電界発光表示素子と共に使用することはできない。上述した文献において、おのおの 2 個の T F T (薄膜トランジスタ) および 1 個の格納キャパシタを具える。前記表示素子のアノードを第 2 T F T のドレインに接続し、第 1 T F T を前記第 2 T F T のゲートに接続し

40

50

、前記第2 T F Tのゲートを前記キャパシタの一方の側にも接続する。行アドレス周期中、前記第1 T F Tは、行選択（ゲート）信号によってターンオンし、駆動（データ）信号が、このT F Tを経て前記キャパシタに転送される。前記選択信号の除去後、前記第1 T F Tはターンオフし、前記第2 T F Tに関するゲート電圧を構成する前記キャパシタに格納された電圧は、電流を前記表示素子に伝達するように配置された前記第2 T F Tの動作の原因となる。前記第1 T F Tのゲートを、同じ行におけるすべての表示素子に共通のゲートライン（行導体）に接続し、前記第1 T F Tのソースを、同じ列におけるすべての表示素子に共通のソースライン（列導体）に接続する。前記第2 T F Tのドレインおよびソース電極を、前記表示素子のアノードおよび接地ラインに接続し、前記接地ラインは、前記ソースラインと並列に延在し、同じ列におけるすべての表示素子に共通である。前記キャパシタの他方の側もこの接地ラインに接続する。前記アクティブマトリックス構造を、適切な、例えばガラスの、透明絶縁支持体上に、A M L C Dの製造において使用されるのと同様の薄膜堆積およびプロセス技術を使用して製造する。

10

【0005】

この配置によって、前記発光ダイオード表示素子に関する駆動電流は、前記第2 T F Tのゲートに供給される電流によって決定される。したがってこの電流は、このT F Tの特性に強く依存する。前記T F Tのしきい値電圧、移動度および寸法における変化は、前記表示素子電流と、したがってその光出力とにおいて、望ましくない変化を生じるであろう。例えば製造プロセスによる、前記アレイの領域に渡っての、または、異なったアレイ間の、表示素子に関係する前記第2 T F Tにおけるこれらの変化は、前記表示素子からの光出力の不均一を招く。

20

【0006】

本発明の目的は、改善されたアクティブマトリックス電界発光表示装置を提供することである。

【0007】

本発明の他の目的は、前記表示素子の光出力における、トランジスタ特性における変化の影響を低減し、したがって、前記表示の不均一を改善する、アクティブマトリックス電界発光表示装置用表示素子回路を提供することである。

【0008】

この目的は、本発明において、近くで一緒に製造されたトランジスタは、通常、きわめて類似した特性を有するという事実を使用することによって達成される。

30

【0009】

本発明によれば、表示素子に関係する前記スイッチ手段が電流ミラー回路を具え、前記電流ミラー回路が、前記表示素子駆動電流を決定する表示素子アドレス周期中に供給される駆動信号を標準化および格納し、前記表示素子駆動電流を前記アドレス周期後に保持するように動作可能であり、前記電流ミラー回路が、電流搬送電極を給電ラインと前記表示素子の電極との間に接続した第1トランジスタと、ゲート電極および第1電流搬送電極が前記駆動信号を受け、第2電流搬送電極を前記給電ラインに接続した第2トランジスタとを具え、前記第1トランジスタのゲートを、前記給電ラインに格納キャパシタを経て接続し、前記第2トランジスタのゲートにスイッチ装置を経て接続し、前記スイッチ装置が、前記アドレス周期中に前記第1および第2トランジスタのゲートを接続するように動作できるようにしたことを特徴とする、序章において記載した種類のアクティブマトリックス電界発光表示装置が提供される。このような電流ミラー回路の使用は、上述した問題を、前記表示素子を駆動する電流が、前記電流を供給する個々のトランジスタの特性における変動の影響を受けないことを保証することによって克服する。

40

【0010】

この表示素子回路の動作において、前記第2トランジスタの第1電流搬送電極およびゲート電極に、関係する表示素子に関するアドレス周期中に供給される駆動信号は、結果として、このダイオード接続されたトランジスタを流れる電流を生じる。この周期中、前記スイッチ装置によって相互接続されている前記第1および第2トランジスタのゲート電極に

50

よって、次にこの電流は、前記第1トランジスタによって反射され、前記第2トランジスタを流れる電流に比例する、前記表示素子を流れる駆動電流を発生し、この電流を発生させるのに必要な前記2つのトランジスタにおけるゲート電圧に等しい所望の電圧を、前記格納キャパシタの両端間に確立する。前記アドレス周期の終了時に、前記トランジスタのゲートは、前記スイッチ装置の動作によって遮断され、前記格納キャパシタンスに格納されたゲート電圧は、前記第1トランジスタの動作と、前記表示素子を流れる駆動電流とを保持し、したがって、その所望の光出力を設定レベルに保持するように働く。好適には、前記電流ミラー回路を形成する第1および第2トランジスタの特性を、前記回路の動作を最大に有効にするために、厳密に一致させる。

【0011】

10

この配置によって、前記表示素子からの光出力の均一性が改善される。

【0012】

前記トランジスタを、便利に、TFTとして与え、適切な絶縁基板上に形成することができる。前記装置のアクティブマトリックス回路網を、半導体基板を使用するIC技術を使用し、前記表示素子の上側電極をITOのような透明材料のものとして形成してもよい。

【0013】

好適には、前記表示素子を行および列において配置し、好適には同様にTFTのようなトランジスタを具える1列の表示素子に関する前記電流ミラー回路のスイッチ装置を、個々の共通行アドレス導体に接続し、この行アドレス導体を経て、その行におけるスイッチ装置を動作させる選択信号を供給し、各々の行アドレス導体を、順番に選択信号を受けるように配置する。1列における前記表示素子に関する選択信号を、好適には、前記列における表示素子に共通の個々の列アドレス導体を経て供給する。同様に、前記給電ラインを、好適には、同じ行または列における前記表示素子によって共有させる。個々の給電ラインを、表示素子の各々の行または列に設けてもよい。代わりに、給電ラインを、例えば、前記行または列方向において延在し、末端において一緒に接続されたラインを使用して、または、前記列および行方向の双方において延在し、グリッドの形態において一緒に接続されたラインを使用することによって、すべての表示素子によって有効に共有させることができる。選択されるアプローチは、所定の設計および製造プロセスに関する技術的詳細に依存する。

20

【0014】

30

簡単にするため、表示素子の行に関係し、共有される給電ラインは、表示素子の異なった、好適には隣接する行に関係する行アドレス導体を具え、この行アドレス導体を経て、選択信号をこの異なった行の電流ミラー回路のスイッチ装置に供給してもよい。

【0015】

前記駆動信号を、前記第2トランジスタに、他のスイッチ装置、例えば、前記行アドレス導体と第2トランジスタとの間に接続された他のトランジスタを経て供給してもよく、この他のスイッチ装置を、トランジスタを具えるこの他のスイッチ装置の場合において、前記行アドレス導体に供給される前記選択信号によって動作可能とする。しかしながら、前記給電ラインを隣接する行導体によって構成する場合において、このような他のスイッチ装置を設ける必要性を、前記第1および第2トランジスタを接続した隣接する行アドレス導体において、前記表示素子の隣接する行のスイッチ装置のための選択信号に加えて、適切な時間において、すなわち、前記接続された表示素子の行に関するアドレス周期中に他の電圧レベルを含み、前記ダイオード接続された第2トランジスタを導通させる適切な駆動波形を使用することによって回避することができる。

40

【0016】

隣接する行アドレス導体を、前記第1および第2トランジスタに接続された給電ラインとして使用しない場合において、前記表示素子の行を別々に、すなわち、一度に一つ順次アドレスするために、前記電流ミラー回路の第2トランジスタを、同じ列におけるすべての表示素子の電流ミラー回路に共有させ、したがってこれらに共通にする。この目的のため、このダイオード接続された第2トランジスタを、前記列アドレス導体と、前記給電ラ

50

インの電源に対応する電源との間に接続し、前記第1トランジスタのゲートを、前記スイッチ装置を経て前記列アドレス導体に接続してもよい。以前のように、前記列アドレス導体への駆動信号の適用は、このトランジスタを流れる電流を発生し、したがって、前記列アドレス導体は、前記トランジスタの両端間の電圧に等しい前記給電ラインの電位に関係する電位を有する。前記表示素子のスイッチ装置がターンオンしたとすると、この電圧は、前記第1トランジスタのゲートと格納キャパシタとに印加され、前記2個のトランジスタは、上記のように電流ミラーを形成するようになる。この配置は、前記各々の列の表示素子に必要なトランジスタの数を大幅に減らし、歩留まりを改善させられるだけでなく、各々の表示素子に利用可能な面積を増加させるという利点を有する。

【0017】

本発明によるアクティブマトリクス電界発光表示装置の実施形態を、添付した図面の参照と共に、例として説明する。

【0018】

前記図面は、単に図式的なものであり、一定の比率で描かれていない。同じ参照符を、前記図面を通じて、同じまたは同様の部分を示すために使用した。

【0019】

図1を参照すると、アクティブマトリクスアドレス電界発光表示装置は、ブロック10によって示す、一定の間隔を置いたがその行および列マトリクスアレイを有し、行（選択）および列（データ）アドレス導体またはラインの交差する組12および14間の交点に配置された電界発光表示素子を関連するスイッチ手段と共に具えるパネルを有する。この図において、簡単にするために数個の画素のみを具える。実際には、数百の画素の行および列があってもよい。画素10を、前記行および列アドレス導体を経て、前記導体の個々の組の末端に接続された行走査駆動回路16および列データ駆動回路18を具える周辺駆動回路によってアドレスする。

【0020】

図2は、前記アレイにおけるブロック10の代表的な1つの基本的な形態の回路網を示す。ここでは20において参照される前記電界発光表示素子は、ここではダイオード素子（LED）として表され、有機電界発光材料の1つ以上の層を間に挟んだ1対の電極を具える有機発光ダイオードを具える。前記アレイの表示素子を、関連するアクティブマトリクス回路網と共に、絶縁支持物の一方の側に装着する。前記表示素子のアノードまたはカソードを、透明導電材料によって形成する。前記支持体を、ガラスのような透明材料のものとし、前記基板に最も近い表示素子20の電極を、ITOのような透明導電材料によって構成し、前記電界発光層によって発生された光がこれらの電極および支持体を通過し、前記支持体の他方の側における見ている人に見えるようにすることができる。この特定の実施形態において、前記光出力を前記パネルの上方から見られるものとし、前記表示素子のアノードは、電源に接続され、一定の基準電位に保持された前記アレイにおけるすべての表示素子に共通の第2給電ラインを構成する、連続的なITO層22の一部を具える。前記表示素子のカソードは、前記表示素子のカソードは、カルシウムまたはマグネシウム銀合金のような低い仕事関数を有する金属を具える。代表的に、前記有機電界発光材料層の厚さを、100nmないし200nmの間とする。素子20に使用することができる好適な有機電界発光材料の代表的な例は、欧州特許出願公開明細書第0717446号に記載されており、その参照は他の情報をもたらし、これに関するその開示はここに含まれる。WO96/36959に記載の複合ポリマのような電界発光材料を使用することもできる。

【0021】

各々の表示素子20は、該表示素子に隣接する行および列導体12および14に接続された関係するスイッチ手段を有し、このスイッチ手段を、該素子の駆動電流と、したがって光出力（グレイスケール）とを決定する印可されたアナログ駆動（データ）信号レベルを格納し、この信号に従って該表示素子を動作させるように配置する。前記表示データ信号を、電流源として作動する列駆動回路18によって供給する。適切に処理されたビデオ信

10

20

30

40

50

号を駆動回路 18 に供給し、この回路は、前記ビデオ信号を標本化し、ビデオ情報に関するデータ信号を構成する電流を、前記列導体の各々に供給し、1 回に 1 行のアドレスに適切のように、前記列駆動回路および走査行駆動回路の動作を同期させる。

【0022】

前記スイッチ手段は、基本的に、TFT の形態における第 1 および第 2 電界効果トランジスタ 24 および 25 によって形成された電流ミラー回路を具える。第 1 TFT 24 の電流搬送ソースおよびドレイン電極を、表示素子 20 のカソードと、給電ライン 28 との間に接続し、そのゲートを格納キャパシタ 30 の一方の側に接続し、格納キャパシタ 30 の他方の側を前記給電ラインに接続する。前記ゲートおよびキャパシタ 30 の一方の側を、スイッチ 32 を経て第 2 TFT 25 のゲートにも接続し、第 2 TFT 25 をダイオード接続し、そのゲートと、その電流搬送電極の一方（すなわち、ドレイン）とを相互接続する。その他方の（ソース）電流搬送電極を給電ライン 28 に接続し、そのソースおよびゲート電極を、他のスイッチ 34 を経て関係する列導体 14 に接続する。2 個のスイッチ 32 および 34 を、行導体 12 に供給される信号によって同時に動作するように配置する。

10

【0023】

実際には、2 個のスイッチ 32 および 34 は、マイクロリレーまたはマイクロスイッチのような他の形式のスイッチの使用が予想されとしても、図 3 に示すように他の TFT を具えることができ、これらの TFT のゲートを行導体 12 に直接接続する。

【0024】

前記 TFT、アドレスラインの組、格納キャパシタンス、表示素子電極およびこれらの相互接続部を具えるマトリクス構造を、基本的に、絶縁支持体の表面上への、導電性材料、絶縁性材料および半導体材料の種々の薄膜層の、CVD 堆積およびフォトリソグラフィックパターンニング技術による、堆積およびパターンニングを含む、アクティブマトリクス LCD において使用されるのと同様の標準的な薄膜処理技術を使用して形成する。このような例は、上述した欧州特許出願公開明細書第 0717446 号に記載されている。前記 TFT は、アモルファスシリコンまたは多結晶シリコン TFT を具えてもよい。前記表示素子の有機電界発光材料層を、蒸着によって、または、スピンコーティングのような他の適切な既知の技術によって形成してもよい。

20

【0025】

前記装置の動作において、図 3 に示す N 番目の行に印可される行波形において正パルス信号 V_s によって示されるように、選択（ゲート）信号を行駆動回路 16 によって前記行導体の各々に、順番に、個々の行アドレス周期において印可する。このように、所定の行における前記表示素子のスイッチ 32 および 34 をこのような選択信号によって閉じ、すべての他の行における前記表示素子のスイッチ 32 および 34 を開いたままにする。給電ライン 28 を、共通電極 22 のように、一定の予め決められた基準電位に保持する。列駆動回路 18 から列導体 14 において流れる電流 I_1 は、スイッチ 34 を流れ、ダイオード接続された TFT 25 を流れる。TFT 25 は、前記入力信号を有効に標本化し、この電流 I_1 は、TFT 24 によって反射され、表示素子 20 を流れる電流 I_2 を発生し、電流 I_2 は電流 I_1 に比例し、比例定数は、TFT 24 および 25 の相対的ジオメトリによって決定される。TFT 24 および 25 が同じジオメトリを有する特定の場合において、電流 I_2 は電流 I_1 に等しくなる。TFT 24 および表示素子 20 における電流 I_2 が所望の値において確立すると、選択信号 V_s によって規定される前記行アドレス周期の持続時間は、このような電流の流れを安定させるのに十分であり、格納キャパシタ 30 の両端間の電圧は、この電流を発生するのに必要な TFT 24 および 25 におけるゲート電圧に等しくなる。前記行アドレス周期の終了に対応する行選択信号 V_s の終了時において、行導体 12 における電圧は、より低いさらに負のレベル V_L に落ち、スイッチ 32 および 34 は開き、それによって、TFT 24 は、TFT 25 のゲートから遮断される。TFT 24 のゲート電圧はキャパシタ 30 に格納されているため、TFT 24 はそのままであり、電流 I_2 は TFT 24 を流れ続け、表示素子 20 は、前記電流レベルを決定する前記ゲート電圧によって所望のレベルにおいて動作し続ける。スイッチ 32 が、スイッチ 32 に使用さ

30

40

50

れる装置からのカップリングまたは電荷注入作用によって開く時に、 I_2 の値における小さな変化が、TFT24のゲート電圧における変化によって生じるかもしれないが、この点においてありそうなどのような誤差も、スイッチ32が開いた後に I_2 の正確な値を発生させるために、電流 I_1 の元の値においてわずかに調節することによって、容易に補償することができる。

【0026】

列駆動回路18は、1列のすべての前記表示素子をこれらの必要な駆動レベルに、前記行アドレス周期において同時に設定するために、前記適切な電流駆動信号を各々の列導体14に供給する。このようなある行のアドレスに続いて、前記表示素子の次の行を同様にアドレスし、列駆動回路18によって供給される列信号を、この次の行における表示素子によって必要な駆動電流に対応するのに適切に変化させる。表示素子の各々の行を、このように順次にアドレスし、1フィールド周期において、前記アレイにおけるすべての表示素子をアドレスし、これらの必要な駆動レベルに設定し、前記行を、その後のフィールド周期において繰り返しアドレスする。

【0027】

給電ライン28と、前記表示素子ダイオード電流を流す共通アノード電極22(図3)とに関する電圧電源VS2およびVS1を、アレイ全体に共通の別個の接続部としてもよく、VS1を別個の接続部とし、VS2を前記アレイにおいて、前の(N-1)番目の行導体12か、次の(N+1)番目の行導体12のいずれかに接続してもよく、すなわち、行導体12における電圧は、比較的短い行アドレス周期中を除いて、一定レベル(V_L)であることを忘れずに、ある行導体を、スイッチ32および34が接続された行導体とは異なるものとし、これらに隣接しているものとしてもよい。後者の場合において、行駆動回路16は、もちろん、行導体に関するその出力が、スイッチ32および34がターンオフする低レベル状態である場合、前記行におけるすべての表示素子20に関する駆動電流を供給することができなければならない。

【0028】

図3の回路を、図4の実施形態に示すように、スイッチ34を除去し、代替の行駆動波形を使用することによって、ある程度簡単にすることができる。この実施形態において、前記表示素子のN番目の行に関する給電ライン28を、前記表示素子の次の、すなわち、その後にアドレスされる行に係する(N+1)番目の行導体12によって構成する。しかしながら、給電ライン28を、代わりに、(N-1)番目の行導体によって構成してもよい。行駆動回路16によって各々の行導体に供給される行駆動波形は、選択レベル V_s および低レベル V_L に加えて余分の電圧レベル V_e を有し、この電圧レベルは、図4の配置の場合において、選択信号 V_s にわずかに先行する。給電ライン28を代わりに先行する(N-1)番目の行導体12によって構成する場合において、前記余分の電圧レベルは、前記選択信号の直後に続く。この実施形態の動作の原理は、TFT25はダイオード接続され、そのソース電極、すなわち、給電ライン28に接続された電極が、その相互接続されたドレインおよびゲート電極に対して負である場合にのみ導通するというところにある。したがって、TFT25は、(N+1)番目の行導体12を、図4において点線 V_c によって示す列導体14において現れうる最も負の電圧に対して負である電圧 V_e にすることによってターンオンする。前記行導体における電圧は、もちろん、可能な値の範囲を有することができる。レベル V_e は、スイッチ32をターンオンするN番目の行導体における選択パルス V_s とほぼ同時に開始し、したがって、TFT25およびスイッチ32は同時にターンオンする。前記電流ミラー回路の動作と、前記表示素子の駆動とは、上述したように続く。前記N番目の行導体における選択信号 V_s の終了時において、スイッチ32は、この導体における電圧が V_L に戻るによってターンオフし、そのわずかに後、TFT25は、前記(N+1)番目の行導体が、次の行が選択されるのに応じて V_e から V_s に変化するため、ターンオフし、前記行導体における電圧が選択信号の後 V_L に戻る場合、 V_L は列導体電圧 V_c に対して正になるように選択されるため、オフのままである。

【0029】

実際には、列導体 1 4 における電圧は、小さい範囲の値に渡って変化し、実際の値は、前記表示素子に必要な駆動電流を決定するデータ信号を構成する。 V_e のレベルが、前記電流ミラーを正確に動作させるのに必要な最低電圧より十分に上であり、 V_L が、列導体 1 4 における最高の正電圧に対して正であり、T F T 2 5 が、前記 (N + 1) 番目の行導体レベル V_L である場合、常にオフになるようにすることを保証するだけでよい。

【 0 0 3 0 】

他の代わりの回路構成を、図 5 において図式的に示す。これは、前記電流ミラー回路を半分形成するダイオード接続された T F T 2 5 が、ここでは、各々の表示素子に関するスイッチ手段が個々の T F T 2 5 を必要とするのではなく、同じ列におけるすべての表示素子のスイッチ手段間で共有されることを除いて、図 3 および 4 の配置と同様である。上記のように、列駆動回路 1 8 は、T F T 2 5 に電流を流す前記表示素子の駆動レベルを決定するために、列導体 1 4 において電流 I_1 を発生するように動作する。ダイオード接続された T F T 2 5 を、列導体 1 4 と、給電ライン 2 8 との間に、好適には、列導体 1 4 の一方または他方の端において接続する。このように、列導体 1 4 は、T F T 2 5 の両端間の電圧 V_1 に等しい、給電ライン 2 8 におけるレベル V_{S2} に対するレベルを有する。前記アレイの適切な行を、この行に関係する行導体 1 2 に選択信号を供給し、この行におけるスイッチ 3 2 をターンオンさせることによって選択し、電圧 V_1 を、T F T 2 4 のゲートにスイッチ 3 2 を経て有効に印可し、T F T 2 4 および 2 5 が上述したような電流ミラーを形成するようにする。T F T 2 4 を流れる電流 I_2 が安定したら、行導体 1 2 における選択パルス信号の終了に応じて、スイッチ 3 2 を開き、前記表示素子を流れる駆動電流の供給を、T F T 2 4 を経て続けさせ、前記動作を、前記表示素子の次の行に関して繰り返す。この実施形態に必要な行駆動波形は、基本的に、図 3 の実施形態用の行駆動波形と同じである。

【 0 0 3 1 】

この実施形態は、各々の表示素子位置において必要な T F T の数を減らし、歩留まりを改善することができ、前記表示素子からの光出力を前記ガラス支持体を経て放射する場合、前記光出力に利用可能な面積を増大させるという利点を有する。

【 0 0 3 2 】

上述したすべての実施形態において、T F T の形態において実施する場合、スイッチ 3 2 および 3 4 を含む使用する T F T のすべては、n 形トランジスタを具える。しかしながら、これらの装置を代わりにすべて p 形トランジスタとし、前記表示素子のダイオード極性を逆にし、前記行選択信号を反転して、1 行の選択が、負電圧 ($-V_s$) が印加された場合に生じるようにした場合、正確に同じ形式の動作が可能である。図 4 の実施形態の場合において、余分の電圧レベル V_e は、 V_L に対して正になり、 V_L は、 V_s に対して正になる。p チャネル T F T を使用する表示素子が望ましいため、前記ダイオード表示素子を一方または他方に向けるのが好適である技術的な理由が存在する。例えば、有機電界発光材料を使用する表示素子のカソードに必要な材料は、通常、低い仕事関数を有し、代表的に、マグネシウムを基礎とした合金またはカルシウムを具える。これらのような材料は、フォトリソグラフィにパターン化するのが困難である傾向があり、したがって、前記アレイにおけるすべての表示素子に共通するこのような材料の連続層が望ましいかもしれない。

【 0 0 3 3 】

上述したすべての実施形態に関して、個々の前記表示素子に関するスイッチ手段における電流ミラー回路は、この回路を形成する T F T 2 4 および 2 5 の特性が厳密に一致する場合、最も有効である。当業者には明らかなように、T F T 製造の分野において、例えば、A M L C D におけるアクティブマトリックススイッチアレイの製造において使用されるような、トランジスタの特性を一致させることにおけるマスク不整合の影響を最小にする多数の技術が既知であり、これらを容易に適用することができる。

【 0 0 3 4 】

給電ライン 2 8 を、別々にしてもよく、または、これらの末端において一緒に接続しても

10

20

30

40

50

よい。行方向に延在させ、表示素子の個々の行に対して共通にする代わりに、前記給電ラインを列方向に延在させ、各々のラインを表示素子の個々の列に共通にしてもよい。代わりに、行および列の双方の方向において延在し、グリッドを形成するように一緒に接続された給電ラインを使用してもよい。

【0035】

薄膜技術を使用して絶縁基板上に前記TFTおよびキャパシタを形成する代わりに、前記アクティブマトリックス回路網を、IC技術を使用して半導体、例えば、シリコン基板上に形成することができることが予測される。このとき、この基板上に設けられた前記LED表示素子の上部電極を、透明導電材料、例えば、ITOによって形成し、前記素子の光出力は、これらの上部電極を通じて見られる。

10

【0036】

上述した実施形態を、特に有機電界発光表示素子に関して説明したが、光を通過させ、光出力を発生させる電界発光材料を具える他の種類の電界発光表示素子を代わりに使用してもよいことは理解されるであろう。

【0037】

前記表示素子を、単色または多色表示装置としてもよい。カラー表示装置を、異なるカラー発光表示素子を前記アレイにおいて使用することによって与えてもよい。前記異なるカラー発光表示素子を、代表的に、例えば、赤色、緑色および青色発光表示素子の規則的に繰り返すパターンにおいて設けてもよい。

【0038】

20

要約において、アクティブマトリックス電界発光表示装置は、例えば、有機電界発光材料を具える電流駆動電界発光表示素子のアレイを有し、これらの表示素子の動作を、各々、関係するスイッチ手段によって制御し、前記スイッチ手段に、所望の光出力を決定する駆動信号を個々のアドレス周期において供給し、前記スイッチ手段を、前記アドレス周期に続いて前記駆動信号にしたがって前記表示素子を駆動するように配置する。各々のスイッチ手段は、前記駆動信号を格納および標本化する電流ミラー回路を具え、前記電流ミラー回路の一方のトランジスタが前記表示素子を流れる駆動電流を制御し、そのゲートに、前記駆動信号によって決定される電圧を格納した格納トランジスタに接続する。

【0039】

本開示を読むことによって、他の変形が当業者には明らかになるであろう。これらのような変形は、マトリックス電界発光ディスプレイおよびその構成部品の分野において既知であり、すでにここに記載した特徴の代わりまたはこれらに加えて使用できる他の特徴を含むことができる。

30

【図面の簡単な説明】

【図1】 図1は、本発明による表示装置の一実施形態の一部の簡単な図式的な図である。

【図2】 図2は、図1の表示装置における代表的な表示素子と、その関係する制御回路網との基本的な形態の等価回路を示す。

【図3】 図3は、図2の基本的な表示素子回路の実際の現実化を説明する。

【図4】 図4は、前記表示素子の変形例を関係する駆動波形と共に示す。

40

【図5】 図5は、表示素子用制御回路網の代わりの形態を示す。

【図 1】

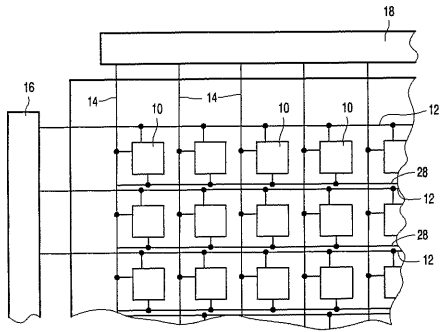


FIG. 1

【図 2】

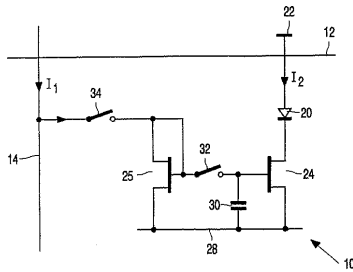


FIG. 2

【図 3】

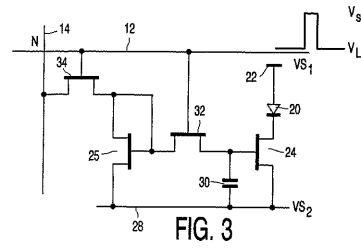


FIG. 3

【図 4】

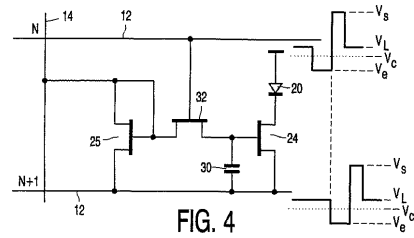


FIG. 4

【図 5】

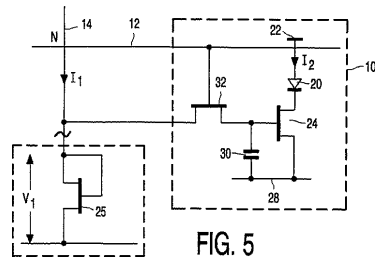


FIG. 5

フロントページの続き

(72)発明者 ニール セー バード

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

審査官 小川 浩史

(56)参考文献 特開平 1 1 - 2 8 2 4 1 9 (J P , A)

特開平 4 - 1 6 1 9 8 4 (J P , A)

特開平 7 - 1 1 1 3 4 1 (J P , A)

特開平 2 - 1 4 8 6 8 7 (J P , A)

特開平 8 - 5 4 8 3 5 (J P , A)

実開昭 6 2 - 1 2 2 4 8 8 (J P , U)

特開平 2 - 1 0 5 9 0 7 (J P , A)

特表 2 0 0 2 - 5 1 4 3 2 0 (J P , A)

特開平 1 - 1 0 2 7 9 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/20-3/38