

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 8 月 12 日(12.08.2010)

PCT

(10) 国際公開番号
WO 2010/089799 A1

- (51) 国際特許分類:
G06F 12/08 (2006.01)
- (21) 国際出願番号: PCT/JP2009/000458
- (22) 国際出願日: 2009 年 2 月 6 日(06.02.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中村 朋健 (NAKAMURA, Tomotake) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 本藤 幹雄 (HONDOU, Mikio) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 渡部 章彦 (WATANABE, Akihiko); 〒1160013 東京都荒川区西日暮里 5 丁目 1 1 番 8 号 三共セントラルプラザビル 5 階 開明国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

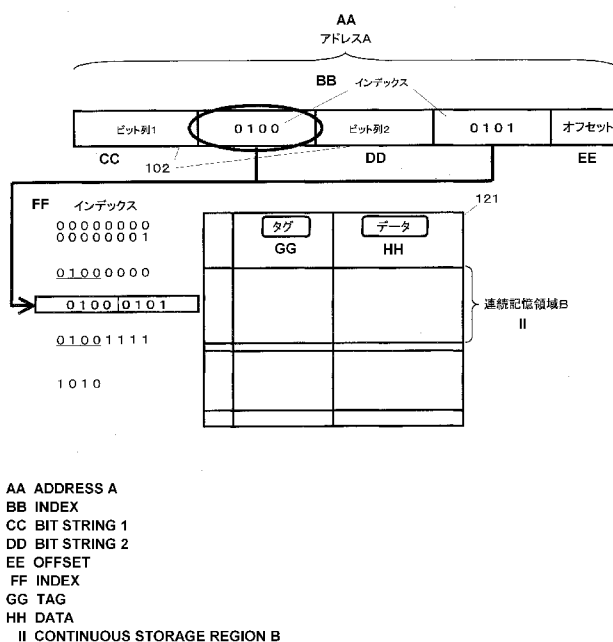
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: CACHE MEMORY SYSTEM, COMPUTER SYSTEM, AND CACHE MEMORY ACCESS METHOD

(54) 発明の名称: キャッシュメモリシステム、コンピュータシステム、及びキャッシュメモリアクセス方法

[図3]



(57) Abstract: An index/tag generation unit (11) generates, according to a main storage address: a tag containing an upper-node continuous bit string and a lower-node continuous bit string in a main storage address; and an index as a continuous bit string sandwiched by the upper-node continuous bit string and the lower-node continuous bit string which are at least tags among the continuous bit strings in the main storage address. A cache memory (121) uses the index as a cache address so as to store a tag and data. An access unit (122) uses the index so as to access the data stored in the cache memory (121).

(57) 要約: インデックス・タグ生成部 11 は、主記憶アドレスに基づいて、主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグと、主記憶アドレスにおける連続ビット列の中の、少なくともタグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスとを、生成する。キャッシュメモリ 121 は、インデックスをキャッシュアドレスとして用いて、タグ及びデータを格納する。アクセス部 122 は、インデックスを用いて、キャッシュメモリ 121 に格納されたデータにアクセスする。

WO 2010/089799 A1

明 細 書

キャッシュメモリシステム、コンピュータシステム、及びキャッシュメモリアクセス方法

技術分野

- [0001] 本発明は、キャッシュメモリシステム、コンピュータシステム、及びキャッシュメモリアクセス方法に関する。

背景技術

- [0002] 主記憶装置のアドレスを上位アドレスと下位アドレスとに分け、下位アドレスをインデックスとし、上位アドレスをタグとし、インデックス及びタグを用いてキャッシュメモリ上のデータにアクセスする技術が提案されている。
- [0003] なお、CPUがアドレスを指示することにより記憶されたデータを参照するときに、CPUがキャッシュメモリの分割された複数の記憶領域であるブロックの一つをアドレスと共に指示し、制御部が指示されたブロックとアドレスとからキャッシュアドレスを生成するキャッシュメモリシステムが提案されている。
- [0004] キャッシュメモリシステムに関連する技術は、例えば特許文献１に開示されている。

特許文献１：特開平１０－８３３４８号公報

発明の開示

発明が解決しようとする課題

- [0005] キャッシュメモリシステムにおいては、ある特定のデータを、キャッシュメモリにおけるある特定の記憶領域に繰り返し格納し、アクセスすることができない。換言すれば、キャッシュメモリから他のデータよりも優先的に追い出すべき複数のデータを、ある特定の記憶領域に格納して追い出すことを、繰り返すことができない。
- [0006] 本発明は、所定のデータをキャッシュメモリにおける所定の記憶領域に格

納するキャッシュメモリシステムの提供を目的とする。

また、本発明は、所定のデータをキャッシュメモリにおける所定の記憶領域を繰り返し用いてそのデータにアクセスするコンピュータシステムの提供を目的とする。

[0007] また、本発明は、所定のデータをキャッシュメモリにおける所定の記憶領域を繰り返し用いてそのデータにアクセスするキャッシュメモリアクセス方法の提供を目的とする。

課題を解決するための手段

[0008] 開示されるキャッシュメモリシステムは、主記憶装置の主記憶アドレスに対応して格納されたデータを、キャッシュアドレスに対応して格納する。キャッシュメモリシステムは、インデックス・タグ生成部と、キャッシュメモリと、アクセス部とを備える。インデックス・タグ生成部は、主記憶アドレスに基づいて、主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグと、主記憶アドレスにおける連続ビット列の中の、少なくともタグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスとを、生成する。キャッシュメモリは、インデックスをキャッシュアドレスとして用いて、タグ及びデータを格納する。アクセス部は、インデックスを用いて、キャッシュメモリに格納されたデータにアクセスする。

[0009] 開示されるコンピュータシステムは、主記憶装置と、インデックス・タグ生成部と、キャッシュメモリと、制御部と、アクセス部とを備える。主記憶装置は、主記憶アドレスに対応してデータを格納する。インデックス・タグ生成部は、主記憶アドレスに基づいて、主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグと、主記憶アドレスにおける連続ビット列の中の、少なくとも前記タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスとを、生成する。キャッシュメモリは、インデックスをキャッシュアドレスとして用いて、タグ及びデータを格納する。制御部は、主記憶アドレスを指示して、キ

キャッシュメモリに格納されたデータを参照する。アクセス部は、制御部から指示された主記憶アドレスに基づいて、前記主記憶アドレスの一部であるインデックスを用いて、キャッシュメモリに格納されたデータにアクセスする。

- [0010] 開示されるキャッシュメモリアクセス方法は、主記憶装置の主記憶アドレスに対応して格納されたデータを、キャッシュアドレスに対応して格納するキャッシュメモリシステムのアクセス方法である。キャッシュメモリシステムのアクセス方法において、キャッシュメモリシステムは、主記憶アドレスに基づいて、主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグと、主記憶アドレスにおける連続ビット列の中の、少なくともタグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスとを、生成し、インデックスをキャッシュアドレスとして用いて、タグ及びデータをキャッシュメモリに格納し、インデックスを用いて、キャッシュメモリに格納されたデータにアクセスする。

発明の効果

- [0011] 開示したキャッシュメモリシステム、コンピュータシステム、及びキャッシュメモリアクセス方法によれば、所定のデータを、キャッシュメモリにおける所定の記憶領域に繰り返し格納し、アクセスすることができる。これにより、キャッシュメモリから他のデータよりも優先的に追い出すべき属性を有する複数のデータを、キャッシュメモリのある特定の記憶領域に格納して追い出すことを、繰り返すことができる。

図面の簡単な説明

- [0012] [図1]本実施形態のシステム構成例を示す図である。
[図2]インデックスの生成の一例を説明する図である。
[図3]インデックスの生成の一例を説明する図である。
[図4]主記憶装置上の属性を有するデータの記憶領域とそのデータが記憶されるキャッシュメモリの記憶領域との対応を説明する図である。
[図5]インデックスの生成の一例を説明する図である。

[図6] インデックスの生成の一例を説明する図である。

[図7] 本実施形態のキャッシュアクセス処理フローの例を示す図である。

[図8] 本実施形態のキャッシュメモリシステムによる効果を説明する図である。

[図9] 本発明者が検討したキャッシュメモリのアクセス技術を説明する図である。

[図10] 主記憶装置におけるデータの記憶領域とキャッシュメモリにおける記憶領域との対応付けを示す図である。

符号の説明

- [0013]
- 1 キャッシュメモリシステム
 - 2 プロセッサ
 - 3 主記憶装置
 - 1 1 インデックス・タグ生成部
 - 1 2 キャッシュ
 - 1 2 1 キャッシュメモリ
 - 1 2 2 アクセス部

発明を実施するための最良の形態

- [0014] 図9は、本発明者が検討したキャッシュメモリのアクセス技術を説明する図である。情報処理装置が備えるプロセッサは、主記憶装置のアドレス（以下、主記憶アドレスと言う）を指定して、主記憶装置のデータへアクセスする。一方、キャッシュメモリのアクセスを実行するアクセス処理部は、主記憶装置のデータの一部をコピーして格納する。この時、主記憶装置アドレスにおいて、オフセットを除く下位ビット列が、インデックス500として用いられる。図9において、主記憶装置アドレスの下位ビット列即ちインデックス500は「01000101」である。また、主記憶装置アドレスの上位ビット列が、タグ501として用いられる。

- [0015] アクセス処理部は、図9に矢印で示すように、キャッシュメモリ10において、プロセッサから指示された主記憶アドレスのインデックス500にア

クセスし、指示されたタグ501とアクセスしたキャッシュメモリ10の記憶領域に格納されたタグとが一致するか否かを判断する。アクセス処理部は、タグ501とアクセスした記憶領域に格納されたタグとが一致する場合、アクセス対象のデータがキャッシュメモリ10上に記憶されていると判断し、アクセス対象のデータをキャッシュメモリ10から読み出して、プロセッサ2に送信する。

[0016] 図9において、オフセットを除いて、主記憶装置アドレスの下位ビット列がインデックス500、主記憶装置アドレスの上位ビット列がタグ501として用いられる。従って、図10に矢印で示すように、主記憶装置におけるデータの記憶領域は、そのデータの属性とは無関係に又は独立に、キャッシュメモリにおける記憶領域と対応付けられる。この結果、図9のキャッシュメモリのアクセス技術によっては、同一の属性を有するデータを、キャッシュメモリにおける属性に対応する同一の記憶領域に繰り返し格納し、アクセスすることができない。

[0017] 従って、例えば、ストリーミングデータのように、大容量であって、かつ、一旦読み出した後キャッシュメモリから他のデータよりも優先的に追い出すべき属性を有する複数のデータを、キャッシュメモリのある特定の記憶領域に格納して追い出すことを、繰り返すことができない。

[0018] 図1は、本実施形態のキャッシュメモリシステムを備えるコンピュータシステムの構成の一例を示す図である。図2は、図1のキャッシュメモリシステムにおけるインデックス及びタグの生成の一例を説明する図である。

[0019] 図1に示すコンピュータシステムは、キャッシュメモリシステム1と、プロセッサ2と、主記憶装置3とを備える。キャッシュメモリシステム1は、プロセッサ2と主記憶装置3との間に設けられる。キャッシュメモリシステム1は、インデックス・タグ生成部11と、キャッシュ12とを備える。キャッシュ12は、キャッシュメモリ121と、アクセス部122とを備える。

[0020] プロセッサ2は、主記憶装置3の主記憶アドレスを指示して、主記憶装置

3にデータを格納する。また、プロセッサ2は、主記憶装置3の主記憶アドレスを指示して、主記憶装置3に格納されたデータを参照する。この主記憶装置3の参照に先立って、プロセッサ2は、キャッシュメモリ121に格納されたデータを参照する。従って、プロセッサ2は、キャッシュメモリシステム1に対して、アクセス対象のデータが記憶されている主記憶装置3の主記憶アドレスを指示する制御部である。プロセッサ2は、例えばCPU（Central Processing Unit:中央演算処理装置）等である。

[0021] キャッシュメモリシステム1は、主記憶装置3の主記憶アドレスに対応して格納されたデータを、キャッシュメモリ121のアドレス（以下、キャッシュアドレスと言う）に対応して格納する。キャッシュメモリシステム1は、プロセッサ2が指示した主記憶アドレスに基づいて、後述するように、インデックスとタグとを生成する。キャッシュメモリシステム1により生成されたインデックスがキャッシュアドレスとして用いられる。キャッシュメモリシステム1は、生成したインデックスに対応するキャッシュメモリ121の格納領域に、生成したタグと、データとを格納する。キャッシュメモリシステム1は、プロセッサ2が指示した主記憶アドレスから得られるインデックスを用いて、キャッシュメモリ121にアクセスする。

[0022] キャッシュメモリ121は、主記憶装置3よりも高速でアクセスが可能なメモリ又はデータ記憶部である。キャッシュメモリ121は、タグを格納するタグ格納領域（タグアレイ）と、データを格納するデータ格納領域（データアレイ）とを有する。即ち、キャッシュメモリ121は、インデックスをキャッシュアドレスとして用いて、キャッシュアドレスであるインデックスに対応して、タグ及びデータを格納する。

[0023] アクセス部122は、インデックス・タグ生成部11によって生成されたインデックスを用いてキャッシュメモリ121にアクセスする。即ち、アクセス部122は、キャッシュアドレスであるインデックスを用いて、キャッシュメモリ121に格納されたデータにアクセスする。具体的には、アクセス部122は、インデックスに対応するキャッシュメモリ121の記憶領域

を探索し、生成されたタグとタグアレイに格納されたタグとが一致するかを確認する。これにより、アクセス部 122 は、探索された記憶領域にアクセス対象のデータが存在するか否かを判断する。

[0024] アクセス部 122 は、探索された記憶領域にアクセス対象のデータが存在する場合、アクセス対象のデータを探索された記憶領域から読み出して、プロセッサ 2 に送信する。アクセス部 122 は、探索された記憶領域にアクセス対象のデータがない場合、アクセス対象のデータを主記憶装置 3 から読み出して、キャッシュメモリ 121 に書き込む。この後、アクセス部 122 は、キャッシュメモリ 121 に書き込んだデータを読み出して、プロセッサ 2 に送信する。

[0025] インデックス・タグ生成部 11 は、プロセッサ 2 が指示した主記憶アドレスに基づいて、インデックスとタグとを生成する。インデックスは、キャッシュメモリ 121 上の記憶領域又はブロック（キャッシュライン）のアドレスである。インデックスは、アクセス部 122 が記憶領域を探索するために用いられる。タグは、アクセス部 122 が探索した記憶領域にアクセス対象のデータが存在するか否かを判断するために用いられる。

[0026] 主記憶アドレスにおいて、オフセットを除いた残りの部分が、タグ及びインデックスとして用いられる。オフセットを除いた主記憶アドレスにおいて、タグとして用いられるビット列、及び、インデックスとして用いられるビット列は、予め定められる。インデックスは、主記憶アドレスにおいて、タグであるビット列及びオフセットであるビット列を除いたビット列である。ビット列は、16 ビット又は 32 ビット等の複数のビットを含む主記憶アドレスにおいて、連続した複数のビットである。

[0027] インデックス・タグ生成部 11 は、主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグを、生成する。また、インデックス・タグ生成部 11 は、主記憶アドレスにおける、少なくともタグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスを、生成する。

- [0028] 具体的には、インデックス・タグ生成部 11 は、タグである上位の連続ビット列として、主記憶アドレスにおける最上位ビットを含む連続するビット列を用いる。また、インデックス・タグ生成部 11 は、タグである下位の連続ビット列として、主記憶アドレスにおけるオフセットを除く最下位ビットを含む連続するビット列を用いる。これにより、インデックス・タグ生成部 11 は、タグを生成する。
- [0029] 例えば、インデックス・タグ生成部 11 は、図 2 に示すように、例えば、プロセッサ 2 が指示した主記憶アドレス A の中で、上位の連続ビット列と下位の連続ビット列との組み合わせを、タグ 100 として生成する。また、インデックス・タグ生成部 11 は、図 2 に示すように、タグ 100 を構成する上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列「0100」を、インデックス 101 として生成する。
- [0030] 以上に説明したように、図 2 の例は、プロセッサ 2 から指示された主記憶アドレスを、オフセットを除いて、3 個の連続ビット列に分割し、タグ及びインデックスを生成する例である。また、図 2 の例は、3 個の連続ビット列の中で、真ん中の 1 個の連続ビット列がインデックスとして用いられ、両端の 2 個の連続ビット列がタグとして用いられる例である。主記憶アドレスにおいて、オフセット及びタグを除いた部分が、インデックスとして用いられる。なお、主記憶アドレスは、3 等分しても、3 等分しなくても良い。
- [0031] ここで、プロセッサ 2 は、インデックスとされるべき、タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列の値を、主記憶装置 3 に格納されたデータの属性に応じて、予め定める。同一の属性を有するデータは、同一の値のインデックスとされるべき連続ビット列を含む。
- [0032] 従って、インデックス・タグ生成部 11 は、主記憶装置 3 に格納されたデータの属性に応じて、インデックスを生成することができる。また、主記憶装置 3 は、ある属性を有するデータを、当該属性に応じたインデックスに対応する記憶領域に記憶することができる。これにより、主記憶装置 3 にお

るデータの記憶領域は、そのデータの属性に応じて、キャッシュメモリ 121 における記憶領域と対応付けられる。

[0033] 例えば、ストリーミングデータは、大容量であって、かつ、キャッシュメモリから一旦読み出したら、その後、再度読み出されることは無いと考えて良い。従って、ストリーミングデータは、キャッシュメモリから他のデータよりも優先的に追い出すべき属性を有するデータである。従って、ストリーミングデータをキャッシュメモリから優先的に追い出した後の格納領域に、次のストリーミングデータを格納することができれば、キャッシュメモリ 121 の使用効率が良い。

[0034] そこで、プロセッサ 2 は、同一のコンテンツであるストリーミングデータの各々について、インデックスとされる主記憶アドレスの連続ビット列の値を、予め定める。これにより、同一のコンテンツであるストリーミングデータの各々は、同一のインデックス即ちキャッシュアドレスを備えることができる。この結果、キャッシュメモリから他のデータよりも優先的に追い出すべき複数のデータを、ある特定の記憶領域に格納して追い出すことを、繰り返すことができる。

[0035] これにより、例えば同一のコンテンツであるストリーミングデータは、ある特定の記憶領域に格納して追い出すことを繰り返し、他のデータをキャッシュメモリ 121 の他の領域に格納することができる。この結果、データ容量の少ないキャッシュメモリ 121 を有効に活用することができる。

[0036] なお、実際には、プロセッサ 2 上で動作するストリーミングデータを処理するプログラムが、インデックスとされる連続ビット列の値を、例えば同一のコンテンツについて、予め定める。更に言えば、当該プログラムを作成するプログラマが、インデックスとされる連続ビット列の値を、例えば同一のコンテンツについて、予め定める。

[0037] 図 3 は、本実施形態のキャッシュメモリシステムにおけるインデックスとタグとの他の生成の一例を説明する図である。なお、図 3 のキャッシュメモリ 121 において、タグアレイを「タグ」と表示し、データアレイを「デー

タ」と表示している。

[0038] 図3において、インデックス・タグ生成部11は、タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列と、タグである下位の連続ビット列よりも下位の連続するビット列とを用いることにより、インデックスを生成する。

[0039] 例えば、インデックス・タグ生成部11は、プロセッサ2が指示した主記憶アドレスAの中で、図3のビット列1とビット列2とを組み合わせ、タグ102を生成する。これに加えて、インデックス・タグ生成部11は、ビット列1とビット列2との間に挟まれた上位の連続ビット列「0100」と、ビット列2より下位の連続ビット列「0101」とを組み合わせた連続ビット列「01000101」を、インデックスとして生成する。

[0040] なお、前述したように、下位の連続ビット列は、主記憶アドレスのオフセットを含まない。太い楕円で囲まれた連続ビット列「0100」は、主記憶アドレスAが指示するデータの属性に対応する。

[0041] キャッシュ12が備えるアクセス部122は、生成されたインデックスとタグとを用いてキャッシュメモリ121にアクセスする。従って、上位の連続ビット列が「0100」であるインデックスに対応するデータは、図3に示すキャッシュメモリ121内の連続する記憶領域Bに書き込まれる。即ち、主記憶アドレスAが示すデータの属性と同一の属性を有するデータは、キャッシュメモリ121内の同じ連続記憶領域Bに書き込まれる。また、下位の連続ビット列が「0101」であるアドレスに対応するデータは、連続記憶領域B内の同一の記憶領域に書き込まれる。

[0042] 以上に説明したように、図3の例は、プロセッサ2から指示された主記憶アドレスを、オフセットを除いて、4個の連続ビット列に分割し、タグ及びインデックスを生成する例である。また、図3の例は、4個の連続ビット列を交互にタグ又はインデックスとして用い、かつ、主記憶アドレスの最上位ビットを含む連続ビット列がタグとして用いられ、主記憶アドレスのオフセットを除く最下位ビットを含む連続ビット列がインデックスとして用いられ

る例である。主記憶アドレスにおいて、オフセット及びタグを除いた部分が、インデックスとして用いられる。なお、主記憶アドレスは、4等分しても、4等分しなくても良い。

[0043] 図4は、タグ及びインデックスが図3に示すように生成される場合における、主記憶装置上の属性を有するデータの記憶領域とそのデータが記憶されるキャッシュメモリの記憶領域との対応を示す。

[0044] 例えば、第1の配列データ $a[0] \cdots a[127]$ と、第2の配列データ $a[128] \cdots a[255]$ とが、同一の属性を有するデータである。第1の配列データと第2の配列データとに共通の属性を、例えば属性Aとする。また、例えば、第3の配列データ $b[0] \cdots b[127]$ と、第4の配列データ $b[128] \cdots b[255]$ とが、同一の属性を有するデータである。第3の配列データと第4の配列データとに共通の属性を、例えば属性Bとする。

[0045] 主記憶装置3における第1の配列データの主記憶アドレスと第2の配列データの主記憶アドレスとは、相互に等しい連続ビット列を含む。この相互に等しい連続ビット列は、属性Aに対応するビット列である。

[0046] 例えば、図3において太い楕円で囲んで示すように、連続ビット列「0100」は、第1の配列データの主記憶アドレスと第2の配列データの主記憶アドレスとにおいて、相互に等しい。従って、図4に示すように、第1の配列データと第2の配列データとは、キャッシュメモリ121内の同一の連続記憶領域Cに書き込まれる。

[0047] また、第3の配列データと第4の配列データとは、それらの属性が第1の配列データ、第2の配列データの属性と異なる。従って、図4に示すように、第3の配列データと第4の配列データとは、キャッシュメモリ121内の、連続記憶領域Cとは異なる記憶領域である連続記憶領域Dに書き込まれる。

[0048] 例えば、アクセス部122が第1の配列データをキャッシュメモリ121に書き込み、この後、プロセッサ2が第1の配列データを使用しているもの

とする。プロセッサ2による第1の配列データの使用が終了すると、アクセス部122は、例えば、キャッシュメモリ121の連続記憶領域Cから第1の配列データを追い出して、第2の配列データをこの連続記憶領域Cに書き込んで使用する。従って、本実施形態のキャッシュメモリシステム1によれば、同一の属性を有するデータについてはキャッシュメモリ121におけるその属性に対応する同一の記憶領域を繰り返し用いて、そのデータにアクセスすることができる。

[0049] 図5は、本実施形態における、主記憶装置上の属性を有するデータの記憶領域とそのデータが記憶されるキャッシュメモリの記憶領域との他の対応の一例を説明する図である。

[0050] 図5において、インデックス・タグ生成部11が生成するタグは、インデックスの少なくとも一部を含む。

[0051] 図5に示すように、インデックス・タグ生成部11は、主記憶装置の主記憶アドレスが表すビット列の中で、ビット列3とビット列4とを組み合わせ、インデックス200を生成する。これと共に、インデックス・タグ生成部11は、ビット列3と、このビット列3を挟む複数のビット列5、6とを組み合わせ、タグ201を生成する。従って、図5の場合のタグは、インデックスの少なくとも一部を含む。これにより、タグの生成の際に、例えば図5に示すビット列5とビット列6のように、不連続なビット列を組み合わせる必要がなくなる。

[0052] 図6は、本実施形態における、主記憶装置上の属性を有するデータの記憶領域とそのデータが記憶されるキャッシュメモリの記憶領域との更に他の対応の一例を説明する図である。

[0053] 図6において、インデックス・タグ生成部11は、タグである上位の連続ビット列として、主記憶アドレスにおける最上位ビットを含む連続するビット列を用いることにより、タグを生成し、主記憶アドレスにおけるオフセットを除く最下位ビットを含む連続するビット列を用いることにより、インデックスを生成する。また、インデックス・タグ生成部11は、主記憶アドレ

スを、オフセットを除いて、5個以上の複数個（奇数個）の連続ビット列に分割し、タグ及びインデックスを生成する。

[0054] これにより、インデックス・タグ生成部 11 は、主記憶装置 3 に記憶されるデータの属性を階層化して、階層構造を有するデータの属性に応じてインデックスを生成する。なお、以下の説明において、例えば、属性 C の下位階層の属性が属性 C1 及び C2 であり、属性 C2 の下位階層の属性が属性 C21 と C22 であるものとする。

[0055] 例えば、図 6（A）に示すように、インデックス・タグ生成部 11 は、互いに予め決められたビット分離れた、上位の連続ビット列（「1101」）と中位の連続ビット列（「0100」）と下位の連続ビット列（「0101」）とを組み合わせた連続ビット列を、インデックスとして生成する。また、インデックス・タグ生成部 11 は、連続ビット列 7、8、9、10 を組み合わせてタグを生成する。

[0056] 例えば、図 6（A）に示す上位の連続ビット列「1101」は、属性 C に対応する。従って、属性 C のデータは、図 6（B）に示すキャッシュメモリ 121 内の連続記憶領域 P に書き込まれる。

[0057] また、図 6（A）に示す上位の連続ビット列「1101」の位置と中位の連続ビット列「0100」の位置とがビット列 8 を挟んで離れている。これにより、図 6（B）に示すように、属性 C の下位階層の属性を有するデータの中で、属性 C1 のデータがキャッシュメモリ 121 内の連続記憶領域 P1 に書き込まれ、属性 C2 のデータが連続記憶領域 P2 に書き込まれる。

[0058] 更に、図 6（A）に示す中位の連続ビット列「0100」の位置と下位の連続ビット列「0101」の位置とがビット列 9 を跨いで離れている。これにより、図 6（B）に示すように、属性 C2 の下位階層の属性を有するデータの中で、属性 C21 のデータがキャッシュメモリ 121 内の記憶領域 P21 に書き込まれ、属性 C22 のデータが連続記憶領域 P22 に書き込まれる。

[0059] インデックス・タグ生成部 11 は、以上のような属性を有するデータが、

以下のようにキャッシュメモリ 121 に書き込まれるように、インデックスを生成する。即ち、属性 C のデータが連続記憶領域 P に書き込まれ、属性 C の下位階層である属性 C 1、C 2 のデータがそれぞれ連続記憶領域 P 1、P 2 に書き込まれ、属性 C 2 の下位階層である属性 C 2 1、C 2 2 のデータがそれぞれ連続記憶領域 P 2 1、P 2 2 に書き込まれる。換言すれば、インデックス・タグ生成部 11 は、階層構造を有するデータの属性に応じてインデックスを生成する。これにより、主記憶装置 3 上のデータを、そのデータの階層分けされた属性に応じたキャッシュメモリ 121 の記憶領域と対応付けることができる。

[0060] 以上に説明したように、図 6 の例は、プロセッサ 2 から指示された主記憶アドレスを、オフセットを除いて、複数個（奇数個）の連続ビット列に分割し、タグ及びインデックスを生成する例である。また、図 6 の例は、奇数個の連続ビット列を交互にタグ又はインデックスとして用い、かつ、主記憶アドレスの最上位ビットを含む連続ビット列と、オフセットを除く最下位ビットを含む連続ビット列との双方がタグとして用いられる例である。主記憶アドレスにおいて、オフセット及びタグを除いた部分が、インデックスとして用いられる。主記憶アドレスは、等分しても、等分しなくても良い。

[0061] なお、主記憶アドレスを、オフセットを除いて、偶数個の連続ビット列に分割し、タグ及びインデックスを生成するようにしても良い。この場合、偶数個の連続ビット列が交互にタグ又はインデックスとして用いられ、かつ、主記憶アドレスの最上位ビットを含む連続ビット列がタグとして用いられ、主記憶アドレスのオフセットを除く最下位ビットを含む連続ビット列がインデックスとして用いられる。

[0062] 図 7 は、本実施形態のキャッシュアクセス処理フローの例を示す図である。

[0063] キャッシュメモリシステム 1 が備えるインデックス・タグ生成部 11 は、プロセッサ 2 から、プロセッサ 2 がアクセスを要求するデータ（アクセス対象のデータ）の主記憶アドレスの指示を受信する（ステップ S 1）。

- [0064] インデックス・タグ生成部 11 は、プロセッサ 2 から受信した主記憶アドレスに基づいて、インデックスとタグとを生成する（ステップ S 2）。ステップ S 2 において、インデックス・タグ生成部 11 は、例えば、指示された主記憶アドレスが示すデータの属性に対応する連続ビット列であって、少なくともタグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列を、インデックスとして生成する。
- [0065] 次に、キャッシュ 12 が備えるアクセス部 122 は、ステップ S 2 において生成されたインデックスとタグとを用いて、アクセス対象のデータがキャッシュメモリ 121 上にあるか否かを判断する（ステップ S 3）。
- [0066] ステップ S 3 において、アクセス部 122 は、ステップ S 2 において生成されたインデックスに対応するキャッシュメモリ 121 の記憶領域を探索し、ステップ S 2 において生成されたタグとタグアレイに格納されたタグとが一致するか否かを調べる。これにより、アクセス部 122 は、探索された記憶領域にアクセス対象のデータが存在するか、即ち、アクセス対象のデータがキャッシュメモリ 121 上にあるか否かを判断する。アクセス部 122 は、ステップ S 2 において生成されたタグとタグアレイに格納されたタグとが一致する場合、アクセス対象のデータがキャッシュメモリ 121 上にあると判断する。アクセス部 122 は、ステップ S 2 において生成されたタグとタグアレイに格納されたタグとが一致しない場合、アクセス対象のデータがキャッシュメモリ 121 上にないと判断する。
- [0067] アクセス部 122 は、アクセス対象のデータがキャッシュメモリ 121 上にある場合（S 3 YES）、そのアクセス対象のデータをキャッシュメモリ 121 の探索された記憶領域から読み出してプロセッサ 2 に送信する（ステップ S 4）。
- [0068] アクセス部 122 は、アクセス対象のデータがキャッシュメモリ 121 上にない場合（S 3 NO）、そのアクセス対象のデータを主記憶装置 3 から読み出して、キャッシュメモリ 121 に書き込む（ステップ S 5）。
- [0069] 図 8 は、本実施形態のキャッシュメモリシステムにおける使用効率の向上

について説明する図である。

- [0070] 配列データ $c[0]$ 、 $c[1]$ 、 $c[2]$ 、 $\dots$ 、 $c[9]$ は、配列データ A である。配列データ A は、例えば、プロセッサ 2 による使用のサイクルが遅いという属性を有するものとする。配列データ $d[0]$ 、 $d[1]$ 、 $d[2]$ 、 $\dots$ 、 $d[9]$ は、配列データ B である。配列データ B は、例えば、プロセッサ 2 による使用のサイクルが早いという属性を有するものとする。配列データ $d[10]$ 、 $d[11]$ 、 $d[12]$ 、 $\dots$ 、 $d[19]$ は、配列データ C である。配列データ C は、例えば、配列データ B と同一の属性を有するものとする。また、プロセッサ 2 は、現在、配列データ A と配列データ B とを使用しているものとする。
- [0071] キャッシュメモリシステム 1 は、異なる属性を有する配列データ A と配列データ B とを、各々、キャッシュメモリ 121 上の異なる連続記憶領域に書き込む。また、キャッシュメモリシステム 1 は、同一の属性を有する配列データ B と配列データ C とを、キャッシュメモリ 121 上の同じ連続記憶領域に書き込む。
- [0072] 従って、キャッシュメモリシステム 1 は、例えばプロセッサ 2 が配列データ B を使用し終わった後に、他のデータよりも優先的に配列データ B をキャッシュメモリ 1 の連続記憶領域から追い出すことができる。その上で、キャッシュメモリシステム 1 は、配列データ B に代えて、配列データ C を、配列データ B を追い出した後の連続記憶領域に書き込むことができる。更に、キャッシュメモリシステム 1 は、配列データ B をキャッシュメモリ 121 の連続記憶領域から追い出すことにより、プロセッサ 2 が未使用である配列データ A がキャッシュメモリ 121 から追い出されないようにすることができる。

請求の範囲

- [1] 主記憶装置の主記憶アドレスに対応して格納されたデータを、キャッシュアドレスに対応して格納するキャッシュメモリシステムであって、
- 前記主記憶アドレスに基づいて、前記主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグと、前記主記憶アドレスにおける連続ビット列の中の、少なくとも前記タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスとを、生成するインデックス・タグ生成部と、
- 前記インデックスを前記キャッシュアドレスとして用いて、前記タグ及び前記データを格納するキャッシュメモリと、
- 前記インデックスを用いて、前記キャッシュメモリに格納されたデータにアクセスするアクセス部とを備える
- ことを特徴とするキャッシュメモリシステム。
- [2] 前記インデックス・タグ生成部は、前記主記憶装置に格納された前記データの属性に応じて、前記インデックスを生成する
- ことを特徴とする請求項 1 記載のキャッシュメモリシステム。
- [3] 前記インデックスとされるべき前記タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列の値を、前記主記憶装置に格納された前記データの属性に応じて、予め定められる
- ことを特徴とする請求項 2 記載のキャッシュメモリシステム。
- [4] 前記インデックス・タグ生成部は、前記タグである上位の連続ビット列として、前記主記憶アドレスにおける最上位ビットを含む連続するビット列を用い、前記タグである下位の連続ビット列として、前記主記憶アドレスにおけるオフセットを除く最下位ビットを含む連続するビット列を用いることにより、前記タグを生成する
- ことを特徴とする請求項 1 記載のキャッシュメモリシステム。
- [5] 前記インデックス・タグ生成部は、前記タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列と、前記タグである下位

の連続ビット列よりも下位の連続するビット列とを用いることにより、前記インデックスを生成する

ことを特徴とする請求項 1 記載のキャッシュメモリシステム。

- [6] 前記インデックス・タグ生成部は、前記タグである上位の連続ビット列として、前記主記憶アドレスにおける最上位ビットを含む連続するビット列を用いることにより、前記タグを生成し、前記主記憶アドレスにおけるオフセットを除く最下位ビットを含む連続するビット列を用いることにより、前記インデックスを生成する

ことを特徴とする請求項 1 記載のキャッシュメモリシステム。

- [7] 前記インデックス・タグ生成部は、前記インデックスの少なくとも一部を含む前記タグを生成する

ことを特徴とする請求項 1 記載のキャッシュメモリシステム。

- [8] 主記憶アドレスに対応してデータを格納する主記憶装置と、
前記主記憶アドレスに基づいて、前記主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグと、前記主記憶アドレスにおける連続ビット列の中の、少なくとも前記タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスとを、生成するインデックス・タグ生成部と、

前記インデックスをキャッシュアドレスとして用いて、前記タグ及び前記データを格納するキャッシュメモリと、

前記主記憶アドレスを指示して、前記キャッシュメモリに格納されたデータを参照する制御部と、

前記制御部から指示された前記主記憶アドレスに基づいて、前記主記憶アドレスの一部である前記インデックスを用いて、前記キャッシュメモリに格納されたデータにアクセスするアクセス部とを備える

ことを特徴とするコンピュータシステム。

- [9] 前記制御部は、前記インデックスとされるべき前記タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列の値を、前記

主記憶装置に格納された前記データの属性に応じて、予め定め、

前記インデックス・タグ生成部は、前記主記憶装置に格納された前記データの属性に応じて、前記インデックスを生成する

ことを特徴とする請求項 8 記載のコンピュータシステム。

- [10] 主記憶装置の主記憶アドレスに対応して格納されたデータを、キャッシュアドレスに対応して格納するキャッシュメモリシステムのアクセス方法であって、

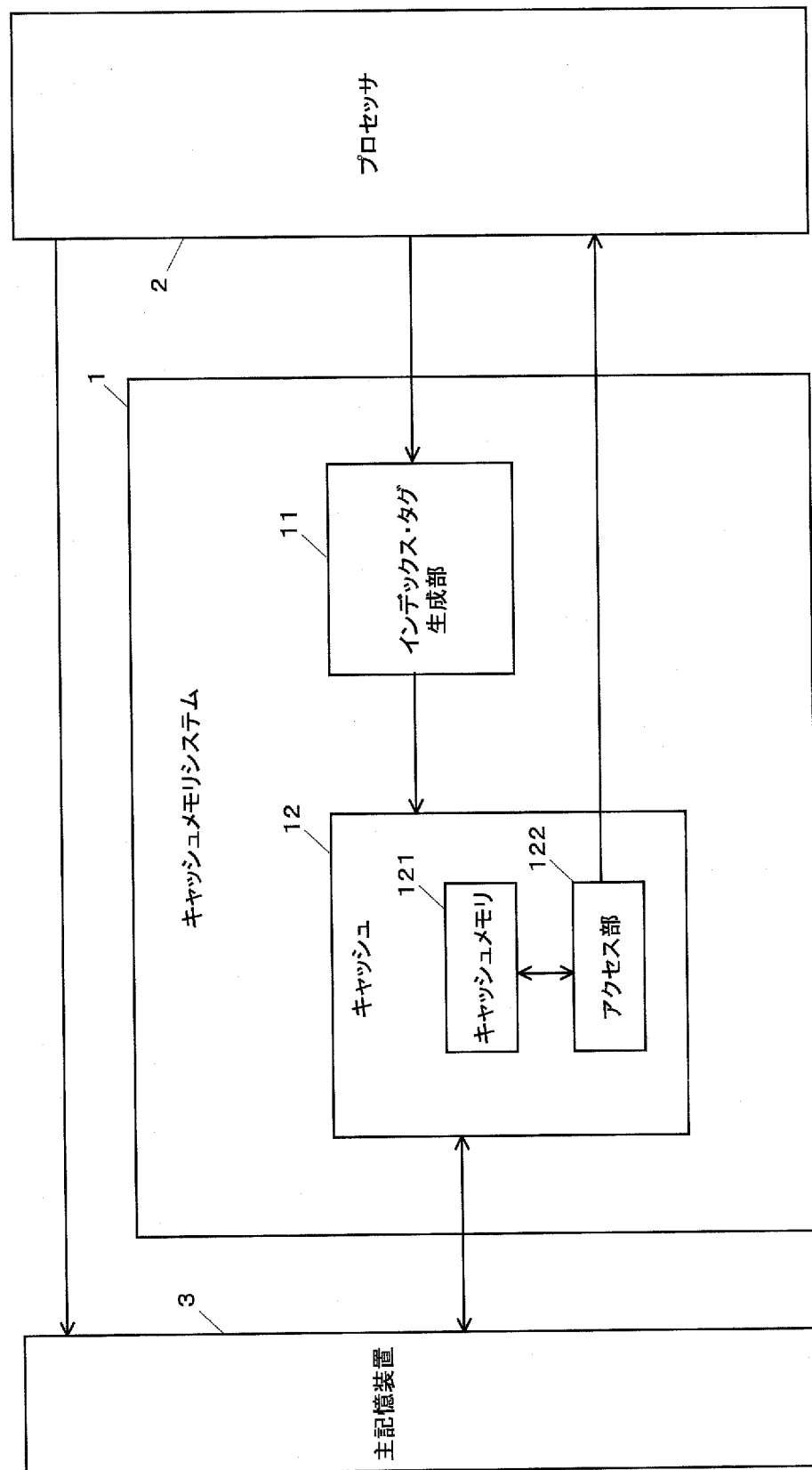
前記主記憶アドレスに基づいて、前記主記憶アドレスにおける上位の連続ビット列と下位の連続ビット列とを含むタグと、前記主記憶アドレスにおける連続ビット列の中の、少なくとも前記タグである上位の連続ビット列と下位の連続ビット列との間に挟まれた連続ビット列であるインデックスとを、生成し、

前記インデックスを前記キャッシュアドレスとして用いて、前記タグ及び前記データを前記キャッシュメモリに格納し、

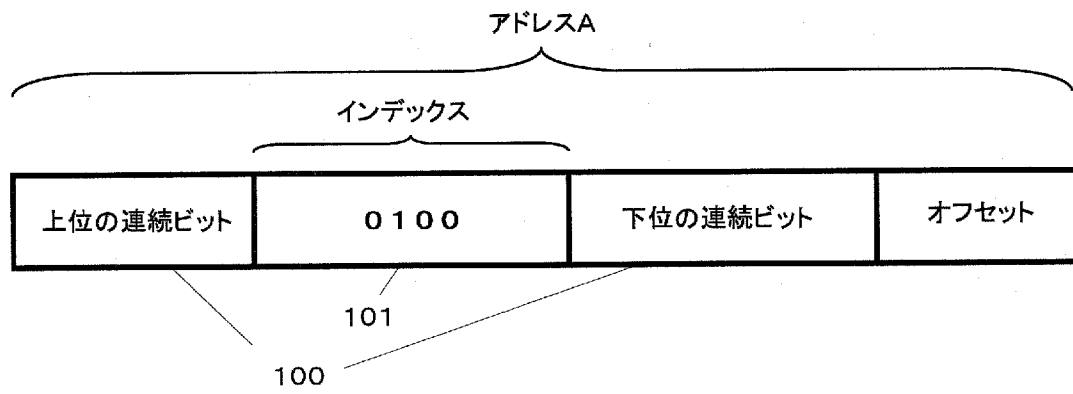
前記インデックスを用いて、前記キャッシュメモリに格納されたデータにアクセスする

ことを特徴とするキャッシュメモリアクセス方法。

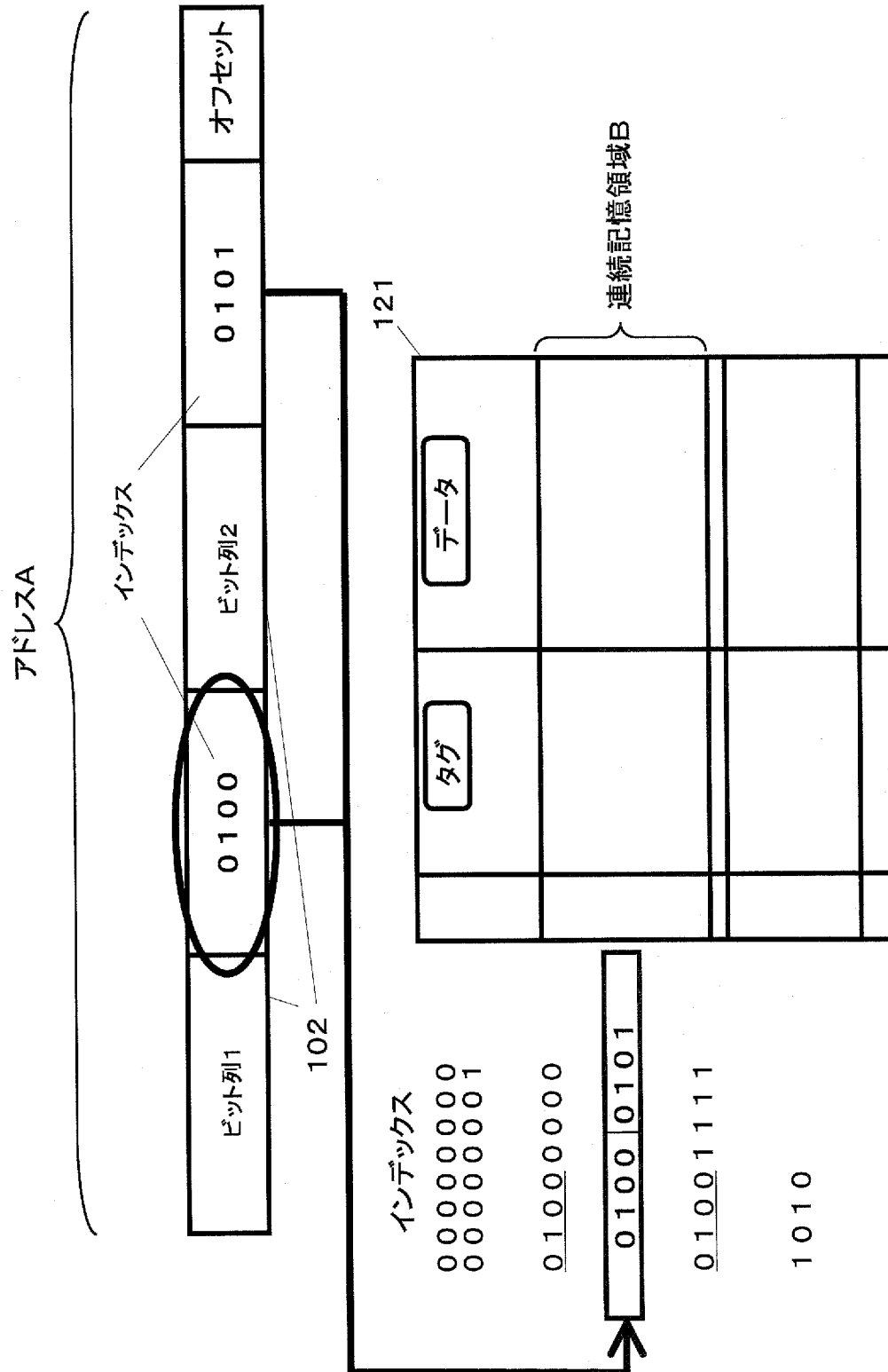
[図1]



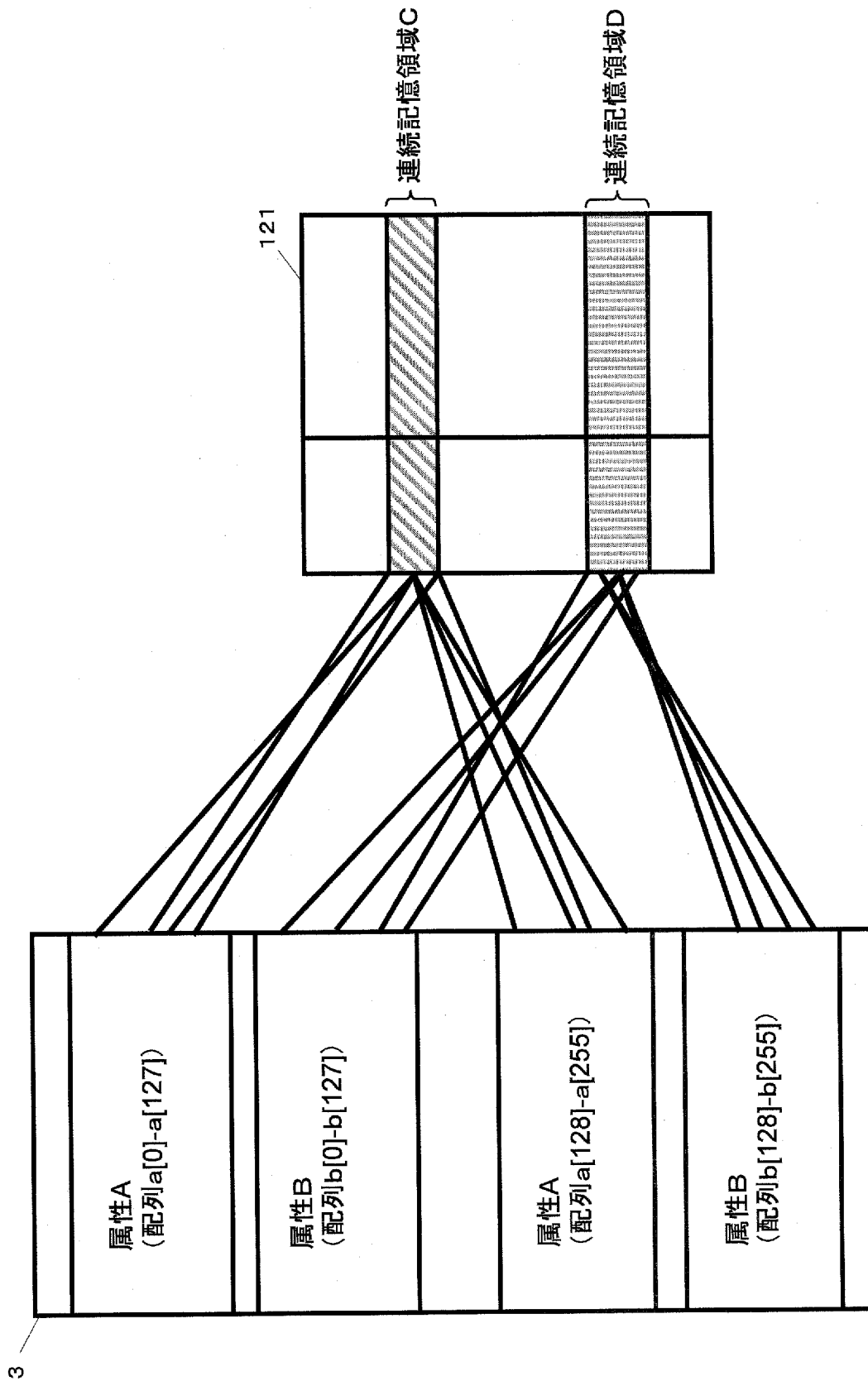
[図2]



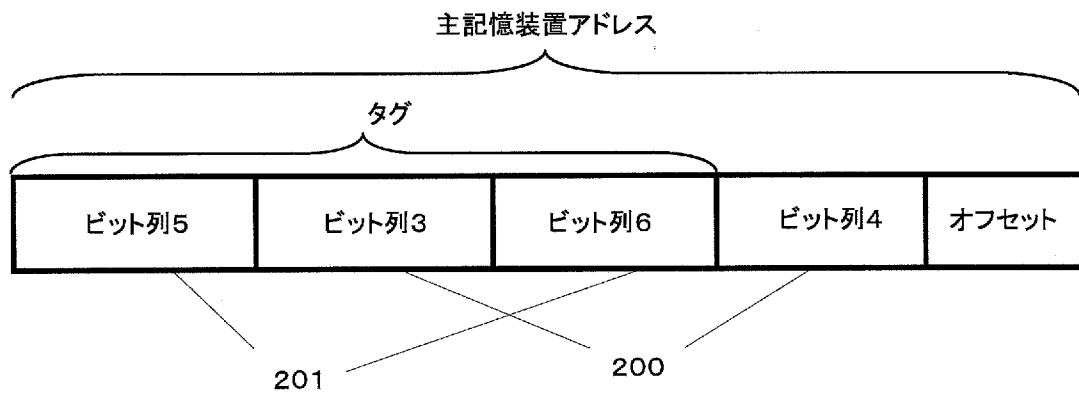
[図3]



[図4]

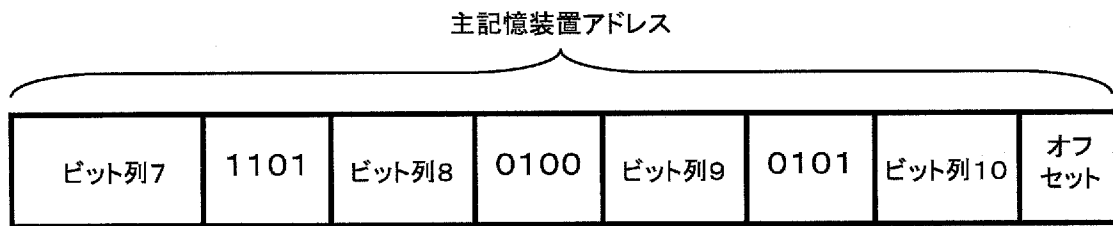


[図5]

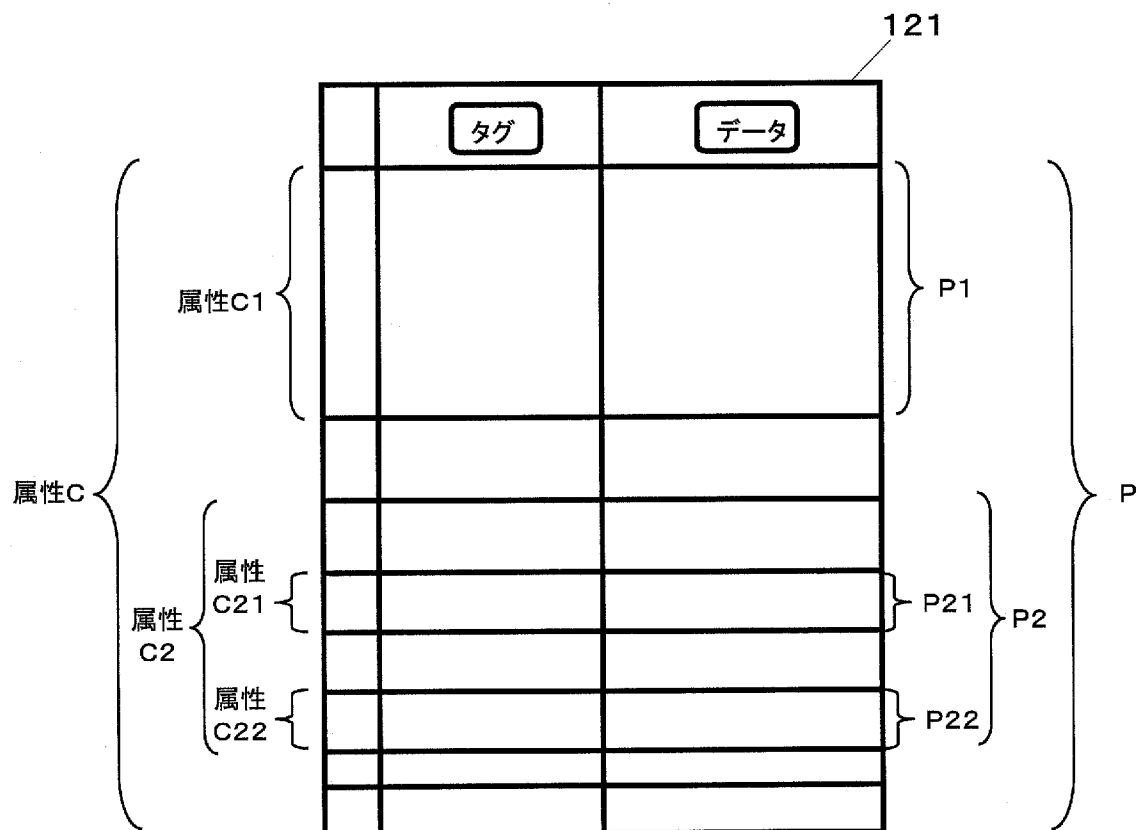


[図6]

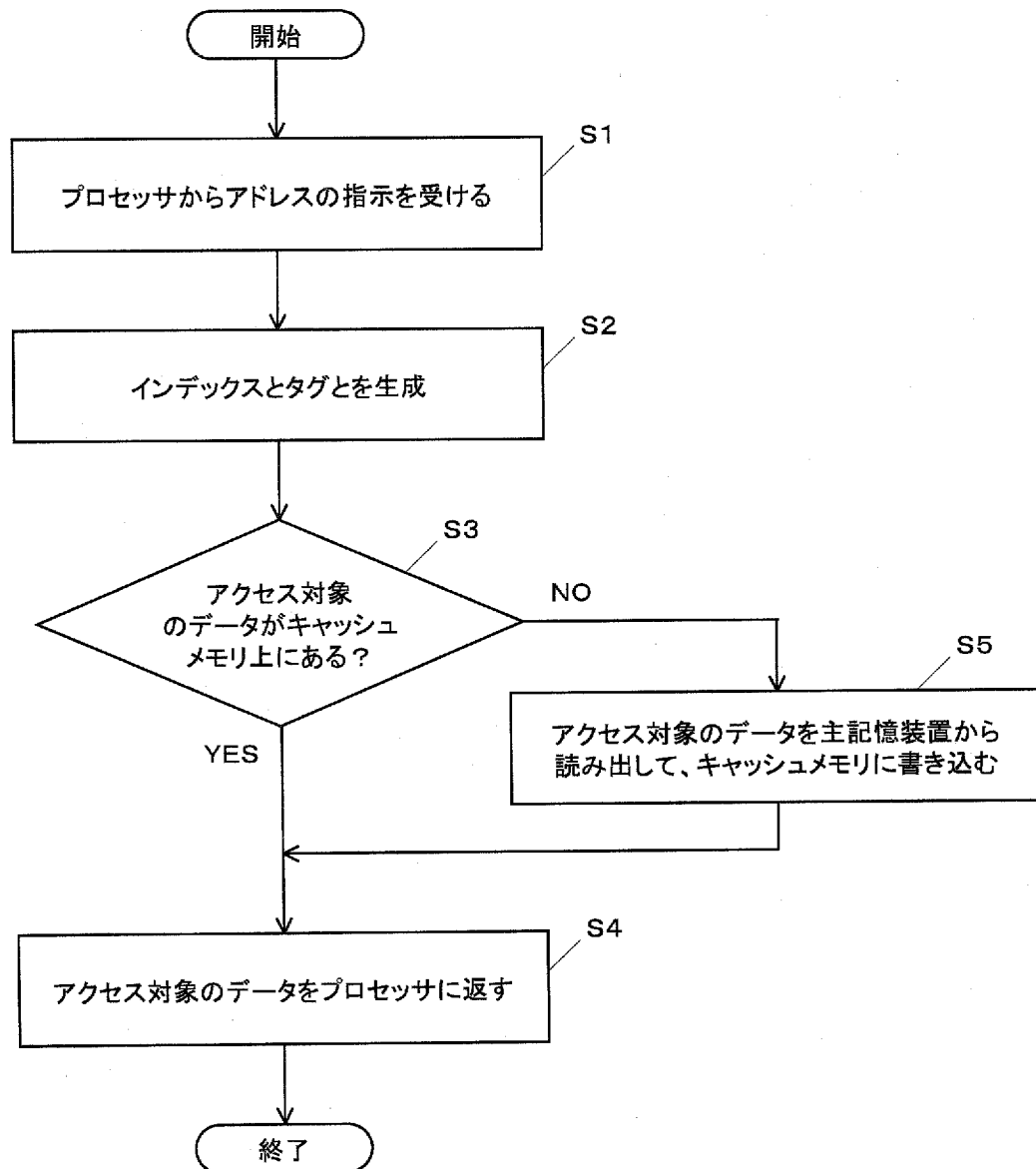
(A)



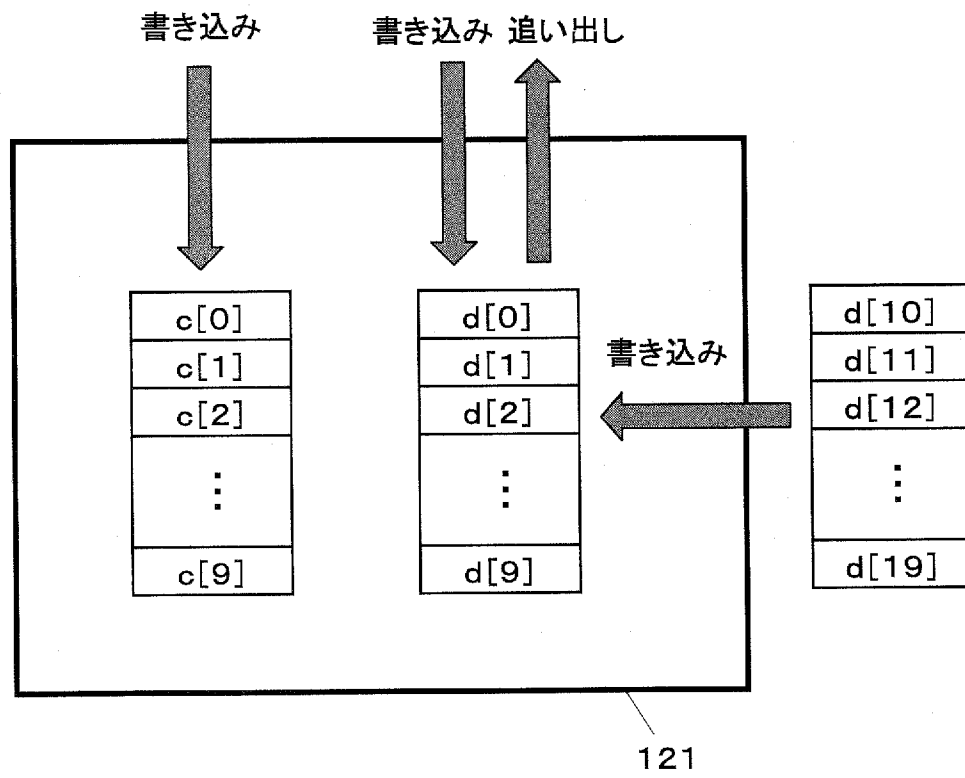
(B)



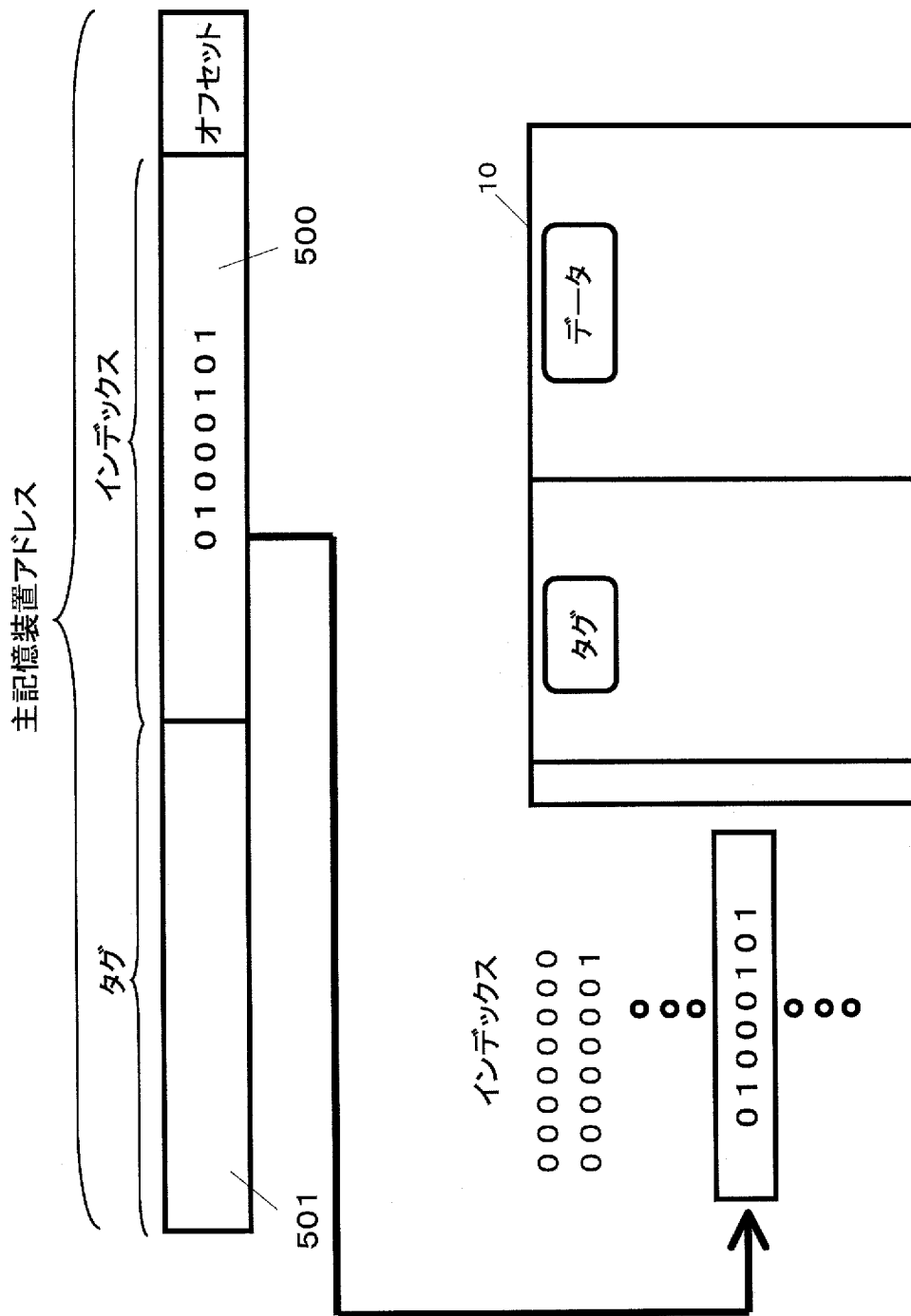
[図7]



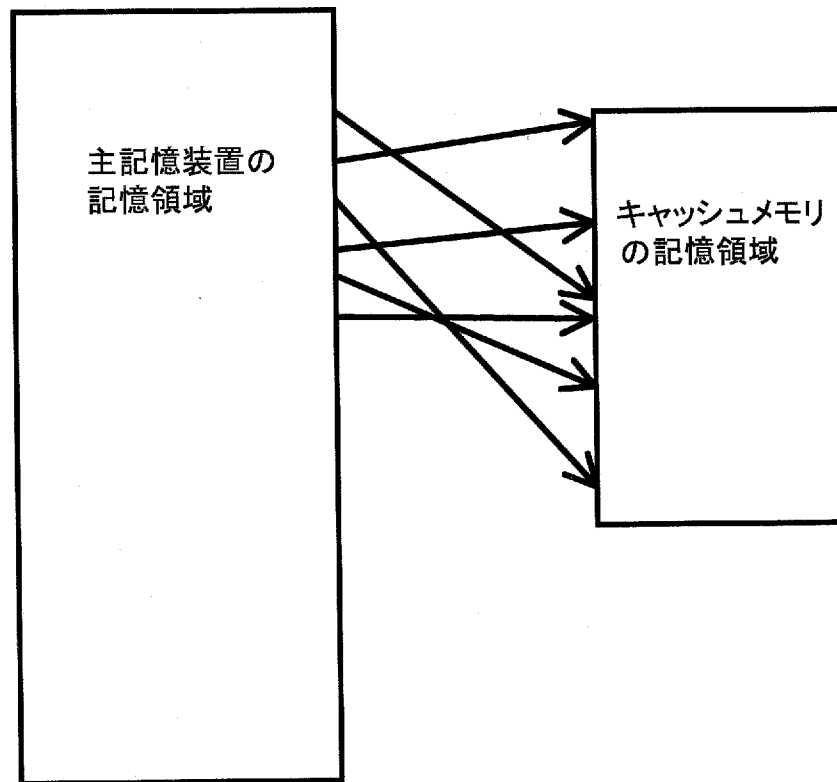
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/000458

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/08-12/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009

Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-33688 A (Fujitsu Ltd.), 14 February, 2008 (14.02.08), Par. Nos. [0041] to [0044]; Fig. 8 & US 2008/0028151 A1	1, 5, 6, 8, 10 2, 3, 9
X Y	JP 4-209049 A (Fujitsu Ltd., Fujitsu Communication Systems Ltd.), 30 July, 1992 (30.07.92), Page 4, upper right column, line 9 to page 6, lower right column, line 16; Figs. 2, 3 (Family: none)	1, 4, 7, 8, 10 2, 3, 9
Y	JP 2000-339220 A (Nippon Telegraph And Telephone Corp.), 08 December, 2000 (08.12.00), Par. Nos. [0014] to [0018]; Fig. 1 (Family: none)	2, 3, 9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2009 (03.06.09)Date of mailing of the international search report
16 June, 2009 (16.06.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/000458

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-507599 A (GMD Forschungszentrum Informations Technik GmbH), 29 July, 1997 (29.07.97), Page 8, lines 1 to 11 & WO 1996/013005 A1 & DE 19538961 A1	2, 3, 9
A	JP 2001-282617 A (International Business Machines Corp.), 12 October, 2001 (12.10.01), Par. Nos. [0054] to [0071]; Figs. 5, 6, 7 & US 6493800 B1	2, 3, 9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F12/08 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/08-12/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	J P 2 0 0 8 - 3 3 6 8 8 A (富士通株式会社) 2 0 0 8 . 0 2 . 1 4 , 【 0 0 4 1 】 - 【 0 0 4 4 】 , 【 図 8 】 & U S 2 0 0 8 / 0 0 2 8 1 5 1 A 1	1, 5, 6, 8, 10 2, 3, 9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 6 . 2 0 0 9

国際調査報告の発送日

1 6 . 0 6 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

清 木 泰

5 N

9 6 4 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	J P 4-209049 A (富士通株式会社、 富士通コミュニケーション・システムズ株式会社) 1992.07.30, 第4頁右上欄第9行-第6頁右下欄第16行, 第2図, 第3図 (ファミリーなし)	1, 4, 7, 8, 10 2, 3, 9
Y	J P 2000-339220 A (日本電信電話株式会社) 2000.12.08, 【0014】-【0018】, 【図1】 (ファミリーなし)	2, 3, 9
Y	J P 9-507599 A (ゲーエムデーフォルシュングスツェントルム インフォルマチオンシュテクニク ゲーエムベーハー) 1997.07.29, 第8頁第1行-第11行 & WO 1996/013005 A1 & DE 19538961 A1	2, 3, 9
A	J P 2001-282617 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2001.10.12, 【0054】-【0071】, 【図5】, 【図6】, 【図7】 & US 6493800 B1	2, 3, 9