

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.
H01L 29/786 (2006.01)

(45) 공고일자 2006년09월20일
(11) 등록번호 10-0626007
(24) 등록일자 2006년09월13일

(21) 출원번호 10-2004-0050421
(22) 출원일자 2004년06월30일

(65) 공개번호 10-2006-0001321
(43) 공개일자 2006년01월06일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 김태성
인천광역시 남구 주안동 26-8 태화아파트 2동 707호

(74) 대리인 리앤목특허법인
이해영

(56) 선행기술조사문헌
JP08298327 A
KR10200000010707 A
15338509 *

KR1019990030140 A
10200000057733 *

* 심사관에 의하여 인용된 문헌

심사관 : 임동우

(54) 박막 트랜지스터, 상기 박막 트랜지스터의 제조방법, 이박막 트랜지스터를 구비한 평판표시장치, 및 이평판표시장치의 제조방법

요약

본 발명은 소스/드레인 전극의 배선저항을 낮게 하고, 활성층으로부터의 오염을 방지하며, 화소전극과의 접촉저항 특성이 개선되고, 활성층에의 수소 공급을 원활히 하여, 모빌리티, 온 커런트 특성, 문턱 전압 특성 등이 우수한 TFT 및 이를 구비한 평판표시장치를 제공하는 데에 목적이 있다. 이를 위하여 본 발명은, 채널 영역과, 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 신호를 인가하는 게이트 전극과, 상기 소스 및 드레인 영역에 각각 접속되고, 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 소스 및 드레인 전극과, 상기 소스 및 드레인 전극과 상기 활성층의 사이에 개재되고, 실리콘 나이트라이드를 포함하는 절연막을 포함하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 평판표시장치에 있어서의 박막트랜지스터를 나타낸 단면도이다.

도 2는 본 발명의 제 1 실시예에 따른 TFT의 단면도,

도 3은 본 발명의 제 2 실시예에 따른 TFT의 단면도,

도 4는 본 발명의 제 3 실시예에 따른 TFT의 단면도,

도 5는 본 발명의 제 4 실시예에 따른 TFT의 단면도,

도 6은 도 2에 따른 TFT를 구비한 유기 전계 발광 표시장치의 단면도,

도 7은 도 3에 따른 TFT를 구비한 유기 전계 발광 표시장치의 단면도,

도 8은 도 4에 따른 TFT를 구비한 유기 전계 발광 표시장치의 단면도,

도 9는 도 5에 따른 TFT를 구비한 유기 전계 발광 표시장치의 단면도이다.

(도면의 주요 부위에 대한 부호의 설명)

100: 절연기판 110: 활성층

115: 게이트 절연막 125: 층간 절연막

131: 소스/드레인 전극 131a: 제 1 금속막 패턴

131b: 보호막 패턴 131c: 제 2 금속막 패턴

131d: 제 3 금속막 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터, 그 제조방법 및 이를 구비한 평판표시장치에 관한 것으로, 더욱 상세하게는 층간 절연막 및 소스/드레인 전극 구조를 개선한 박막 트랜지스터, 그 제조방법 및 이를 구비한 평판표시장치에 관한 것이다.

액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판디스플레이 장치는 그 구동방식에 따라, 수동 구동방식의 패시브 매트릭스(Passive Matrix: PM)형과, 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형으로 구분된다. 상기 패시브 매트릭스형은 단순히 양극과 음극이 각각 컬럼(column)과 로우(row)로 배열되어 음극에는 로우 구동회로부터 스캐닝 신호가 공급되고, 이 때, 복수의 로우 중 하나의 로우만이 선택된다. 또한, 컬럼 구동회로는 각 화소로 데이터 신호가 입력된다. 한편, 상기 액티브 매트릭스형은 박막 트랜지스터(Thin Film Transistor, 이하, "TFT"라 함)를 이용해 각 화소 당 입력되는 신호를 제어하는 것으로 방대한 양의 신호를 처리하기에 적합하여 동영상 구현하기 위한 디스플레이 장치로서 많이 사용되고 있다.

도 1은 종래 기술에 따른 평판표시장치에 있어서의 TFT를 나타낸 단면도이다.

도 1을 참조하면, 기판(10) 상에 반도체로 이루어진 활성층(20)이 형성된다. 상기 활성층(20) 상에 상기 활성층(20)을 덮는 게이트 절연막(30)이 구비되고, 상기 게이트 절연막(30) 상에 게이트 전극(40)이 형성된다. 이 게이트 전극(40)은 층간 절연막(50)에 의해 덮이고, 게이트 절연막(30) 및 층간절연막(50)에는 상기 활성층(20)의 소스/드레인 영역을 노출시키는

콘택홀들(50a)이 형성된다. 상기 층간절연막(50) 상에는 상기 콘택홀들(50a)을 통해 상기 활성층(20)의 소스/드레인 영역에 각각 접하는 소스/드레인 전극들(55)이 형성된다. 상기 소스/드레인 전극들(55)을 형성함에 있어서, 상기 평판표시장치의 각종 신호배선(미도시)을 함께 형성할 수 있다.

상기 소스/드레인 전극들(55) 및 상기 신호배선은 몰리브덴 또는 몰리브덴 합금을 사용하여 형성될 수 있는 데, 이 몰리브덴은 비저항(specific resistance)이 높아, 상기 소스/드레인 전극들(55) 및 신호배선의 배선저항을 높지게 되고, 이는 상기 TFT를 비롯한 평판 표시장치에 있어 신호지연을 유발시킬 수 있다. 상기 신호지연은 평판표시장치의 화질저하를 초래한다.

이를 해결하기 위해, 상기 소스/드레인 전극들(55) 및 상기 신호배선을 몰리브덴막과 상기 몰리브덴막 상에 저저항을 갖는 알루미늄막이 위치하는 이층막으로 형성하고자 하는 시도가 있다. 그러나, 상기 소스/드레인 전극들(55) 중 어느 하나는 화소전극(미도시)인 ITO막과 접하게 되는데, 이 경우 상기 알루미늄막과 상기 ITO막 사이에는 산화막이 형성될 수 있어 상기 화소전극과 이에 접하는 소스/드레인 전극(55)사이의 접촉저항이 증가될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 소스/드레인 전극의 배선저항을 낮게 하고, 활성층으로부터의 오염을 방지하며, 화소전극과의 접촉저항 특성이 개선되고, 활성층에의 수소 공급을 원활히 하여, 모빌리티, 온 커런트 특성, 문턱 전압 특성 등이 우수한 TFT 및 이를 구비한 평판표시장치를 제공하는 데에 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은,

채널 영역과, 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 신호를 인가하는 게이트 전극;

상기 소스 및 드레인 영역에 각각 접속되고, 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 소스 및 드레인 전극; 및

상기 소스 및 드레인 전극과 상기 활성층의 사이에 개재되고, 실리콘 나이트라이드를 포함하는 절연막;을 포함하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

상기 소스 및 드레인 전극은, 상기 활성층의 방향으로부터 차례로 적층된 제 1 금속막 패턴, 제 2 금속막 패턴, 및 제 3 금속막 패턴을 포함할 수 있다.

상기 제 1 금속막 패턴은 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 중 적어도 하나를 포함할 수 있다.

상기 제 2 금속막 패턴은 Al, AlSi, AlNd 및 AlCu 중 적어도 하나를 포함할 수 있다.

상기 제 3 금속막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함할 수 있다.

상기 제 1 금속막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함할 수 있다.

상기 제 1 금속막 패턴과 상기 제 2 금속막 패턴 사이에 위치하는 보호막 패턴을 더 포함할 수 있다.

상기 보호막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함할 수 있다.

상기 절연막은 상기 게이트 전극을 덮도록 구비될 수 있다.

상기 절연막은 상기 게이트 전극과 상기 활성층 사이에 개재된 것일 수 있다.

상기 활성층은 다결정 실리콘으로 구비될 수 있다.

본 발명은 또한 이러한 박막 트랜지스터를 구비한 것을 특징으로 하는 평판 표시장치를 제공한다.

본 발명은 전술한 목적을 달성하기 위하여,

기판 상에, 게이트 절연막에 의해 서로 절연된 활성층 및 게이트 전극을 형성하고, 상기 활성층 및 게이트 전극을 덮도록 층간 절연막을 형성하되, 상기 게이트 절연막 및 층간 절연막 중 적어도 하나에 실리콘 나이트라이드가 포함되도록 하는 단계;

상기 기판을 열처리하는 단계;

상기 층간 절연막에 소스 및 드레인 콘택홀을 형성하는 단계; 및

상기 층간 절연막 상에 위치하여, 상기 소스 및 드레인 콘택홀을 통해 상기 활성층에 접하고, 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 소스 및 드레인 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법을 제공한다.

상기 소스 및 드레인 전극을 형성하는 단계는,

상기 층간 절연막 상에 위치하여, 상기 소스 및 드레인 콘택홀을 통해 상기 활성층에 접하도록 제 1 금속막 패턴, 제 2 금속막 패턴 및 제 3 금속막 패턴을 차례로 형성하도록 하는 것일 수 있다.

상기 소스 및 드레인 전극을 형성하는 단계는,

상기 소스 및 드레인 콘택홀을 통해 노출된 상기 활성층을 포함한 기판 전면에서 제 1 금속막을 적층하는 단계;

상기 제 1 금속막을 패터닝하여 제 1 금속막 패턴을 형성하는 단계;

상기 제 1 금속막 패턴 상에 제 2 금속막 및 제 3 금속막을 차례로 적층하는 단계; 및

상기 제 2 금속막과 상기 제 3 금속막을 패터닝하여 상기 제 2 금속막 패턴과 상기 제 3 금속막 패턴을 형성하는 단계;를 포함할 수 있다.

상기 소스 및 드레인 전극을 형성하는 단계는,

상기 소스 및 드레인 콘택홀을 통해 노출된 상기 활성층을 포함한 기판 전면에서 제 1 금속막, 제 2 금속막 및 제 3 금속막을 차례로 적층하는 단계; 및

상기 제 1 금속막, 제 2 금속막 및 제 3 금속막을 패터닝하여 상기 제 1 금속막 패턴, 제 2 금속막 패턴, 및 제 3 금속막 패턴을 형성하는 단계;를 포함할 수 있다.

상기 제 1 금속막 패턴은 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 중 적어도 하나를 포함할 수 있다.

상기 제 2 금속막 패턴은 Al, AlSi, AlNd 및 AlCu 중 적어도 하나를 포함할 수 있다.

상기 제 3 금속막 패턴 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함할 수 있다.

상기 제 1 금속막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함할 수 있다.

상기 제 1 금속막 패턴의 형성 전에 상기 제 1 금속막 패턴 상에 보호막 패턴을 형성하는 것을 더욱 포함할 수 있다.

본 발명은 또한, 이러한 박막 트랜지스터를 제조하고, 상기 박막 트랜지스터를 덮도록 절연막을 형성한 후, 상기 절연막 상에 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극에 접속된 화소전극을 형성하는 단계를 포함하는 것을 특징으로 평판 표시장치의 제조방법을 제공한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예들을 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소를 나타낸다.

도 2는 본 발명의 바람직한 제 1 실시예에 따른 박막 트랜지스터(이하, 'TFT'라 함)를 도시한 단면도이다.

도 2를 참조하여 볼 때, 본 발명의 바람직한 제 1 실시예에 따른 TFT는 기판(100) 상에 구비될 수 있다. 상기 기판(100)은 글라스재의 기판 또는 플라스틱재의 기판이 사용될 수 있다. 상기 기판(100) 상에는 버퍼층(105)이 구비될 수 있다. 상기 버퍼층(105)은 상기 기판(100)으로부터 유출되는 알칼리 이온과 같은 불순물로부터 후속하는 공정에서 형성되는 박막 트랜지스터를 보호하기 위한 층으로, 실리콘 옥사이드 또는 실리콘 나이트라이드로 형성할 수 있다.

상기 버퍼층(105)상에 비정질 실리콘막을 적층하고, 이를 결정화하여 다결정 실리콘막을 형성하는 것이 바람직하다. 상기 비정질 실리콘막을 결정화하는 것은 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Lateral Crystallization)법을 사용하여 수행할 수 있다.

이러한 다결정 실리콘막을 패터닝함으로써 상기 기판(100) 상에 활성층(110)을 형성한다. 그리고 나서 상기 활성층(110)을 포함한 기판 전면에 게이트 절연막(115)을 형성한다. 상기 게이트 절연막(115) 상에 게이트 전극물질을 적층하고 이를 패터닝함으로써, 상기 활성층(110)의 소정부분, 예컨대 적어도 활성층(110)의 채널 영역(110b)에 대응되도록 게이트 전극(120)을 형성한다. 상기 게이트 전극물질은 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 중 적어도 하나로 구비될 수 있다. 더욱 구체적으로는, 상기 게이트 전극물질로서, 몰리브덴-텅스텐 합금이 사용될 수 있다.

이렇게 형성된 게이트 전극(120)을 마스크로 하여 상기 활성층(110)에 이온을 도핑함으로써, 상기 활성층(110)에 소스/드레인 영역들(110a)을 형성하고, 이와 동시에 상기 소스/드레인 영역들(110a) 사이에 개재된 채널 영역(110b)을 정의한다. 그리고 나서, 상기 게이트 전극(120)을 덮는 층간 절연막(125)을 형성한다. 이 때, 상기 게이트 전극(120)과 활성층(110)은 그 적층 순서가 반대로 되어도 무방하다.

상기 층간 절연막(125)이 형성된 후에는, 상기 층간절연막(125) 및 상기 게이트 절연막(115)을 관통하여 상기 활성층(110)의 소스/드레인 영역들(110a)이 각각 노출되도록 소스/드레인 콘택홀들(122)이 형성된다.

그리고, 상기 소스/드레인 콘택홀들(122)을 통해 티타늄(Ti), 티타늄 합금, 탄탈(Ta), 및 탄탈 합금 중 적어도 하나를 포함하는 소스/드레인 전극(131)이 형성된다.

본 발명의 제 1 실시예에 따르면, 상기 소스/드레인 전극(131)은 상기 활성층(110)의 방향으로부터 차례로 적층된 제 1 금속막 패턴(131a), 제 2 금속막 패턴(131c), 및 제 3 금속막 패턴(131d)을 포함할 수 있다.

상기 제 1 금속막 패턴(131a)은 내열성 금속인 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 등으로 구비되거나, 티타늄(Ti) 또는 탄탈륨(Ta) 등으로 구비될 수 있다.

그리고, 상기 제 2 금속막 패턴(131c)은 알루미늄을 포함하는 금속막으로 형성할 수 있는 데, 이러한 알루미늄계 금속으로는, 알루미늄, 알루미늄-실리콘(AlSi), 알루미늄-네오디뮴(AlNd) 및 알루미늄-구리(AlCu) 등이 사용될 수 있으며, 바람직하게는, 소정 비율의 실리콘이 포함된 알루미늄-실리콘(AlSi)을 사용하여 형성할 수 있다.

상기 제 3 금속막 패턴(131d)은 티타늄(Ti) 또는 탄탈륨(Ta)를 사용하여 형성할 수 있다.

상기 제 1 금속막 패턴(131a)은 그 위에 적층되는 알루미늄계의 제 2 금속막 패턴(131c)이 활성층(110)의 다결정 실리콘 막의 표면돌기부에 직접 접촉하는 것을 방지할 수 있는 두께로 형성하는 것이 바람직한 데, 대략 500 내지 1500 Å의 두께를 갖도록 할 수 있다.

상기 제 1 금속막 패턴(131a)을 내열성 금속인 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 등으로 구비할 경우 후속 열처리 공정에서 우수한 열안정성을 나타낼 수 있고, 이는 또한, 제 2 금속막 패턴(131c)인 알루미늄계 금속보다 내부식성이 뛰어날 뿐 아니라, 소스/드레인 전극(131)과 활성층(110) 및 절연막들(115)(125)과의 접촉성을 향상시켜줄 수 있다.

상기 제 1 금속막 패턴(131a)을 티타늄(Ti) 또는 탄탈륨(Ta)을 사용하여 형성할 경우에는, 상기 제 2 금속막 패턴(130c)인 알루미늄계 금속이 직접 활성층(110)에 접해 활성층(110)의 실리콘이 알루미늄계 금속인 제 2 금속막 패턴(130c) 내로 확산되어 불량을 일으키는 것을 방지할 수 있다. 또한, 이러한 티타늄(Ti) 또는 탄탈륨(Ta) 등은 알루미늄계인 제 2 금속막 패턴(130c)의 힐락(hillock)과 같은 불량을 방지해 주는 역할을 한다.

상기 제 2 금속막 패턴(131c)으로 알루미늄계 금속을 사용함으로써, 소스/드레인 전극(131)의 전기전도도를 높일 수 있으며, 이에 따라 배선저항을 낮출 수 있다.

또한, 이렇게 제 2 금속막 패턴(131c)으로 알루미늄계 금속을 사용할 경우, 이 제 2 금속막 패턴(131c)이 평판 표시장치의 화소전극과 직접 접촉할 경우, 전술한 바와 같이, 산화막 형성이 유발되는 데, 이를 막기 위하여, 제 3 금속막 패턴(131d)으로 알루미늄계 금속의 힐락(hillock)과 같은 불량을 방지해 줄 수 있는 티타늄(Ti) 또는 탄탈륨(Ta) 등을 사용하는 것이다.

상기와 같은 제 1 내지 제 3 금속막 패턴(131a)(131c)(131d)은 소스/드레인 콘택 홀(122)에 제 1 금속막 패턴(131a)을 먼저 형성한 후, 그 위로 제 2 금속막 패턴(131c) 및 제 3 금속막 패턴(131d)을 이들 금속들을 순차로 적층하고, 이들을 동시에 패터닝하여, 제 2 금속막 패턴(131c) 및 제 3 금속막 패턴(131d)으로 형성할 수 있다.

그러나, 반드시 이에 한정되는 것은 아니며, 제 1 금속막 패턴(131a), 제 2 금속막 패턴(131c) 및 제 3 금속막 패턴(131d)을 순차로 증착한 후, 일괄 패터닝하여 형성할 수도 있다.

한편, 이러한 본 발명의 제 1 실시예에 있어, 상기 게이트 절연막(115) 및 층간 절연막(125) 중 적어도 하나는 실리콘 나이트라이드를 포함할 수 있다. 이 실리콘 나이트라이드는 그 형성공정 중에 수소를 다량으로 함유하는 데, 이렇게 실리콘 나이트라이드 내에 함유된 수소는, 열처리 공정에 의해, 상기 활성층(110)으로 확산시킬 수 있다. 상기 활성층(110)으로 확산된 수소는 상기 활성층(110) 내의 불완전결합(dangling bond)을 방지할 수 있다.

그런데, 전술한 바와 같이, 소스/드레인 전극(131) 중에 포함된 티타늄(Ti) 또는 탄탈륨(Ta) 등은 이렇게 실리콘 나이트라이드에 함유된 수소와의 반응성이 매우 좋아, 수소가 확산되는 것을 막아, 활성층의 수소화 감소 현상을 유발시킨다. 따라서, 본 발명의 제 1 실시예에는 이러한 수소화 감소 현상을 보상해 주기 위해, 실리콘 나이트라이드를 포함한 막을 티타늄(Ti) 또는 탄탈륨(Ta) 등을 포함한 소스/드레인 전극(131) 보다 먼저 형성되는 게이트 절연막(115) 및/또는 층간 절연막(125)을 형성하고, 상기 소스/드레인 전극(131)을 형성하기 이전에 열처리를 해 준다.

상기 열처리는 약 380℃ 정도의 온도에서 행해지며, 이 열처리에 의해, 활성층(110)의 소스/드레인 영역들(110a)에 도핑된 이온들이 활성화되며, 게이트 절연막(115) 및/또는 층간 절연막(125)에 포함되어 있는 수소를 상기 활성층(110)으로 확산시킬 수 있다.

한편, 도 3에 따른 본 발명의 제 2 실시예에 따르면, 층간 절연막(125)을 제 1 층간 절연막(125a) 및 제 2 층간 절연막(125b)의 2층막으로 형성하고, 이 중, 소스/드레인 전극(131)과 거리가 먼 제 1 층간 절연막(125a)에 실리콘 나이트라이드를 포함하도록 할 수도 있다. 이 때에도 물론, 소스/드레인 전극(131)의 형성 전에 열처리를 수행해 수소화 현상을 보상해 줄 수 있다. 도 3에서는 층간 절연막(125)이 2층인 경우만을 나타내었으나, 반드시 이에 한정되는 것은 아니며, 층간 절연막(125)이 다층 구조일 경우에도 동일하게 적용 가능하다. 이 때에도, 활성층(110)에 가장 가까운 층에 실리콘 나이트라이드막이 구비되도록 하는 것이 바람직하다. 물론, 이러한 2층 또는 다층 구조는 게이트 절연막(115)에도 동일하게 적용 가능하다.

도 3에 따른 제 2 실시예의 다른 특징들은 전술한 제 1 실시예와 동일하므로, 상세한 설명은 생략한다.

도 4는 본 발명의 제 3 실시예를 도시한 것으로, 제 1 금속막 패턴(131a)과 제 2 금속막 패턴(131c)의 사이에 보호막 패턴(131b)을 형성한 것이다.

이 때, 제 1 금속막 패턴(131a)은 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 중 적어도 하나를 포함하며, 보호막 패턴(131b)은 티타늄(Ti) 또는 탄탈륨(Ta) 등을 포함할 수 있다.

이렇게 4중으로 막을 형성하는 것은, 제 1 금속막 패턴(131a)이 충분하게 두껍게 형성되지 않을 경우, 활성층(110)의 표면 거칠기로 인해 활성층(110)과 제 2 금속막 패턴(131c)이 접촉될 수 있기 때문이다.

상기 활성층(110)을 레이저를 사용하여 결정화 즉, ELA 또는 SLS를 사용하여 결정화함으로써 다결정 실리콘막을 형성한 경우, 상기 다결정 실리콘막은 표면돌기부로 인한 거친 표면을 가질 수 있다. 이 거친 표면이 제 1 금속막 패턴(131a)을 뚫고 제 2 금속막 패턴(131c)에 접촉되어 제 2 금속막 패턴(131c)을 손상시킬 수 있으므로, 이를 방지하기 위해 보호막(131b)을 형성하는 것이다.

이러한 본 발명의 제 3 실시예의 경우에도, 실리콘 나이트라이드는 게이트 절연막(115) 및/또는 층간 절연막(125)에 형성되는 데, 소스/드레인 전극(131)의 티타늄 또는 탄탈륨 등이 활성층(110)의 수소화를 저해하는 것을 막기 위하여, 소스/드레인 전극(131)의 형성 전에 기판 열처리를 행한다.

도 4에 따른 제 3 실시예의 다른 특징은 전술한 제 1 실시예 및 제 2 실시예와 동일하므로 상세한 설명은 생략토록 한다.

도 5는 본 발명의 바람직한 제 4 실시예를 도시한 것으로, 도 3에 따른 제 2 실시예와 같이, 층간 절연막(125)을 제 1 층간 절연막(125a) 및 제 2 층간 절연막(125b)의 2층막으로 형성하고, 이 중, 소스/드레인 전극(131)과 거리가 먼 제 1 층간 절연막(125a)에 실리콘 나이트라이드를 포함하도록 한 것이다. 이 때에도 물론, 소스/드레인 전극(131)의 형성 전에 열처리를 수행해 수소화 현상을 보상해 줄 수 있다. 도 5에서는 층간 절연막(125)이 2층인 경우만을 나타내었으나, 반드시 이에 한정되는 것은 아니며, 층간 절연막(125)이 다층 구조일 경우에도 동일하게 적용 가능하다. 이 때에도, 활성층(110)에 가장 가까운 측에 실리콘 나이트라이드막이 구비되도록 하는 것이 바람직하다. 물론, 이러한 2층 또는 다층 구조는 게이트 절연막(115)에도 동일하게 적용 가능하다.

도 5에 따른 제 4 실시예의 다른 특징들은 전술한 제 1 실시예 내지 제 3 실시예와 동일하므로, 상세한 설명은 생략한다.

한편, 상기와 같은 TFT들은 액티브 매트릭스형 유기 전계 발광 표시장치에 적용되거나, 액정표시장치에 적용될 수 있다.

도 6은 도 2에 따른 본 발명의 제 1 실시예에 따른 TFT를 적용한 유기 전계 발광 표시장치를 도시한 것으로, 화상을 구현하는 발광 영역의 일 부화소(sub-pixel)를 나타낸 것이다.

본 발명의 바람직한 일 실시예에 의하면, 상기 발광 영역은 이러한 부화소를 복수개 구비하며, 풀 칼라 유기 전계 발광 표시장치의 경우에는 적색(R), 녹색(G) 및 청색(B)의 부화소들이 라인상, 모자이크상, 격자상 등 다양한 패턴으로 배열되어 화소를 구성하며, 풀 칼라 평판표시장치가 아닌 모노 칼라 평판표시장치여도 무방하다.

도면에 도시된 TFT의 수와 배치는 반드시 이에 한정되는 것은 아니며, 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.

도 6에서 볼 수 있듯이, 기판(100)상에 전술한 본 발명의 제 1 실시예에 따른 TFT가 형성된다. 이 TFT는 전술한 제 1 실시예와 동일하므로 상세한 설명은 생략한다.

다만, 도 6에서 볼 수 있듯이, 층간 절연막(125) 상에 소스/드레인 전극(131)이 형성될 때에, 별도의 배선(135)도 형성될 수 있다. 도 6에 따른 실시예의 경우, 소스/드레인 전극(131)의 제 1 금속막 패턴(131a) 형성 시에는, 배선을 형성하지 않고, 제 2 금속막 패턴(131c) 및 제 3 금속막 패턴(131d)의 형성 시에 배선(135)을 형성한 것으로, 제 2 금속막 패턴(131c)과 동일한 물질의 제 2 금속 배선(135c)과, 제 3 금속막 패턴(131d)과 동일한 물질의 제 3 금속 배선(135d)으로 배선(135)이 구비될 수 있다. 물론, 반드시 이에 한정되는 것은 아니며, 소스/드레인 전극(131)의 제 1 금속막 패턴(131a)이 제 2 금속막 패턴(131c) 및 제 3 금속막 패턴(131d)과 동시에 패터닝되어 형성될 경우에는 제 1 금속막 패턴(131a)과 동일한 제 1 금속 배선(미도시)을 더 구비할 수 있음은 물론이다.

이렇게 배선(135) 및 소스/드레인 전극(131)이 형성된 후에는, 이 배선(135) 및 소스/드레인 전극(131)을 덮도록 패시베이션막(160)이 형성된다. 이 패시베이션막(160)은 실리콘 옥사이드, 실리콘 나이트라이드 등 무기물이나, 아크릴, 폴리 이미드, BCB 등의 유기물로 이루어질 수 있으며, 이들의 복합 구조로 이루어질 수도 있다.

이 패시베이션막(160)에 비아 홀(160a)이 형성된 후, 패시베이션막(160)의 상부에 화소전극(170)이 소스/드레인 전극(131)의 어느 하나와 접촉되도록 형성된다. 그리고, 이를 덮도록 유기물로 화소정의막(Pixel Define Layer: 175)이 형성된다. 이 화소정의막(175)에 소정의 개구(175a)를 형성한 후, 적어도 이 개구(175a)로 한정된 영역 내에 유기층(200)을 형성한다. 유기층(200)은 발광층을 포함한 것이 된다. 그리고, 유기층(200) 위로는 전체 화소들을 덮도록 대향전극(220)이 형성된다. 본 발명은 반드시 상기와 같은 구조로 한정되는 것은 아니며, 다양한 유기 전계 발광 표시장치의 구조가 그대로 적용될 수 있음은 물론이다.

상기 유기 전계 발광 소자는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, TFT의 소스/드레인 전극(131) 중 어느 하나에 연결된 화소 전극(170)과, 전체 화소들을 덮도록 구비된 대향 전극(220), 및 이들 화소 전극(170)과 대향 전극(220)의 사이에 배치되어 발광하는 유기층(200)으로 구성된다.

상기 화소 전극(175)과 대향 전극(220)은 상기 유기층(200)에 의해 서로 절연되어 있으며, 유기층(200)에 서로 다른 극성의 전압을 가해 유기층(200)에서 발광이 이뤄지도록 한다.

상기 유기층(200)은 저분자 또는 고분자 유기층이 사용될 수 있는 데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.

고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질들을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

상기 화소 전극(170)은 애노우드 전극의 기능을 하고, 상기 대향 전극(220)은 캐소오드 전극의 기능을 하는 데, 물론, 이들 화소 전극(170)과 대향 전극(220)의 극성은 반대로 되어도 무방하다.

상기 화소 전극(170)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In₂O₃로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃를 형성할 수 있다.

한편, 상기 대향 전극(220)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 이 대향 전극(220)이 캐소오드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물이 유기층(200)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃ 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.

액정표시장치의 경우, 이와는 달리, 상기 화소전극(170)을 덮는 하부배향막(미도시)을 형성함으로써, 액정표시장치의 하부기판의 제조를 완성한다.

이러한 본 발명에 있어서, 상기 화소 전극(170)은 소스/드레인 전극(131) 중 어느 하나에 비아 홀(160a)을 통해 접촉하는데, 이 때, 티타늄 또는 탄탈륨 등으로 구비된 제 3 금속막 패턴(131d)에 접촉되어, 알루미늄계로 이루어진 제 2 금속막 패턴(131c)에 직접 접촉되는 것을 방지한다.

한편, 상기 TFT는 이렇게 화소 내에서 화소전극에 접촉되는 것으로 사용되는 외에도 스위칭 TFT나, 보상 회로용 TFT로 사용될 수도 있고, 발광 영역 외측의 드라이버 회로의 TFT로도 사용될 수 있다.

도 7은 도 3에 따른 본 발명의 제 2 실시예를 적용한 유기 전계 발광 표시장치를 나타낸 것으로, 도 6에 따른 실시예와는 층간 절연막(125)의 구조가 다르다. 이 층간 절연막(125)의 구조는 전술한 제 2 실시예의 TFT 시 설명하였으므로, 구체적인 설명은 생략한다.

도 8은 도 4에 따른 본 발명의 제 3 실시예를 적용한 유기 전계 발광 표시장치를 나타낸 것으로, 도 6에 따른 실시예와는 소스/드레인 전극(131)의 구조가 다르다. 이 소스/드레인 전극(131)의 구조는 전술한 제 3 실시예의 TFT와 동일하므로, 구체적인 설명은 생략한다.

다만, 이 경우, 배선(135)은 제 1 금속막 패턴(131a)과 동일한 재료인 제 1 금속막 배선(135a), 보호막 패턴(131b)과 동일한 재료인 보호막 배선(135b), 제 2 금속막 패턴(131c)과 동일한 재료인 제 2 금속막 배선(135c), 및 제 3 금속막 패턴(131d)과 동일한 재료인 제 3 금속막 배선(135d)이 순차로 형성된 구조가 될 수 있다.

도 9는 도 5에 따른 본 발명의 제 4 실시예를 적용한 유기 전계 발광 표시장치를 나타낸 것으로, 도 8에 따른 실시예와는 층간 절연막(125)의 구조가 다르다. 이 층간 절연막(125)의 구조는 전술한 제 4 실시예의 TFT 시 설명하였으므로, 구체적인 설명은 생략한다.

상기와 같은 유기 전계 발광 표시장치의 경우, 이 외에도 전술한 실시예의 모든 작용 효과를 그대로 구비함은 물론이다.

발명의 효과

상술한 바와 같은 본 발명에 따르면 다음과 같은 효과를 얻을 수 있다.

첫째, 소스/드레인 전극의 배선저항을 낮게 하고, 활성층으로부터의 오염을 방지하며, 화소전극과의 접촉저항 특성이 개선된 TFT 및 이를 구비한 평판표시장치를 얻을 수 있다.

둘째, 활성층에의 수소 공급을 원활히 하여, 모빌리티, 온 커런트 특성, 문턱 전압 특성 등이 우수한 TFT 및 이를 구비한 평판표시장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

채널 영역과, 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 신호를 인가하는 게이트 전극;

상기 소스 및 드레인 영역에 각각 접속되고, 티타늄(Ti), 티타늄 합금, 탄탈(Ta), 및 탄탈 합금 중 적어도 하나를 포함하는 소스 및 드레인 전극;

상기 활성층과 게이트 전극의 사이에 개재되고, 실리콘 나이트라이드를 포함하는 게이트 절연막; 및

상기 소스 및 드레인 전극과 상기 게이트 절연막의 사이에 개재되고, 실리콘 옥사이드를 포함하는 층간 절연막;을 포함하고,

상기 소스 및 드레인 전극과 상기 활성층은 상기 게이트 절연막 및 층간 절연막 중 적어도 하나에 형성된 콘택홀에 의해 콘택되는 박막 트랜지스터.

청구항 2.

제 1항에 있어서,

상기 소스 및 드레인 전극은, 상기 활성층의 방향으로부터 차례로 적층된 제 1 금속막 패턴, 제 2 금속막 패턴, 및 제 3 금속막 패턴을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제 2 항에 있어서,

상기 제 1 금속막 패턴은 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제 2 항에 있어서,

상기 제 2 금속막 패턴은 Al, AlSi, AlNd 및 AlCu 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 2 항에 있어서,

상기 제 3 금속막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

제 2 항에 있어서,

상기 제 1 금속막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

제 3 항에 있어서,

상기 제 1 금속막 패턴과 상기 제 2 금속막 패턴 사이에 위치하는 보호막 패턴을 더 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 8.

제 7 항에 있어서,

상기 보호막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 9.

제 1 항에 있어서,

상기 층간 절연막은 상기 게이트 전극을 덮도록 구비된 것을 특징으로 하는 박막 트랜지스터.

청구항 10.

삭제

청구항 11.

제 1 항에 있어서,

상기 활성층은 다결정 실리콘으로 구비된 것을 특징으로 하는 박막 트랜지스터.

청구항 12.

제 1 항 내지 제 9 항 및 제11항 중 어느 한 항의 박막 트랜지스터를 구비한 것을 특징으로 하는 평판 표시장치.

청구항 13.

기판 상에, 게이트 절연막에 의해 서로 절연된 활성층 및 게이트 전극을 형성하고, 상기 활성층 및 게이트 전극을 덮도록 층간 절연막을 형성하되, 상기 게이트 절연막은 실리콘 나이트라이드가 포함되도록 하고, 상기 층간 절연막은 실리콘 옥사이드가 포함되도록 하는 단계;

상기 기판을 열처리하는 단계;

상기 층간 절연막에 소스 및 드레인 콘택홀을 형성하는 단계; 및

상기 층간 절연막 상에 위치하여, 상기 소스 및 드레인 콘택홀을 통해 상기 활성층에 접하고, 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 소스 및 드레인 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 14.

제 13항에 있어서,

상기 소스 및 드레인 전극을 형성하는 단계는,

상기 층간 절연막 상에 위치하여, 상기 소스 및 드레인 콘택홀을 통해 상기 활성층에 접하도록 제 1 금속막 패턴, 제 2 금속막 패턴 및 제 3 금속막 패턴을 차례로 형성하도록 하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 15.

제 14 항에 있어서,

상기 소스 및 드레인 전극을 형성하는 단계는,

상기 소스 및 드레인 콘택홀을 통해 노출된 상기 활성층을 포함한 기판 전면에 제 1 금속막을 적층하는 단계;

상기 제 1 금속막을 패터닝하여 제 1 금속막 패턴을 형성하는 단계;

상기 제 1 금속막 패턴 상에 제 2 금속막 및 제 3 금속막을 차례로 적층하는 단계; 및

상기 제 2 금속막과 상기 제 3 금속막을 패터닝하여 상기 제 2 금속막 패턴과 상기 제 3 금속막 패턴을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 16.

제 14 항에 있어서,

상기 소스 및 드레인 전극을 형성하는 단계는,

상기 소스 및 드레인 콘택홀을 통해 노출된 상기 활성층을 포함한 기판 전면에 제 1 금속막, 제 2 금속막 및 제 3 금속막을 차례로 적층하는 단계; 및

상기 제 1 금속막, 제 2 금속막 및 제 3 금속막을 패터닝하여 상기 제 1 금속막 패턴, 제 2 금속막 패턴, 및 제 3 금속막 패턴을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 17.

제 14 항에 있어서,

상기 제 1 금속막 패턴은 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy) 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 18.

제 14 항에 있어서,

상기 제 2 금속막 패턴은 Al, AlSi, AlNd 및 AlCu 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 19.

제 14 항에 있어서,

상기 제 3 금속막 패턴 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 20.

제 14 항에 있어서,

상기 제 1 금속막 패턴은 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 및 탄탈륨 합금 중 적어도 하나를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 21.

제 17 항에 있어서,

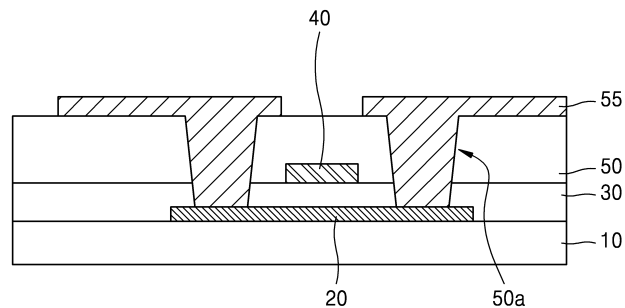
상기 제 1 금속막 패턴의 형성 전에 상기 제 1 금속막 패턴 상에 보호막 패턴을 형성하는 것을 더욱 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 22.

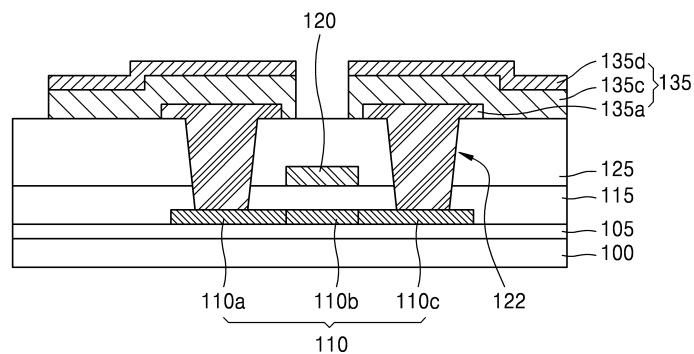
제 13항 내지 제 21 항 중 어느 한 항에 의해 박막 트랜지스터를 제조하고, 상기 박막 트랜지스터를 덮도록 절연막을 형성한 후, 상기 절연막 상에 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극에 접속된 화소전극을 형성하는 단계를 포함하는 것을 특징으로 평판 표시장치의 제조방법.

도면

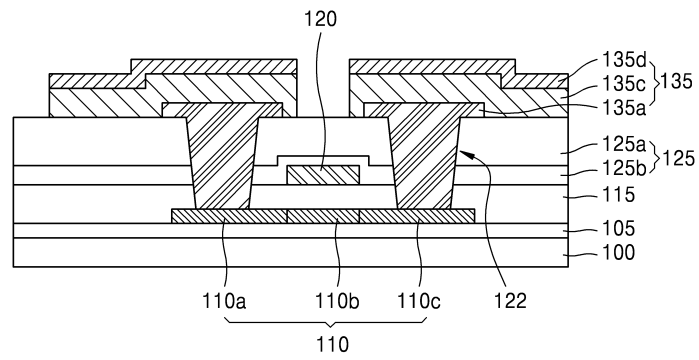
도면1



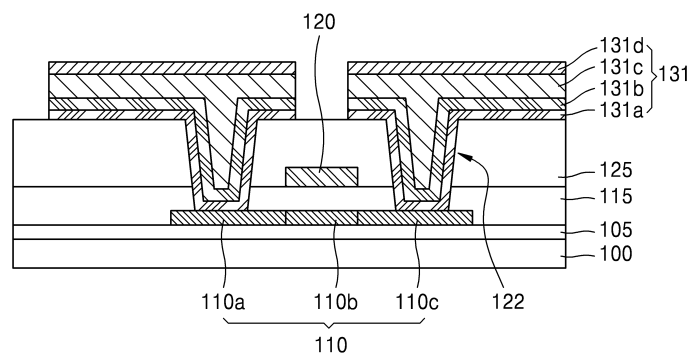
도면2



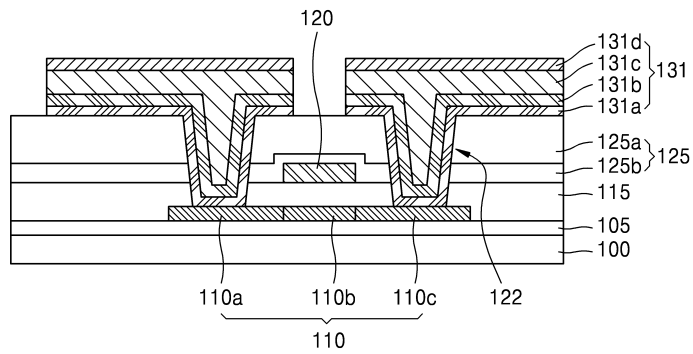
도면3



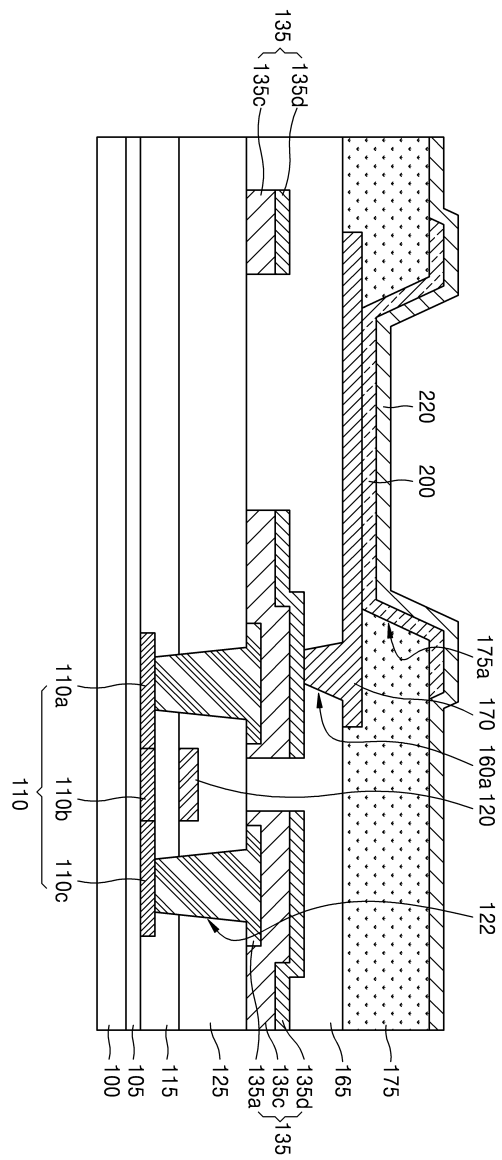
도면4



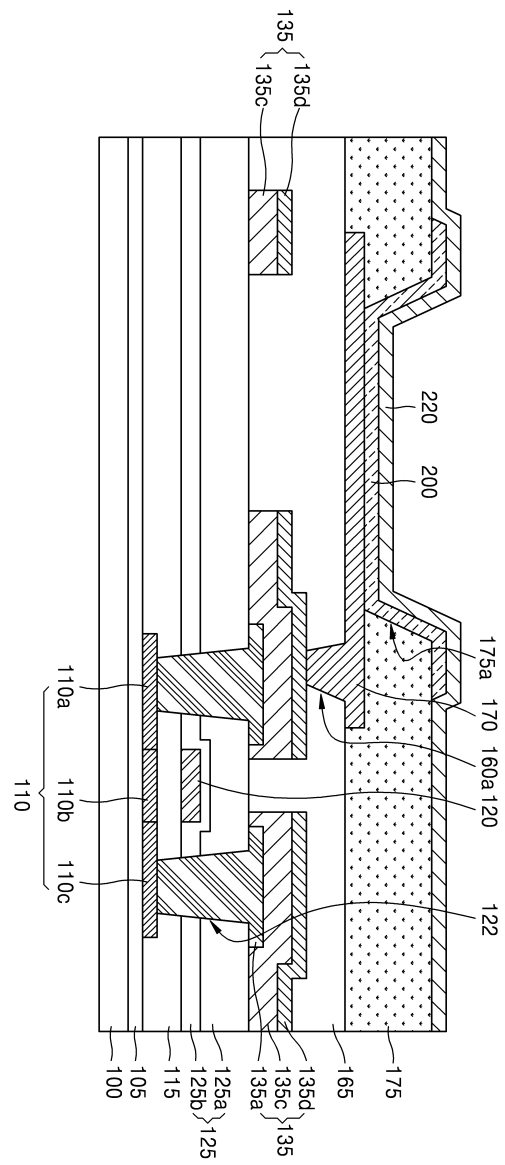
도면5



도면6



도면7



도면9

