

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4749102号
(P4749102)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl.

F I

HO 1 L 27/12 (2006.01)
 HO 1 L 21/02 (2006.01)
 HO 1 L 27/08 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 29/786 (2006.01)

HO 1 L 27/12 B
 HO 1 L 27/08 3 3 1 E
 HO 1 L 29/78 6 2 7 D
 GO 6 K 19/00 K
 GO 6 K 19/00 H

請求項の数 7 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2005-276315 (P2005-276315)
 (22) 出願日 平成17年9月22日(2005.9.22)
 (65) 公開番号 特開2006-121062 (P2006-121062A)
 (43) 公開日 平成18年5月11日(2006.5.11)
 審査請求日 平成18年12月4日(2006.12.4)
 (31) 優先権主張番号 特願2004-277533 (P2004-277533)
 (32) 優先日 平成16年9月24日(2004.9.24)
 (33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 宮澤 尚之

(56) 参考文献 特開2004-221570(JP, A)
)
 特開2003-100450(JP, A)
)
 特開2004-247373(JP, A)
)

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板上に剥離層を選択的に形成し、
 前記剥離層が形成されていない前記第1の基板上、及び前記剥離層上に第1の絶縁層を形成し、
 前記第1の絶縁層上に少なくともソース領域及びドレイン領域を含むトランジスタを形成し、
 前記トランジスタ上に第2の絶縁層を形成し、
 前記剥離層が形成されていない領域の前記第1の基板の一部が露出するように、前記第1の絶縁層及び前記第2の絶縁層に第1の開口部を形成し、
 前記トランジスタのソース領域又はドレイン領域が露出するように、前記第2の絶縁層に第2の開口部を形成し、
 前記第1の開口部及び前記第2の開口部を充填し、前記ソース領域又はドレイン領域と電氣的に接続するように第1の導電層を形成し、
 前記剥離層が露出するように、前記第1の絶縁層及び前記第2の絶縁層に第3の開口部を形成し、
 前記第3の開口部にエッチング剤を導入して、前記第1の導電層を除去することなく、前記剥離層を除去し、
 前記第2の絶縁層及び前記第1の導電層上に基体を接着し、前記第1の基板から前記トランジスタを含む積層体を剥離して、前記第1の導電層を露出させ、

前記露出された第1の導電層と、第2の基板上に設けられたアンテナとして機能する導電層とが電氣的に接続するように、前記トランジスタを含む積層体と前記第2の基板とを前記トランジスタの下方で貼り合わせることを特徴とする半導体装置の作製方法。

【請求項2】

第1の基板上に剥離層を選択的に形成し、

前記剥離層が形成されていない領域の前記第1の基板上、及び前記剥離層上に第1の絶縁層を形成し、

前記第1の絶縁層上に少なくともソース領域及びドレイン領域を含むトランジスタを形成し、

前記トランジスタ上に第2の絶縁層を形成し、

10

前記剥離層が形成されていない領域の前記第1の基板の一部が露出するように、前記第1の絶縁層及び前記第2の絶縁層に第1の開口部を形成し、

前記トランジスタのソース領域又はドレイン領域が露出するように、前記第2の絶縁層に第2の開口部を形成し、

前記第1の開口部及び前記第2の開口部を充填し、前記ソース領域又はドレイン領域と電氣的に接続するように第1の導電層を形成し、

前記剥離層が露出するように、前記第1の絶縁層及び前記第2の絶縁層に第3の開口部を形成し、

前記第3の開口部にエッチング剤を導入して、前記第1の導電層を除去することなく、前記剥離層を選択的に除去し、

20

前記第2の絶縁層及び前記第1の導電層上に基体を接着し、物理的手段を用いて、前記第1の基板から前記トランジスタを含む積層体を剥離して、前記第1の導電層を露出させ
、

前記露出された第1の導電層と、第2の基板上に設けられたアンテナとして機能する導電層とが電氣的に接続するように、前記トランジスタを含む積層体と前記第2の基板とを前記トランジスタの下方で貼り合わせることを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は請求項2において、前記第1の基板は、ガラス基板又は石英基板であることを特徴とする半導体装置の作製方法。

【請求項4】

30

請求項1乃至請求項3のいずれか一において、前記剥離層として、タングステン又はモリブデンを含む層を形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項3のいずれか一において、前記剥離層として、酸素雰囲気下で、スパッタリング法により、タングステン又はモリブデンの酸化物を含む層を形成することを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項3のいずれか一において、前記剥離層としてタングステン又はモリブデンを含む層を形成し、前記第1の絶縁層として珪素の酸化物を含む層を形成することを特徴とする半導体装置の作製方法。

40

【請求項7】

請求項1乃至請求項6のいずれか一において、前記エッチング剤は、フッ化ハロゲンを含む気体又は液体であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の作製方法、半導体装置及び電子機器に関する。

【背景技術】

【0002】

近年、絶縁基板上に設けられた薄膜集積回路を転置する技術開発が進められている。この

50

ような技術として、例えば、薄膜集積回路と基板の間に剥離層を設けて、当該剥離層を、ハロゲンを含む気体を用いて除去することにより、薄膜集積回路を支持基板から分離し、その後転置する技術がある（特許文献1参照）。

【0003】

また、データを無線で送受信する半導体装置の開発が盛んに進められている。データを送受信する半導体装置は、無線チップ、ICチップ、RFタグ、無線タグ、電子タグ、無線プロセッサ、無線メモリ等と呼ばれ、現在実用化されているものは、シリコン基板を用いたものが主流である。

【特許文献1】特開平8-254686号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0004】

上記の特許文献1によると、基板の一表面に剥離層を形成し、当該剥離層上に薄膜集積回路を形成し、続いて剥離層を除去する。そうすると、基板から薄膜集積回路が剥離され、基板と薄膜集積回路の間には空間が生じる。その後、薄膜集積回路を基体に接着させるが、当該薄膜集積回路は数 μm 程度と薄く、また大変軽い。そのため、薄膜集積回路を基体に接着させる前に、基板から薄膜集積回路が飛散してしまうことがあった。そこで本発明は、薄膜集積回路を含む半導体装置の製造を容易とすることを課題とする。

【0005】

また、無線チップとして機能する半導体装置の普及に際し、その低コスト化が進められているが、シリコン基板は高価であるためにコストを下げることは難しかった。また、市販されているシリコン基板は、円形であり、最大でも直径30センチ程度であるために、大量生産が難しく、コストを下げることは難しかった。そこで本発明は、大量生産を可能とすることにより、コストを下げた半導体装置を提供することを課題とする。

20

【課題を解決するための手段】

【0006】

本発明は、第1の基板の一表面に剥離層を形成した後に、当該剥離層を選択的に除去して、剥離層が設けられた第1の領域と、剥離層が設けられていない第2の領域を形成する。続いて、剥離層上に下地絶縁層を全面に形成する。そうすると、下地絶縁層は、第1の領域では剥離層に接し、第2の領域では基板に接する。

30

【0007】

次に、下地絶縁層上に複数の薄膜トランジスタを含む薄膜集積回路を形成する。続いて開口部を形成し、その後開口部にエッチング剤を導入して剥離層を除去する。この際、剥離層が設けられていた第1の領域では、基板と下地絶縁層との間に空間が生じるが、剥離層が設けられていない第2の領域では、基板と下地絶縁層が密着したままである。このように、剥離層を除去した後も、第1の基板と下地絶縁層とが密着した領域が設けられているため、下地絶縁層の上方に設けられた薄膜集積回路の飛散を防止することができる。

【0008】

剥離層を除去した後は、フィルム等に相当する基体を、薄膜集積回路上に設けて、薄膜集積回路と基体とを一体化させる。次に、第1の基板上から、薄膜集積回路と基体とを剥離するが、この際、裏面に、外部と接続用の導電層が露出されるようにする。そして、第2の基板上の導電層と、薄膜集積回路の接続用の導電層とが接するように、薄膜集積回路と第2の基板とを貼り合わせる。

40

【0009】

本発明の半導体装置の作製方法は、第1の基板上に剥離層を選択的に形成するステップと、第1の基板と剥離層に接するように下地絶縁層（第1の絶縁層とよぶことがある）を形成するステップと、下地絶縁層上に薄膜トランジスタを形成するステップと、薄膜トランジスタ上に層間絶縁層（第2の絶縁層とよぶことがある）を形成するステップと、第1の基板の一部が露出するように、第1の絶縁層と第2の絶縁層に第1の開口部を形成するステップと、薄膜トランジスタのソース領域又はドレイン領域が露出するように、第2の絶

50

緑層に第2の開口部を形成するステップと、第2の絶縁層上に、第1の開口部と第2の開口部を充填するように、第1の導電層を形成するステップと、第1の基板から薄膜トランジスタを含む積層体を剥離するステップと、第1の導電層と、第2の基板上に設けられた第2の導電層とが接するように、薄膜トランジスタを含む積層体と第2の基板を貼り合わせるステップを有することを特徴とする。

【0010】

本発明の半導体装置の作製方法は、第1の基板上に剥離層を選択的に形成するステップと、第1の基板と剥離層に接するように下地絶縁層（第1の絶縁層とよぶことがある）を形成するステップと、下地絶縁層上に薄膜トランジスタを形成するステップと、薄膜トランジスタ上に層間絶縁層（第2の絶縁層とよぶことがある）を形成するステップと、第1の基板の一部が露出するように、第1の絶縁層と第2の絶縁層に第1の開口部を形成するステップと、薄膜トランジスタのソース領域又はドレイン領域が露出するように、第2の絶縁層に第2の開口部を形成するステップと、第2の絶縁層上に、第1の開口部と第2の開口部を充填するように、第1の導電層を形成するステップと、剥離層が露出するように、第1の絶縁層と第2の絶縁層に第3の開口部を形成するステップと、第3の開口部にエッチング剤を導入して剥離層を除去するステップと、第1の基板から薄膜トランジスタを含む積層体を剥離するステップと、第1の導電層と、第2の基板上に設けられた第2の導電層とが接するように、薄膜トランジスタを含む積層体と第2の基板を貼り合わせるステップを有することを特徴とする。

【0011】

本発明の半導体装置の作製方法は、第1の基板上に剥離層を選択的に形成するステップと、第1の基板と剥離層に接するように下地絶縁層（第1の絶縁層とよぶことがある）を形成するステップと、下地絶縁層上に薄膜トランジスタを形成するステップと、薄膜トランジスタ上に層間絶縁層（第2の絶縁層とよぶことがある）を形成するステップと、第1の基板の一部が露出するように、第1の絶縁層と第2の絶縁層に第1の開口部を形成するステップと、薄膜トランジスタのソース領域又はドレイン領域が露出するように、第2の絶縁層に第2の開口部を形成するステップと、第2の絶縁層上に、第1の開口部と第2の開口部を充填するように、第1の導電層を形成するステップと、剥離層が露出するように、第1の絶縁層と第2の絶縁層に第3の開口部を形成するステップと、第3の開口部にエッチング剤を導入して剥離層を選択的に除去するステップと、物理的手段を用いて、第1の基板から薄膜トランジスタを含む積層体を剥離するステップと、第1の導電層と、第2の基板上に設けられた第2の導電層とが接するように、薄膜トランジスタを含む積層体と第2の基板を貼り合わせるステップを有することを特徴とする。

【0012】

上記の作製方法において、第1の基板は、ガラス基板又は石英基板であることを特徴とする。また、剥離層として、タングステン又はモリブデンを含む層を形成することを特徴とする。また、剥離層として、酸素雰囲気下で、スパッタリング法により、タングステン又はモリブデンの酸化物を含む層を形成することを特徴とする。また、剥離層として、タングステン又はモリブデンを含む層を形成し、その上層の第1の絶縁層として、珪素の酸化物を含む層を形成することを特徴とする。また、エッチング剤は、フッ化ハロゲンを含む気体又は液体であることを特徴とする。

【0013】

本発明の半導体装置は、基板上に設けられた第1の導電層と、第1の導電層を覆う下地絶縁層（第1の絶縁層とよぶことがある）と、下地絶縁層上に設けられた第1の薄膜トランジスタ及び第2の薄膜トランジスタ（1つの薄膜トランジスタのみでもよい）と、第1の薄膜トランジスタ及び第2の薄膜トランジスタを覆う層間絶縁層（第2の絶縁層とよぶことがある）と、層間絶縁層上に設けられた第2の導電層とを有する。

【0014】

上記構成を有する半導体装置において、第2の導電層は、層間絶縁層に設けられた開口部を介して第1の薄膜トランジスタ又は第2の薄膜トランジスタのソース領域又はドレイン

領域に接続し、なお且つ下地絶縁層と層間絶縁層の各々に設けられた開口部を介して第1の導電層に接続する。

【0015】

本発明の半導体装置は、基板上に設けられた第1の導電層と、第1の導電層を覆う保護絶縁層（第1の絶縁層とよぶことがある）と、保護絶縁層を覆う下地絶縁層（第2の絶縁層とよぶことがある）と、下地絶縁層上に設けられた第1の薄膜トランジスタ及び第2の薄膜トランジスタ（1つの薄膜トランジスタのみでもよい）と、第1の薄膜トランジスタ及び第2の薄膜トランジスタを覆う層間絶縁層（第3の絶縁層とよぶことがある）と、層間絶縁層上に設けられた第2の導電層とを有する。上記構成を有する半導体装置において、第2の導電層は、層間絶縁層に設けられた開口部を介して第1の薄膜トランジスタ又は第2の薄膜トランジスタのソース領域又はドレイン領域に接続し、なお且つ保護絶縁層と下地絶縁層と層間絶縁層との各々に設けられた開口部を介して第1の導電層に接続することを特徴とする。

10

【0016】

上記の本発明の半導体装置の構成要素のうち、基板は、可撓性を有することを特徴とする。また、第1の導電層は、アンテナとして機能することを特徴とする。また、第2の導電層の側面は、層間絶縁層に接することを特徴とする。また、第1の薄膜トランジスタはチャネル形成領域と第1のN型不純物領域と第2のN型不純物領域とを有し、第2の薄膜トランジスタはチャネル形成領域とP型不純物領域とを有することを特徴とする。また、第1の薄膜トランジスタと第2の薄膜トランジスタの各々は、サイドウォール絶縁層を有することを特徴とする。

20

【0017】

つまり、本発明の半導体装置の構成要素である薄膜トランジスタは、チャネル形成領域と不純物領域とを有する。また、薄膜トランジスタは、サイドウォール絶縁層を有する。

【0018】

本発明の半導体装置は、薄膜トランジスタと、前記薄膜トランジスタを覆う第1の絶縁層と、前記第1の絶縁層上に設けられた第2の導電層とを有する。前記第2の導電層は、前記第1の絶縁層に設けられた第1の開口部を介して前記薄膜トランジスタのソース領域又はドレイン領域に接続し、なお且つ前記第1の絶縁層に設けられた第2の開口部を介して露出されていることを特徴とする。

30

【0019】

本発明の半導体装置は、第1の導電層と、前記第1の導電層上に設けられた薄膜トランジスタと、前記薄膜トランジスタを覆う第1の絶縁層と、前記第1の絶縁層上に設けられた第2の導電層とを有する。前記第2の導電層は、前記第1の絶縁層に設けられた第1の開口部を介して前記薄膜トランジスタのソース領域又はドレイン領域に接続し、なお且つ前記第1の絶縁層に設けられた第2の開口部を介して前記第1の導電層に接続されていることを特徴とする。

【発明の効果】

【0020】

本発明は、剥離層を除去した後に、基板と下地絶縁層が密着した領域を設けることで、下地絶縁層の上方に設けられた薄膜集積回路の飛散を防止し、薄膜集積回路を含む半導体装置の製造を容易に行うことができる。また、本発明は、シリコン基板以外の基板を用いて半導体装置を製造するため、大量の半導体装置を一度に形成することが可能となり、コストを低減した半導体装置を提供することができる。

40

【発明を実施するための最良の形態】

【0021】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構

50

成において、同じものを指す符号は異なる図面間で共通して用いる。

(実施の形態1)

【0022】

本発明の半導体装置の作製方法について、図面を参照して説明する。まず、基板100の一表面に、剥離層101～103を形成する(図1(A)の断面図と図3(A)の斜視図参照、図1(A)中のA-Bは図3(A)中のA-Bと対応する)。基板100は、ガラス基板、石英基板、金属基板やステンレス基板の一表面に絶縁層を形成したもの、本工程の処理温度に耐えうる耐熱性があるプラスチック基板等を用いる。このような基板100は、大きさや形状に制約がないため、例えば、基板100として、1辺が1メートル以上であって、矩形のものを用いれば、生産性を格段に向上させることができる。この利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。また、基板100上に設けられる薄膜集積回路は、後に基板100上から剥離する。従って、基板100を再び利用して、当該基板100上に新たに薄膜集積回路を形成してもよい。そうすると、コストを削減することができる。なお、再利用する基板100には、石英基板を用いることが好ましい。

10

【0023】

剥離層101～103は、基板100の一表面に薄膜を形成した後、フォトリソグラフィ法を用いてパターニングして選択的に形成する。剥離層101～103は、公知の手段(スパッタリング法やプラズマCVD法等)により、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、珪素(Si)から選択された元素、又は前記元素を主成分とする合金材料、又は前記元素を主成分とする化合物材料からなる層を、単層又は積層して形成する。珪素を含む層は、非晶質、微結晶、多結晶のいずれの場合でもよい。

20

【0024】

剥離層101～103が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

30

【0025】

剥離層101～103が積層構造の場合、好ましくは、1層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成し、2層目として、タングステン、モリブデン又はタングステンとモリブデンの混合物の酸化物、窒化物、酸化窒化物又は窒化酸化物を形成する。

【0026】

剥離層101～103として、タングステンを含む層とタングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化珪素を含む層を形成することで、タングステン層と酸化珪素層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。これは、タングステンの窒化物、酸化窒化物及び窒化酸化物を含む層を形成する場合も同様であり、タングステンを含む層を形成後、その上層に窒化珪素層、酸化窒化珪素層、窒化酸化珪素層を形成するとよい。

40

【0027】

タングステンの酸化物は、 WO_x で表され、Xは2～3の範囲内にある。Xの値をより具体的に述べると、Xが2の場合(WO_2)、Xが2.5の場合(W_2O_5)、Xが2.75の場合(W_4O_{11})、Xが3の場合(WO_3)などがある。タングステンの酸化物を形成するにあたり、上記に挙げたXの値に特に制約はなく、そのエッチングレートを決めるとよい。但し、エッチングレートの最も良いものは、酸素雰囲気下で、スパッタリング法

50

により形成するタングステンの酸化物を含む層 (WO_x 、 X は $0 < X < 3$ を満たし、 X は3を含まない)である。従って、作製時間の短縮のために、剥離層として、酸素雰囲気下でスパッタリング法によりタングステンの酸化物を含む層を形成するとよい。

【0028】

また、上記の工程によると、基板100に接するように剥離層101～103を形成しているが、本発明はこの工程に制約されない。基板100に接するように下地となる絶縁層を形成し、その絶縁層に接するように剥離層101～103を設けてもよい。

【0029】

次に、剥離層101～103を覆うように、下地となる下地絶縁層104を形成する(図1(B)参照)。下地絶縁層104は、剥離層101～103が設けられていない領域では基板100に接し、それ以外の領域では剥離層101～103に接する。下地絶縁層104は、公知の手段(スパッタリング法やプラズマCVD法等)により、珪素の酸化物又は珪素の窒化物を含む層を、単層又は積層で形成する。珪素の酸化物材料とは、珪素(Si)と酸素(O)を含む物質であり、酸化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。珪素の窒化物材料とは、珪素と窒素(N)を含む物質であり、窒化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。

【0030】

下地絶縁層104が2層構造の場合、例えば、1層目として窒化酸化珪素層を形成し、2層目として酸化窒化珪素層を形成するとよい。下地絶縁層104が3層構造の場合、1層目の絶縁層として酸化珪素層を形成し、2層目の絶縁層として窒化酸化珪素層を形成し、3層目の絶縁層として酸化窒化珪素層を形成するとよい。又は、1層目の絶縁層として酸化窒化珪素層を形成し、2層目の絶縁層として窒化酸化珪素層を形成し、3層目の絶縁層として酸化窒化珪素層を形成するとよい。下地絶縁層は、基板100からの不純物の侵入を防止するブロッキング膜として機能する。

【0031】

次に、下地絶縁層104上に、非晶質半導体層(例えば非晶質珪素を含む層)を形成する。この非晶質半導体層は、公知の手段(スパッタリング法、LPCVD法、プラズマCVD法等)により、25～200nm(好ましくは30～150nm)の厚さで形成する。続いて、非晶質半導体層を公知の結晶化法(レーザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とレーザ結晶化法を組み合わせた方法等)により結晶化して、結晶質半導体層を形成する。その後、得られた結晶質半導体層を所望の形状にパターンニングして結晶質半導体層121、122を形成する。

【0032】

結晶質半導体層121、122の作成工程の具体例を挙げると、まず、プラズマCVD法を用いて、膜厚66nmの非晶質半導体層を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体層上に保持させた後、非晶質半導体層に脱水素化の処理(500℃、1時間)と、熱結晶化の処理(550℃、4時間)を行って結晶質半導体層を形成する。その後、必要に応じてレーザ光を照射し、フォトリソグラフィ法を用いたパターンニング処理によって結晶質半導体層121、122を形成する。

【0033】

なお、レーザ結晶化法で結晶質半導体層121、122を形成する場合、連続発振またはパルス発振の気体レーザ又は固体レーザを用いる。気体レーザとしては、エキシマレーザ、YAGレーザ、 YVO_4 レーザ、YLFレーザ、 $YAlO_3$ レーザ、ガラスレーザ、ルビーレーザ、Ti:サファイアレーザ等を用いる。固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、 YVO_4 、YLF、 $YAlO_3$ などの結晶を使ったレーザを用いる。

【0034】

連続発振のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体を用いて、トランジスタを作成することができる。さらに移動度や応答速度が良好なために高速駆動が可

10

20

30

40

50

能で、素子の動作周波数を向上させることができる。また、特性バラツキが少ないために高い信頼性を得ることができる。また、さらなる動作の周波数の向上を目的として、トランジスタのチャンネル長方向とレーザ光の走査方向と一致させることが好適である。これは、連続発振レーザによるレーザ結晶化工程では、トランジスタのチャンネル長方向とレーザ光の基板に対する走査方向とが概ね並行（好ましくは $-30^{\circ} \sim 30^{\circ}$ ）であるときに、最も高い移動度が得られるためである。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャンネル方向に延在する多結晶半導体によって構成される活性層を有し、このことは結晶粒界が概ねチャンネル方向に沿って形成されていることを意味する。

10

【0035】

また、パルス発振のレーザを用いてもよい。これは、パルスの出力されるエネルギービーム（パルスビーム）であっても、レーザ光により半導体膜が溶融してから固化するまでに、次のパルスのレーザ光を照射できるような発振周波数でレーザ光を発振させれば、走査方向に向かって連続的に成長した結晶粒を得ることができるためである。パルス発振の周期が、半導体膜が溶融してから完全に固化するまでの時間よりも短くなるように、発振の周波数の下限を定めたパルスビームを使用するとよい。具体的には、パルスレーザの発振周波数は10MHz以上、好ましくは60～100MHzとし、通常パルスレーザの発振周波数として用いる数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を使用する。上記の周波数帯を使用すると、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射することができる。従って、従来の周波数帯のパルス発振のレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を有する半導体膜を形成することができる。さらに具体的には、結晶粒の走査方向における幅が10～30 μm 、走査方向に対して垂直な方向における幅が1～5 μm 程度の結晶粒の集合を形成することができ、連続発振レーザと同程度の結晶粒を得ることができる。そして走査方向に沿って長く伸びた単結晶の結晶粒を形成することで、少なくとも薄膜トランジスタのチャンネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。パルスレーザとしては、上記周波数での発振が可能な、Arレーザ、Krレーザ、エキシマレーザ、CO₂レーザ、YAGレーザ、Y₂O₃レーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザ又は金蒸気レーザを用いることができる。

20

30

【0036】

また、結晶化を助長する金属元素を用いて非晶質半導体層の結晶化を行うと、低温で短時間の結晶化が可能となるうえ、結晶の方向が揃うという利点がある一方、金属元素が結晶質半導体層に残存するためにオフ電流が上昇し、特性が安定しないという欠点がある。そこで、結晶質半導体層上に、ゲッタリングサイトとして機能する非晶質半導体層を形成するとよい。ゲッタリングサイトとなる非晶質半導体層には、リンやアルゴンの不純物元素を含有させる必要があるため、好適には、アルゴンを高濃度に含有させることが可能なスパッタリング法で形成するとよい。その後、加熱処理（RTA法やファーネスアニール炉を用いた熱アニール等）を行って、非晶質半導体層中に金属元素を拡散させ、続いて、当該金属元素を含む非晶質半導体層を除去する。そうすると、結晶質半導体層中の金属元素の含有量を低減又は除去することができる。

40

【0037】

次に、結晶質半導体層121、122を覆うゲート絶縁層105を形成する。ゲート絶縁層105は、公知の手段（プラズマCVD法やスパッタリング法）により、珪素の酸化物又は珪素の窒化物を含む層を、単層又は積層して形成する。具体的には、酸化珪素を含む層、酸化窒化珪素を含む層、窒化酸化珪素を含む層を、単層又は積層して形成する。

【0038】

次に、ゲート絶縁層105上に、第1の導電層と第2の導電層を積層して形成する。第1

50

の導電層は、公知の手段（プラズマCVD法やスパッタリング法）により、20～100 nmの厚さで形成する。第2の導電層は、公知の手段により、100～400 nmの厚さで形成する。第1の導電層と第2の導電層は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。

【0039】

第1の導電層と第2の導電層との組み合わせの例を挙げると、窒化タンタル（Ta₂N₃、タンタルと窒素の組成比は制約されない）層とタングステン（W）層の積層構造、窒化タングステン（WN、タングステンと窒素の組成比は制約されない）層とタングステン層の積層構造、窒化モリブデン（Mo₂N₃、モリブデンと窒素の組成比は制約されない）層とモリブデン（Mo）層の積層構造等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電層と第2の導電層を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン層とアルミニウム層とモリブデン層の積層構造の構造を採用するとよい。

10

【0040】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極を形成するためのエッチング処理を行って、ゲート電極として機能する導電層（ゲート電極層とよぶことがある）106～109を形成する。

20

【0041】

次に、結晶質半導体層121に、イオンドープ法又はイオン注入法により、N型を付与する不純物元素を低濃度に添加して、N型不純物領域110を形成する。N型を付与する不純物元素は、15族に属する元素を用いれば良く、例えばリン（P）、砒素（As）を用いる。

【0042】

続いて、結晶質半導体層122に、P型を付与する不純物元素を添加して、P型不純物領域111を形成する。P型を付与する不純物元素は、例えばボロン（B）を用いる。

【0043】

次に、ゲート絶縁層105と導電層106～109を覆うように、絶縁層を形成する。絶縁層は、公知の手段（プラズマCVD法やスパッタリング法）により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む層（無機層と表記することがある）や、有機樹脂などの有機材料を含む層（有機層と表記することがある）を、単層又は積層して形成する。好ましくは、絶縁層として、珪素の酸化物からなる層を形成する。

30

【0044】

次に、絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電層106～109の側面に接する絶縁層（以下サイドウォール絶縁層とよぶ）112、113を形成する（図1（C）参照）。サイドウォール絶縁層112、113は、マスクとして用いる。

【0045】

なお、サイドウォール絶縁層112、113を形成するためのエッチング工程により、ゲート絶縁層105もエッチングされ、ゲート絶縁層163、164が形成される。ゲート絶縁層163、164は、導電層106～109及びサイドウォール絶縁層112、113と重なる層である。

40

【0046】

このようにゲート絶縁層105がエッチングされてしまうのは、ゲート絶縁層105とサイドウォール絶縁層112、113の材料のエッチングレートが同じであるためであり、図1（C）ではその場合を示している。

【0047】

従って、ゲート絶縁層105とサイドウォール絶縁層112、113の材料のエッチング

50

レートが異なる場合には、サイドウォール絶縁層 112、113 を形成するためのエッチング工程を経ても、ゲート絶縁層 105 が残存する。

【0048】

続いて、サイドウォール絶縁層 112 と導電層 106、107 をマスクとして、結晶質半導体層 121 に N 型を付与する不純物元素を添加して、第 1 の N 型不純物領域（LDD 領域ともよぶ）114 と、第 2 の N 型不純物領域 115 とを形成する。第 1 の N 型不純物領域 114 が含む不純物元素の濃度は、第 2 の N 型不純物領域 115 の不純物元素の濃度よりも低い。

【0049】

なお、第 1 の N 型不純物領域 114 を形成する際には、サイドウォール絶縁層をマスクとして用いるとよい。サイドウォール絶縁層をマスクとして用いる手法を用いると、LDD 領域を確実に形成することができ、また、LDD 領域の幅の制御が容易になるという利点がある。

【0050】

上記工程を経て、N 型（N チャネル型）の薄膜トランジスタ 116 と、P 型（P チャネル型）の薄膜トランジスタ 117 が完成する。N 型の薄膜トランジスタ 116 は、LDD 構造を有し、第 1 の N 型不純物領域 114（LDD 領域ともよぶ）と第 2 の N 型不純物領域 115 とチャネル形成領域 118 を含む活性層と、ゲート絶縁層 163 と、ゲート電極として機能する導電層 106、107 とを有する。P 型の薄膜トランジスタ 117 は、シングルドレイン構造を有し、P 型不純物領域 111 とチャネル形成領域 119 を含む活性層と、ゲート絶縁層 164 と、ゲート電極として機能する導電層 108、109 とを有する。

【0051】

次に、薄膜トランジスタ 116、117 を覆うように、単層又は積層で、層間絶縁層を形成する（図 2（A）参照）。薄膜トランジスタ 116、117 を覆う層間絶縁層は、公知の手段（SOG 法、液滴吐出法等）により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料等により、単層又は積層で形成する。

【0052】

また、薄膜トランジスタ 116、117 を覆う層間絶縁層は、シロキサン系の材料により形成する。シロキサン系の材料とは、例えば、シリコンと酸素との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。また、置換基としてフルオロ基を用いてもよい。また、置換基として、少なくとも水素を含む有機基とフルオロ基とを用いてもよい。

【0053】

図示する断面構造では、薄膜トランジスタ 116、117 を覆うように、絶縁層を 3 層積層して形成した場合を示し、1 層目の層間絶縁層 123 として酸化珪素を含む層を形成し、2 層目の層間絶縁層 124 として樹脂を含む層を形成し、3 層目の層間絶縁層 125 として窒化珪素を含む層を形成する。

【0054】

なお、層間絶縁層 123～125 を形成する前、又は層間絶縁層 123～125 のうちの 1 つ又は複数を形成した後に、半導体層の結晶性の回復や半導体層に添加された不純物元素の活性化、半導体層の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザアニール法又は RTA 法などを適用するとよい。

【0055】

次に、フォトリソグラフィ法を用いて層間絶縁層 123～125 をエッチングして、基板 100 の一部と、P 型不純物領域 111 と、N 型不純物領域 115 を露出させる開口部 130～135 を形成する（図 2（B）参照）。この開口部 130～135 の形成工程では、剥離層 101～103 を露出させないようにする。

【0056】

なお、上記の工程では、開口部 130～135 を同じ工程で形成しているが、本発明は、この工程に制約されない。開口部 130、135 と、開口部 131～134 は、それぞれ、露出させる対象（基板又は不純物領域）が異なるため、別の工程で形成してもよい。

【0057】

続いて、開口部 130～135 を充填するように、導電層を形成し、当該導電層をパターン加工して、導電層 136～139 を形成する（図 2（C）参照）。導電層 136～139 は、ソース配線又はドレイン配線として機能し、なお且つ、外部の端子との接続用導電層としても機能する。

【0058】

なお、このようにして形成した導電層 136～139 の側面は、剥離層 101～103 に接しておらず、層間絶縁層 123～125 に接する。これは、剥離層 101～103 をエッチング剤により除去する際に、導電層 136～139 がエッチング剤により除去されないようにするためである。

【0059】

導電層 136～139 は、公知の手段（プラズマ CVD 法やスパッタリング法）により、チタン（Ti）、アルミニウム（Al）、ネオジウム（Nd）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電層 136～139 は、例えば、バリア層とアルミニウムシリコン（Al-Si、珪素が添加されたアルミニウムに相当）層とバリア層の積層構造、バリア層とアルミニウムシリコン（Al-Si）層と窒化チタン（TiN、チタンと窒素の組成比は制約されない）層とバリア層の積層構造を採用するとよい。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる層に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層 136～139 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また下層のバリア層を設けると、アルミニウムやアルミニウムシリコンと、結晶質半導体層との、良好なコンタクトをとることができる。また、チタンは、還元性の高い元素であるため、チタンからなるバリア層を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

【0060】

次に、導電層 136～139 を覆うように、絶縁層 140 を形成する。絶縁層 140 は、DLC（ダイヤモンドライクカーボン）などの炭素を含む層、窒化珪素を含む層、窒化酸化珪素を含む層、有機材料（好ましくはエポキシ樹脂）を含む層等に相当する。なお、絶縁層 140 は、保護層として機能するものであり、必要がなければ形成しなくてもよい。また、絶縁層 140 として、有機材料からなる層を形成すると、剥離層 101～103 を除去した後でも、基板 100 上の複数の素子に重みがつくため、基板 100 からの飛散を防止し、巻かれた形状になることがなく、素子の破壊や損傷を防止することができる。なお、ここでは、上記工程を経て完成した、薄膜トランジスタ 116、117 を含む素子と、導電層 136～139 とを合わせて、薄膜集積回路 142 とよぶ（図 2（C）の断面図と図 3（B）の斜視図参照）。

【0061】

つまり、薄膜集積回路 142 は、薄膜トランジスタ 116、117 を含む積層体に相当する。

【0062】

次に、剥離層 101～103 が露出するように、フォトリソグラフィ法を用いて層間絶縁層 123～125 と絶縁層 140 をエッチングして、開口部 141 を形成する（図 4（A）の断面図と図 5（A）の斜視図参照）。

【0063】

次に、開口部141にエッチング剤を導入して、剥離層101～103を除去する（図4（B）の断面図と図5（B）の斜視図参照）。エッチング剤は、ウエットエッチングであれば、フッ酸を水やフッ化アンモニウムで希釈した混液、フッ酸と硝酸の混液、フッ酸と硝酸と酢酸の混液、過酸化水素と硫酸の混液、過酸化水素とアンモニウム水と水の混液、過酸化水素と塩酸と水の混液等を用いる。また、ドライエッチングであれば、フッ素等のハロゲン系の原子や分子を含む気体、又は酸素を含む気体を用いる。

【0064】

好ましくは、エッチング剤として、フッ化ハロゲン又はハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素（ CF_3 ）を

10

【0065】

また、フッ化ハロゲンを含む気体又は液体、ハロゲン化合物を含む気体又は液体として、三フッ化窒素（ NF_3 ）、三フッ化臭素（ BrF_3 ）、フッ化水素（ HF ）を用いてもよい。なお、フッ化水素（ HF ）を用いる場合は、剥離層として、珪素の酸化物を含む層を形成する。

【0066】

なお、導電層136、139は、剥離層101～103に接しないように設けられているため、この工程において、導電層136、139は、エッチング剤によりエッチングされない。

20

【0067】

次に、薄膜集積回路142の一方の面を基体143に接着させて、薄膜集積回路142と基体143を一体化させた後、薄膜集積回路142を基板100から完全に剥離する（図6（A）の断面図と図7（A）の斜視図参照）。

【0068】

基体143は、ラミネートフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどに相当する。ラミネートフィルムは、熱圧着により、被処理体とラミネート処理が行われるものであり、ラミネート処理を行う際には、ラミネートフィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。基体143の表面には接着層が設けられていてもよいし、接着層が設けられていなくてもよい。接着層は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤を含む層に相当する。

30

【0069】

次に、薄膜集積回路142と基体143とが一体化したものを、スライシング装置やレーザ照射装置、ダイサー、ワイヤソー等を用いて分断する（図7（B）の斜視図参照）。

【0070】

続いて、薄膜集積回路142の他方の面を、導電層151、152が設けられた基板153に接着させる（図6（B）の断面図と図7（C）（D）の斜視図参照）。また、薄膜集積回路142が含む導電層136、139と、基板153上の導電層151、152とが接するように、導電性粒子155を含む樹脂154を用いて、薄膜集積回路142と基板153とを接着させる。

40

【0071】

導電性粒子155を含む樹脂154は、異方性導電層に相当する。

【0072】

基板153には、可撓性があり、薄くて軽いプラスチック基板を用いることが好ましく、具体的には、PET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）、PES（ポリエーテルスルホン）、ポリプロピレン、ポリプロピレンサルファイド

50

、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、ポリフタルアミド等からなる基板を用いることができる。

【0073】

本実施の形態では、基板153上にアンテナとして機能する導電層151、152が設けられた場合を示しており、上記工程を経て、無線チップ（無線プロセッサ、無線メモリ、無線タグともよぶ）として機能する半導体装置が完成する。

【0074】

なお、上記構成によると、薄膜集積回路142と基板153は、導電性粒子155を含む樹脂154を用いて接着されている。しかし、本発明はこの形態に制約されず、バンプ（突起状導電層）165、166をさらに用いて、薄膜集積回路142と基板153とを接着してもよい（図6（C）参照）。この場合、基板153上の導電層151、152は保護絶縁層156に覆われている。また、保護絶縁層156の一部には、開口部が設けられている。

（実施の形態2）

【0075】

上記の実施の形態では、剥離層101～103は、エッチング剤により完全に除去している（図4（B）参照）が、本発明はこの形態に制約されず、剥離層101～103を、エッチング剤により選択的に除去してもよい（図8（A）参照）。その後、薄膜集積回路142上に基体143を設けて、薄膜集積回路142と基体143とを一体化した後、物理的手段により、基板100から、薄膜集積回路142と基体143とを剥離してもよい（図8（B）参照）。物理的手段により、基板100から薄膜集積回路142を剥離すると、剥離層101～103は基板100上に残存する場合と、基板100から剥離層101～103と薄膜集積回路142が共に剥離される場合の2つの場合があり、本形態では後者の場合を示す（図8（B）参照）。なお、物理的手段とは、外部からストレスを与える手段に相当し、例えばノズルから吹き付けられるガスの風圧や超音波に相当する。

【0076】

上記のように、剥離層101～103をエッチング剤により完全に除去するのではなく、剥離層101～103を選択的に除去して、物理的手段を併用することにより、剥離層101～103を除去する時間を短時間で済ませることができるため、生産性を向上させることができる。

（実施の形態3）

【0077】

本発明の半導体装置の作製方法は、簡単には、基板上に薄膜集積回路を形成するステップと、基板から薄膜集積回路を剥離するステップと、剥離した薄膜集積回路を基板上に接着するステップとを有するものであり、薄膜集積回路を接着する基板上には導電層が設けられている。この導電層は、アンテナとして機能したり、単なる接続配線として機能したりする。以下には、いろいろな形態の本発明の半導体装置について説明する。

【0078】

まず、複数の機能が集積された半導体装置について説明する（図16（A）（B）参照）。導電層が設けられた基板600上には、複数の薄膜集積回路601～604が接着されている。基板600上の導電層と、薄膜集積回路601～604の各々が含む裏面の接続用導電層とは、導電性粒子155を含む樹脂154により接着されている。薄膜集積回路601～604の各々は、中央処理ユニット（CPU、Central Processing Unit）、メモリ、ネットワーク処理回路、ディスク処理回路、画像処理回路、音声処理回路、電源回路、温度センサ、湿度センサ、赤外線センサ等から選択された1つ又は複数として機能する。

【0079】

次に、表示部を有する半導体装置について説明する（図17（A）（B）参照、図17（A）中のA-Bは図17（B）中のA-Bに対応する）。基板620上には、薄膜集積回

10

20

30

40

50

路624、625が接着され、接続フィルム626、627上には薄膜集積回路628、629が接着されている。表示部623と薄膜集積回路624とは、基板620上の導電層631を介して接続する。薄膜集積回路624と薄膜集積回路628とは、基板620上の導電層634と接続フィルム627上の導電層635を介して接続する。これらの導電層の接続には、導電性粒子155を含む樹脂154を用いている。基板620と対向基板621は、シール材630により接着されている。

【0080】

次に、ICカードとして機能する半導体装置について説明する(図18(A)(B)参照)。基板610上には、薄膜集積回路611が接着されている。基板610上の導電層612と、薄膜集積回路611の裏面の接続用導電層とは、導電性粒子155を含む樹脂154により接着されている。ここでは、基板610として、可撓性があり、薄くて軽いプラスチック基板を用いており、そのために、可撓性をもたせ、薄くて軽いという付加価値を付けたICカードを提供することができる。

10

【0081】

次に、ICカードとして機能する半導体装置について説明する(図21(A)参照)。基板640上には、薄膜集積回路642~645が接着されている。基板640上の導電層641と、薄膜集積回路644の裏面の接続用導電層とは、導電性粒子155を含む樹脂154により接着されている。薄膜集積回路642~645は、中央処理ユニット(CPU、Central Processing Unit)、メモリ、ネットワーク処理回路、ディスク処理回路、画像処理回路、音声処理回路、電源回路、温度センサ、湿度センサ、赤外線センサ等から選択された1つ又は複数として機能する。上記構成を有する本発明の半導体装置は、アンテナとして機能する導電層641を有し、なおかつ複数の薄膜集積回路642~645を有するために、高性能な無線チップを提供することができる。従って、暗号処理などの複雑な処理を可能とし、高機能化を実現したICカードを提供することができる。

20

【0082】

なお、図21(A)に示す構成では、薄膜集積回路642~645の周囲にアンテナとして機能する導電層641を設けているが、本発明はこの形態に制約されない。アンテナとして機能する導電層641と重なるように、薄膜集積回路642~645を設けてもよい(図21(B)(C)参照)。そうすると、基板640の面積を削減して、小型、薄型、軽量を実現した無線チップを提供することができる。このような小型化を実現した半導体装置は、例えば、薄膜集積回路642~645のいずれか1つに温度センサを適用し、人体の皮膚(好ましくは額の皮膚)上に貼り付ければ、検温を行うことができる。

30

【0083】

本発明の半導体装置が含む薄膜集積回路は小型、薄型、軽量を実現しており、複数のシステムを含む半導体装置(図16参照)、表示機能を有する半導体装置(図17参照)、ICカード(図18参照)、ICカード(図21(A)参照)、無線チップ(図21(B)(C))の各々に適用することによって、さらなる高機能化と高付加価値化を実現することができる。

【実施例1】

40

【0084】

本実施例では、微細な導電層を形成する手法について説明する。まず、絶縁表面を有する基板100上に、剥離層101~103、下地絶縁層104、結晶質半導体層121、122、ゲート絶縁層105、導電層171、172を形成する(図9(A)参照)。次に、導電層171、172上に、フォトマスクを用いて、レジストマスク173、174を形成する。続いて、酸素プラズマ処理等の公知のエッチング処理により、レジストマスク173、174をエッチングして、新たなレジストマスク175、176を形成する(図9(B)参照)。上記の工程を経たレジストマスク175、176は、フォトリソグラフィ法を用いて形成することができる限界を超えた、微細なものとすることができる。

【0085】

50

次に、レジストマスク175、176を用いて、エッチング処理を行うと、微細な導電層106～109を作成することができる（図9（C）参照）。導電層106～109は、ゲート電極として機能する。

【0086】

また、上記とは異なる手法として、まず、絶縁表面を有する基板100上に、剥離層101～103、下地絶縁層104、結晶質半導体層121、122、ゲート絶縁層105、導電層171、172、レジストマスク173、174を形成する（図9（A）参照）。

【0087】

次に、レジストマスク173、174を用いて、導電層171、172をエッチングして、導電層177、178を形成する（図10（A）参照）。続いて、レジストマスク173、174を除去せず、レジストマスク173、174と導電層177、178の積層体のうち、導電層177、178の側面のみを選択的にエッチングする（図10（B）参照）。そうすると、上記の手法と同様に、フォトリソグラフィ法を用いて形成することができる限界を超えた微細な導電層106～109を形成することができる（図10（C）参照）。導電層106～109は、ゲート電極として機能する。

【0088】

上記のいずれかの方法により、チャネル長が $0.5\mu\text{m}$ 以下の微細な薄膜トランジスタを形成することができる。薄膜トランジスタが微細なものであれば、その分高集積化を可能とするので、高性能化が実現する。また、チャネル形成領域の幅が狭くなるため、高速動作を実現する。

【実施例2】

【0089】

本発明の半導体装置を無線チップとして用いる場合、無線チップは、アンテナより電源を供給するため、電源の安定化が難しく、消費電力を極力抑制することが必要となる。仮に、消費電力が増加すると、電磁波を強力に入力する必要があるため、リーダライタの消費電力の増加、他の装置や人体への悪影響、無線チップとリーダライタとの通信距離に制約が生じるなどの不都合が生じる。

【0090】

そこで、本発明は、下部ゲート電極として機能する導電層181と上部ゲート電極として機能する導電層183の2つのゲート電極を含むN型の薄膜トランジスタ116と、下部ゲート電極として機能する導電層182と上部ゲート電極として機能する導電層184の2つのゲート電極を含むP型の薄膜トランジスタ117とを有する半導体装置を提供する（図11参照）。消費電力を抑制するためには、下部ゲート電極として機能する導電層181、182にバイアス電圧を印加する方法が有効であり、より具体的には、N型の薄膜トランジスタ116の下部ゲート電極として機能する導電層181に対する負のバイアス電圧の印加は、しきい値電圧を高めて、リーク電流を減少させることができる。また、正のバイアス電圧の印加は、しきい値電圧を下げて、チャネル形成領域に電流が流れやすくすることができる。従って、薄膜トランジスタ116は、より高速化、若しくはより低電圧で動作する。一方、P型の薄膜トランジスタ117の下部ゲート電極として機能する導電層182に対する正のバイアス電圧の印加は、しきい値電圧を高めて、リーク電流を減少させることができる。また、負のバイアス電圧の印加は、しきい値電圧を下げて、チャネル形成領域に電流が流れやすくすることができる。従って、薄膜トランジスタ117は、より高速化、若しくは低電圧で動作する。

【0091】

上記の通り、下部ゲート電極に印加するバイアス電圧を制御することで、薄膜トランジスタ116、117のしきい値電圧を変えて、リーク電流を減少させ、その結果、半導体装置自体の消費電力を抑制することができる。従って、暗号処理などの複雑な処理を行っても、電源が不安定になることがなく、電源の安定化を実現する。また、電磁波を入力する必要がなく、リーダライタとの通信距離を改善することができる。なお、薄膜トランジスタ116、117に対するバイアス電圧の印加は、専用の制御回路を設けて、その制御回

路によりバイアス電圧の印加を制御するとよい。

【実施例 3】

【0092】

本発明の半導体装置に用いる容量用トランジスタの断面構造について説明する（図 12（A）参照）。容量用トランジスタ 301 は、ソース電極とドレイン電極が互いに接続されており、容量用トランジスタ 301 がオンすると、ゲート電極とチャネル形成領域との間に容量が形成される。このような容量用トランジスタ 301 の断面構造は、通常の薄膜トランジスタの断面構造と変わらず、等価回路図は、図 12（B）のように表される。

【0093】

但し、上記の構成では、容量を形成するのに、ゲート絶縁膜を用いているため、その容量値は、容量用トランジスタ 301 のしきい値電圧の変動に対して影響を受けてしまうことがある。従って、ゲート電極と重なる領域 302 に、不純物元素を添加した容量用トランジスタ 301 を用いてもよい（図 12（C）参照）。上記構成の容量用トランジスタ 301 は、トランジスタのしきい値電圧とは無関係に容量が形成されるため、トランジスタのしきい値電圧のバラツキによる影響を防止することができる。この場合の等価回路図は図 12（D）のように表される。

10

【実施例 4】

【0094】

本発明の半導体装置を無線チップとして用いるときの構成について、図面を参照して説明する。なお、ここで説明する無線チップの仕様は、国際標準規格の ISO 15693 に準拠し、近傍型で、交信信号周波数は 13.56 MHz である。また、受信はデータ読み出し命令のみ対応し、送信のデータ伝送レートは約 13 kHz であり、データ符号化形式はマンチェスタコードを用いている。

20

【0095】

無線チップは、大別して、アンテナ部 221、電源部 222、ロジック部 223 から構成される。アンテナ部 221 は、外部信号の受信とデータの送信を行うためのアンテナ 201 からなる（図 13 参照）。

【0096】

電源部 222 は、アンテナ 201 を介して外部から受信した信号により電源を作る整流回路 202 と、作りだした電源を保持するための保持容量 203 からなる。

30

【0097】

ロジック部 223 は、受信した信号を復調する復調回路 204 と、クロック信号を生成するクロック生成・補正回路 205 と、各コード認識及び判定回路 206 と、メモリからデータを読み出すための信号を受信信号により作り出すメモリコントローラ 207 と、符号化した信号を送信信号に変調するための変調用抵抗を含む変調回路 208 と、読み出したデータを符号化する符号化回路 209 と、データを保持するマスク ROM 211 とを有する。

【0098】

各コード認識及び判定回路 206 が認識・判定するコードは、フレーム終了信号（EOF、end of frame）、フレーム開始信号（SOF、start of frame）、フラグ、コマンドコード、マスク長（mask length）、マスク値（mask value）等である。また、各コード認識及び判定回路 206 は、送信エラーを識別する巡回冗長検査（CRC、cyclic redundancy check）機能も含む。

40

【0099】

なお、データを保持する手段として、マスク ROM 211 に限らず、DRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）、FeRAM（Ferroelectric Random Access Memory）、PROM（Programmable Read Only Memory）、EPROM（Electrically Pro

50

grammable Read Only Memory)、EEPROM(Electrically Erasable Read Only Memory)、フラッシュメモリから選択された1つ又は複数を用いてもよい。

【0100】

次に、上記構成を有する無線チップのレイアウトの一例について、図14を参照して説明する。まず、1つの無線チップのレイアウトについて説明する(図14(A)参照)。無線チップは、アンテナ201として機能する導電層が設けられた基体216と、電源部222及びロジック部223とを構成する素子群214とが接着したものであり、素子群214を形成する領域の一部と、アンテナ201を形成する領域の一部は重なっている。

【0101】

図示する構成では、アンテナ201を構成する配線の幅を150 μ m、配線と配線の間の幅を10 μ mで設計し、その巻き数は15巻きとした。

【0102】

なお、アンテナ201は、図14に示すように、巻いた形状に制約されない。アンテナ201の形状は、曲線型(図15(A)参照)、直線型(図15(B)参照)のいずれの形状であってもよい。

【0103】

次に、電源部222とロジック部223のレイアウトについて説明する(図14(B)参照)。電源部222を構成する整流回路202と保持容量203は同じ領域に設けられる。ロジック部223を構成する復調回路204と、各コード認識及び判定回路206は、2カ所に分けて設けられる。マスクROM211とメモリコントローラ207は隣接して設けられる。クロック生成・補正回路205と各コード認識及び判定回路206は隣接して設けられる。復調回路204は、クロック生成・補正回路205と各コード認識及び判定回路206の間に設けられる。また、図13のブロック図には示していないが、ロジック部用の検波容量212と、電源部用の検波容量213とが設けられる。変調用抵抗を含む変調回路208は、検波容量212と検波容量213の間に設けられる。

【0104】

マスクROM211は、製造工程で記憶内容をメモリに作り込むものであり、ここでは、高電位電源(VDDともよぶ)に接続する電源線と、低電位電源(VSSともよぶ)に接続する電源線の2本の電源線を設けて、メモリセルが記憶する記憶内容は、各メモリセルが含むトランジスタが、上記のどちらの電源線に接続しているかにより判断する。

【0105】

なお、本発明の半導体装置が用いる電波の周波帯は、長波帯の ~ 135 kHz、短波帯の6.78MHz、13.56MHz、27.125MHz、40.68MHz、5.0MHz、マイクロ波帯の2.45GHz、5.8GHz、24.125GHz等があり、そのいずれでもよい。また、電磁波の伝播は、電磁誘導方式や電波通信方式のどちらの方式でもよい。

【実施例5】

【0106】

本発明の半導体装置の用途は広範にわたるが、以下にはその具体例について説明する。本発明の半導体装置210は、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類(運転免許証や住民票等、図19(A)参照)に設けたり、包装用品類(包装紙やボトル等、図19(B)参照)に設けたり、記録媒体(DVDソフトやビデオテープ等、図19(C)参照)に設けたり、乗物類(自転車等、図19(D)参照)に設けたり、身の回り品(靴や眼鏡等、図19(E)参照)に設けたり、食品類、衣類、生活用品類、電子機器等の物品に設けて活用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(単にテレビと呼んだり、テレビ受像機やテレビジョン受像機とも呼んだりする)、携帯電話等を指す。

【0107】

本発明の半導体装置は、表面に貼ったり、埋め込んだりして、物品に固定される。例えば

10

20

30

40

50

、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の半導体装置は、小型・薄型・軽量を実現するため、物品に半導体装置を固定した後も、その物品自体のデザイン性を損なうことがない。

【0108】

また、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の半導体装置を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用品類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【0109】

次に、本発明の半導体装置を活用したシステムの例について説明する。まず、表示部294を含む携帯端末の側面にリーダライタ295を設けて、物品297の側面に半導体装置296を設けておく（図20（A）参照）。また、あらかじめ、半導体装置296に物品297の原材料や原産地、流通過程の履歴等の情報を記憶させておく。そして、半導体装置296をリーダライタ295にかざすと同時に、半導体装置296が含む情報が表示部294に表示されるようにすれば、利便性が優れたシステムを提供することができる。また、別の例として、ベルトコンベアの脇にリーダライタ295を設けておく（図20（B）参照）。そうすれば、物品297の検品を極めて簡単に行うことが可能なシステムを提供することができる。このように、本発明の半導体装置を物品の管理や流通のシステムに活用することで、システムの高機能化を図り、利便性を向上させることができる。

【図面の簡単な説明】

【0110】

【図1】本発明の半導体装置の作製方法を説明する図。

【図2】本発明の半導体装置の作製方法を説明する図。

【図3】本発明の半導体装置の作製方法を説明する図。

【図4】本発明の半導体装置の作製方法を説明する図。

【図5】本発明の半導体装置の作製方法を説明する図。

【図6】本発明の半導体装置の作製方法を説明する図。

【図7】本発明の半導体装置の作製方法を説明する図。

【図8】本発明の半導体装置の作製方法を説明する図。

【図9】本発明の半導体装置の作製方法を説明する図。

【図10】本発明の半導体装置の作製方法を説明する図。

【図11】本発明の半導体装置の作製方法を説明する図。

【図12】本発明の半導体装置の作製方法を説明する図。

【図13】半導体装置を説明する図。

【図14】半導体装置を説明する図。

【図15】半導体装置を説明する図。

【図16】半導体装置を説明する図。

【図17】半導体装置を説明する図。

【図18】半導体装置を説明する図。

【図19】半導体装置の使用形態について説明する図。

【図20】半導体装置の使用形態について説明する図。

【図21】半導体装置を説明する図。

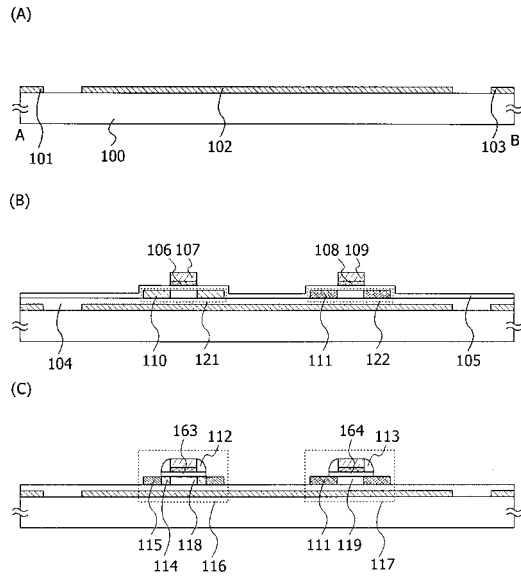
10

20

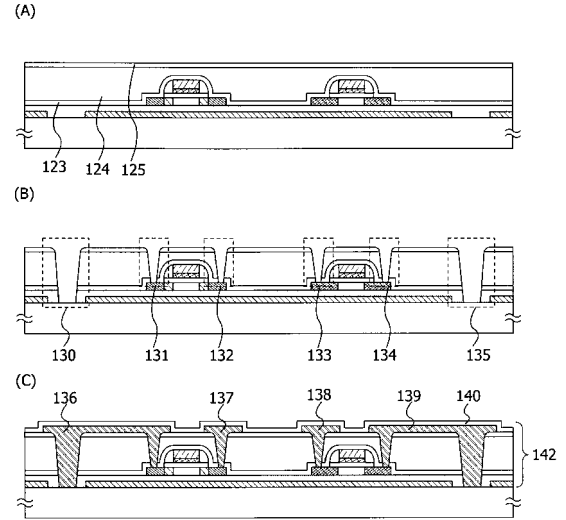
30

40

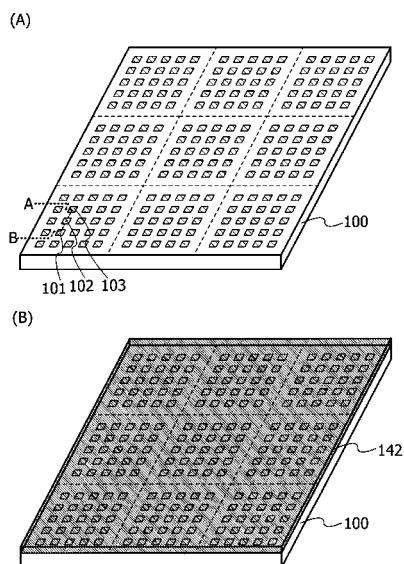
【図 1】



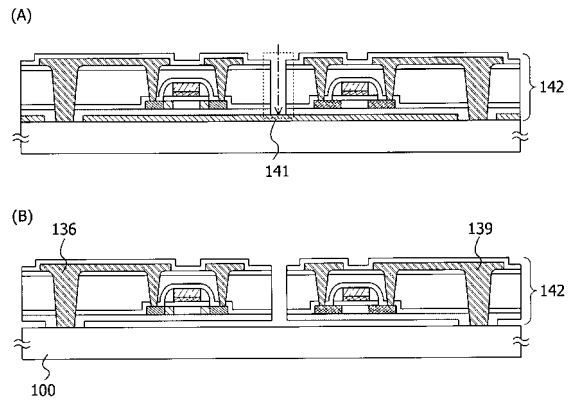
【図 2】



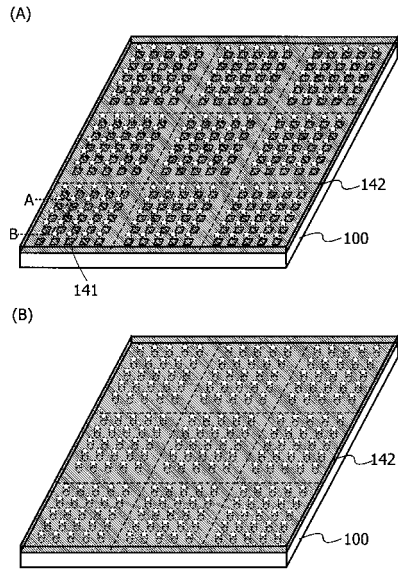
【図 3】



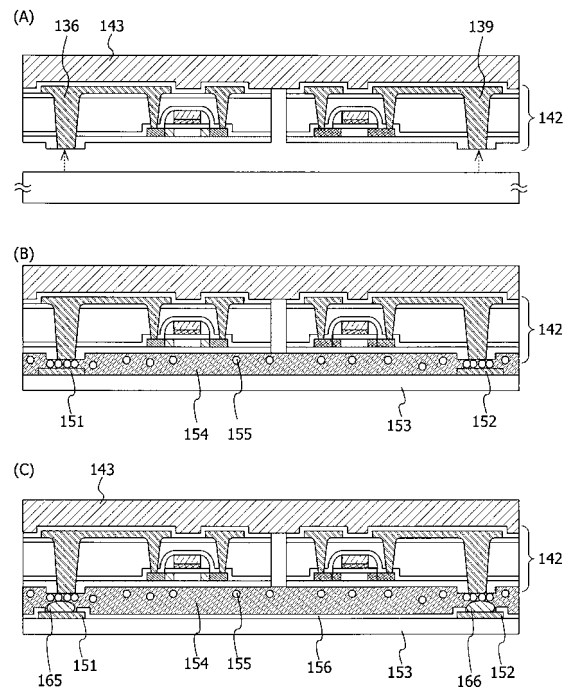
【図 4】



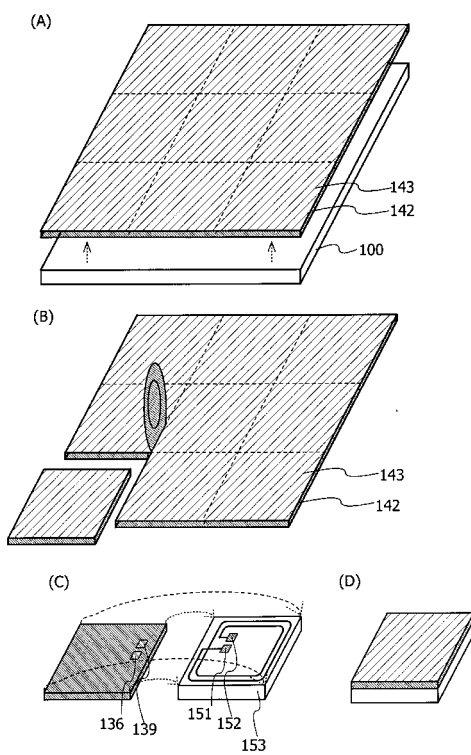
【図 5】



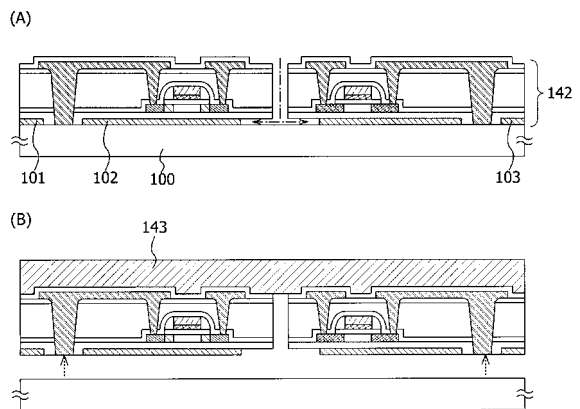
【図 6】



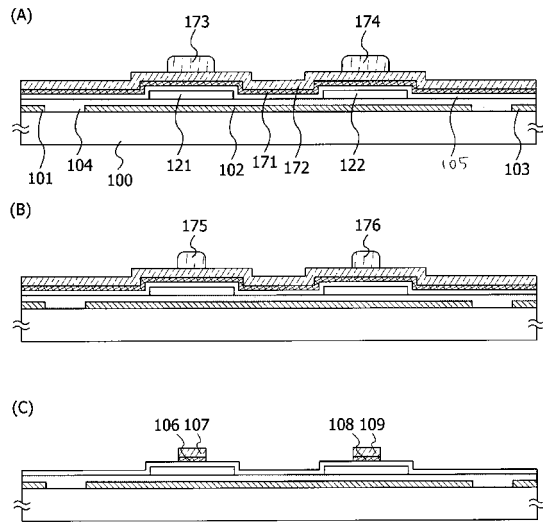
【図 7】



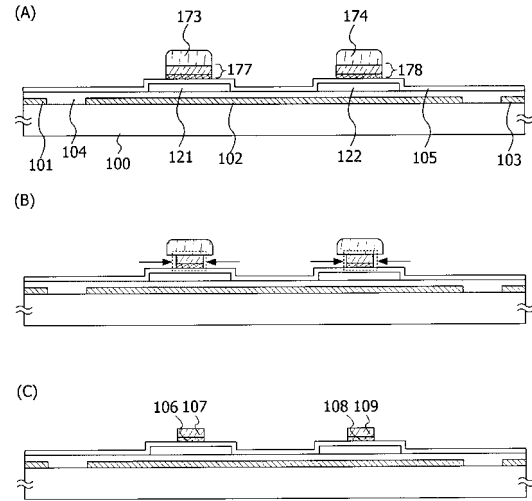
【図 8】



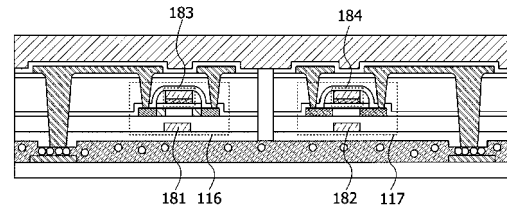
【図 9】



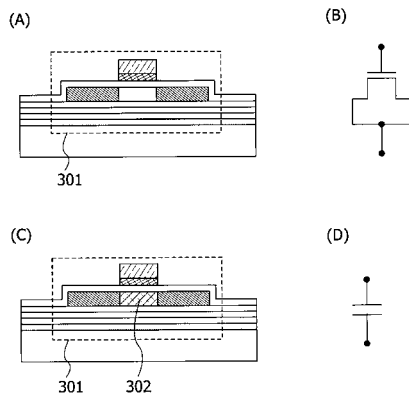
【図 10】



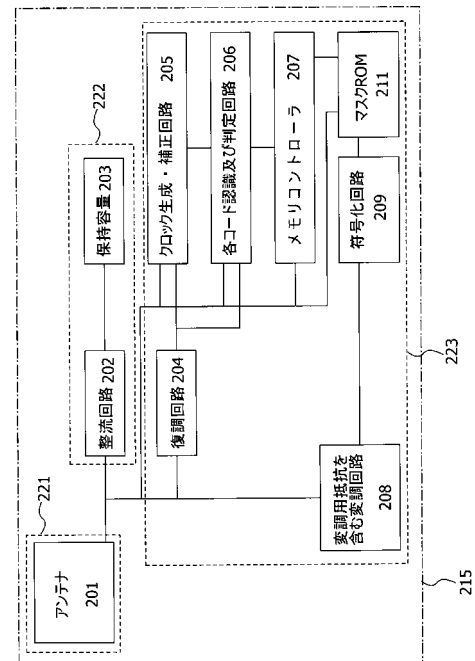
【図 11】



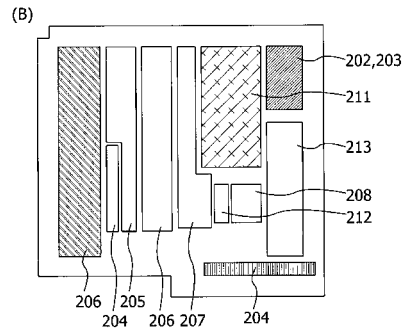
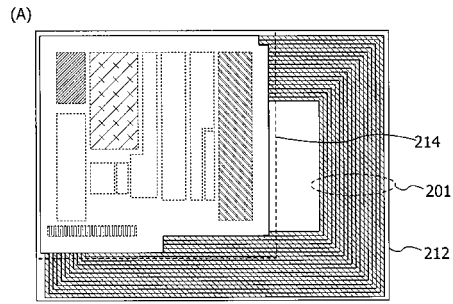
【図 12】



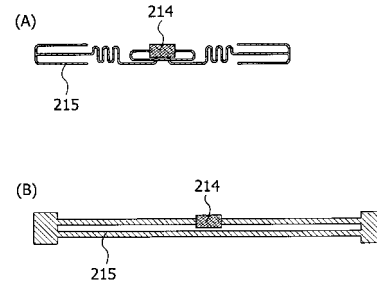
【図 13】



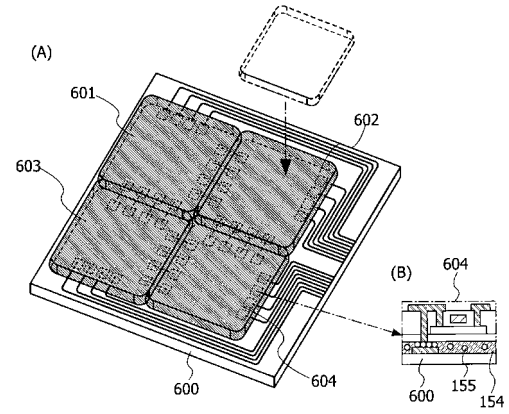
【図 14】



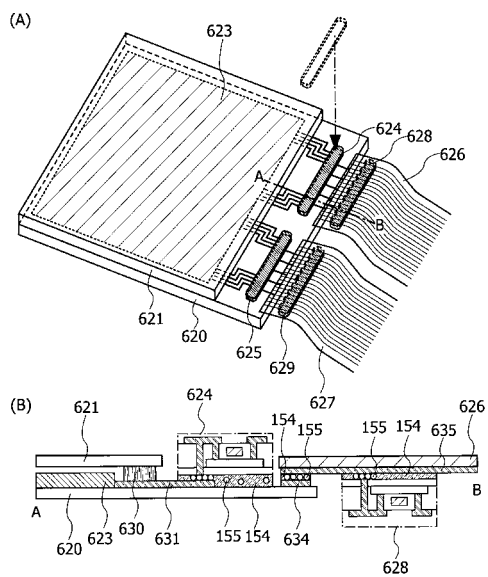
【図 15】



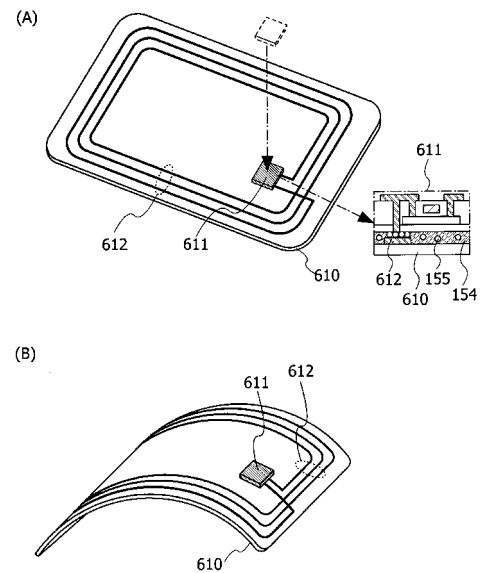
【図 16】



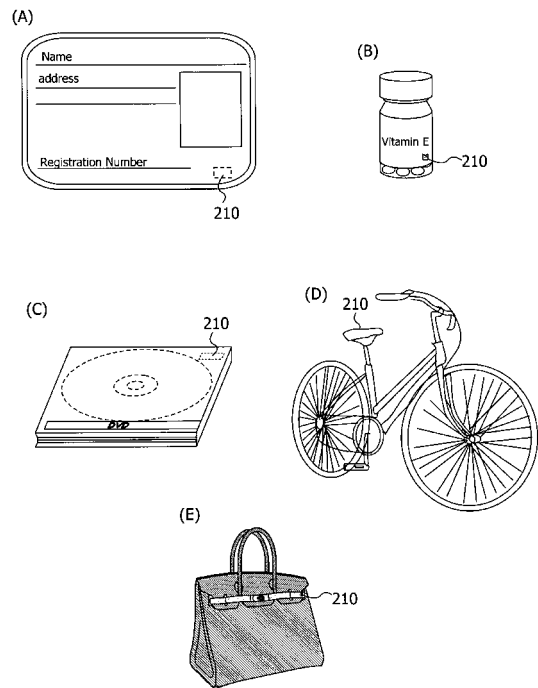
【図 17】



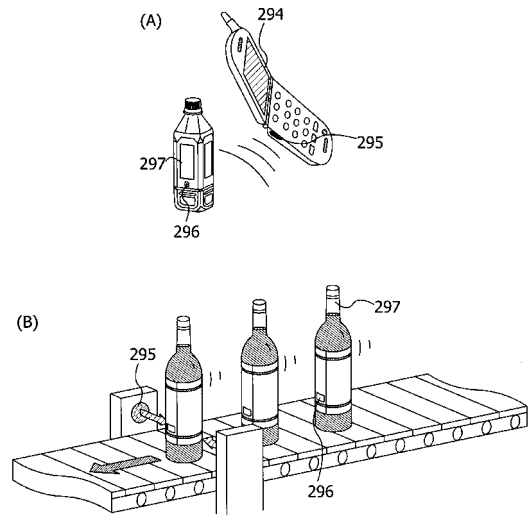
【図 18】



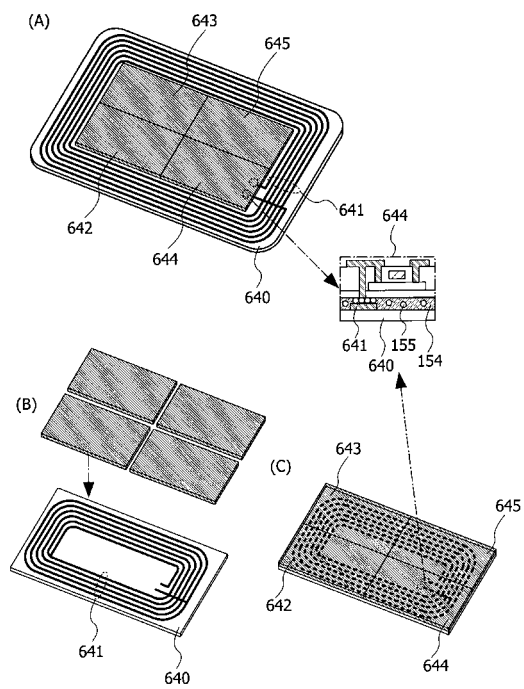
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl. F I

G 0 6 K 19/077 (2006.01)

G 0 6 K 19/07 (2006.01)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 1 2

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 3 3 6