

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年5月11日 (11.05.2006)

PCT

(10) 国際公開番号
WO 2006/049261 A1(51) 国際特許分類:
H01L 27/28 (2006.01) H01L 51/30 (2006.01)
H01L 51/05 (2006.01)

(21) 国際出願番号: PCT/JP2005/020320

(22) 国際出願日: 2005年11月4日 (04.11.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-324280 2004年11月8日 (08.11.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 学校法人 早稲田大学 (WASEDA UNIVERSITY) [JP/JP]; 〒1698050 東京都新宿区戸塚町一丁目104番地 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 西出 宏之 (NISHIDE, Hiroyuki) [JP/JP]; 〒1698555 東京都新宿区大久保三丁目4番1号 早稲田大学理工学部内 Tokyo (JP). 本田 憲治 (HONDA, Kenji) [JP/JP]; 〒1698555 東京都新宿区大久保三丁目4番1号 早稲田大学理工学部内 Tokyo (JP). 米久田 康智 (YONEKUTA, Yasunori) [JP/JP]; 〒1698555 東京都新宿区大久保三丁目4番1号 早稲田大学理工学部内 Tokyo (JP). 倉田 崇 (KURATA, Takashi) [JP/JP]; 〒1698555 東京都新宿区大久保三丁目4番1号 早稲田大学理工学部内 Tokyo (JP). 安部 滋幹 (ANBE,

Shigemoto) [JP/JP]; 〒1698555 東京都新宿区大久保三丁目4番1号 早稲田大学理工学部内 Tokyo (JP).

(74) 代理人: 牛木 護 (USHIKI, Mamoru); 〒1050001 東京都港区虎ノ門一丁目14番1号 郵政福祉琴平ビル3階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

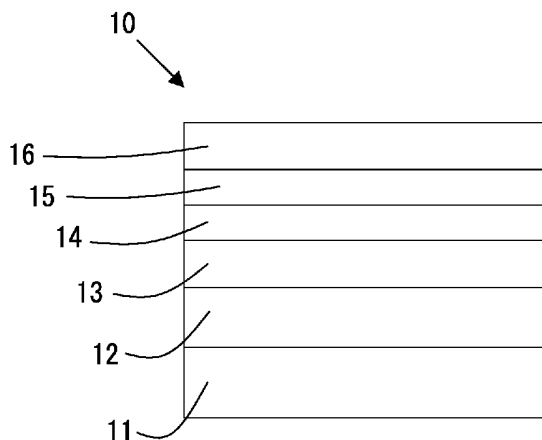
添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MEMORY ELEMENT AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: メモリー素子及びその製造方法



(57) Abstract: A novel nonvolatile memory element, which can be manufactured by a simple and high yield process by using an organic material and has a high on/off ratio, and a method for manufacturing such nonvolatile memory element. A switching layer (14) made of an electrical insulating radical polymer is provided between an anode layer (12) and a cathode layer (16). Further, a hole injection transport layer (13) is provided between the switching layer (14) and the anode layer (12), and an electron injection transport layer (15), between the switching layer (14) and the cathode layer (16). An intermediate layer is provided between the switching layer and the adjacent layer. The radical polymer is preferably nitroxide radical polymer. The switching layer (14), the hole injection transport layer (13) and the electron injection transport layer (15) are formed by being stacked by a wet process.

(57) 要約: 有機材料を用いて簡便かつ歩留まりの高い工程で製造でき、かつオン/オフ比が高い、新規の不揮

発性のメモリー素子及びその製造方法を提供する。陽極層12と陰極層16との間に、電気絶縁性のラジカルポリマーからなるスイッチング層14を設けた。さらにスイッチング層14と陽極層12との間にホール注入輸送層13、スイッチング層14と陰極層16との間に電子注入輸送層15を設けた。また、スイッチング層と隣接する層との間に中間層を設けた。ラジカルポリマーはニトロキシドラジカルポリマーが好ましい。スイッチング層14、ホール注入輸送層13、電子注入輸送層15は、湿式法により積層形成した。

WO 2006/049261 A1

明 細 書

メモリー素子及びその製造方法

技術分野

- [0001] 本発明は、印加された電圧に応じてオン／オフ状態が切り替わってその状態を維持する、不揮発性のメモリー素子及びその製造方法に関する。さらに詳しくは、現在使われている不揮発性メモリーであるフラッシュメモリーに取って代わる、次世代の超高密度不揮発性メモリーとして位置付けられるポリマーメモリーを作製する上で、最も重要な構成要素となるポリマー材料及びそれを用いた素子構造に関する。

背景技術

- [0002] 従来、シリコン基板を用いたDRAMやSRAMなどの揮発性のメモリー素子が汎用されてきたが、今後は、書き換え可能な不揮発性のメモリー素子の開発が期待されている。しかし、従来のシリコン基板を用いたメモリー素子の製造にはフォトリソグラフィという煩雑かつ製造コストが高い工程が必要であるため、最終製品としてのメモリー素子が非常に高価になってしまうという問題があった。このような従来のシリコン基板を用いたメモリー素子に対し、有機材料を用いた不揮発性のメモリー素子がいくつか提案されている。
- [0003] 例えば、印加電圧の変化によって電気伝導率の急激な変化を生じうる、有機低分子化合物を用いたメモリー素子として、2-アミノ-4, 5-イミダゾールジカルボニトリルを用いたメモリー素子(L.Ma ら, Applied Physics Letters, 82(9), p1419-1421 (2003))や、7, 7, 8, 8-テトラシアノキノンジメタンの銅錯体を用いたメモリー素子(R.S.P otember et al., Applied Physics Letters, 34(6), p405-407 (2003))が提案されている。
- [0004] これらの有機低分子化合物を用いたメモリー素子は、有機層内、又は電極層と有機層の間に金属アルミニウムなどの導電層を有し、ある閾値以上の電圧印加により高抵抗状態から低抵抗状態へ変化し、永続的に低抵抗状態が維持される。そして、この低抵抗状態で逆方向に電圧を印加すると、再び所定の閾値において再び高抵抗状態が復帰するものである。

- [0005] なお、これらのメモリー素子において、電圧印加により抵抗が変化する機構については未だ解明されていないが、メモリー素子の内部に設けられた導電層と有機層の界面、または有機層と電極層の界面に蓄積される空間電荷による何らかの電氣的界面現象に起因していると考えられる。
- [0006] しかし、上記の有機低分子化合物を用いたメモリー素子は、いずれも真空蒸着法や電子ビーム法、スパッタリング法などの超高真空を必要とする工程によって低分子化合物の薄膜を形成することで作成されるものであり、その工程が繁雑であるとともに製品としてのメモリー素子の歩留まりが高くはなかった。
- [0007] 一方、有機高分子化合物を用いてメモリー素子を作成する試みがなされている。例えば、ポリ(3, 4-エチレンジオキシチオフェン)とポリ(スチレンスルホン酸)の混合物(PEDOT:PSS)を、インジウムスズ酸化物(ITO)からなる陽極と、アルミニウムからなる陰極にはさんだ単層型のメモリー素子が提案されている(S.Moller ら, Nature, 426, p166-169 (2003))。
- [0008] しかし、上記の有機高分子化合物を用いたメモリー素子は、閾値以上の電圧印加によって低抵抗状態から高抵抗状態に変化するものであるが、そのオン／オフ比は高くはなかった。しかも、PEDOT:PSSは水溶性の高分子であるため、PEDOT:PSSの層を均一に形成するのが困難であり、メモリー素子の積層形成が容易ではないといった問題があった。
- [0009] また、これまでいろいろなタイプの不揮発性メモリー素子が開発されてきたが、いずれも異なる問題を抱えている。フラッシュメモリーは、すでに実用化しているが、動作速度がDRAMやSRAMに比べて遅く、しかも書き込みサイクル寿命に限界がある。これを克服すべく、FeRAM, SONOS/NROM, MRAMなどいろいろなタイプの素子が考案されているが、いずれも金属酸化物または硫化物などのセラミック系材料を用いるため、素子製造に当たって真空蒸着プロセスを必要とし、製造コストが高い。フレキシブルで大面積の素子を安価に製造することが望まれているが、そのためにはどうしてもスピンコーティングのような安価な湿式法を用いて、有機ポリマーのような材料を使うことが必須である。
- [0010] このような状況のなかで、TFE (Thin Film Electronics) 社はインテル社とともに、フッ

化ビニリデンの単独重合体あるいは三フッ化ビニリデンと三フッ化エチレンの共重合体のような強誘電性ポリマーを用いたポリマーメモリーを提案した(US Patent 6,055,180; 6,326,936; US Patent Appl.

2003/0017623A1)。この素子の問題のひとつとして、書き込み後の非破壊的読み出しができないということが挙げられる。これを解決するため、ゼロックス社は同様のポリマー材料と有機半導体からなる多層構造の素子を用いて書き込みと読み出しの両方が繰り返し可能な不揮発性メモリーを考案した(特開2004-040094)。しかし、これらいずれもフッ素系ポリマーを使用するため、材料およびプロセス的にコスト高となるのが問題である。

[0011] 一方、米国AMD社は、UCLAのベンチャーであるCoatue社の基本技術を用いて、上記の強誘電性ポリマーとは異なる新しい原理のメモリー素子を提案した(US Patent Appl. 2003/0155602A1;

2002/0163828A1; WO 02091385)。即ち、塩化ナトリウムとか塩化セシウムのようなイオン解離性塩をドーブしたパイ共役系ポリマー(例えば、ポリアセチレン、ポリアニリンなど)を2枚の金属電極の間に挟んだ構造を有する素子であって、このポリマー薄膜に電圧を印加するとドーブした塩がプラスとマイナスのイオンに解離し、それぞれ反対側の電極に引き寄せられることによって膜の電気伝導度が可逆的に変化する。このことを利用して、スイッチング機能が発現される。しかしながら、この素子は読み出しが破壊的であるので、書き込みのみのタイプとして使われる。しかも、スイッチング速度がミリ秒オーダーで遅い。これは、比較的大きなイオンが硬い分子鎖から成るパイ共役系ポリマーの固体膜中を移動することに起因すると考えられている。

[0012] 以上のポリマー材料とは異なるが、低分子量の有機物質を使ったメモリー素子も多くのグループで研究されてきた。先駆的な例として、R.S.Potemberら(ジョンズホプキンス大学)は2枚の銅電極の間にテトラシアノキノジメタン(TCNQ)の薄膜を挟んだ構造を有するメモリー素子を提案した(US Patent 4,371,883; Appl. Phys. Lett., (1979), 34(6), 405)。TCNQは電子受容性の強い化合物で、銅との間で電子の授受が起こり、一種の電荷移動型錯体(CT錯体)を形成することが知られている。このようなCT錯体層がTCNQと銅電極の界面に10ミクロン程度の厚さで生成し、その結果スイッ

チング機能が発現すると考えられている。この素子のスイッチング速度は10ナノ秒と極めて速い。しかも、ON/OFF比が10,000以上と大きく、メモリー素子としての可能性を持つものとして注目された。これを契機に、CT錯体のスイッチ/メモリー素子への応用が活発に検討された。とくに日本において、齋藤軍治らが中心になってTCNQ系の各種CT錯体が検討された (Appl.Phys.Lett., (1989), 55(20), 2111)。企業サイドでもこれに関連していくつかの特許が出願された(例えば、キャノンからは特開昭62-095882; 特開昭62-095883; 松下電工からは特開平03-137894; 特開平03-137896など)。メカニズムについてはさまざまな意見があるが、ひとつの可能性として、CT錯体が電圧印加に伴うジュール熱の発生によって結晶相からアモルファス相に転移することにより膜の電気伝導度が変化することが考えられている。いずれにせよ、このような有機低分子結晶を蒸着した膜では、均一な薄膜を得るのに技術的に困難なことが多く、製造コストにも課題がある。

- [0013] 上記と同様に銅電極を用いた例であるが、Potemberらのメカニズムとは異なるメモリー素子が検討された。2枚の金属電極(例えば、金や銅など)の間に有機ポリマーや金属酸化物または硫化物の薄膜を挟んで電圧を印加すると、電極として使った金属が電界中でイオン化し薄膜中を移動することが古くから知られていた。これがスイッチ素子に応用できる可能性を理論的に示したのは、J.G.SimmonsとR.R.Verderberである (Proc.Roy.Soc., (1967), A301, 77)。こうして生成した銅イオンが膜中を対極に向かって移動し、そこで還元されて金属銅になる際、膜中でフィラメント状に成長して対極まで達し、電気伝導パスを作ると考えられている。このような作動原理を用いて、NECは新しいスイッチ素子を提案した (Appl.Phys.Lett., (2003), 82(18), 3032)。一方、Y.Yangら(カリフォルニア大学)のグループは、電気伝導に寄与するのは金属性の銅ではなく、銅イオンであるとしている (Appl.Phys.Lett., (2004), 84(24), 4908)。用いた材料が両者で異なるので同一基盤の議論はできないが、いずれにしても、このような素子がスイッチあるいはメモリー機能を持つことが注目されている。ただし、このタイプの素子もスイッチ速度がやや遅い(マイクロ秒オーダー)という問題がある。

- [0014] さらに、Y.Yangら(カリフォルニア大学)は、2枚のアルミニウム電極の間に低分子量

のイミダゾール系化合物を挟み、この中間層の間にさらにもうひとつのアルミニウム層を入れた5層構造を有する素子をメモリーに用いた(US Patent Appl., 2004/0,027,84 9A1; Appl. Phys. Lett., (2002), 80(16), 2997)。ここで、中間のアルミニウム層は、フラッシュメモリーのフローティングゲート電極のような働きをするものと考えられている。即ち、ここに空間電荷が蓄えられ、その出入りによってメモリー機能が発現するとされている。一方、J.C.Scottら(米国IBM社)は、中間のアルミニウム層の代わりに金属(金など)のナノ粒子を有機層中に均一分散した構造の素子をメモリーとして検討した(Appl. Phys. Lett., (2004), 84, 607)。端子電極は、Yangらと同じアルミニウムであった。ここで、素子の安定駆動に重要なことは、有機層中の金属の形態(薄膜か微粒子か)ではなく、端子電極に使うアルミニウムの有機層と接触する表面が極薄い酸化物層を形成していることであるとしている。なお、富士電機のグループは、有機層中に金属を含有させなくても同様のメモリー特性が発現するとしており(H.Kawakami et al., Proc. SPIE, (2003), Vol. 5217, 71)、この種の素子の作動機構に関してはまだ十分な検討が必要である。

- [0015] 以上説明したように、フレキシブルで大面積の書き換え可能なメモリー素子を安価に製造するための材料およびプロセスの開発に向けて、現時点において完璧な解となるような提案はまだなされていない。製造コストの問題はもとより、スイッチング速度、書き込み／読み出しの繰り返し性、メモリー保持時間などの基本特性において、実用レベルで満足のいくものはまだない。

発明の開示

- [0016] 上記の課題を解決するためには、やはり有機ポリマー材料をスピンコーティングするというアプローチが最も適切である。用いるポリマーもフッ素系ポリマーのような高価なものではなく、かつ、スピンコーティングプロセス適合性のある安価な材料およびプロセスを選択することが必須である。今回、本発明者らはこのような点を鑑みて、新規にして高性能な電気化学的活性なラジカルポリマーを安価に合成することに成功し、これを用いて簡単に書き換え可能な不揮発性メモリー素子を製造する方法を見出した。さらに、ラジカルポリマー層のなかに誘電体、電子またはイオン伝導体、あるいは絶

縁体のいずれかから選ばれた高分子薄膜を挿入し、且つこれを挟んでラジカルポリマー層と対峙するもう一方の活物質を堆積することによって、素子の記録保持性および/あるいは駆動安定性が飛躍的に改善されることを見出し、本発明に想到した。

- [0017] 本発明のメモリー素子は、陽極層と陰極層との間に、電気絶縁性のラジカルポリマーからなるスイッチング層を有することを特徴とする。有機材料を用いて簡便かつ歩留まりの高い工程で製造でき、かつオン／オフ比が高い、新規の不揮発性のメモリー素子を提供することができる。
- [0018] また、本発明のメモリー素子は、前記スイッチング層と前記陽極層との間にホール注入輸送層を有すること、或いは、前記スイッチング層と前記陰極層との間に電子注入輸送層を有することにより、オン／オフ比を向上させることができる。
- [0019] また、本発明のメモリー素子は、前記スイッチング層を2層に隔てる中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることにより、素子の記録保持性および/あるいは駆動安定性を飛躍的に改善することができる。
- [0020] また、本発明のメモリー素子は、前記スイッチング層と前記陽極層との間に中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体から選ばれた材料からなること、或いは、前記スイッチング層と前記陰極層との間に中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることにより、素子の記録保持性および/あるいは駆動安定性を改善することができる。
- [0021] また、本発明のメモリー素子は、前記スイッチング層と前記陰極層との間にレドックス層を有すること、または前記スイッチング層と前記陽極層との間にレドックス層を有すること、或いは、さらに前記スイッチング層と前記レドックス層との間に中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることにより、素子の記録保持性および/あるいは駆動安定性を改善することができる。
- [0022] また、本発明のメモリー素子は、前記ラジカルポリマーはニトロキシドラジカルポリマーであることにより、応答特性を迅速にすることができる。

- [0023] さらに、本発明のメモリー素子は、前記中間層はシアノエチル化ポリマーからなることにより、ラジカルポリマーとの適合性がよく、簡便かつ歩留まりの高い工程で製造できる。
- [0024] 本発明のメモリー素子の製造方法は、陽極層と陰極層との間に電気絶縁性のラジカルポリマーからなるスイッチング層を有し、このスイッチング層と前記陽極層との間にホール注入輸送層、前記スイッチング層と前記陰極層との間に電子注入輸送層を有するメモリー素子の製造方法であって、前記スイッチング層、前記ホール注入輸送層、前記電子注入輸送層を、湿式法により積層形成することにより、各層の膜質の均一性を維持することができ、簡便かつ歩留まりの高い工程で、メモリー素子を製造することができる。
- [0025] また、本発明のメモリー素子の製造方法は、陽極層と陰極層との間に電気絶縁性のラジカルポリマーからなるスイッチング層を有し、前記スイッチング層を2層に隔てる中間層を有するメモリー素子の製造方法であって、前記スイッチング層、前記中間層を、湿式法により積層形成することにより、各層の膜質の均一性を維持することができ、簡便かつ歩留まりの高い工程で、メモリー素子を製造することができる。

図面の簡単な説明

- [0026] [図1]本発明の実施例1のメモリー素子を示す模式図である。
- [0027] [図2]同上メモリー素子の製造方法を示す流れ図である。
- [0028] [図3]本発明の実施例2のメモリー素子を示す模式図である。
- [0029] [図4]同上メモリー素子の製造方法を示す流れ図である。
- [0030] [図5]本発明の実施例3のメモリー素子を示す模式図である。
- [0031] [図6]同上メモリー素子の製造方法を示す流れ図である。
- [0032] [図7]本発明の実施例4のメモリー素子を示す模式図である。
- [0033] [図8]同上メモリー素子の製造方法を示す流れ図である。
- [0034] [図9]本発明の実施例5のメモリー素子の電流－電圧特性曲線である。
- [0035] [図10]本発明の実施例6のメモリー素子の電流－電圧特性曲線である。
- [0036] [図11]本発明の実施例7のメモリー素子の電流－電圧特性曲線である。
- [0037] [図12]本発明の実施例9のメモリー素子の電流－電圧特性曲線である。

[0038] [図13]本発明の実施例10のメモリー素子の電流－電圧特性曲線である。

[0039] [図14]同上逆バイアス電圧を印加したときの電流－電圧特性曲線である。

[0040] [図15]本発明の実施例14のメモリー素子の電圧－電流特性曲線である。

[0041] [図16]本発明の実施例15のメモリー素子の電圧－電流特性曲線である。

[0042] [図17]本発明の実施例16のメモリー素子の電圧－電流特性曲線である。

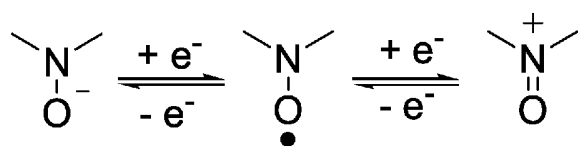
発明を実施するための最良の形態

[0043] 以下、本発明のメモリー素子及びその製造方法について詳細に説明する。

[0044] 本発明のメモリー素子のスイッチング層を形成するラジカルポリマーとしては、絶縁性であって、かつ酸化還元が迅速・可逆的なラジカルポリマーが好ましく用いられる。発明者らは、このようなラジカルポリマーについて永年にわたって研究してきた(例えば、西出ら, 高分子, 51巻(63), 453項-459項 (1996)、H.Nishideら, Magnetic Properties of Organic Materials, P.M.Lahti 編集, p285-303 (1999)など)が、本発明のメモリー素子には、ニトロキシドラジカル、アミニウムラジカル、フェノキシラジカルなどを含有するポリマーを用いることができる。

[0045] これらの中では、ニトロキシドを含有するニトロキシドラジカルポリマーが好適に用いられる。その理由は、化1に示すように、一般にニトロキシドラジカルポリマーは、一電子酸化および一電子還元 of いずれも可能であって、不対電子の可逆な酸化還元特性を示し、その酸化還元過程、すなわち応答特性は迅速で、かつ安定に長寿命で繰り返し可能であるからである。また、ニトロキシドラジカルポリマーは、大気下において250℃まで安定な取り扱いが可能であるという利点を有する。さらに、ニトロキシドラジカルポリマーは導電性が低く、これによってキャリアを永続的に保持し得るからである。

[0046] [化1]

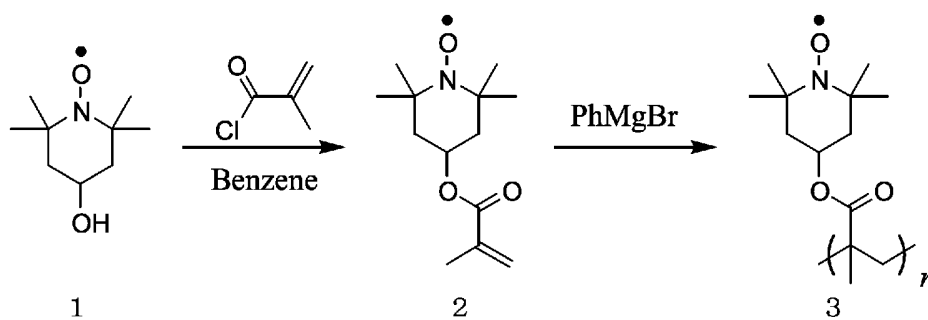


[0047] なお、本発明に用いられるラジカルポリマーは、上記のものに限定されるものではない。

い。

[0048] ニトロキシドラジカルを含有する有機高分子の合成方法としては、例えば、2, 2, 6, 6-テトラメチルピペリジニルオキシラジカル(以下、これをTEMPOと略す)を有機高分子とブレンドした分散体を作ることも考えられる。また、TEMPOに反応性基を導入し、それを重合可能なモノマーに共有結合でカップリングし、これを通常の方法で単独重合あるいはラジカルを持たないその他のモノマーと共重合として高分子量体とすることも可能である。そのような具体例として、化2に示すような反応例を示すことができる。

[0049] [化2]



[0050] 本発明のメモリー素子は、陽極層と陰極層との間に、電気絶縁性のラジカルポリマーからなる薄膜のスイッチング層を有するものであり、電圧印加にともない高抵抗状態から低抵抗状態へ変化する。

[0051] 前述のように、従来の2-アミノ-4, 5-イミダゾールジカルボニトリルを用いたメモリー素子や、7, 7, 8, 8-テトラシアノキノジメタンの銅錯体を用いたメモリー素子が電圧印加にともない高抵抗状態から低抵抗状態へ変化する機構は明らかにされていない。これに対し、本発明のメモリー素子においては、ラジカルポリマーからなるスイッチング層において陽極近傍のラジカルは酸化され、陰極近傍のラジカルは還元されるため、閾値電圧の印加によりある所定の電荷密度に到達し、スイッチング層内でカチオン状態およびアニオン状態が飽和して導電経路が形成されて、低抵抗状態が実現すると考えられる。そして、このような電荷が注入された状態の低抵抗状態では、絶縁性のスイッチング層は、いわば帯電した状態、すなわち低抵抗状態が永続的に維持されると考えられる。

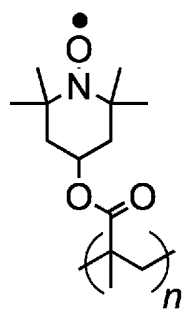
[0052] このように、本発明のメモリー素子は、陽極層と陰極層との間に印加する電圧が閾

値以下のときに高抵抗状態であって、電圧が閾値以上になると高抵抗状態から低抵抗状態へ変化し、電圧が再び閾値以下になっても低抵抗状態を維持するように構成されている。

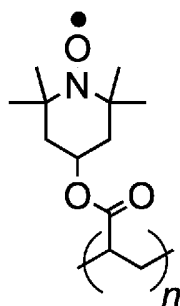
[0053] 本発明のメモリー素子の第1の実施形態として、スイッチング層と陽極層又は陰極層の間にバッファ層を設けることにより、スイッチング層と陽極層又は陰極層の間に良好な接触界面が形成され、オン／オフ比などの特性が向上する。具体的には、スイッチング層と陽極層の間には、バッファ層としてホール注入輸送性材料からなるホール注入輸送層を設け、スイッチング層と陰極層の間には、バッファ層として電子注入輸送性材料からなる電子注入輸送層を設けるとよい。

[0054] 化3に、本発明のメモリー素子に好適に用いられるニトロキシドラジカルポリマーの例を示す。なお、(a)は、ポリ(4-メタクリロイロキシ-2, 2, 6, 6-テトラメチルピペリジン-1-オキシル)、(b)は、ポリ(4-アクリロイロキシ-2, 2, 6, 6-テトラメチルピペリジン-1-オキシル)、(c)は、ポリ(4-N-t-ブチル-N-オキシアミノスチレン)、(d)は、ポリ(4-アクリロイルアミノ-2, 2, 6, 6-テトラメチルピペリジン-1-オキシル)、(e)は、ポリ(4-メタクリロイルアミノ-2, 2, 6, 6-テトラメチルピペリジン-1-オキシル)、(f)は、ポリ(3, 5-ジ-(N-t-ブチル-N-オキシルアミノ)スチレン)、(g)は、ポリ(N-t-ブチルメタクリロイルアミン-N-オキシル)、(h)は、ポリ(2, 2, 3, 3-テトラメチルエチレンニトロキシド)である。

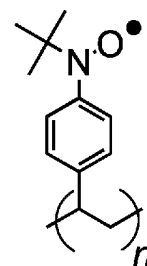
[0055] [化3]



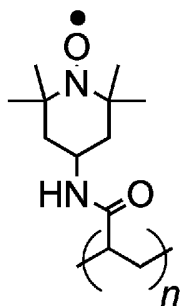
(a)



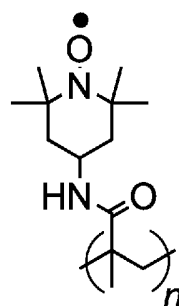
(b)



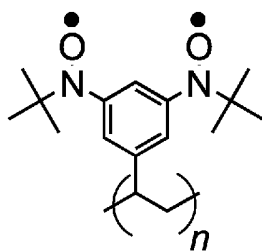
(c)



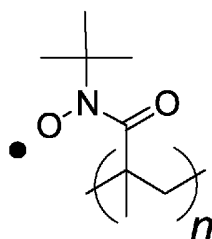
(d)



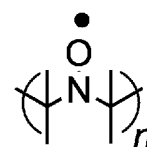
(e)



(f)



(g)



(h)

[0056] なお、ラジカルポリマーはいずれもモノマー単位当たり10%以上のラジカルを有することが望ましく、70%から100%が適切である。

[0057] また、本発明のメモリー素子に用いられるラジカルポリマーは、高分子量のものが好適に用いられる。分子量は数千以上が望ましいが、1万～数十万が適切である。この

ように、十分に分子量の高いラジカルポリマーを用いることにより、湿式法による簡便な成膜工程が可能になる。

- [0058] 湿式法とは、有機高分子の薄膜を形成するための公知の技術であって、一般に、スピコート法、インクジェット法、その他、各種印刷法などが知られている。この湿式法によれば、ラジカルポリマーによって形成されるスイッチング層の膜質の均一性およびアモルファス安定性が維持され、歩留まりが高くかつ量産性に適し、かつ低コストでのメモリー素子の製造が可能である。
- [0059] さらに、スイッチング層を形成するラジカルポリマーや、ホール注入輸送層、電子注入輸送層を形成する有機材料の溶媒への溶解性の差を巧みに利用することにより、スイッチング層、ホール注入輸送層、電子注入輸送層を湿式法により積層することが可能となる。また、湿式法によりスイッチング層、ホール注入輸送層、電子注入輸送層を積層形成することにより、スイッチング層とホール注入輸送層、又は電子注入輸送層との界面における平坦性かつ接着性が期待され、オン／オフ比の増大が実現されるばかりでなく、メモリー素子の寿命特性も大幅に延長される。
- [0060] 本発明のメモリー素子に用いられるラジカルポリマーの溶媒への溶解性については、極性有機溶媒に可溶であり、水に不溶であるのが好ましい。非極性有機溶媒であるベンゼン、トルエンなどにも不溶である場合は、非極性有機溶媒に可溶な電子注入輸送層の積層も容易となるので、さらに好ましい。
- [0061] 本発明のメモリー素子のホール注入輸送層を構成するホール注入輸送性材料としては、ホール注入輸送層に積層されるラジカルポリマーの溶媒に対する溶解度に応じて適宜選択されるが、ラジカルポリマーが水に不溶である場合には、水溶性のホール注入輸送性のポリマーが望ましい。例えば、ポリ(3, 4-エチレンジオキシチオフェン) (PEDOT) とポリ(スチレンスルホン酸) (PSS) の混合物 (PEDOT:PSS)、ポリ(アニリン):PSS混合物、側鎖にアルキルスルホン酸を置換したポリチオフェン、またはポリピロール誘導体などが挙げられる。
- [0062] 本発明のメモリー素子の電子注入輸送層を構成する電子注入輸送性材料は、特に制限されないが、トリス(8-ヒドロキシキノリナート)アルミニウム、ポリ[2-メトキシ-5-(2'-エチルヘキシルオキシ)-1, 4-フェニレンビニレン] (MEH-PPV)、フ

ェナントロリン誘導体などが挙げられる。

- [0063] 本発明のメモリー素子の陽極層を構成する材料としては、インジウムスズ酸化物(ITO)などの酸化物半導体などが挙げられる。また、本発明のメモリー素子の陰極層を構成する材料は、特に制限されないが、アルミニウム、カルシウム、セシウム、フッ化リチウム／アルミニウムなどを用いることができる。
- [0064] また、本発明のメモリー素子の第2の実施形態として、スイッチング層の中間にスイッチング層を2層に隔てる中間層として、誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなる薄膜を挟んだ多層構造とすることにより、素子の記録保持性および/あるいは駆動安定性が飛躍的に改善される。
- [0065] 或いは、中間層によって2層に隔てられたスイッチング層の一方をレドックス層としても、素子の記録保持性および/あるいは駆動安定性が改善される効果を有する。具体的には、スイッチング層と陰極層との間にレドックス層を配置し、さらにスイッチング層とレドックス層との間に中間層を配置すればよい。または、スイッチング層と陽極層との間にレドックス層を配置し、さらにスイッチング層とレドックス層との間に中間層を配置すればよい。
- [0066] または、中間層によって2層に隔てられたスイッチング層の一方を省略しても、中間層の存在によって素子の記録保持性および/あるいは駆動安定性が改善される効果を有する。具体的には、スイッチング層と陽極層との間に中間層を配置し、中間層と陽極層との間には層を設けなければよい。または、スイッチング層と陰極層との間に中間層を配置し、中間層と陰極層との間に層を設けなければよい。
- [0067] さらに、中間層を省略して、スイッチング層と陰極層との間、またはスイッチング層と陽極層との間にレドックス層を配置しただけの構成としても、レドックス層の存在によって素子の記録保持性および/あるいは駆動安定性が改善される効果を有する。
- [0068] なお、レドックス層とは、レドックス剤を含有する層のことをいい、レドックス剤とは、電子、ホールを受け取る電気化学的活性を有する化合物全般のことをいう。
- [0069] ここで、レドックス層に含有されるレドックス剤としては、フェロセン、ヒドロキノン、キノン、カテコール、ビオローゲン、フェノチアジン、ニコチン酸アミド、などの有機系化合物、プルシアンブルー、三酸化タングステン、などの金属含有化合物、或いは、その

他の電子受容性または電子供与性基を有する化合物を挙げることができる。このような化合物を、有機高分子とブレンドするか、共有結合で有機高分子の骨格に導入するか、のいずれかの方法でレドックス層に含有させることができる。または、レドックス剤を蒸着することによりレドックス層を形成してもよい。

[0070] また、中間層として有用な材料として、1kHzにおける誘電率が7以上のポリマーが挙げられる。このようなポリマーを溶媒に溶解して、スピンコート法で膜厚が200nm以下の薄膜として、2層のスイッチング層の間、スイッチング層とレドックス層の間、スイッチング層と陽極層の間、或いは、スイッチング層と陰極層の間に挟む形で積層形成することで、中間層を形成することができる。中間層の膜厚は200nmを超えない範囲で、できるだけ薄い方が好ましいが、均一膜として積層化する必要から、最低20nm程度の膜厚が求められる。ここで、このような目的に有用な高誘電体の例としては、ポリフッ化ビニリデン、ポリジメチルシロキサン、シアノエチルセルロース、シアノエチルポリビニルアルコール、などを例示することができる。なかでも、ラジカルポリマーとの適合性、スピンコートの容易性、コストなどを勘案すると、シアノエチル化ポリマーが好適である。このほか、中間層として用いられる高誘電体は、セラミックスであってもよい。

[0071] さらに、上記の高誘電体のほかに、中間層として有用な別の材料として、電子伝導体が挙げられる。すなわち、中間層としてアルミニウム蒸着膜などの金属層を用いた場合にも、素子の記録保持性および/あるいは駆動安定性が大幅に改善される。このような中間層を形成する場合は、蒸着などの手段により均一膜を形成すればよい。また、中間層としてイオン伝導体を用いる場合は、ガラス転移点の低い高分子(例えば、酸化ポリエチレン残基を有するポリマーなど)にリチウムをはじめとするアルカリ金属イオンを含む塩を含有した材料を溶液塗布法により均一膜を形成すればよい。

[0072] さらに、中間層として有用な別の材料として、絶縁体が挙げられる。すなわち、中間層としてポリスチレン、ポリアクリレート、などの絶縁性高分子を数十から数百ナノメートルオーダーの薄膜として溶液塗布することによって、素子の記録保存性が大幅に改善される。

[0073] 本発明のメモリー素子は、ラジカルポリマーという従来この分野では用いられたこと

のない新しい材料をメモリー層、すなわちスイッチング層に使っているのが特徴である。このラジカルポリマーは、電子およびホールのいずれの注入も可能な、一種のレドックス剤である。

[0074] 上記の第2の実施形態では、このようなラジカルポリマーの電気化学的に活性な性質を利用して、スイッチング層の中間に、スイッチング層を2層に隔てる中間層として、誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなる薄膜を挟んだ多層構造したバイポーラセルの素子構成、又は、中間層によって2層に隔てられたスイッチング層の一方をレドックス層としたバイポーラセルの素子構成を基本構造としている。

[0075] これに電圧を印加して、電子およびホールを注入すると、素子は低抵抗状態(オン状態)にセットされ、逆性電圧を印加すると元の高抵抗状態(オフ状態)に戻るといったスイッチングが可逆的に起こる。メモリー素子が不揮発性であるためには、自己放電性が低く、オン状態が開放電位下で長時間安定に持続する必要があるが、中間層によって電子とホールの再結合が防止され、この目的が達成される。一般に、誘電率の高い膜は、正負の電荷をそれぞれ膜の両側に安定に分離させることができ、この性質を中間層に利用することができる。

[0076] 上記のバイポーラセルの基本構造の変形として、中間層によって2層に隔てられたスイッチング層の一方、又はレドックス層を省略し、1層だけのスイッチング層を有するモノポーラセルの構造とすることも可能である。このようなモノポーラセルにおいては、高誘電体からなる中間層をスイッチング層と陽極層又は陰極層の間に配置することで、記録保持性および/あるいは駆動安定性が改善される。

[0077] この場合の中間層の役割は、上記のバイポーラセルの中間層の役割と基本的に同じである。すなわち、スイッチング層のラジカルポリマーに一方の電荷(特にホール)が注入されると、中間層を挟んで配置された陽極層上又は陰極層上に発生した電荷(特に電子のもつ負電荷)は、陽極層上又は陰極層と、中間層との間に蓄えられる。

[0078] さらに、中間層を省略する場合には、スイッチング層のラジカルポリマーのラジカルサイト間距離を適切に設定する。電圧印加の状態ではラジカルサイト間の電子またはホールのホッピングが可能であるが、電位開放時にはそのようなホッピングが不可能

なようにラジカルポリマーの分子構造を精密設計することで、記録保持性を改善することができる。

[0079] この場合、セルの構造上はモノポーラであるが、作用機構的にはバイポーラであり、スイッチング層のラジカルポリマーには電子とホールが同時に注入されるが、ラジカルサイト間の電子またはホールのホッピング動が不可能なように構成することで、記録保持性が良くなる。なお、ラジカルサイト間の距離をコントロールするためには、ラジカルモノマーを非ラジカルモノマー（例えば、スチレン、メタクリレート、など）と共重合すればよい。

[0080] 以下の具体的実施例により、本発明をさらに詳細に説明するが、本発明は下記の実施例に限定されるものではなく、種々の変形実施が可能である。

実施例 1

[0081] 図1に、本発明の実施例1に係る3層積層構造を有するメモリー素子の模式図を示す。10はメモリー素子であって、陽極層12、ホール注入輸送層13、スイッチング層14、電子注入輸送層15、陰極層16が、順に基板11の上に積層された積層構造を有している。各層12, 13, 14, 15, 16は、1～1000nmの膜厚を有している。なお、基板11の例としては、ガラス基板、石英基板などが挙げられる。

[0082] 図2に、メモリー素子10の製造方法の流れ図を示す。メモリー素子10の製造においては、まず、陽極層形成工程S11において、基盤11上に陽極層12を形成する。そして、ホール注入輸送層形成工程S12にて、陽極層12の上に湿式法でホール注入輸送層13を形成する。例えば、ホール注入輸送層13を形成するホール注入輸送性材料の溶液を陽極層12の上に塗布した後、加熱真空乾燥させて薄膜を形成する。

[0083] つぎに、スイッチング層形成工程S13において、ホール注入輸送層13の上にスイッチング層14を形成する。具体的には、スイッチング層14を形成するラジカルポリマーをホール注入輸送層13上に溶液状態で塗布し、加熱真空乾燥を経て、スイッチング層14を成膜する。ここで塗布されるラジカルポリマーは、スイッチング層14の上に電子注入輸送層15が塗布される際の溶媒に対して不溶性のラジカルポリマーが適宜選択される。また、ラジカルポリマーの溶媒は、ホール注入輸送層13を形成するホール注入輸送性材料に対する溶解性が低いものが適宜選択される。ラジカルポリマーの溶

媒としては、例えば、クロロホルム、THF、1, 2-ジクロロエタンなどが挙げられる。

- [0084] つぎに、電子注入輸送層形成工程S14において、スイッチング層14の上に電子注入輸送層15を形成する。具体的には、電子注入輸送層15を形成する電子注入輸送性材料を溶液状態から塗布した後、真空下で加熱乾燥し、スイッチング層14上に電子注入輸送層15を成膜する。電子注入輸送性材料の溶媒は、スイッチング層14を構成するラジカルポリマーに対する溶解性が低いものが適宜選択される。例えば、トルエン、p-キシレンなどが挙げられる。
- [0085] つぎに、陰極層形成工程S15において、電子注入輸送層15の上に陰極層16を形成する。陰極層16の形成法は特に制限されないが、真空蒸着やスパッタリングなどにより、必要に応じて所定のマスクを介して、陰極層16を形成してもよい。
- [0086] このようにして製造されたメモリー素子10における陽極層12と陰極層16の間に電圧を印加・掃引すると、所定の閾値電圧において電気伝導率が急激に変化する。具体的には、0Vから正バイアスへ印加電圧を掃引すると、閾値電圧にて電流値が急激（1桁以上）上昇する。すなわち、閾値電圧にて高抵抗状態から低抵抗状態に変化し、この低抵抗状態は逆バイアスの電圧を印加するまで永続的に保持される。ここで、正バイアスとは、陰極層に対して陽極層が高電位にある電位状態であり、逆バイアスとは、陽極層に対して陰極層が高電位にある電位状態である。
- [0087] また、本実施例のメモリー素子10は、スイッチング特性を示す。ここで、スイッチング特性とは、低抵抗状態（オン状態）にある素子に逆バイアスへ印加電圧を掃引することで、高抵抗状態（オフ状態）とした後、再度正バイアスへ印加電圧を掃引した際に、閾値電圧にて高抵抗状態から低抵抗状態への変化を示す特性である。
- [0088] 以上のように、本実施例のメモリー素子によれば、陽極層12と陰極層16との間に、電気絶縁性のラジカルポリマーからなるスイッチング層14を有することで、有機材料を用いて簡便かつ歩留まりの高い工程で製造でき、かつオン／オフ比が高い、新規の不揮発性のメモリー素子を提供することができる。
- [0089] また、前記スイッチング層14と前記陽極層12との間にホール注入輸送層13、前記スイッチング層14と陰極層16との間に電子注入輸送層15を有することで、オン／オフ比を向上させることができる。

[0090] また、ラジカルポリマーはニトロキシドラジカルポリマーであることで、応答特性を迅速にすることができる。

[0091] さらに、本実施例のメモリー素子の製造方法によれば、スイッチング層14、ホール注入輸送層13、電子注入輸送層15を、湿式法により積層形成することで、各層13, 14, 15の膜質の均一性を維持することができ、簡便かつ歩留まりの高い工程で、メモリー素子を製造することができる。

実施例 2

[0092] 図3に、本発明の実施例2に係る2層積層構造を有するメモリー素子の模式図を示す。20はメモリー素子であって、陽極層22、ホール注入輸送層23、スイッチング層24、陰極層26が、順に基板21の上に積層された積層構造を有している。各層22, 23, 24, 26は、1～1000nmの膜厚を有している。

[0093] 図4に、メモリー素子20の製造方法の流れ図を示す。メモリー素子20の製造においては、まず、陽極層形成工程S21において、基盤21上に陽極層22を形成する。そして、ホール注入輸送層形成工程S22にて、陽極層22の上に湿式法でホール注入輸送層23を形成する。例えば、ホール注入輸送層23を形成するホール注入輸送性材料の溶液を陽極層22の上に塗布した後、加熱真空乾燥させて薄膜を形成する。ここで塗布されるホール注入輸送性材料は、ホール注入輸送層23の上にスイッチング層24が塗布される際の溶媒に対して不溶性のホール注入輸送性材料が適宜選択される。

[0094] つぎに、スイッチング層形成工程S23において、ホール注入輸送層23の上にスイッチング層24を形成する。具体的には、スイッチング層14を形成するラジカルポリマーをホール注入輸送層23上に溶液状態で塗布し、加熱真空乾燥を経て、スイッチング層24を成膜する。ラジカルポリマーの溶媒は、ホール注入輸送層23を形成するホール注入輸送性材料に対する溶解性が低いものが適宜選択される。

[0095] つぎに、陰極層形成工程S25において、スイッチング層24の上に陰極層26を形成する。陰極層26の形成法は特に制限されないが、真空蒸着やスパッタリングなどにより、必要に応じて所定のマスクを介して、陰極層26を形成してもよい。

[0096] このようにして製造されたメモリー素子20における陽極層22と陰極層26の間に電圧

を印加・掃引すると、所定の閾値電圧において電気伝導率が急激に変化する。具体的には、0Vから正バイアスへ印加電圧を掃引すると、閾値電圧にて電流値が急激（1桁以上）に上昇する。すなわち、閾値電圧にて高抵抗状態から低抵抗状態に変化し、この低抵抗状態は逆バイアスの電圧を印加するまで永続的に保持される。

[0097] 以上のように、本実施例のメモリー素子によれば、陽極層22と陰極層26との間に、電気絶縁性のラジカルポリマーからなるスイッチング層24を有することで、有機材料を用いて簡便かつ歩留まりの高い工程で製造でき、かつオン／オフ比が高い、新規の不揮発性のメモリー素子を提供することができる。

[0098] また、前記スイッチング層24と前記陽極層22との間にホール注入輸送層23を有することで、オン／オフ比を向上させることができる。

実施例 3

[0099] 図5に、本発明の実施例3に係る2層積層構造を有するメモリー素子の模式図を示す。30はメモリー素子であって、陽極層32、スイッチング層34と、電子輸送層35、陰極層36が、順に基板31の上に積層された積層構造を有している。各層32, 34, 35, 36は、1～1000nmの膜厚を有している。

[0100] 図6に、メモリー素子30の製造方法の流れ図を示す。メモリー素子30の製造においては、まず、陽極層形成工程S31において、基盤31上に陽極層32を形成する。そして、スイッチング層形成工程S33において、陽極層32の上にスイッチング層34を形成する。具体的には、スイッチング層34を形成するラジカルポリマーを陽極層32上に溶液状態で塗布し、加熱真空乾燥を経て、スイッチング層34を成膜する。ここで塗布されるラジカルポリマーは、スイッチング層34の上に電子注入輸送層35が塗布される際の溶媒に対して不溶性のラジカルポリマーが適宜選択される。

[0101] つぎに、電子注入輸送層形成工程S34において、スイッチング層34の上に電子注入輸送層35を形成する。具体的には、電子注入輸送層35を形成する電子注入輸送性材料を溶液状態から塗布した後、真空下で加熱乾燥し、スイッチング層34上に電子注入輸送層35を成膜する。電子注入輸送性材料の溶媒は、スイッチング輸送層34を構成するラジカルポリマーに対する溶解性が低いものが適宜選択される。

[0102] つぎに、陰極層形成工程S35において、電子注入輸送層35の上に陰極層36を形

成する。陰極層36の形成法は特に制限されないが、真空蒸着やスパッタリングなどにより、必要に応じて所定のマスクを介して、陰極層36を形成してもよい。

[0103] このようにして製造されたメモリー素子30における陽極層32と陰極層36の間に電圧を印加・掃引すると、所定の閾値電圧において電気伝導率が急激に変化する。具体的には、0Vから正バイアスへ印加電圧を掃引すると、閾値電圧にて電流値が急激（1桁以上）に上昇する。すなわち、閾値電圧にて高抵抗状態から低抵抗状態に変化し、この低抵抗状態は逆バイアスの電圧を印加するまで永続的に保持される。

[0104] 以上のように、本実施例のメモリー素子によれば、陽極層32と陰極層36との間に、電気絶縁性のラジカルポリマーからなるスイッチング層34を有することで、有機材料を用いて簡便かつ歩留まりの高い工程で製造でき、かつオン／オフ比が高い、新規の不揮発性のメモリー素子を提供することができる。

[0105] また、前記スイッチング層34と陰極層36との間に電子注入輸送層35を有することで、オン／オフ比を向上させることができる。

実施例 4

[0106] 図7に、本発明の実施例4に係る単層型のメモリー素子の模式図を示す。40はメモリー素子であって、陽極層42、スイッチング層44、陰極層46が、順に基板41の上に積層された積層構造を有している。各層42, 44, 46は、1～1000nmの膜厚を有している。

[0107] 図8に、メモリー素子40の製造方法の流れ図を示す。メモリー素子40の製造においては、まず、陽極層形成工程S41において、基盤41上に陽極層42を形成する。そして、スイッチング層形成工程S43において、陽極層42の上にスイッチング層44を形成する。具体的には、スイッチング層44を形成するラジカルポリマーを陽極層42上に溶液状態で塗布し、加熱真空乾燥を経て、スイッチング層44を成膜する。

[0108] つぎに、陰極層形成工程S45において、スイッチング層44の上に陰極層46を形成する。陰極層46の形成法は特に制限されないが、真空蒸着やスパッタリングなどにより、必要に応じて所定のマスクを介して、陰極層46を形成してもよい。

[0109] このようにして製造されたメモリー素子20における陽極層42と陰極層46の間に電圧を印加・掃引すると、所定の閾値電圧において電気伝導率は急激に変化する。具体

的には、0Vから正バイアスへ印加電圧を掃引すると、閾値電圧にて電流値が急激(1桁以上)に上昇する。すなわち、閾値電圧にて高抵抗状態から低抵抗状態に変化し、この低抵抗状態は逆バイアスの電圧を印加するまで永続的に保持される。

- [0110] 以上のように、本実施例のメモリー素子によれば、陽極層42と陰極層46との間に、電気絶縁性のラジカルポリマーからなるスイッチング層44を有することで、有機材料を用いて簡便かつ歩留まりの高い工程で製造でき、かつオン／オフ比が高い、新規の不揮発性のメモリー素子を提供することができる。

実施例 5

- [0111] <2層構造を有するメモリー素子20の作製>

ガラス基板上にITO層(150nm)が予め形成されている基板(25×25×1mm、旭硝子社製)をスピンコーターに設置した。基板上にPEDOT:PSS溶液(Bayer Material Science社製、商品名BAYTRON P)を回転数1200回転/秒にて60秒スピンコートした後、真空下120℃で1.5時間乾燥させることで、基板上にPEDOT:PSS薄膜40nmを作製した。その上に、ポリ(2, 2, 6, 6-テトラメチルピペリジニルオキシメタクリレート)(PTMA)のクロロホルム溶液5g/Lを回転数1000回転/秒にて60秒スピンコートした後、真空にて50℃で1.0時間乾燥させることで、基板上にPTMAの薄膜を30nmの厚さで作製した。上述のようにITO/PTMA構造が形成された基板を真空蒸着器のチャンバ内の基板ホルダに設置した。チャンバ内の電極に、Alを巻き付けたフィラメントを取り付けた。つぎに、チャンバ内を減圧し、真空度 $1\sim3\times10^{-5}$ Paの範囲にて、蒸着速度5~7Å/秒、陰極となるアルミニウムを膜厚1200nm基板に蒸着させた。蒸着終了後、チャンバ内を大気圧に戻し、基板を取り出した。以上のようにして、ガラス基板上に、ITO(150nm)/PEDOT:PSS(40nm)/PTMA(30nm)/Al(120nm)の2層積層構造を有するメモリー素子20が作製された。

- [0112] <電流－電圧特性>

前記のようにして作製されたメモリー素子20について、デジタルソース・メータ(2400-C Source Meter、KEITHLEY社製)を用いて、メモリー素子のITOを陽極とし、Alを陰極とし、電流－電圧測定を行った。具体的には、メモリー素子の電極層間に印加さ

れる電圧を、0～20Vの範囲にて1.0Vずつ上昇させて、この間にメモリー素子に流れる電流を測定し、図9に示す電流－電圧特性曲線が得られた。閾値電圧は3～5Vであり、正バイアス印加電圧3Vまでは、電流値は 10^{-5} Aの高抵抗状態にあったが、正バイアス電圧5Vにおいて、電流値は 10^{-2} Aと 10^3 倍上昇し、低抵抗状態に変化した(矢印(1))。またそれ以上の電圧印加では同様の低抵抗状態を維持した(矢印(2))。つぎに再度正バイアス電圧を印加したところ、低抵抗状態を維持し(矢印(3))、繰り返し正バイアス電圧を印加しても低抵抗状態は維持され(矢印(4))、メモリー特性を示した。

実施例 6

[0113] <2層構造を有するメモリー素子20の作製－2>

PTMA薄膜の厚さを30nmに代えて10nmとした以外は、実施例5と同様にしてメモリー素子を作製した。膜厚30nmのPTMA薄膜は、PTMAのクロロホルム溶液5g/Lを回転数4000回転/秒にて60秒スピコートした後、真空にて50℃で1.0時間乾燥させることで形成した。

[0114] <電流－電圧特性>

作製されたメモリー素子20の電極層間に印加される電圧を0～20Vの範囲にて1.0Vずつ上昇させて実施例5と同様にして電流－電圧測定を行い、図10に示す電流－電圧特性曲線が得られた。閾値電圧は3～5Vであり、正バイアス印加電圧3Vにおいて、電流値は 10^{-4} Aの高抵抗状態にあったが、正バイアス電圧5Vにおいて、電流値は 10^{-1} Aと 10^3 上昇し、低抵抗状態に変化した(矢印(1))。またそれ以上の電圧印加では同様の低抵抗状態を維持した(矢印(2))。つぎに再度正バイアス電圧を印加したところ、低抵抗状態を維持し(矢印(3))、繰り返し正バイアス電圧を印加しても低抵抗状態は維持され(矢印(4))、メモリー特性を示した。

実施例 7

[0115] <2層構造を有するメモリー素子30の作製>

実施例6と同様にして、スピコート法によって基板上にPTMA薄膜を10nmの厚さで成膜した。その上にMEH-PPVのトルエン溶液17g/Lを回転数1000回転/秒にて3秒スピコートした後で、真空下120℃で1.5時間乾燥させることで、基板

上にMEH-PPV薄膜を25nmの厚さで成膜した。最後に陰極としてAlを実施例5と同様にして形成した。以上のようにしてガラス基板上に、ITO(150nm)/PTMA(10nm)/MEH-PPV(25nm)/Al(120nm)の2層積層構造を有するメモリー素子30が作製された。

[0116] <電流-電圧特性>

作製されたメモリー素子30の電極層間に印加される電圧を0～8Vの範囲にて0.4Vずつ上昇させて実施例5と同様にして電流-電圧測定を行い、図11に示す電流-電圧特性曲線が得られた。閾値電圧は1～2Vであり、正バイアス印加電圧1Vにおいて、電流値は 10^{-7} Aの高抵抗状態にあったが、正バイアス電圧2V以下では、電流値は 10^{-3} Aと 10^4 倍上昇し、低抵抗状態に変化した(矢印(1))。またそれ以上の電圧印加では同様の低抵抗状態を維持した(矢印(2))。つぎに再度正バイアス電圧を印加したところ、低抵抗状態を維持し(矢印(3))、繰り返し正バイアス電圧を印加しても低抵抗状態は維持され(矢印(4))、メモリー特性を示した。

実施例 8

[0117] <単層型のメモリー素子40の作製>

実施例6と同様にして、スピンコート法によって基板上にPTMA薄膜を10nmの厚さで成膜した。さらに陰極のAlを実施例5と同様にして形成した。以上のようにしてガラス基板上に、ITO(150nm)/PTMA(10nm)/Al(120nm)の単層型メモリー素子40が作製された。

[0118] <電流-電圧特性>

作製されたメモリー素子40の電極層間に印加される電圧を0～10Vの範囲にて0.5Vずつ上昇させて実施例5と同様にして電流-電圧測定を行った。結果、図9～図11と同様の電流-電圧特性曲線が得られた。また、閾値電圧は5～6Vであり、正バイアス印加電圧5Vまでは、電流値は 10^{-1} Aの高抵抗状態にあったが、正バイアス電圧6Vにおいて、電流値は 10^0 Aと 10^1 倍上昇し、低抵抗状態に変化した。またそれ以上の電圧印加では同様の低抵抗状態を維持した。つぎに再度正バイアス電圧を印加したところ、低抵抗状態を維持し、繰り返し正バイアス電圧を印加しても低抵抗状態は維持され、メモリー特性を示した。

実施例 9

[0119] <3層積層構造を有するメモリー素子10の作製>

実施例6と同様に、基板上にPEDOT:PSS(40nm)、PTMA(10nm)を積層させた。その上に、実施例7と同様に膜厚25nmのMEH-PPV薄膜を成膜し、最後に陰極のAlを実施例5と同様にして形成した。以上のようにしてガラス基板上に、ITO(150nm)/PEDOT:PSS(35nm)/PTMA(10nm)/MEH-PPV(25nm)/Al(120nm)の3層積層構造を有するメモリー素子10が作製された。

[0120] <電流-電圧特性>

作製されたメモリー素子10の電極層間に印加される電圧を0~15Vの範囲にて0.75Vずつ上昇させて実施例5と同様にして電流-電圧測定を行い、図12に示す電流-電圧特性曲線が得られた。閾値電圧は4~6Vであり、正バイアス印加電圧4Vにおいて、電流値は 10^{-5} Aの高抵抗状態にあったが、正バイアス電圧6Vにおいて、電流値は 10^{-2} Aと 10^3 上昇し、低抵抗状態に変化した(矢印(1))。またそれ以上の電圧印加では同様の低抵抗状態を維持した(矢印(2))。つぎに再度正バイアス電圧を印加したところ、低抵抗状態を維持し(矢印(3))、繰り返し正バイアス電圧を印加しても低抵抗状態は維持され(矢印(4))、メモリー特性を示した。

実施例 10

[0121] <3層積層構造を有するメモリー素子10の作製-2>

PTMAの膜厚10nmに代えて20nmとした以外は、実施例9と同様にしてメモリー素子10を作製した。膜厚20nmのPTMA薄膜は、PTMAのクロロホルム溶液5g/Lを回転数2000回転/秒にて60秒スピコートした後、真空にて50℃で1.0時間乾燥させることで形成した。

[0122] <電流-電圧特性>

作製されたメモリー素子10の電極層間に印加される電圧を0~20Vの範囲にて1.0Vずつ上昇させて実施例5と同様にして電流-電圧測定を行い、図13に示す電流-電圧特性曲線が得られた。閾値電圧は3~6Vであり、正バイアス印加電圧3Vにおいて、電流値は 10^{-5} Aの高抵抗状態にあったが、正バイアス電圧6Vにおいて、電流値は 10^{-2} Aと 10^3 上昇し、低抵抗状態に変化した(矢印(1))。またそれ以上の電

圧印加では同様の低抵抗状態を維持した(矢印(2))。つぎに再度正バイアス電圧を印加したところ、低抵抗状態を維持し(矢印(3))、繰り返し正バイアス電圧を印加しても低抵抗状態は維持され(矢印(4))、メモリー特性を示した。

- [0123] また、逆バイアス電圧印加すると、メモリーのオン／オフ比は大きくないもののスイッチング特性を示し、図14に示す電流－電圧特性曲線が得られた。具体的には、正バイアス電圧を印加して、一度高抵抗状態から低抵抗状態に変化させ、再度正バイアス電圧を印加したところ、低抵抗状態を維持した(矢印(1))。つぎに逆バイアス電圧を印加した後(矢印(2))、正バイアス電圧を印加した。結果、印加電圧8Vにおいて、電流値は 10^{-3} Aの高抵抗状態に戻り、低抵抗状態にあるメモリーは消去された。正バイアス電圧10Vにおいて、電流値は 10^{-2} Aと 10^1 倍上昇し、低抵抗状態に変化した(矢印(3))。またそれ以上の電圧印加では同様の低抵抗状態を維持した(矢印(4))。つぎに再度正バイアス電圧を印加したところ、低抵抗状態は維持され(矢印(5))、スイッチング特性を示した。

実施例 11

- [0124] <3層積層構造を有するメモリー素子10の作製－3>

PTMAの膜厚10nmに代えて30nmとした以外は、実施例9と同様にしてメモリー素子を作製した。膜厚30nmのPTMA薄膜は実施例5と同様にして成膜した。

- [0125] <電流－電圧特性>

作製されたメモリー素子10の電極層間に印加される電圧を0～12Vの範囲にて0.6Vずつ上昇させて実施例5と同様にして電流－電圧測定を行い、実施例10で作製したメモリー素子で得た図13と同様な電流－電圧特性曲線が得られた。閾値電圧は6～8Vであり、正バイアス印加電圧6Vにおいて、電流値は 10^{-4} Aの高抵抗状態にあったが、正バイアス電圧8Vにおいて、電流値は 10^{-2} Aと 10^2 上昇し、低抵抗状態に変化した。またそれ以上の電圧印加では同様の低抵抗状態を維持した。つぎに再度正バイアス電圧を印加したところ、低抵抗状態を維持し、繰り返し正バイアス電圧を印加しても低抵抗状態は維持され、メモリー特性を示した。

- [0126] <評価>

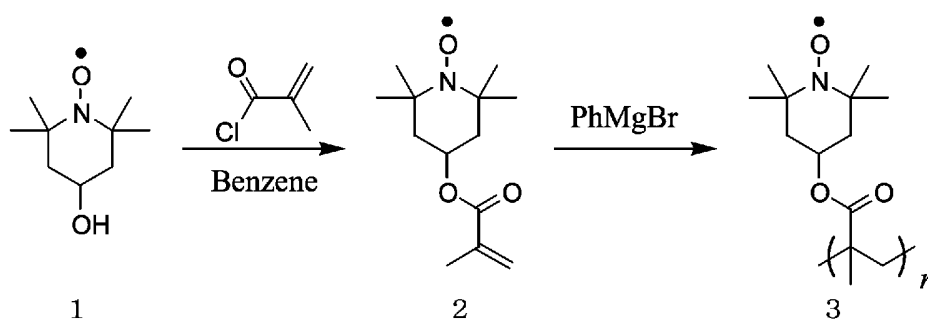
本発明の第1の実施形態としての実施例5～11のメモリー素子は、電気絶縁性のラ

ジカルポリマーを用いて、膜質の均一性を維持しつつ、かつ湿式法により簡便に作成され、良好なメモリー特性を示した。実施例8はPTMA単層素子であるが、実施例5～7、9～11のようにPTMAに電荷注入輸送性ポリマーであるPEDOT:PSSおよび／またはMEH-PPVを積層させることで、メモリーのオン／オフ比は 10^1 倍から最大 10^4 倍まで飛躍的に向上した。また、実施例10のように、3層構造を形成することで、スイッチング特性も示した。

実施例 12

[0127] <PTMA単独重合体の合成>

[0128] [化4]



[0129] 上記の化4に示すスキーム(1)に従って、PTMA単独重合体を合成した。すなわち、2, 2, 6, 6-テトラメチルー4-ヒドロキシピペリジン-1-オキシル(1)とメタクリル酸クロライドとの反応でモノマー(2)を合成し、フェニルマグネシウムブロマイドを重合開始剤としてモノマー(2)をアニオン重合し、モノマー(2)の単独重合体であるPTMA(3)を赤色粉末として得た。得られたPTMAの分子量は $M_n=21,000$ ($M_w/M_n=1.2$)であった。また、THF、クロロホルム、乳酸エチルなどの有機溶媒に可溶であった。ESRの測定において、 $g=2.00$ 付近に単峰性スペクトルを示し、ラジカルが予想通りに定量的に導入されていることが確認された。

実施例 13

[0130] <CoPTMA共重合体の合成>

実施例12の方法で合成したモノマー(2)とメタクリル酸メチル(以下、MMAと略す)をモル比で30:70に混合したものを、フェニルマグネシウムブロマイドを重合開始剤として重合した。得られた共重合体であるCoPTMAの分子量は $M_n=19,000$ ($M_w/M_n=1.2$)であった。

w/Mn=1.3)であった。溶解性およびその他の物性はPTMA単独重合体と基本的に同じであった。

実施例 14

[0131] <高誘電体からなる中間層を有するメモリー素子の作製>

本実施例のメモリー素子の構成は、アルミニウムを両電極としたAl/PTMA/CR-V/PTMA/Alという積層構造である。すなわち、陽極層/スイッチング層/中間層/スイッチング層/陰極層という構造になっている。

[0132] ここでスイッチング層に用いたラジカルポリマーは単独重合体のPTMAで、これを乳酸エチルに溶解し、スピコート法でアルミ基板上に100nmの膜厚になるように成膜した。なお、陽極層としての基板のアルミニウムはITO電極上に150ナノメートルの厚さに真空蒸着し、その表面をUV/オゾンクリーナ装置を用いて酸化処理したものを用いた。中間層には信越化学社製シアノエチルポリビニルアルコール(商品名CR-V;比誘電率が室温でおよそ20)を用い、これをアセトニトリルに溶解した溶液を使って、先に作ったPTMA層の上にスピコート法で膜厚が50ナノメートルになるように積層した。さらに、CR-V層の上にスイッチング層としてPTMAを100ナノメートルの膜厚になるように積層したのち、陰極層として上部のアルミニウム電極を蒸着した。

[0133] <電圧-電流特性>

得られたメモリー素子の電圧-電流特性を図15に示す。下部アルミニウム電極に対して上部アルミニウム電極をマイナス側に分極すると、メモリー素子は高抵抗状態(オフ状態)から低抵抗状態(オン状態)になり、その後、電圧をプラス側にすることによってオン状態が持続した後、3V付近の閾値においてメモリー素子はオフ状態にスイッチングした。電圧を再びマイナスに印加することにより、メモリー素子は再びオン状態になった。このように、このメモリー素子の構成では、記録と消去が可逆的に行えることが確認された。

[0134] また、-4V印加でオン状態にした後、+2Vでオン電流値を読み出し、その経時変化を調べた。ここで、初期電流値を100とし、オフ電流値をゼロとしたときの初期値が50%減衰する時間をリテンション時間として、これを記録保持性の指標とした。その結果、ここで用いた素子のリテンション時間はおおよそ180秒であった。

実施例 15

[0135] <導電体からなる中間層を有するメモリー素子の作製>

本実施例のメモリー素子の構成は、アルミニウムを両電極としたAl/PTMA/Al/PTMA/Alという積層構造である。中間層として膜厚30nmのアルミニウム層を蒸着したものを用いたほかは、実施例14と同じである。

[0136] <電圧－電流特性>

得られたメモリー素子の電圧－電流特性を図16に示す。下部電極に対して上部電極をマイナスに分極すると、－4Vくらいまで電流値は殆ど流れなかった(オフ状態)が、その後、オン状態に立ち上がった。電圧を－4Vから＋5Vにシフトしていくと、電流値は電圧の変化に対応してほぼ直線的に変化した。その後、電圧を低下させると電圧－電流曲線はヒステリシスを描き、オフ状態に移行した。

[0137] 読み出し電圧を＋5Vに設定して、そこでのオン電流値とオフ電流値の比(オン/オフ比)を見たところ、その値は 10^3 オーダー以上と非常に大きかった。また、オン電流値の経時変化を調べたところ、初期の600秒の間に初期電流値はわずか2%程度しか減衰しなかった。つまり、この素子のリテンション時間は少なくとも数時間以上と長く、記録保持性は極めて良好であった。

実施例 16

[0138] <イオン伝導性の中間層を有するメモリー素子の作製>

本実施例のメモリー素子の構成は、Al/PEDOT/PMMA+LiClO₄/PTMA/Alという積層構造である。すなわち、陽極層/レドックス層/中間層/スイッチング層/陰極層、または陰極層/レドックス層/中間層/スイッチング層/陽極層という構造になっている。

[0139] 中間層にはメタクリル酸メチルの単独重合体(PMMA;分子量が15,000)に過塩素酸リチウムを1重量%添加したイオン伝導性を有するものを用いた。陽極層としての基板アルミニウムに堆積するレドックス層には、バイトロン社製のポリ(3,4-エチレンジオキシチオフェン)・ポリ(スチレンスルホン酸)コンプレックス(商品名PEDOT)を用いた。これを100nmになるようにスピンコート法で成膜し、その上に中間層として、過塩素酸リチウム分散PMMAを同じくスピンコート法で30nmの膜厚になるように積

層した。さらに、スイッチング層としてのPTMAおよび陰極層としてのAl層を実施例14と同様に積層してメモリー素子を作製した。

[0140] <電圧－電流特性>

得られたメモリー素子の電圧－電流特性を図17に示す。初期状態でマイナス電圧を印加すると電流はほとんど流れなかったが、その後、電位をプラス側にシフトすると+1.5V付近でオフ状態からオン状態へのスイッチングが見られた。

[0141] オン状態における初期電流値の経時変化から記録保持性を調べたところ、実施例15と同様にオン／オフ比は 10^3 オーダー以上であり、リテンション時間は少なくとも数時間以上と長く、極めて良好な記録保持性が確認された。

実施例 17

[0142] <中間層を有しないメモリー素子の作製－1>

本実施例のメモリー素子の構成は、Al/PTMA/Alという積層構造である。中間層を形成しないほかは、実施例14と同じである。

[0143] <電圧－電流特性>

得られたメモリー素子の電圧－電流特性は、実施例14と基本的に同じであったが、オン状態での初期電流値の減衰は速く、半減期(リテンション時間)は約5秒であった。中間層がないため、スイッチング層であるPTMA層に注入された電子及びホールが速やかに再結合し、オン電流値の減衰が急激になったものと考えられる。

実施例 18

[0144] <中間層を有しないメモリー素子の作製－2>

本実施例のメモリー素子の構成は、Al/CoPTMA/Alという積層構造である。スイッチング層を実施例13で合成した共重合体のCoPTMAで構成したほかは、実施例17と同じである。

[0145] <電圧－電流特性>

得られたメモリー素子の電圧－電流特性は、実施例14と基本的に同じであったが、オン電流の減衰挙動は実施例17とは異なり、半減期(リテンション時間)が長く、およそ120秒であった。

実施例 19

[0146] <誘電体からなる中間層を有するメモリー素子の作製>

本実施例のメモリー素子の構成は、Al/PEDOT/CR-V/PTMA/MEH-PPV/Alという積層構造である。実施例14と同様にスピコート法で作製した。

[0147] <電圧－電流特性>

得られたメモリー素子の電圧－電流特性と記録保持性は、実施例14と同等であった。

[0148] <評価>

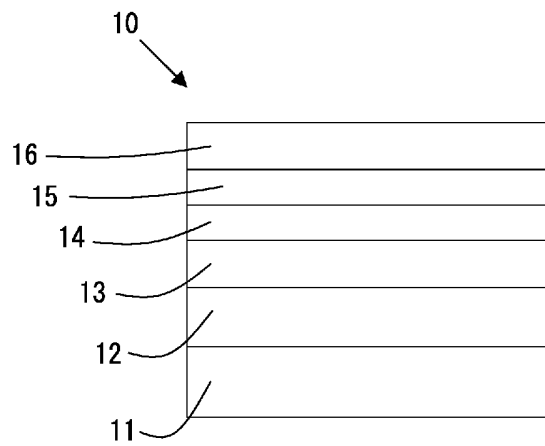
本発明の第2の実施形態としての実施例14～19のメモリー素子は、記録保持性において中間層の効果が明確に認められた。

請求の範囲

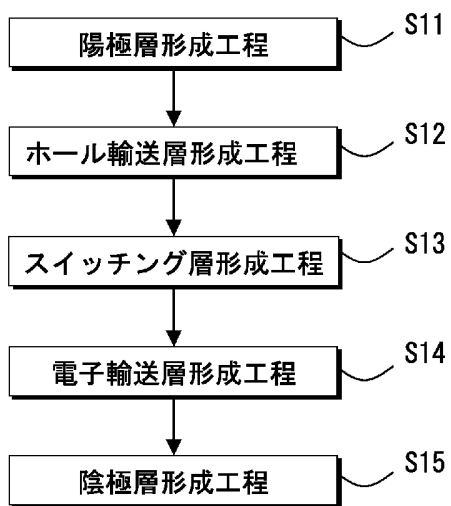
- [1] 陽極層と陰極層との間に、電気絶縁性のラジカルポリマーからなるスイッチング層を有することを特徴とするメモリ素子。
- [2] 前記スイッチング層と前記陽極層との間にホール注入輸送層を有することを特徴とする請求項1記載のメモリ素子。
- [3] 前記スイッチング層と前記陰極層との間に電子注入輸送層を有することを特徴とする請求項1記載のメモリ素子。
- [4] 前記スイッチング層と前記陰極層との間に電子注入輸送層を有することを特徴とする請求項2記載のメモリ素子。
- [5] 前記スイッチング層を2層に隔てる中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることを特徴とする請求項1記載のメモリ素子。
- [6] 前記スイッチング層と前記陽極層との間に中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることを特徴とする請求項1記載のメモリ素子。
- [7] 前記スイッチング層と前記陰極層との間にレドックス層を有することを特徴とする請求項1記載のメモリ素子。
- [8] 前記スイッチング層と前記陰極層との間に中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることを特徴とする請求項1記載のメモリ素子。
- [9] 前記スイッチング層と前記陽極層との間にレドックス層を有することを特徴とする請求項1記載のメモリ素子。
- [10] 前記スイッチング層と前記レドックス層との間に中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることを特徴とする請求項7のメモリ素子。
- [11] 前記スイッチング層と前記レドックス層との間に中間層を有し、この中間層は誘電体、電子またはイオン伝導体、あるいは絶縁体のいずれかから選ばれた材料からなることを特徴とする請求項9のメモリ素子。

- [12] 前記ラジカルポリマーはニトロキシドラジカルポリマーであることを特徴とする請求項1～11のいずれか1項記載のメモリー素子。
- [13] 前記中間層はシアノエチル化ポリマーからなることを特徴とする請求項5, 6, 8, 10, 11のいずれか1項記載のメモリー素子。
- [14] 陽極層と陰極層との間に電気絶縁性のラジカルポリマーからなるスイッチング層を有し、このスイッチング層と前記陽極層との間にホール注入輸送層、前記スイッチング層と前記陰極層との間に電子注入輸送層を有するメモリー素子の製造方法であって、前記スイッチング層、前記ホール注入輸送層、前記電子注入輸送層を、湿式法により積層形成することを特徴とするメモリー素子の製造方法。
- [15] 陽極層と陰極層との間に電気絶縁性のラジカルポリマーからなるスイッチング層を有し、前記スイッチング層を2層に隔てる中間層を有するメモリー素子の製造方法であって、前記スイッチング層、前記中間層を、湿式法により積層形成することを特徴とするメモリー素子の製造方法。

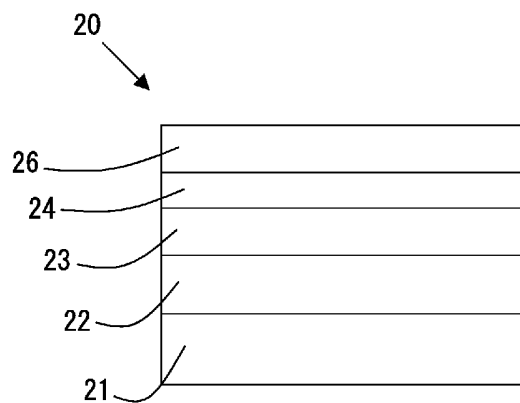
[図1]



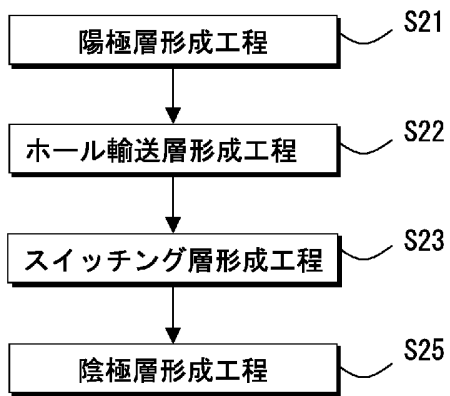
[図2]



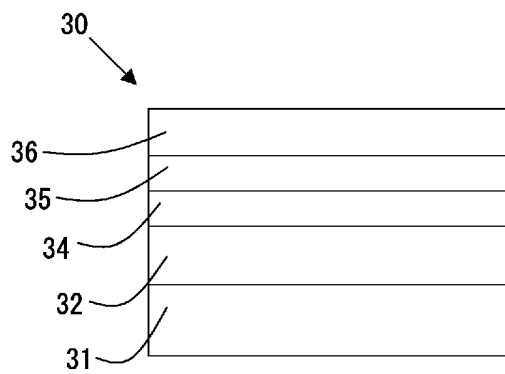
[図3]



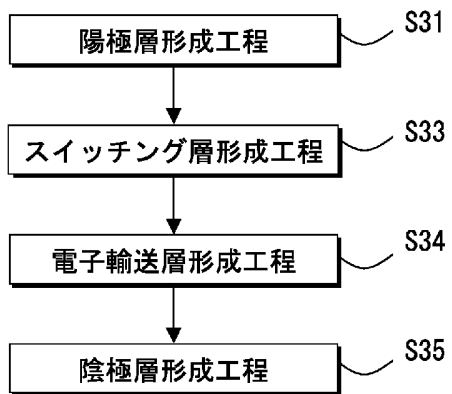
[図4]



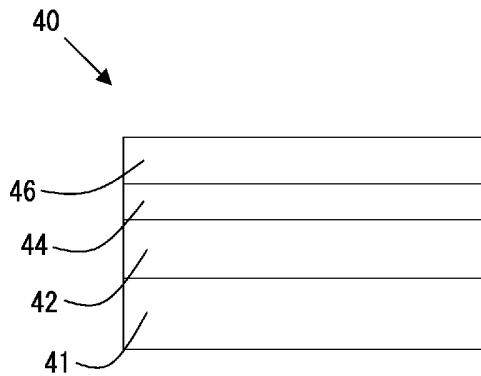
[図5]



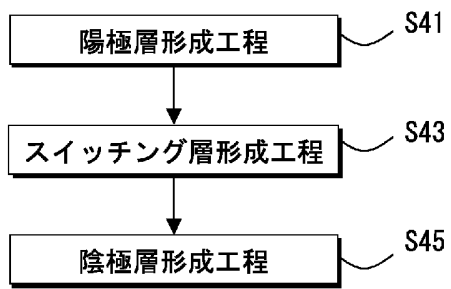
[図6]



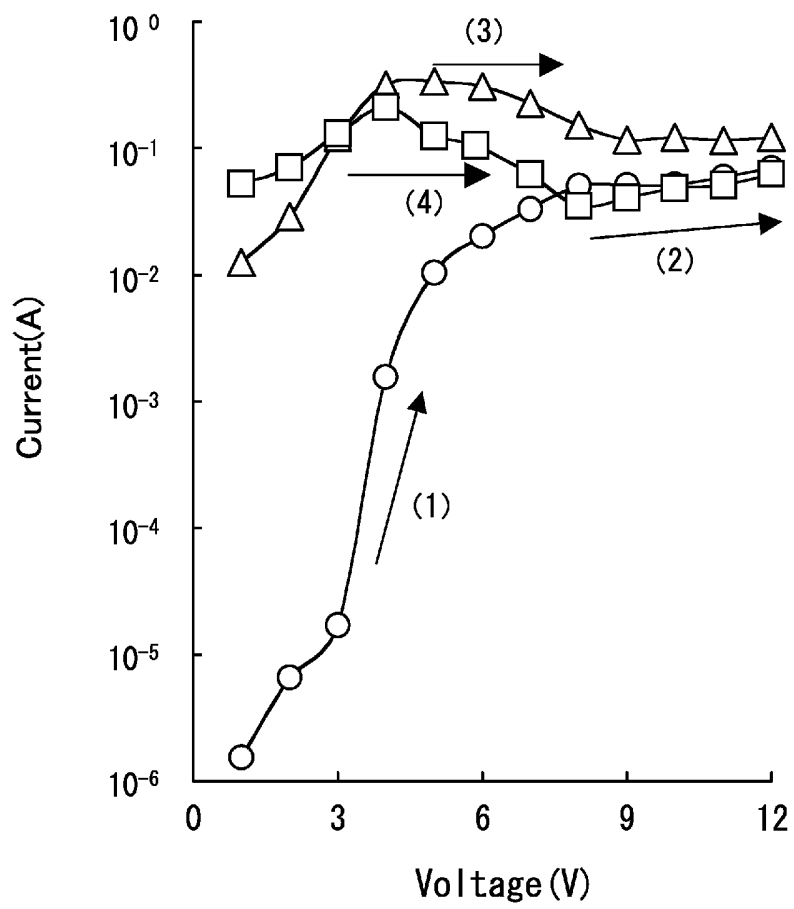
[図7]



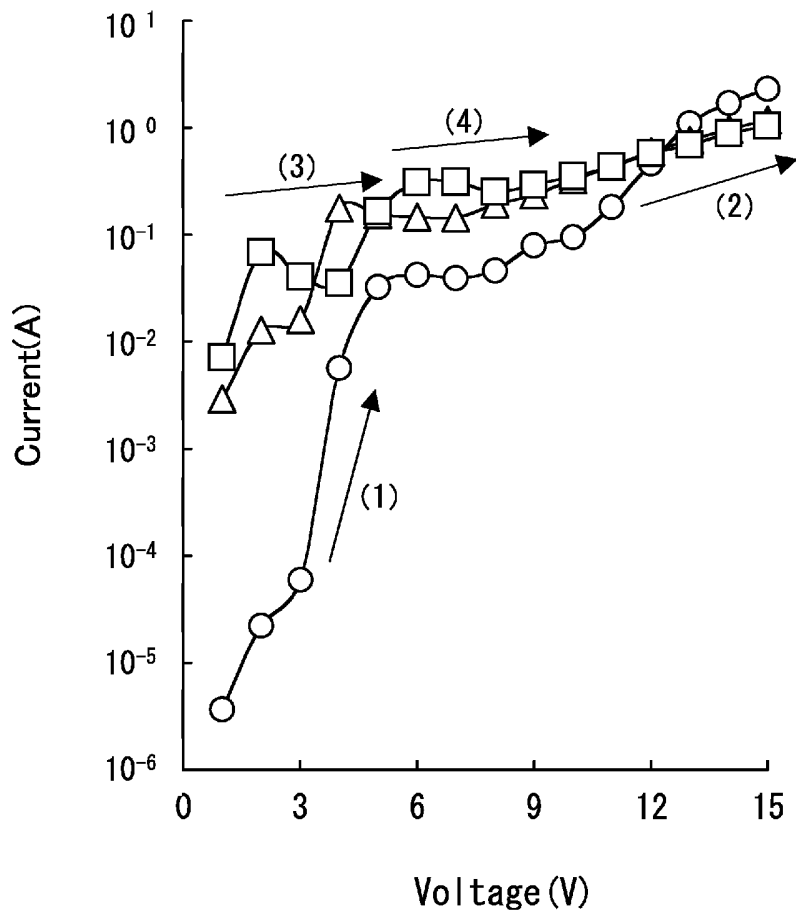
[図8]



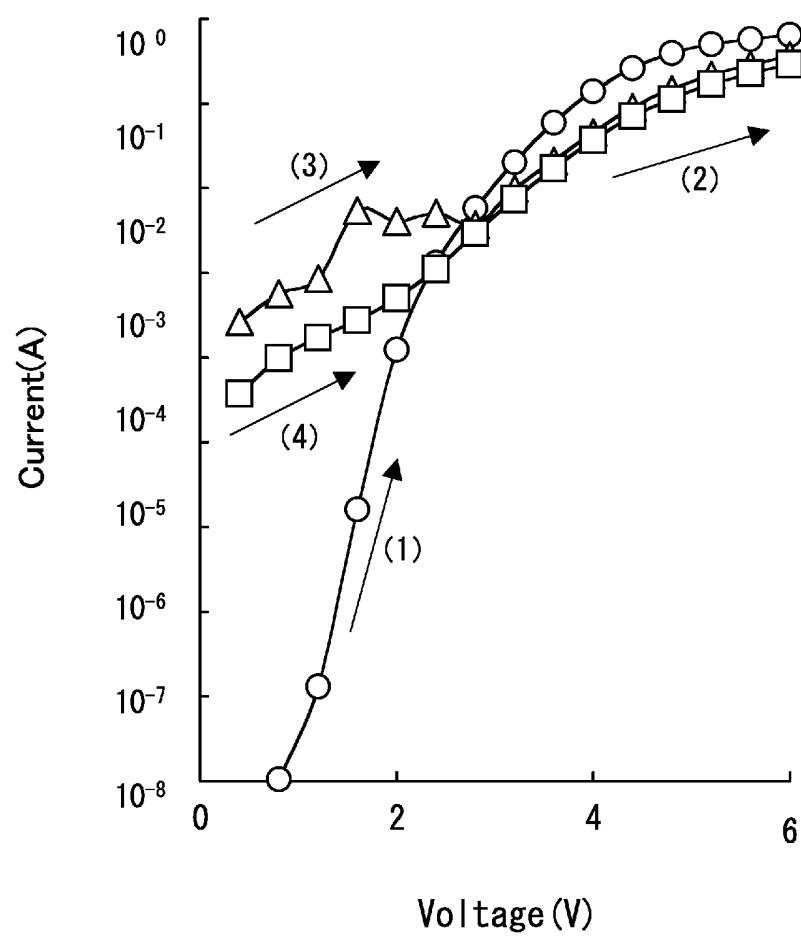
[図9]



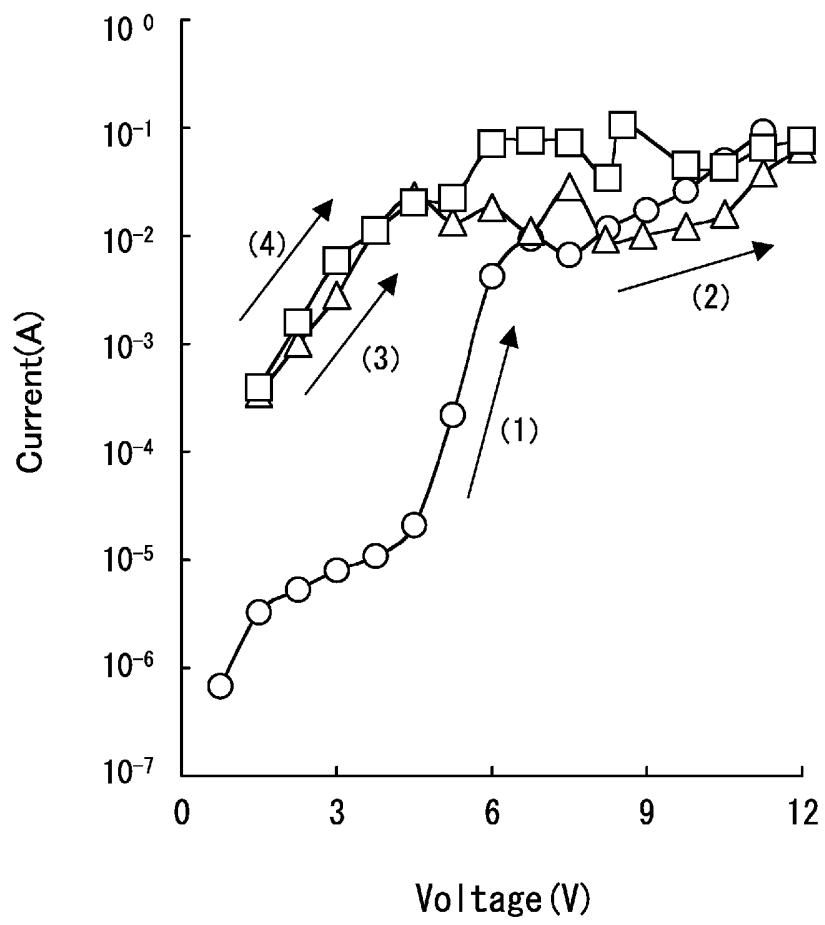
[図10]



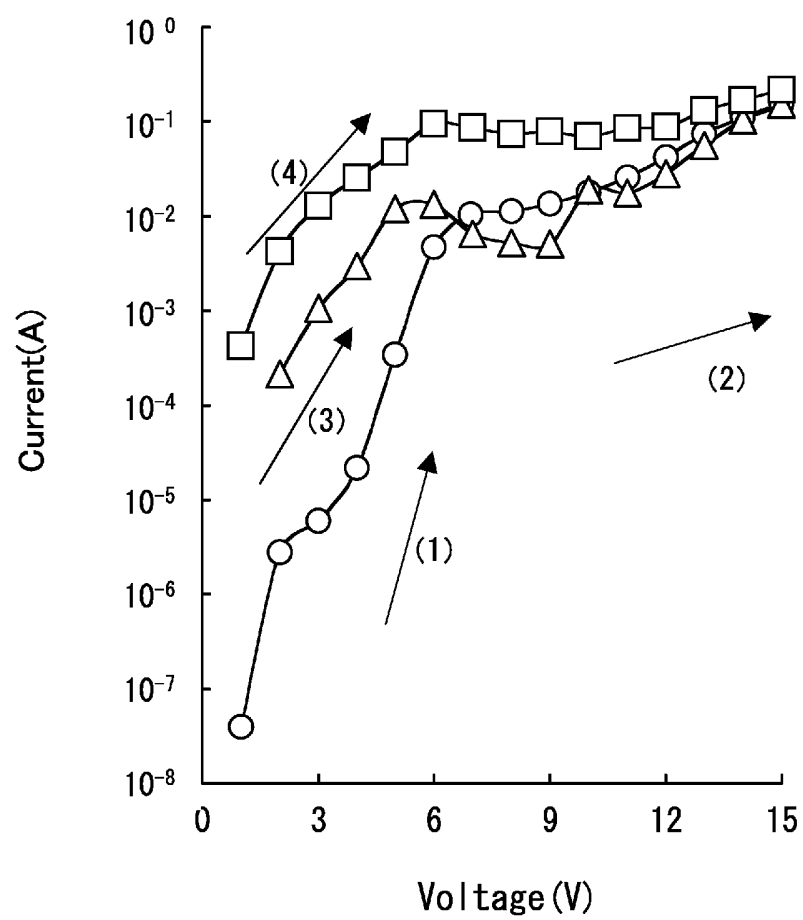
[図11]



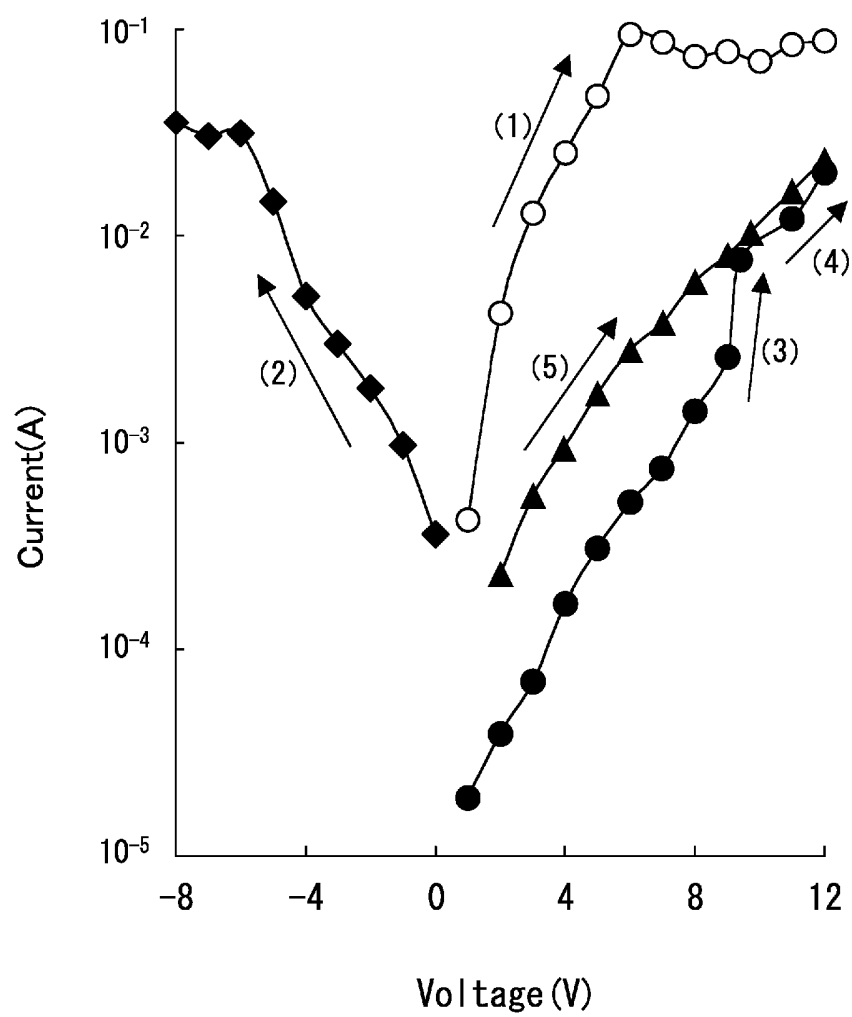
[図12]



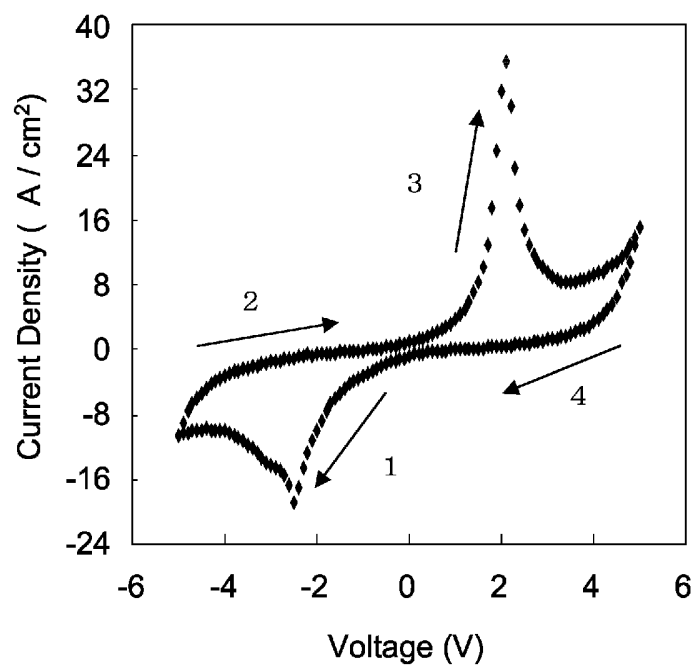
[図13]



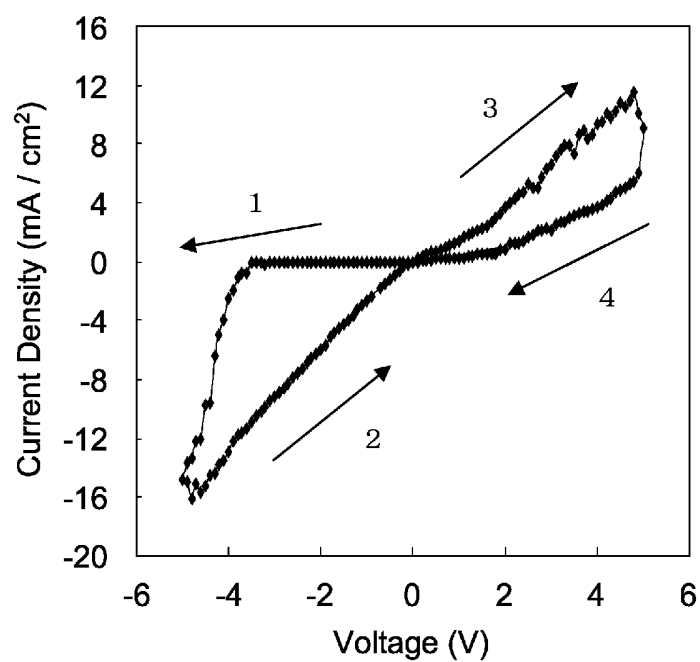
[図14]



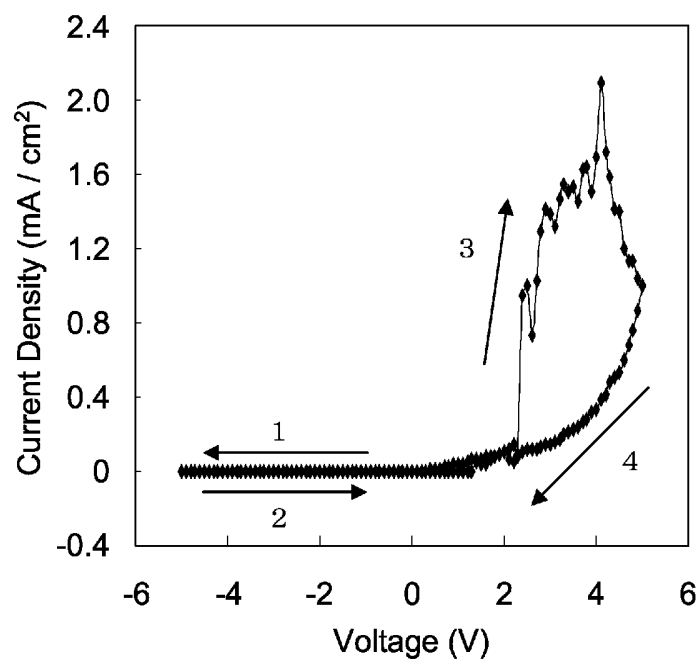
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/020320

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/28(2006.01), **H01L51/05**(2006.01), **H01L51/30**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/28(2006.01), **H01L51/05**(2006.01), **H01L51/30**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-92410 A (NEC Corp.), 28 March, 2003 (28.03.03), Par. Nos. [0017], [0021], [0050] to [0056]; Fig. 1 & US 2003/0075715 A1	1, 12
A	JP 4-10654 A (Matsushita Electric Industrial Co., Ltd.), 14 January, 1992 (14.01.92), Full text & EP 418504 A1 & US 5153681 A	1-15
A	JP 9-36389 A (NEC Corp.), 07 February, 1997 (07.02.97), Par. Nos. [0035] to [0041]; Figs. 1, 2 (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
31 January, 2006 (31.01.06)

Date of mailing of the international search report
07 February, 2006 (07.02.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/28 (2006.01), H01L51/05 (2006.01), H01L51/30 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/28 (2006.01), H01L51/05 (2006.01), H01L51/30 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-92410 A (日本電気株式会社) 2003.03.28, 段落【0017】、 【0021】、【0050】-【0056】、第1図、 & US 2003/0075715 A1	1, 12
A	JP 4-10654 A (松下電器産業株式会社) 1992.01.14, 全文 & EP 418504 A & US 5153681 A	1-15
A	JP 9-36389 A (日本電気株式会社) 1997.02.07, 段落【0035】- 【0041】、第1図、第2図、(ファミリーなし)	1-15

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

31.01.2006

国際調査報告の発送日

07.02.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

電話番号 03-3581-1101 内線 3462

4M

9276