

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-134433
(P2011-134433A)

(43) 公開日 平成23年7月7日(2011.7.7)

(51) Int.Cl.
G11C 29/42 (2006.01)

F I
G11C 29/00 631D

テーマコード (参考)
5L106

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願2010-283437 (P2010-283437)
(22) 出願日 平成22年12月20日 (2010.12.20)
(31) 優先権主張番号 10-2009-0130740
(32) 優先日 平成21年12月24日 (2009.12.24)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 310024033
ハイニックス セミコンダクター インク
大韓民国 467-860 キョンギド
イチョンシ プバルプ アミリ サン 1
36-1
(71) 出願人 510335410
パックスディスク カンパニー リミテッ
ド
大韓民国 133-833 ソウル ソン
ドング ソンスドンイガ 284-49
ナムヨン ビルディング #402
(74) 代理人 100118913
弁理士 上田 邦生
(74) 代理人 100112737
弁理士 藤田 考晴

最終頁に続く

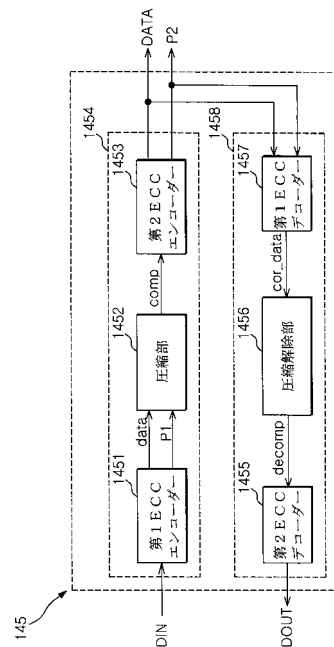
(54) 【発明の名称】 ECC回路を含む半導体ストレージシステム及びその制御方法

(57) 【要約】

【課題】本発明の技術的課題はデータのエラーを訂正することができる半導体ストレージシステムおよびその制御方法を提供することにある。

【解決手段】半導体ストレージシステムは、複数のセルを含むメモリ領域と、ライトするとき、入力データに対して1次ECCエンコーディングした後、該1次ECCエンコーディングされた結果を圧縮して2次ECCエンコーディングすることによって入力データがライトできるように制御し、リードするとき、メモリ領域のデータをリードして1次ECCデコーディングして、該1次ECCデコーディングされた結果を圧縮解除後、2次ECCデコーディングして、メモリ領域のデータがリードされるように制御するデータ制御部を含むメモリコントローラを含む。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

複数のセルを含むメモリ領域と、

ライトするとき、入力データに対して1次ECCエンコーディングした後、該1次ECCエンコーディングされた結果を圧縮して2次ECCエンコーディングすることによって前記入力データがライトできるように制御し、リードするとき、前記メモリ領域のデータをリードして1次ECCデコーディングして、該1次ECCデコーディングされた結果を圧縮解除後、2次ECCデコーディングして前記メモリ領域のデータがリードされるように制御するデータ制御部を含むメモリコントローラとを含むことを特徴とする、半導体ストレージシステム。

10

【請求項 2】

前記データ制御部は、

ライトするとき、前記入力データをエンコーディングして第1パリティを生成して、前記入力データと前記第1パリティと一緒に圧縮して再度エンコーディングすることによって第2パリティを生成するライト制御部と、

リードするとき、前記メモリ領域の前記データに対して前記第2パリティを用いてデコーディングすることによって1次誤り訂正して、該第1誤り訂正した結果に対して圧縮解除して前記第1パリティを用いて第2誤り訂正するリード制御部とを含むことを特徴とする、請求項1に記載の半導体ストレージシステム。

20

【請求項 3】

前記ライト制御部は、

前記入力データをエンコーディングして前記第1パリティを提供する第1エンコーダーと、

該第1エンコーダーの出力結果を圧縮する圧縮部と、

該圧縮部の出力をエンコーディングして前記第2パリティを提供する第2エンコーダーとを含むことを特徴とする、請求項2に記載の半導体ストレージシステム。

【請求項 4】

前記リード制御部は、

前記メモリ領域の前記データに対して前記第2パリティを用いてデコーディングする第1デコーダーと、

30

該第1デコーダーの出力結果を圧縮解除する圧縮解除部と、

該圧縮解除部の出力に対して前記第1パリティを用いてデコーディングする第2デコーダーとを含むことを特徴とする、請求項2に記載の半導体ストレージシステム。

【請求項 5】

外部から提供された入力データに対して1次ECCエンコーディングして、該1次エンコーディングの結果を圧縮して、圧縮された結果に対して2次ECCエンコーディングして該当セルに前記入力データをライトするステップと、

前記該当セルのセルデータを1次ECCデコーディングして、該1次ECCデコーディングされた結果を圧縮解除して、圧縮解除された結果に対して2次ECCデコーディングすることで、前記2次デコーディングされたデータをリードするステップとを含むことを特徴とする、半導体ストレージシステムの制御方法。

40

【請求項 6】

前記ライトするステップにおいて、

前記1次ECCエンコーディングするとき、第1パリティを生成して、

前記1次ECCエンコーディングした結果を圧縮するとき、前記入力データと前記第1パリティと一緒に圧縮することを特徴とする、請求項5に記載の半導体ストレージシステムの制御方法。

【請求項 7】

前記ライトするステップにおいて、

前記2次エンコーディングするとき、第2パリティを生成することを特徴とする、請求

50

項 6 に記載の半導体ストレージシステムの制御方法。

【請求項 8】

前記リードするステップにおいて、

前記 1 次 ECC デコーディングするとき、前記セルデータに対して 1 次誤り訂正して、該 1 次誤り訂正されたデータに対して圧縮解除することを特徴とする、請求項 5 に記載の半導体ストレージシステムの制御方法。

【請求項 9】

前記リードするステップにおいて、

前記 2 次 ECC デコーディングするとき、前記圧縮解除されたデータに対して 2 次誤りを訂正することを特徴とする、請求項 8 に記載の半導体ストレージシステムの制御方法

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体ストレージシステム及びその制御方法に関するもので、より具体的には ECC (Error Check Correction、誤り検出訂正) 回路を含む半導体ストレージシステム及びその制御方法に関するものである。

【背景技術】

【0002】

一般的に非揮発性メモリは多くの携帯用情報機器の保存用メモリとして使われている。より一層、最近では PC (Personal Computer) において HDD (Hard Disk Drive) の代わりにナンド (NAND) フラッシュメモリを使った SSD (Solid State Drive) が市場に発表されて速い速度で HDD 市場を蚕食することが見込まれている。

20

【0003】

かかる SSD のような半導体ストレージシステム (半導体記憶システム) はフラッシュメモリの特徴によりデータを更新しようとする、まず、ライト (書き込み) する前に選択されたデータ保存領域で削除を行わなければならない。仮に、データ等の更新頻度が高ければ、これらの頻繁な削除及びライト動作によってメモリセルの老化 (aging) が早く進行させられる。これによって、データのサイズが大きければ老化領域もそれだけ大きくなるということを意味する。また、データサイズが大きければこれらに対するフラッシュメモリ領域でのライトビジータイム (Write Busy Time) が大きくなるのでデータ電送時間が増加する。また、ナンド (NAND) フラッシュメモリを使った半導体ストレージシステムはメモリセルにデータをライトする場合、誤動作または隣接セルのライト影響により、既に保存されたセルの臨界値レベルが変化する場合がある。このように、臨界値レベルが変化した場合読み出したデータの精密度が低下させられる。

30

【0004】

このような半導体ストレージシステムは、限定されたメモリ領域の資源により多くのデータを保存することができながらもより長く使用することができたり、正確なデータの電送方法等が強力に要求されている。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2006 - 004558 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の技術的課題は、データのエラーを訂正することができる半導体ストレージシステムを提供することにある。

【0007】

50

本発明の技術的課題は、データのエラーを訂正することができる半導体ストレージシステムの制御方法を提供することにある。

【課題を解決するための手段】

【0008】

本発明の技術的課題を達成するために、本発明の一態様に係る半導体ストレージシステムは、複数のセルを含むメモリ領域と、ライトするとき、入力データに対して1次ECCエンコーディングした後、該1次エンコーディングされた結果を圧縮して2次ECCエンコーディングすることで前記入力データがライトできるように制御し、リード（読み出し）するとき、前記メモリ領域のデータをリードして1次ECCデコーディングして、該1次ECCデコーディングされた結果を圧縮解除後、2次ECCデコーディングして前記メモリ領域のデータがリードできるように制御するデータ制御部を含むメモリコントローラを含む。

10

【0009】

本発明の他の技術的課題を達成するために、本発明の他の態様に係る半導体ストレージシステムの制御方法は、外部から提供された入力データに対して1次ECCエンコーディングして、該1次エンコーディングされた結果を圧縮して、圧縮された結果に対して2次ECCエンコーディングして該当セルに前記入力データをライトするステップと、前記該当セルのセルデータを1次ECCデコーディングして、該1次ECCデコーディングされた結果を圧縮解除して、圧縮解除された結果に対して2次ECCデコーディングすることで前記2次デコーディングされたデータをリードするステップとを含む。

20

【発明の効果】

【0010】

本発明の一態様によると、データに対して1次ECCを行い、行われた結果物自体を圧縮して再度ECCを遂行することによって、データの訂正度を向上することができ、また、圧縮された結果物に対してECCを遂行することによって誤り訂正に対する負担を減らすことができる。また、圧縮されたデータを保存することによってメモリ領域の限定された資源の効率を向上することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の一実施形態に係る半導体ストレージシステムのブロック図である。

30

【図2】図1に係るデータ制御部のブロック図である。

【図3】図2に係るデータ資料構造を概念的に示したブロック図である。

【図4】本発明の一実施形態に係る半導体ストレージシステムの制御方法を示したフローチャートである。

【図5】本発明の一実施形態に係る半導体ストレージシステムの制御方法を示したフローチャートである。

【発明を実施するための形態】

【0012】

以下、本発明の一実施形態に係る半導体ストレージシステム及び制御方法を説明するためのブロック図またはフローチャートなどを参考にして本発明について説明する。

40

【0013】

また、各ブロック図は特定された論理的な機能を実行するための一つ以上の実行可能なインストラクションを含むモジュール、セグメントまたはコードの一部を表すことができる。また、いくつかの他の実施形態ではブロック等と言及された機能などが順序を抜け出して発生することも可能であることに注目しなければならない。例えば、相次いで図示されている二つのブロックは事実、実質的に同時に遂行されることも可能であり、またはそのブロックらが時々該当する機能により逆順で遂行されることも可能である。

【0014】

まず、図1を参照して、本実施形態に係る半導体ストレージシステムについて説明する。

50

【 0 0 1 5 】

図 1 は本実施形態に係る半導体ストレージシステム 1 0 0 のブロック図である。ここで、半導体ストレージシステム 1 0 0 はナンドフラッシュメモリを利用したシステムを例示する。

【 0 0 1 6 】

図 1 を参照すれば、半導体ストレージシステム 1 0 0 はホストインターフェース 1 1 0、バッファ部 1 2 0、MCU 1 3 0、メモリコントローラ 1 4 0 及びメモリ領域 1 5 0 を含む。

【 0 0 1 7 】

まず、ホストインターフェース 1 1 0 はバッファ部 1 2 0 と連結される。ホストインターフェース 1 1 0 は、外部ホスト（図示略）とバッファ部 1 2 0 との間で制御命令、アドレス信号及びデータ信号を送受信する。ホストインターフェース 1 1 0 と外部ホスト（図示略）との間のインターフェース方式は、直列 ATA (Serial Advanced Technology Attachment; SATA)、並列 ATA (Parallel Advanced Technology attachment; PATA) 及び SCSI、エクスプレスカード (Express Card)、PCI - エクスプレス (PCI - Express) 方式のうち、いずれか一つを使うことができ、特別な制限はない。

10

【 0 0 1 8 】

バッファ部 1 2 0 は、ホストインターフェース 1 1 0 からの出力信号をバッファリングしたり、論理的アドレス及び物理的アドレス間のマッピング情報及びメモリ領域のブロック割当情報、ブロックの削除回数及び外部から受信されたデータを臨時保存したりする。バッファ部 1 2 0 としては、SRAM (Static Random Access Memory) または DRAM (Dynamic Random Access Memory) を用いたバッファを採用することができる。

20

【 0 0 1 9 】

MCU (Micro Control Unit) 1 3 0 は、ホストインターフェース 1 1 0 との間で制御命令、アドレス信号及びデータ信号などを送受信したり、このような信号などによってメモリコントローラ 1 4 0 を制御したりする。

【 0 0 2 0 】

一方、本実施形態に係るメモリコントローラ 1 4 0 はデータ制御部 1 4 5 を含む。まず、通常のコントローラのように、メモリコントローラ 1 4 0 は、ホストインターフェース 1 1 0 からの入力データとライト命令語とを受信して、入力データをメモリ領域 1 5 0 にライトできるように制御する。これと同じように、メモリコントローラ 1 4 0 は、ホストインターフェース 1 1 0 からのリード命令語を受信すると、メモリ領域 1 5 0 からのデータをリードして外部に出力するように制御する。

30

【 0 0 2 1 】

ライトする時、データ制御部 1 4 5 は、ホストインターフェース 1 1 0 から受信されたデータの誤りをチェックするためのパリティビット (parity bit) を生成して、その結果を圧縮して、圧縮されたデータに対して再度データ誤りをチェックするためのパリティビットを生成した後、メモリ領域 1 5 0 に記入をする。これに対し、リードする時、メモリ領域 1 5 0 からのデータに対してパリティビットを用いて誤りをチェックして、チェックされた結果を圧縮解除して再度データ誤りをチェックして外部ホストインターフェースに提供する。

40

【 0 0 2 2 】

より具体的に説明すれば、ライトする時、データ制御部 1 4 5 は 1 次 ECC エンコーディング (encoding) を行った後、1 次 ECC エンコーディング結果で生成されたパリティビットまで含んで圧縮して、これに対して 2 次 ECC エンコーディングを行うようにする。

【 0 0 2 3 】

50

ライト過程に対して前述したが、リード過程はライト過程の逆順で説明できる。例えば、リード時にはデータ制御部 145 がメモリ領域 150 に保存されたデータとパリティビットを用いて 1 次 ECC デコーディングをして誤りをチェックして、チェックされた結果を圧縮解除することによって、ライト時、圧縮される前のデータ形態通りに復元させることができる。圧縮解除されたデータに対して 2 次 ECC デコーディングをして、誤りを再度チェックして外部ホストインターフェース 110 に提供することによって、信頼性が向上されたデータをリードすることができる。

【0024】

このように、本実施形態によれば、2 回の ECC エンコーディング及びデコーディングを行うことによって、データの誤り訂正率 (error correction rate) をより一層向上することができる。また、圧縮されたデータをメモリ領域 150 に提供することによって、ライトビジタイムを縮めることが出来ることはもちろん、限定されたメモリ領域 150 の資源により多くのデータを保存することができる。

10

【0025】

メモリ領域 150 は、メモリコントローラ 140 により制御され、データのライト、削除及びリード動作が行われる。ここで、メモリ領域 150 としてはナンドフラッシュメモリを採用することができる。本実施形態では、ナンドフラッシュメモリのセルとしては SLC (Single Level Cell) または MLC (Multi Level Cell) を採用することができる。

【0026】

図 2 は図 1 に係るデータ制御部 145 を概念的に図示したブロック図であり、図 3 は図 2 に係るデータ制御部 145 とメモリ領域 150 との間のデータ資料構造関係を概念的に表したブロック図である。

20

【0027】

図 2 及び図 3 を参照すると、本実施形態に係るデータ制御部 145 はライト制御部 1454 及びリード制御部 1458 を含む。

【0028】

まず、ライト制御部 1454 は第 1 ECC エンコーダー 1451、圧縮部 1452 及び第 2 ECC エンコーダー 1453 を含む。

【0029】

第 1 ECC エンコーダー 1451 は、入力データ (DIN) をエンコーディングして、図 3 に図示されるように、一緒にセルデータ (data) 及び第 1 パリティ (P1) を生成する。一般的に、ECC エンコーディングは、データ電送中発生し得る誤りをチェックするために符号化する技術である。すなわち、通信回線を通してデータを送る途中に信号が弱くなったり外部電波の影響で正しく受信することができない場合、このようなエラーを検出したり訂正するために本来のデータ以外に確認のために使用する情報、すなわちパリティ情報を付加するものである。ここで、1 次 (1st) ECC エンコーディングアルゴリズムとしてはリードソロモン (Reed Solomon) を利用する場合を例示する。しかし、これに制限されるのではない。

30

【0030】

圧縮部 1452 は、第 1 ECC エンコーダー 1451 でエンコーディングされた結果物であるセルデータ (data) 及び第 1 パリティ (P1) を一緒に圧縮して圧縮データ (comp) を提供する。圧縮するアルゴリズムとしては、連続する同じ字をその数字だけ記憶したり、特別に考案されたコーディング技法で頻度数が多い単語の長さを縮めたり、資料間の空間を減らすアルゴリズムなどがある。したがって、このような圧縮アルゴリズムにはデータを小さな大きさに変換させるための様々なアルゴリズムを全て含むことができる。これによってデータが圧縮されるだけでなく、データのエンコーディング結果物である第 1 パリティ (P1) も圧縮されることできる。

40

【0031】

第 2 ECC エンコーダー 1452 は圧縮データ (comp) に対してエンコーディング

50

を行って、図3に図示されるように、最終データ(DATA)及び第2パリティ(P2)を生成する。ここで、2次(2nd)ECCエンコーディングアルゴリズムとしては、BCH(Bose-Chaudhuri-Hocquenghem)アルゴリズムを利用する場合を例示する。一方、生成された第2パリティ(P2)は、例えば、図示されていないが、データ制御部145の一部保存領域に保存される。

【0032】

このように、データをライトする時、2回にわたってECCエンコーディングを行うことによってデータの電送信頼度を向上するだけでなく、圧縮データを提供することによってメモリ領域(図1の150参照)の限定された資源を効率的に利用することができる。

10

【0033】

一方、リード制御部1458は、第1ECCデコーダ1457、圧縮解除部1456及び第2ECCデコーダ1455を含む。

【0034】

第1ECCデコーダ1457はリードする時、圧縮データ(comp)及び第2パリティ(P2)を用いてデータの誤り有無をチェックして、チェック結果によってデータを訂正して訂正されたデータ(cor_data)を提供する。第1ECCデコーダ1457は、第2ECCエンコーダ1453に対応してデコーディングできるように備えられ、BCHアルゴリズムの復号技術を利用する場合を例示する。

20

【0035】

圧縮解除部1456は、1次ECCデコーディングされた結果に対して、第1ECCエンコーダ1451の結果物形態の圧縮解除データ(decomp)に、すなわち圧縮部1452により圧縮される前のデータ形態に復元するように圧縮を解除する。圧縮解除部1456の原理は、圧縮部1452の原理を逆に利用するようにすれば可能であり、これは当業者ならば理解可能な内容であるからこれに対する説明は省略する。

【0036】

第2ECCデコーダ1455は、圧縮解除された結果に対して2次ECCデコーディングを行って、図3に示されるように、セルデータ(data)及び第1パリティ(P1)を用いてデータの誤り有無をチェックして、チェック結果によってデータを訂正して出力データ(DOUT)を提供する。第2ECCデコーダ1455は第1ECCエンコーダ1451に対応してデコーディングできるように備えられ、リードソロモンの復号技術を利用すれば可能である。

30

【0037】

図4及び図5は、図1の半導体ストレージシステムによりライト及びリードする時の半導体ストレージシステムの動作を表したフローチャートである。

【0038】

図1乃至図4を参照すれば、ライトする時、入力データ(DIN)に対して1次ECCエンコーディングを行う(S10)。

【0039】

1次ECCエンコーディングを行うことによってセルデータ(data)及び第1パリティ(P1)を生成する。

40

【0040】

1次ECCエンコーディングした結果を圧縮する(S20)。

【0041】

これによって、データが圧縮されるだけでなく、データのエンコーディング結果物である第1パリティ(P1)も圧縮されることができる。

【0042】

圧縮された結果物に対して2次ECCエンコーディングを行う(S30)。

【0043】

2次ECCエンコーディングは、圧縮する時、発生し得る誤りをチェックするためと、

50

実際にメモリセル領域（図1の150参照）にライトされるデータに対する誤り訂正率を高めるためである。

【0044】

最終結果物のデータをライトする（S40）。

【0045】

次に、図1乃至図5を参照してリードする時の半導体ストレージシステムの動作を説明する。

【0046】

リードする時、メモリセル領域（図1の150参照）からのデータに対して1次ECCデコーディングを行う（S50）。

【0047】

より詳細に説明すれば、メモリセル領域（図1の150参照）からのデータをリードして、データ制御部（図1の145参照）に保存された第2パリティ（P2）を用いてデータの誤りをチェックして、誤りがあればデータを訂正する。

【0048】

1次デコーディング結果に対して圧縮解除を行う（S60）。

【0049】

すなわち、1次デコーディング結果によるデータに対して圧縮解除を行うことによって、圧縮される前のデータ形態に復元する。

【0050】

圧縮解除された結果に対して2次ECCデコーディングを行う（S70）。

【0051】

圧縮解除されたデータの誤りをチェックして、誤りがあればデータを訂正する。

【0052】

訂正されたデータまたは訂正されなかったデータを出力データ（DOUT）としてホストインターフェース（図1の150参照）に提供して、これによってデータリード動作を完了する（S80）。

【0053】

このように、本実施形態によると、データに対して1次ECCを行い、行った結果物自体を圧縮して再度ECCを行うことによって、データの訂正率を向上することができ、圧縮された結果物に対してECCを行うことによって誤り訂正に対する負担を減らすことができる。また、圧縮されたデータを保存することによって、メモリ領域の限定された資源の効率を向上することができる。

【0054】

本発明が属する技術分野の当業者は、本発明をその技術的史上や必須特徴を変更することなく他の具体的な形態で実施できるので、以上で記述した一実施形態等はあらゆる面で例示的なものであり、これらに限定されるものでないこととして理解しなければならない。本発明の範囲は前記詳細な説明よりは、後述する特許請求の範囲によって表され、特許請求の範囲の意味及び範囲そしてその等価概念から想到されるあらゆる変更または変形を適応した形態が本発明の範囲に含まれると解析されなければならない。

【符号の説明】

【0055】

110 ホストインターフェース

120 バッファ部

130 MCU

140 メモリコントローラ

145 データ制御部

150 メモリ領域

1451 第1ECCエンコーダ（第1エンコーダ）

1452 圧縮部

10

20

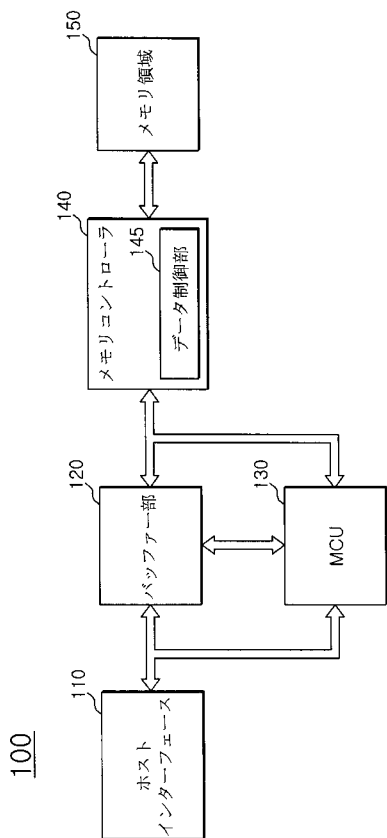
30

40

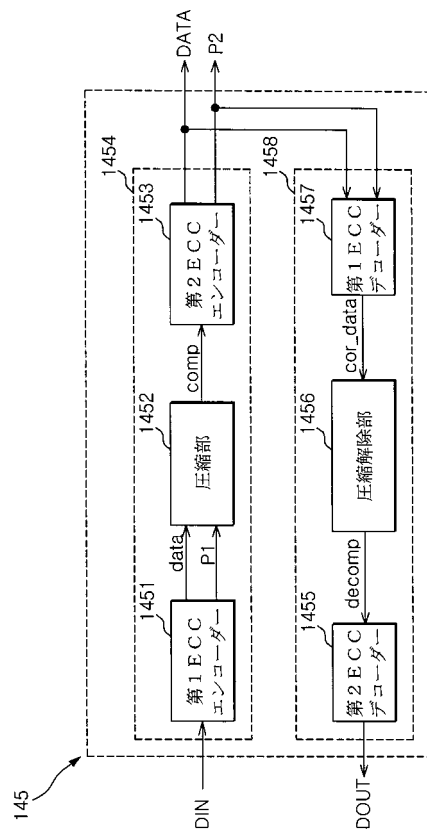
50

- 1453 第2 ECCエンコーダー (第2エンコーダー)
- 1454 ライト制御部
- 1455 第2 ECCデコーダー (第2デコーダー)
- 1456 圧縮解除部
- 1457 第1 ECCデコーダー (第1デコーダー)
- 1458 リード制御部

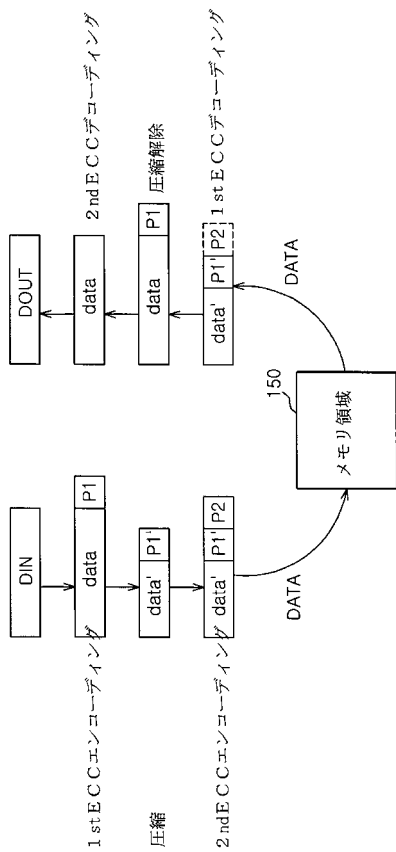
【 図 1 】



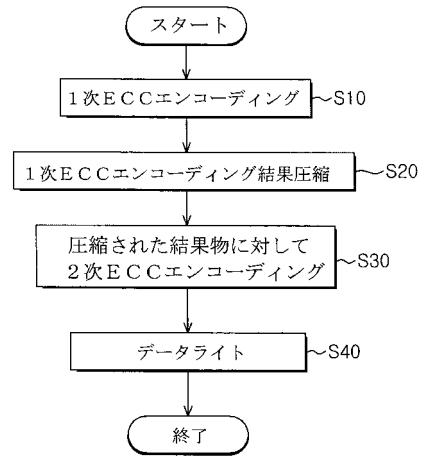
【 図 2 】



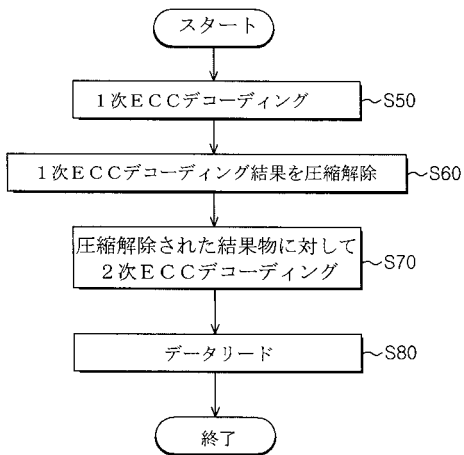
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(74)代理人 100136168

弁理士 川上 美紀

(72)発明者 ヨン ギュン シン

大韓民国 4 6 7 - 8 6 0 キョンギド イチョンシ プバルプ アミリ サン 1 3 6 - 1

(72)発明者 ソン ヒ ホン

大韓民国 4 6 7 - 8 6 0 キョンギド イチョンシ プバルプ アミリ サン 1 3 6 - 1

(72)発明者 デ ヒ イ

大韓民国 1 3 3 - 8 3 3 ソウル ソンドング ソンスドンイガ 2 8 4 - 4 9 ナムヨン ビ
ルディング # 4 0 2

(72)発明者 ジョン ガー キム

大韓民国 1 3 3 - 8 3 3 ソウル ソンドング ソンスドンイガ 2 8 4 - 4 9 ナムヨン ビ
ルディング # 4 0 2

Fターム(参考) 5L106 AA10 BB11 EE05 FF04 FF05 GG05