



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월21일
(11) 등록번호 10-1066760
(24) 등록일자 2011년09월15일

(51) Int. Cl.
H01L 33/04 (2010.01) H01L 33/06 (2010.01)
(21) 출원번호 10-2010-7022242(분할)
(22) 출원일자(국제출원일자) 2002년05월23일
심사청구일자 2010년11월04일
(85) 번역문제출일자 2010년10월05일
(65) 공개번호 10-2010-0114549
(43) 공개일자 2010년10월25일
(62) 원출원 특허 10-2009-7022150
원출원일자(국제출원일자) 2002년05월23일
심사청구일자 2009년10월22일
(86) 국제출원번호 PCT/US2002/016407
(87) 국제공개번호 WO 2002/97904
국제공개일자 2002년12월05일
(30) 우선권주장
10/140,796 2002년05월07일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
JP평성11177175 A
JP2000216432 A
US6153894 A

(73) 특허권자
크리 인코포레이티드
미국 노스 캐롤라이나 27703-8475 더럼 실리콘 드라이브 4600
(72) 발명자
에머슨, 데이비드, 토드
미국 노스캐롤라이나 27707 더럼 윈스롭 코트 15
이벳슨, 제임스
미국 캘리포니아 93111 골레타 랜돌프 로드 910
(뒷면에 계속)
(74) 대리인
양영준, 정은진, 백만기

전체 청구항 수 : 총 9 항

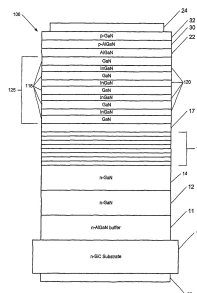
심사관 : 이용배

(54) 양자 우물과 초격자를 가진 III족 나이트라이드계 발광 다이오드 구조

(57) 요약

III족 나이트라이드계 초격자와 상기 초격자 상의 III족 나이트라이드계 활성 영역을 구비한 발광 다이오드가 제공된다. 상기 활성 영역은 적어도 하나의 양자 우물 구조를 구비한다. 상기 양자 우물 구조는 III족 나이트라이드계 제1 장벽층, 상기 제1 장벽층 상의 III족 나이트라이드계 양자 우물층, 및 III족 나이트라이드계 제2 장벽층을 포함한다. III족 나이트라이드계 반도체 소자 및 적어도 하나의 양자 우물 구조를 포함하는 활성 영역을 포함하는 III족 나이트라이드계 반도체 소자 제조방법이 제공된다. 상기 양자 우물 구조는 III족 나이트라이드를 포함하는 우물 지지층, 상기 우물 지지층 상의 III족 나이트라이드를 포함하는 양자 우물층, 및 상기 양자 우물층 상의 III족 나이트라이드를 포함하는 캡층을 포함한다. 교호하는 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 층(여기서, $0 \leq X < 1$ 이고 $0 \leq Y < 1$ 이며 $X \neq Y$)을 적어도 두 주기 가진 갈륨 나이트라이드계 초격자를 포함하는 III족 나이트라이드계 반도체 소자도 제공된다. 상기 반도체 소자는 III족 나이트라이드계 활성 영역을 가진 발광 다이오드일 수 있다. 상기 활성 영역은 다중 양자 우물 활성 영역일 수 있다.

대표도 - 도2



(72) 발명자

오로린, 마이클, 존

미국 노스캐롤라이나 27516 채플 힐 그레이린 드라이브 151

노드비, 하워드, 딘, 주니어

미국 노스캐롤라이나 27312 피츠보로 포플라 포레스트 라인 337

아베어, 앰버 크리스틴

미국 노스캐롤라이나 27511 캐리 왈도 스트리트 224

버그만, 마이클, 존

미국 노스캐롤라이나 27705 더럼 세비에 스트리트 2527

도버스파이크, 캐슬린, 마리

미국 노스캐롤라이나 27502 아펙스 쿠폴라 채스 웨이 104

(30) 우선권주장

60/294,308 2001년05월30일 미국(US)

60/294,378 2001년05월30일 미국(US)

60/294,445 2001년05월30일 미국(US)

특허청구의 범위

청구항 1

발광 다이오드로서,

n-형 III족 나이트라이드층;

교호하는 층들을 적어도 두 주기 포함하는, 상기 n-형 III족 나이트라이드층의 위의 III족 나이트라이드계 초격자;

상기 n-형 III족 나이트라이드층의 반대쪽으로서 상기 초격자 위의, 적어도 하나의 양자 우물 구조를 포함하는 III족 나이트라이드계 발광 다이오드 활성 영역; 및

상기 초격자로부터 먼 쪽으로서 상기 발광 다이오드 활성 영역 위의, 알루미늄을 포함하는 도핑되지 않은 III족 나이트라이드층을 포함하고,

상기 도핑되지 않은 III족 나이트라이드층의 알루미늄(Al) 조성은 경사지는(graded), 발광 다이오드.

청구항 2

제1항에 있어서,

상기 도핑되지 않은 III족 나이트라이드층은 복수의 알루미늄 갈륨 나이트라이드(AlGa_N) 층들을 포함하는, 발광 다이오드.

청구항 3

제2항에 있어서,

상기 복수의 AlGa_N 층들의 상기 Al 조성은 계단식으로 경사지는, 발광 다이오드.

청구항 4

제2항에 있어서,

상기 복수의 AlGa_N 층들의 상기 Al 조성은 연속적으로 감소하는 방식으로 경사지는, 발광 다이오드.

청구항 5

제2항에 있어서,

상기 발광 다이오드 활성 영역으로부터 먼 쪽으로서 상기 도핑되지 않은 III족 나이트라이드층 위에 p-형 III족 나이트라이드층을 더 포함하는, 발광 다이오드.

청구항 6

제5항에 있어서,

상기 p-형 III족 나이트라이드층의 Al 조성은 상기 복수의 AlGa_N 층 중 하나의 Al 조성보다 적은, 발광 다이오드.

청구항 7

제1항에 있어서,

상기 발광 다이오드 활성 영역과 도핑되지 않은 III족 나이트라이드 캡 층 사이에 갈륨 나이트라이드(GaN) 층을 더 포함하는, 발광 다이오드.

청구항 8

제7항에 있어서,

상기 GaN 층은 도핑되지 않은 것인, 발광 다이오드.

청구항 9

제1항에 있어서,

상기 도핑되지 않은 III족 나이트라이드층은 상기 발광 다이오드 활성 영역 바로 위에 있는, 발광 다이오드.

명세서

기술분야

[0001] 본 발명은 마이크로 전자 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 발광 다이오드(Light Emitting Diode : LED)와 같은 III족 나이트라이드 반도체 소자에 활용될 수 있는 구조에 관한 것이다.

[0002] (관련 출원)

[0003] 본 출원은 2001년 5월 30일에 출원된 "Multi-quantum well light emitting diode structure"란 제목의 미국 임시 출원 제60/294,445호와, 2001년 5월 30일에 출원된 "Light emitting diode structure with superlattice structure"란 제목의 미국 임시 출원 제60/294,308호, 및 2001년 5월 30일에 출원된 "Light emitting diode structure with multi-quantum well and superlattice structure"란 제목의 미국 임시 출원 제60/294,378호로부터의 우선권을 주장하며, 상기 출원들의 개시 내용은 본 명세서에 충분히 개시된 것처럼 인용되어 통합된다.

배경기술

[0004] 발광 다이오드는 소비와 상업 분야에서 널리 사용되고 있다. 기술분야의 숙련된 자에게 잘 알려져 있는 것과 같이, 발광 다이오드는 일반적으로 마이크로 전자 기관 상의 다이오드 영역을 포함한다. 마이크로 전자 기관은 예를 들어, 갈륨 아세나이드(gallium arsenide), 갈륨 포스파이드(gallium phosphide), 이들의 합금, 실리콘 카바이드(silicon carbide) 및/또는 사파이어를 포함한다. LED에 있어서의 지속적인 발전은 가시광 스펙트럼 및 그 이상을 커버할 수 있는 상당히 고효율이고 기계적으로 견고한 광원을 초래하였다. 이러한 장점은 고체 소자의 잠재적으로 긴 서비스 수명과 결합되어, 다양한 신규 디스플레이 응용을 가능케 할 수 있고, LED를 잘 정착된 백열등, 형광등과 경쟁하는 위치에 둘 수 있다.

[0005] 갈륨 나이트라이드계 LED와 같은 III족 나이트라이드계 LED의 제조에 있어서의 어려움은 고품질의 갈륨 나이트라이드 제조에 있다. 전형적으로, 갈륨 나이트라이드 LED는 사파이어 또는 실리콘 카바이드 기관 상에 제조되어 왔다. 이러한 기관은 기관과 갈륨 나이트라이드간의 결정 격자 불일치를 초래할 수 있다. 사파이어 및/또는 실리콘 카바이드 상에 갈륨 나이트라이드를 성장하는 것에 관계된 잠재적인 문제점을 해결하기 위해 다양한 기술이 이용되었다. 예를 들어, 알루미늄 나이트라이드(AlN)가 실리콘 카바이드 기관과 III족 활성층, 특히 갈륨 나이트라이드 활성층과의 사이에 버퍼층으로 사용될 수 있다. 그러나 일반적으로, 알루미늄 나이트라이드는 도전성이 아니고 절연성이다. 따라서, 알루미늄 나이트라이드 버퍼층을 가진 구조는 도전성 실리콘 카바이드 기관을 III족 나이트라이드 활성층에 연결시키기 위해 알루미늄 나이트라이드 버퍼층을 바이패스(bypass)하는 쇼팅 콘택(shorting contact)을 필요로 하는 것이 일반적이다.

[0006] 대신에, 갈륨 나이트라이드(GaN), 알루미늄 갈륨 나이트라이드(AlGaIn), 또는 갈륨 나이트라이드와 알루미늄 갈륨 나이트라이드의 조합과 같은 도전성 버퍼층 물질이 AlN 버퍼층과 일반적으로 함께 사용되는 쇼팅 콘택의 제거를 허용할 수 있다. 일반적으로, 쇼팅 콘택을 제거하면 에피택셜층의 두께가 감소되고, 소자 생산을 위한 공정 단계 수가 감소되며, 전체적인 칩 사이즈가 감소되고, 소자 효율이 증가된다. 따라서, 고성능 III족 나이트라이드 소자가 저비용으로 생산될 수 있다. 그렇지만, 이러한 도전성 버퍼 물질이 이러한 장점을 제공함에도 불구하고, 그들의 실리콘 카바이드와의 결정 격자 불일치는 알루미늄 나이트라이드의 경우보다 덜 만족스럽다.

[0007] 고품질 갈륨 나이트라이드 제조에 있어서 앞서 언급한 어려움들은 소자의 효율을 감소시킬 수 있다. III족 나이트라이드계 소자의 출력을 개선하려는 시도는 소자의 활성 영역 구조를 변경하는 것을 포함한다. 이러한 시도는, 예컨대 단일 및/또는 이중 헤테로구조 활성 영역의 사용을 포함한다. 유사하게, 하나 이상의 III족 나이트라이드 양자 우물을 가진 양자 우물 소자도 또한 설명되었다. 이러한 시도들이 III족 나이트라이드계 소자의 효율을 개선하였지만, 더 많은 개선이 여전히 달성될 수 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명의 실시예는 III족 나이트라이드계 초격자와 상기 초격자 상의 III족 나이트라이드계 활성 영역을 구비한 발광 다이오드를 제공한다. 상기 활성 영역은 적어도 하나의 양자 우물 구조를 구비한다. 상기 양자 우물 구조는 III족 나이트라이드계 제1 장벽층(barrier layer), 상기 제1 장벽층 상의 III족 나이트라이드계 양자 우물층, 및 상기 양자 우물층 상의 III족 나이트라이드계 제2 장벽층을 포함한다.
- [0009] 나아가, 상기 발광 다이오드는 약 2 내지 약 10번 반복된 상기 적어도 하나의 양자 우물 구조를 포함한다.

과제의 해결 수단

- [0010] 본 발명의 추가적인 실시예에 따르면, 상기 초격자는 교호하는 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 층을 적어도 두 주기 가진 갈륨 나이트라이드계 초격자를 포함한다. 여기서, $0 \leq X < 1$ 이고 $0 \leq Y < 1$ 이며 $X \neq Y$ 이다. 상기 III족 나이트라이드계 제1 장벽층은 III족 나이트라이드를 포함하는 우물 지지층을 형성하며, 상기 III족 나이트라이드계 제2 장벽층은 상기 양자 우물층 상에 III족 나이트라이드를 포함하는 캡층(cap layer)을 형성한다.
- [0011] 이러한 실시예에 있어서, 상기 캡층은 상기 우물 지지층보다 낮은 결정 품질을 가질 수 있다.
- [0012] 더 나아가, 상기 우물 지지층은 갈륨 나이트라이드계 층을 포함하고, 상기 양자 우물층은 인듐 갈륨 나이트라이드층을 포함하며 상기 장벽층은 갈륨 나이트라이드계 층을 포함한다. 이러한 실시예에서, 상기 우물 지지층과 상기 캡층은 $In_xGa_{1-x}N$ 층(여기서, $0 \leq X < 1$)으로 형성될 수 있다. 뿐만 아니라, 상기 우물 지지층과 상기 캡층의 인듐 성분은 상기 양자 우물층의 인듐 성분보다 적을 수 있다.
- [0013] 상기 우물 지지층과 상기 캡층은 $Al_xIn_yGa_{1-x-y}N$ 층(여기서, $0 < X < 1$ 이고 $0 \leq Y < 1$ 이며 $X+Y \leq 1$)으로도 형성될 수 있다. 뿐만 아니라, 상기 우물 지지층과 상기 캡층은 도핑되지 않은 것일 수 있다. 대신에, 상기 우물 지지층과 상기 캡층은 약 $5 \times 10^{19} \text{ cm}^{-3}$ 보다 낮은 n-형 도핑 레벨을 가질 수 있다. 상기 캡층과 상기 우물 지지층은 상기 양자 우물층보다 큰 밴드갭을 가질 수도 있다. 상기 우물 지지층과 상기 캡층을 합한 두께는 약 50 내지 약 400Å일 수 있다. 상기 우물 지지층의 두께는 상기 캡층의 두께보다 클 수 있다. 상기 양자 우물층은 약 10 내지 약 50Å의 두께를 가질 수 있다. 예를 들어, 상기 양자 우물층은 약 20Å의 두께를 가질 수 있다. 뿐만 아니라, 상기 양자 우물층 안의 인듐 퍼센티지는 약 15% 내지 약 40%일 수 있다.
- [0014] 본 발명의 추가적인 실시예에 있어서, 상기 우물 지지층과 상기 초격자 사이에 III족 나이트라이드계 스페이서층(spacer layer)이 형성된다. 상기 스페이서층은 도핑되지 않은 GaN일 수 있다.
- [0015] 본 발명의 다른 실시예에 있어서, 상기 양자 우물의 밴드갭은 상기 초격자의 밴드갭보다 작다.
- [0016] 나아가, 상기 발광 다이오드는 상기 캡층 상에 III족 나이트라이드를 포함하는 제2 우물 지지층, 상기 제2 우물 지지층 상에 III족 나이트라이드를 포함하는 제2 양자 우물층, 및 상기 제2 양자 우물층 상에 III족 나이트라이드를 포함하는 제2 캡층을 더 포함한다.
- [0017] 본 발명의 추가적인 실시예에 있어서, 상기 갈륨 나이트라이드계 초격자는 약 5 내지 약 50 주기를 포함한다. 상기 교호하는 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 층을 합한 두께는 약 10 내지 약 140Å일 수 있다.
- [0018] 본 발명의 특정 실시예에 있어서, 상기 초격자의 $In_xGa_{1-x}N$ 층의 $X=0$ 이다. 그러한 실시예에 있어서, 상기 InGaN 층들은 약 5 내지 약 40Å의 두께를 가지며, 상기 GaN층들은 약 5 내지 약 100Å의 두께를 가질 수 있다.
- [0019] 나아가, 상기 갈륨 나이트라이드계 초격자는 약 $1 \times 10^{17} \text{ cm}^{-3}$ 내지 약 $5 \times 10^{19} \text{ cm}^{-3}$ 의 레벨로 n-형 불순물이 도핑된다. 상기 갈륨 나이트라이드계 초격자의 도핑 레벨은 상기 교호하는 층들의 실제 도핑 레벨일 수 있다. 상기 도핑 레벨은 또한 상기 교호하는 층들의 평균 도핑 레벨일 수 있다. 따라서, 예컨대, 상기 발광 다이오드는 상기 초격자 부근에 도핑된 III족 나이트라이드층을 더 포함하고, 상기 도핑된 III족 나이트라이드층은 상기 도핑된 III족 나이트라이드층과 상기 초격자의 평균 도핑이 약 $1 \times 10^{17} \text{ cm}^{-3}$ 내지 약 $5 \times 10^{19} \text{ cm}^{-3}$ 이 되도록 n-형 불순물이 도핑된 것일 수 있다. 상기 초격자의 밴드갭은 약 2.95eV 내지 약 3.35eV일 수 있으며, 어떤 실시예에서는 약 3.15eV일 수 있다.

- [0020] 본 발명의 다른 실시예에 따르면, 적어도 하나의 양자 우물 구조를 포함하는 활성 영역을 구비한 III족 나이트라이드계 반도체 소자가 제공된다. 상기 양자 우물 구조는 III족 나이트라이드를 포함하는 우물 지지층, 상기 우물 지지층 상에 III족 나이트라이드를 포함하는 양자 우물층, 및 상기 양자 우물층 상에 III족 나이트라이드를 포함하는 캡층을 포함한다.
- [0021] 상기 캡층은 상기 우물 지지층보다 낮은 결정 품질을 가질 수 있다. 상기 우물 지지층은 갈륨 나이트라이드계 층으로 형성되고, 상기 양자 우물층은 인듐 갈륨 나이트라이드계 층으로 형성되며, 상기 장벽층은 갈륨 나이트라이드계 층으로 형성될 수 있다. 그러한 실시예에 있어서, 상기 우물 지지층과 상기 캡층은 $In_xGa_{1-x}N$ 층(여기서, $0 \leq X < 1$)으로 형성될 수 있다. 뿐만 아니라, 상기 우물 지지층과 상기 캡층의 인듐 성분은 상기 양자 우물층의 인듐 성분보다 적을 수 있다. 유사하게, 상기 우물 지지층과 상기 캡층은 $Al_xIn_yGa_{1-x-y}N$ 층(여기서, $0 < X < 1$ 이고 $0 \leq Y < 1$ 이며 $X+Y \leq 1$)으로 형성될 수 있다.
- [0022] 뿐만 아니라, 상기 우물 지지층과 상기 캡층은 도핑되지 않은 것일 수 있다. 대신에, 상기 우물 지지층과 상기 캡층은 약 $5 \times 10^{19} \text{ cm}^{-3}$ 보다 낮은 도핑 레벨을 가질 수 있다.
- [0023] 나아가, 상기 캡층과 상기 우물 지지층은 상기 양자 우물층보다 큰 밴드갭을 가진다. 상기 우물 지지층과 상기 캡층을 합한 두께는 약 50 내지 약 400Å일 수 있다. 예를 들어, 상기 우물 지지층과 상기 캡층을 합한 두께는 약 90Å보다 클 수 있다. 유사하게, 상기 우물 지지층과 상기 캡층을 합한 두께는 약 225Å일 수 있다. 상기 우물 지지층의 두께는 상기 캡층의 두께보다 클 수 있다.
- [0024] 본 발명의 추가적인 실시예에 있어서, 상기 양자 우물층은 약 10 내지 약 50Å의 두께를 가진다. 예를 들어, 상기 양자 우물층의 두께는 약 25Å일 수 있다. 뿐만 아니라, 상기 양자 우물층 안의 인듐 퍼센티지는 약 5% 내지 약 50%일 수 있다.
- [0025] 본 발명에 따른 III족 나이트라이드계 반도체 소자의 다른 실시예에서는, 초격자가 제공되고, 상기 우물 지지층이 상기 초격자 상에 위치한다. 상기 초격자는 약 3.15eV의 밴드갭을 가질 수 있다. 뿐만 아니라, 상기 우물 지지층과 상기 초격자 사이에 III족 나이트라이드계 스페이서층이 더 제공될 수 있다. 상기 스페이서층은 도핑되지 않은 GaN일 수 있다. 또한, 상기 적어도 하나의 양자 우물의 밴드갭은 상기 초격자의 밴드갭보다 작을 수 있다.
- [0026] 더 나아가, III족 나이트라이드를 포함하는 제2 우물 지지층이 상기 캡층 상에 형성된다. III족 나이트라이드를 포함하는 제2 양자 우물층이 상기 제2 우물 지지층 상에 형성되며, III족 나이트라이드를 포함하는 제2 캡층이 상기 제2 양자 우물층 상에 형성된다.
- [0027] 본 발명의 특정 실시예에 있어서, 상기 III족 나이트라이드계 반도체 소자는 상기 적어도 하나의 양자 우물 구조를 약 2 내지 약 10번 반복하여 포함한다.
- [0028] 본 발명의 실시예는 교호하는 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 층(여기서, $0 \leq X < 1$ 이고 $0 \leq Y < 1$ 이며 $X \neq Y$)을 적어도 두 주기 가진 갈륨 나이트라이드계 초격자를 포함하는 III족 나이트라이드계 반도체 소자를 제공한다.
- [0029] 나아가, 상기 갈륨 나이트라이드계 초격자는 약 5 내지 약 50 주기를 포함한다. 예를 들어, 상기 갈륨 나이트라이드계 초격자는 25 주기를 포함한다. 유사하게, 상기 갈륨 나이트라이드계 초격자는 10 주기를 포함할 수 있다.
- [0030] 본 발명의 추가적인 실시예에 있어서, 상기 갈륨 나이트라이드계 초격자는 약 5 내지 약 50 주기를 포함한다. 상기 교호하는 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 층을 합한 두께는 약 10 내지 약 140Å일 수 있다.
- [0031] 본 발명의 특정 실시예에 있어서, 상기 초격자 $In_xGa_{1-x}N$ 층의 $X=0$ 이다. 그러한 실시예에 있어서, 상기 InGaN층들은 약 5 내지 약 40Å의 두께를 가지며, 상기 GaN층들은 약 5 내지 약 100Å의 두께를 가질 수 있다. 더 나아가, 상기 갈륨 나이트라이드계 초격자는 약 $1 \times 10^{17} \text{ cm}^{-3}$ 내지 약 $5 \times 10^{19} \text{ cm}^{-3}$ 의 레벨로 n-형 불순물이 도핑된 것이다. 상기 갈륨 나이트라이드계 초격자의 도핑 레벨은 상기 교호하는 층들의 실제 도핑 레벨이거나 상기 교호하는 층들의 평균 도핑 레벨일 수 있다.
- [0032] 본 발명의 어떤 실시예에서는, 도핑된 III족 나이트라이드층이 상기 초격자에 인접하여 형성된다. 상기 도핑된 III족 나이트라이드층은 상기 도핑된 III족 나이트라이드층과 상기 초격자의 평균 도핑이 약 $1 \times 10^{17} \text{ cm}^{-3}$ 내지 약 5

$\times 10^{19} \text{ cm}^{-3}$ 이 되도록 n-형 불순물이 도핑된 것이다.

- [0033] 본 발명의 추가적인 실시예에 있어서, 상기 초격자의 밴드갭은 약 3.15eV이다.
- [0034] III족 나이트라이드계 반도체 소자가 발광 다이오드를 포함하는 본 발명의 실시예에서, 상기 발광 다이오드는 상기 초격자 상에 III족 나이트라이드계 활성 영역을 더 포함한다. 추가적으로, 상기 활성 영역과 상기 초격자 사이에 III족 나이트라이드계 스페이서층이 더 제공될 수 있다. 이러한 스페이서층은 도핑되지 않은 GaN일 수 있다.
- [0035] 본 발명의 어떤 실시예에서는, 상기 활성 영역이 적어도 하나의 양자 우물을 포함한다. 그러한 실시예에서, 상기 양자 우물의 밴드갭은 상기 초격자의 밴드갭보다 작을 수 있다.
- [0036] 본 발명의 추가적인 실시예는 적어도 하나의 양자 우물 구조를 포함하는 활성 영역을 가진 III족 나이트라이드계 반도체 소자의 제조방법을 제공한다. 상기 양자 우물 구조는 III족 나이트라이드를 포함하는 우물 지지층을 형성하고, 상기 우물 지지층 상에 III족 나이트라이드를 포함하는 양자 우물층을 형성하고, 상기 양자 우물층 상에 III족 나이트라이드를 포함하는 캡층을 형성하여 제조한다.
- [0037] 본 발명의 특정 실시예에 있어서, 상기 III족 나이트라이드를 포함하는 우물 지지층을 형성하는 단계는 상기 우물 지지층을 제1 온도에서 형성하는 단계를 포함한다. 상기 양자 우물층을 형성하는 단계는 상기 제1 온도보다 낮은 제2 온도에서 상기 양자 우물층을 형성하는 단계를 포함한다. 상기 캡층을 형성하는 단계는 상기 제1 온도보다 낮은 제3 온도에서 상기 캡층을 형성하는 단계를 포함한다. 본 발명의 어떤 실시예에 있어서, 상기 제3 온도가 상기 제2 온도와 실질적으로 동일하다.
- [0038] 나아가, 상기 우물 지지층은 갈륨 나이트라이드계 층을 포함하고, 상기 양자 우물층은 인듐 갈륨 나이트라이드층을 포함하며 상기 캡층은 갈륨 나이트라이드계 층을 포함한다. 그러한 실시예에 있어서, 상기 제1 온도는 약 700 내지 약 900°C일 수 있다. 뿐만 아니라, 상기 제2 온도는 상기 제1 온도보다 약 0 내지 약 200°C 낮을 수 있다. 상기 인듐 갈륨 나이트라이드층은 질소 분위기 또는 다른 분위기에서 형성될 수 있다.
- [0039] 바람직하기로는, 상기 캡층을 형성하는 단계는 $\text{In}_x\text{Ga}_{1-x}\text{N}$ (여기서, $0 \leq x < 1$)으로 된 캡층을 형성하는 단계를 포함하고, 상기 우물 지지층을 형성하는 단계는 $\text{In}_x\text{Ga}_{1-x}\text{N}$ (여기서, $0 \leq x < 1$)으로 된 우물 지지층을 형성하는 단계를 포함한다. 또한, 상기 우물 지지층과 상기 캡층의 인듐 성분은 상기 양자 우물층의 인듐 성분보다 적을 수 있다.
- [0040] 본 발명의 추가적인 실시예에 있어서, 상기 우물 지지층을 형성하는 단계와 상기 캡층을 형성하는 단계는 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ (여기서, $0 < x < 1$ 이고 $0 \leq y < 1$ 이며 $x+y \leq 1$)으로 된 캡층을 형성하는 단계와 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ (여기서, $0 < x < 1$ 이고 $0 \leq y < 1$ 이며 $x+y \leq 1$)으로 된 우물 지지층을 형성하는 단계를 포함한다.
- [0041] 나아가, 본 발명의 실시예는 초격자를 형성하는 단계를 포함하는데, 여기서 상기 우물 지지층이 상기 초격자 상에 위치한다. 본 발명의 추가적인 실시예는 상기 우물 지지층과 상기 초격자 사이에 III족 나이트라이드계 스페이서층을 형성하는 단계를 더 포함한다. 상기 스페이서층은 도핑되지 않은 GaN일 수 있다. 본 발명의 추가적인 실시예는 상기 캡층 상에 III족 나이트라이드를 포함하는 제2 우물 지지층을 형성하는 단계, 상기 제2 우물 지지층 상에 III족 나이트라이드를 포함하는 제2 양자 우물층을 형성하는 단계, 및 상기 제2 양자 우물층 상에 III족 나이트라이드를 포함하는 제2 캡층을 형성하는 단계를 더 포함한다. 그러한 실시예에 있어서, 상기 제2 우물 지지층은 실질적으로 상기 제1 온도에서 형성될 수 있고, 상기 양자 우물층은 상기 제1 온도보다 낮은 상기 제2 온도에서 형성될 수 있으며, 상기 캡층은 상기 제1 온도보다 낮은 상기 제3 온도에서 형성될 수 있다.

발명의 효과

- [0042] 본 발명에 따르면, 고품질 갈륨 나이트라이드를 제조할 수 있고, 이에 따라 III족 나이트라이드계 소자의 효율을 개선할 수 있다.

도면의 간단한 설명

- [0043] 본 발명의 다른 특징들은 첨부한 도면과 함께 후술하는 특정 실시예의 상세한 설명으로부터 보다 쉽게 이해될 수 있을 것이다.

도 1은 본 발명의 실시예를 통합한 III족 나이트라이드 발광 다이오드의 개략적인 도면이다.

도 2는 본 발명의 다른 실시예를 통합한 III족 나이트라이드 발광 다이오드의 개략적인 도면이다.

도 3은 본 발명의 추가적인 실시예에 따른 양자 우물 구조와 다중 양자 우물 구조의 개략적인 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 이하, 본 발명의 바람직한 실시예가 도시된 첨부도면을 참조하여 본 발명을 상세히 설명한다. 그러나, 다음에 예시하는 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예들에 한정되는 것은 아니다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 층 또는 영역들의 크기는 설명을 위한 목적으로 과장되어진 것이다. 동일한 부호는 시종 동일한 요소를 의미한다. 층, 영역 또는 기판과 같은 어떤 요소가 다른 요소의 "위(상)"에 있다 또는 "위(상)로" 신장한다라고 기재된 경우, 상기 요소가 상기 다른 요소의 위에 직접 존재하거나 상기 다른 요소의 위로 직접 신장하거나, 그 사이에 제3의 다른 요소들이 개재된 경우로 이해될 수 있다. 반면에, 어떤 요소가 다른 요소의 "직접 위(상)"에 있다 또는 "직접 위(상)로" 신장한다라고 기재된 경우, 그 사이에 개입되는 다른 요소는 없다. 뿐만 아니라, 여기에 개시된 각 실시예는 그것의 반대되는 도전형 실시예 또한 포함한다.
- [0045] 발광 다이오드(LED) 구조(40)를 도시한 도 1을 참조하여 본 발명의 실시예들을 설명하기로 한다. 도 1의 LED 구조(40)는 바람직하게 4H 또는 6H n-형 실리콘 카바이드를 포함하는 기판(10)을 포함한다. 기판(10)은 또한 사파이어, 벌크 갈륨 나이트라이드 또는 다른 적당한 기판을 포함할 수 있다. 도 1의 LED 구조(40)에는 또한 기판(10) 상의 갈륨 나이트라이드계 반도체층들을 포함하는 적층 반도체 구조가 포함되어 있다. 다시 말해, 도시된 LED 구조(40)는 다음의 층들, 즉 도전성 버퍼층(11), 실리콘 도핑된 제1 GaN층(12), 실리콘 도핑된 제2 GaN층(14), 실리콘 도핑된 GaN 및/또는 InGaN의 교호층을 포함하는 초격자 구조(16), 다중 양자 우물 구조로 형성될 수 있는 활성 영역(18), 도핑되지 않은 GaN 및/또는 AlGaN층(22), p-형 불순물로 도핑된 AlGaN층(30), 및 역시 p-형 불순물로 도핑된 GaN 콘택층(32)을 포함한다. 상기 구조는 나아가 기판(10) 상의 n-형 오믹 콘택(23)과 콘택층(32) 상의 p-형 오믹 콘택(24)을 포함한다.
- [0046] 버퍼층(11)은 바람직하게는 n-형 AlGaN이다. 실리콘 카바이드와 III족 나이트라이드계 물질 사이의 버퍼층의 예는 미국특허 제5,393,993호, 5,523,589호 및 본 발명의 양수인에게 양도된 "Vertical Geometry InGaN Light Emitting Diode"란 제목의 미국출원 No. 09/154,363호에 의해 제공되며, 이들 개시 내용은 본 명세서에 충분히 개시된 것처럼 인용되어 통합된다. 유사하게, 본 발명의 실시예들은 또한 "Group III Nitride Photonic Devices on Silicon Carbide Substrates With Conductive Buffer Interlay Structure"라는 제목의 미국특허 제 6,201,262호에 개시된 것과 같은 구조를 포함할 수 있으며, 그 개시 내용은 본 명세서에 충분히 개시된 것처럼 인용되어 통합된다.
- [0047] 제1 GaN층(12)은 바람직하게는 약 500 내지 4000nm 두께이며, 가장 바람직하게는 약 1500nm 두께이다. 제1 GaN층(12)은 약 5×10^{17} 내지 $5 \times 10^{18} \text{ cm}^{-3}$ 의 레벨로 실리콘이 도핑될 수 있다. 제2 GaN층(14)은 바람직하게는 약 10 내지 500Å 두께이며, 가장 바람직하게는 약 80Å 두께이다. 제2 GaN층(14)은 약 $5 \times 10^{19} \text{ cm}^{-3}$ 보다 낮은 레벨로 실리콘이 도핑될 수 있다.
- [0048] 도 1에 도시한 것과 같이, 본 발명의 실시예에 따른 초격자 구조(16)는 교호하는 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 층을 포함하는데, 여기서, X는 0과 1 사이이고 $X \neq Y$ 이다. 바람직하게는, $X=0$ 이며, 교호하는 InGaN층 각각은 약 5-40Å의 두께를 가지며, 교호하는 GaN층 각각은 약 5-100Å의 두께를 가진다. 어떤 실시예에 있어서는, GaN층의 두께는 약 30Å이며, InGaN층의 두께는 약 15Å이다. 초격자 구조(16)는 약 5 내지 약 50 주기(한 주기는 초격자를 구성하는 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 층이 한번 반복된 것과 동일)를 포함할 수 있다. 일 실시예에 있어서, 초격자 구조(16)는 25 주기를 포함한다. 다른 실시예에 있어서, 초격자 구조(16)는 10 주기를 포함한다. 그러나, 주기 수는, 예컨대, 각 층의 두께를 증가시킴으로써 감소될 수 있다. 따라서, 예컨대, 층들의 두께를 2배로 하면 주기 수를 반감시킬 수 있다. 대신에, 주기의 수와 두께는 서로에 대해 독립적일 수 있다.
- [0049] 바람직하기로는, 초격자 구조(16)는 약 $1 \times 10^{17} \text{ cm}^{-3}$ 내지 약 $5 \times 10^{19} \text{ cm}^{-3}$ 의 레벨로 실리콘과 같은 n-형 불순물이 도핑된 것이다. 이러한 도핑 레벨은 초격자 구조(16)의 층들의 실제 또는 평균 도핑일 수 있다. 이러한 도핑 레벨이 평균 도핑 레벨인 경우, 초격자 구조(16)에 인접하여 도핑된 층을 제공하는 것이 유익한데, 이 층은 초격자 구조(16)와 그 인접한 층들에 대한 평균값인 원하는 평균 도핑을 제공한다. 기판(10)과 활성 영역(18) 사

이에 초격자 구조(16)를 형성함으로써, InGaN계 활성 영역(18)이 성장될 더 나은 표면이 제공될 수 있다. 어떤 이론에 한정되기를 원하는 것은 아니지만, 발명자들은 초격자 구조(16) 안의 응력 효과가 고품질 InGaN 함유 활성 영역의 성장에 도움이 되는 성장 표면을 제공한다고 믿는다. 뿐만 아니라, 초격자는 소자의 동작 전압에 영향을 미치는 것으로 알려져 있다. 적절한 초격자 두께와 조성 변수는 동작 전압을 감소시킬 수 있고 광학 효율을 증가시킬 수 있다.

- [0050] 초격자 구조(16)는 구조 안에 고품질 InGaN층 성장을 가능케 하는 질소 또는 다른 가스 분위기에서 성장될 수 있다. 질소 분위기에서 실리콘 도핑된 GaN층 상에 실리콘 도핑된 InGaN/GaN 초격자를 성장시킴으로써, 최적화된 응력과 함께 개선된 결정성과 도전성을 가진 구조가 실현될 수 있다.
- [0051] 본 발명의 어떤 실시예에 있어서, 활성 영역(18)은 단일 또는 이중 헤테로접합 활성 영역뿐만 아니라 단일 또는 다중 양자 우물 구조를 포함할 수 있다. 본 발명의 특정 실시예에 있어서, 활성 영역(18)은 장벽층(도 1에는 도시하지 않음)에 의해 분리된 다중 InGaN 양자 우물층을 포함하는 다중 양자 우물 구조를 포함한다.
- [0052] 활성 영역(18) 상에 층(22)이 형성되는데, 이것은 약 0 내지 120Å 두께의 도핑되지 않은 GaN 또는 AlGaIn임이 바람직하다. 여기에 사용된 것과 같이, 도핑되지 않았다 함은 의도적으로 도핑되지 않았음을 일컫는다. 층(22)의 두께는 바람직하게는 약 35Å이다. 층(22)이 AlGaIn을 포함하는 경우, 그 층의 알루미늄 퍼센티지는 바람직하게는 약 10-30%이고 가장 바람직하게는 약 24%이다. 층(22) 안의 알루미늄 레벨은 또한 계단식 또는 연속적으로 감소하는 방식으로 경사질 수도 있다. 층(22)은 층(22)의 결정 품질을 개선하기 위해 양자 우물 영역(25)의 성장 온도보다 높은 온도에서 성장될 수 있다. 도핑되지 않은 GaN 또는 AlGaIn의 추가적인 층이 층(22) 근처에 포함될 수 있다. 예를 들어, LED 구조(40)는 활성 영역(18)과 층(22) 사이에 약 6-9Å 두께의 도핑되지 않은 AlGaIn 추가층을 포함할 수 있다.
- [0053] 마그네슘과 같은 p-형 불순물로 도핑된 AlGaIn층(30)이 층(22) 상에 형성된다. AlGaIn층(30)은 약 0 내지 300Å 두께일 수 있고 바람직하게는 약 130Å이다. p-형 GaN의 콘택층(32)이 AlGaIn층(30) 상에 형성되고 바람직하게는 약 1800Å 두께이다. 오믹 콘택(24, 25)이 p-GaN 콘택층(32)과 기판(10) 상에 각각 형성된다.
- [0054] 도 2는 다중 양자 우물 활성 영역을 포함하는 본 발명의 다른 실시예를 도시한다. 도 2에 도시된 본 발명의 바람직한 실시예는 기판(10) 상에 성장된 갈륨 나이트라이드계 반도체층을 포함하는 적층된 반도체 구조(100)를 포함한다. 상술한 바와 같이, 기판(10)은 SiC, 사파이어 또는 벌크 갈륨 나이트라이드일 수 있다. 도 2에 도시한 바와 같이, 본 발명의 특정 실시예에 따른 LED는 도전성 버퍼층(11), 실리콘 도핑된 제1 GaN층(12), 실리콘 도핑된 제2 GaN층(14), 교호하는 실리콘 도핑된 GaN 및/또는 InGaIn층을 포함하는 초격자 구조(16), 다중 양자 우물 구조를 포함하는 활성 영역(125), 도핑되지 않은 GaN 또는 AlGaIn층(22), p-형 불순물로 도핑된 AlGaIn층(30), 및 역시 p-형 불순물로 도핑된 GaN 콘택층(32)을 포함한다. LED는 기판(10) 상의 n-형 오믹 콘택(23)과 콘택층(32) 상의 p-형 오믹 콘택(24)을 더 포함할 수 있다. 기판(10)이 사파이어인 본 발명의 실시예에서, n-형 오믹 콘택(23)은 n-형 제1 GaN층(12) 및/또는 n-형 제2 GaN층(14) 상에 형성될 수 있다.
- [0055] 도 1을 참조하여 설명한 바와 같이, 버퍼층(11)은 바람직하게는 n-형 AlGaIn이다. 마찬가지로, 제1 GaN층(12)은 바람직하게 약 500 내지 4000nm 두께이고 가장 바람직하게는 약 1500nm 두께이다. 제1 GaN층(12)은 약 5×10^{17} 내지 약 $5 \times 10^{18} \text{ cm}^{-3}$ 의 레벨로 실리콘으로 도핑될 수 있다. 제2 GaN층(14)은 바람직하게 약 10 내지 500Å 두께이고 가장 바람직하게는 약 80Å 두께이다. 제2 GaN층(14)은 약 $5 \times 10^{19} \text{ cm}^{-3}$ 보다 낮은 레벨로 실리콘으로 도핑될 수 있다. 초격자 구조(16)는 또한 도 1을 참조하여 설명한 바와 같이 형성될 수도 있다.
- [0056] 활성 영역(125)은 장벽층(118)에 의해 분리된 다중 InGaIn 양자 우물층(120)을 포함하는 다중 양자 우물 구조를 포함한다. 장벽층(118)은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 1$)을 포함한다. 바람직하기로는 장벽층(118)의 인듐 성분은 양자 우물층(120)의 인듐 성분보다 작아 장벽층(118)이 양자 우물층(120)보다 큰 밴드갭을 가진다. 장벽층(118)과 양자 우물층(120)은 도핑되지 않을 수(다시 말해 실리콘이나 마그네슘과 같은 불순물 원자로 의도적으로 도핑되지 않을 수) 있다. 그러나, 장벽층(118)을 $5 \times 10^{19} \text{ cm}^{-3}$ 보다 낮은 레벨로 실리콘으로 도핑하는 것이 필요할 수 있는데, 특히 자외선 방출이 필요한 경우에 그러하다.
- [0057] 나아가, 장벽층(118)은 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ (여기서, $0 < x < 1$ 이고 $0 \leq y < 1$ 이며 $x+y \leq 1$)을 포함한다. 장벽층(118)의 결정 안에 알루미늄을 포함시킴으로써, 장벽층(118)은 양자 우물층(120)에 격자 일치될 수 있고, 이로써 양자 우물층(120)에 개선된 결정 품질을 제공할 수 있다. 이는 소자의 발광 효율을 증가시킨다.

- [0058] 도 3을 참조하면, 갈륨 나이트라이드계 소자의 다중 양자 우물 구조를 제공하는 본 발명의 실시예가 도시되어 있다. 도 3에 도시된 다중 양자 우물 구조는 도 1 및/또는 도 2에 도시된 LED의 활성 영역을 제공할 수 있다. 도 3에 도시한 바와 같이, 활성 영역(225)은 높은 결정 품질을 가진 우물 지지층(218a), 양자 우물층(220) 및 양자 우물층(220)을 위한 보호 캡층으로 기능하는 캡층(218b)을 포함하는 주기적으로 반복되는 구조(221)를 포함한다. 구조(221)가 성장될 때, 캡층(218b)과 우물 지지층(218a)은 함께 인접한 양자 우물층(220) 사이의 장벽층을 형성한다. 바람직하기로는, 고품질 우물 지지층(218a)은 InGaN 양자 우물층(220)을 성장시키는 데에 이용된 온도보다 높은 온도에서 성장된다. 본 발명의 몇 실시예에 있어서, 우물 지지층(218a)은 캡층(218b)보다 느린 성장 속도로 성장된다. 다른 실시예에 있어서, 낮은 온도 성장 공정 동안에 느린 성장 속도가 사용될 수 있고 높은 온도 성장 공정 동안에 빠른 성장 속도가 사용될 수 있다. 예를 들어, InGaN 양자 우물층(220)을 성장시키기 위한 고품질 표면을 얻기 위하여, 우물 지지층(218a)은 약 700 내지 900°C의 성장 온도에서 성장될 수 있다. 다음, 성장 챔버의 온도는 고품질 InGaN 양자 우물층(220)의 성장을 허용하기 위해 0 내지 약 200°C 정도 낮춰진다. 다음에, 온도를 낮은 InGaN 성장 온도로 유지하면서, 캡층(218b)을 성장시킨다. 이러한 방식으로, 고품질 InGaN 층을 포함하는 다중 양자 우물 영역이 제조될 수 있다.
- [0059] 도 2 및 도 3의 활성 영역(125, 225)은 질소 분위기에서 성장되는 것이 바람직한데, 이는 InGaN 결정 품질을 증가시킨다. 장벽층(118), 우물 지지층(218a) 및/또는 캡층(218b)은 약 50 내지 400Å 두께일 수 있다. 서로 대응되는 우물 지지층(218a)과 캡층(218b)을 합한 두께는 약 50 내지 400Å일 수 있다. 바람직하기로는, 장벽층(118), 우물 지지층(218a) 및/또는 캡층(218b)은 약 90Å보다 더 두껍고 가장 바람직하게는 약 225Å이다. 또한, 우물 지지층(218a)이 캡층(218b)보다 두꺼운 것이 바람직하다. 따라서, 캡층(218b)은 양자 우물층(220)으로부터의 인듐 탈착을 감소시키거나 양자 우물층(220)의 열화를 감소시키면서도 가능한 한 얇은 것이 바람직하다. 양자 우물층(120, 220)은 약 10-50Å 두께일 수 있다. 바람직하기로는, 양자 우물층(120, 220)은 20Å보다 두꺼우며 가장 바람직하게는 약 25Å이다. 양자 우물층(120, 220) 안의 인듐 퍼센티지와 두께는 원하는 파장을 가진 광을 생산하도록 변화될 수 있다. 전형적으로, 양자 우물층(120, 220) 안의 인듐 퍼센티지는 약 25-30%이다. 그러나, 원하는 파장에 따라 인듐의 퍼센티지는 약 5%에서 약 50%까지 변화된다.
- [0060] 본 발명의 바람직한 실시예에 있어서, 초격자 구조(16)의 밴드갭은 양자 우물층(120)의 밴드갭을 초과한다. 이것은 초격자 구조(16)안의 인듐 평균 퍼센티지를 조절하여 달성될 수 있다. 초격자층의 두께(또는 주기)와 층의 평균 인듐 퍼센티지는 초격자 구조(16)의 밴드갭이 양자 우물(120)의 밴드갭보다 커지도록 선택되어야 한다. 초격자 구조(16)의 밴드갭을 양자 우물(120)의 밴드갭보다 크게 함으로써, 소자 안에서 원치 않는 흡수가 최소화될 수 있고 발광 방출이 최대화될 수 있다. 초격자 구조(16)의 밴드갭은 약 2.95eV 내지 약 3.35eV일 수 있다. 바람직한 실시예에 있어서, 초격자 구조(16)의 밴드갭은 약 3.15eV이다.
- [0061] 본 발명의 추가적인 실시예에 있어서, 도 2에 도시된 LED 구조는 초격자 구조(16)와 활성 영역(125) 사이에 배치된 스페이서층(17)을 포함한다. 스페이서층(17)은 바람직하게는 도핑되지 않은 GaN을 포함한다. 도핑된 초격자 구조(16)와 활성 영역(125) 사이에 있는 선택적인 스페이서층(17)의 존재는 실리콘 불순물이 활성 영역(125) 안으로 들어가는 것을 저지할 수 있다. 이것은, 활성 영역(125) 물질의 품질을 개선하며, 이는 보다 지속적인 소자 성능과 나은 균일성을 제공한다. 유사하게, 스페이서층은 도 1에 도시된 LED 구조 안에 초격자 구조(16)와 활성 영역(18) 사이에 제공될 수도 있다.
- [0062] 도 2를 다시 참조하여, 층(22)은 활성 영역(125) 상에 제공될 수 있고 바람직하게는 약 0 내지 120Å 두께의 도핑되지 않은 GaN 또는 AlGaIn이다. 층(22)은 바람직하게는 약 35Å 두께이다. 층(22)이 AlGaIn을 포함하는 경우, 그 층의 알루미늄 퍼센티지는 바람직하게는 약 10-30%이고 가장 바람직하게는 약 24%이다. 층(22) 안의 알루미늄 레벨은 또한 계단식 또는 연속적으로 감소하는 방식으로 경사질 수도 있다. 층(22)은 층(22)의 결정 품질을 개선하기 위해 활성 영역(125)의 성장 온도보다 높은 온도에서 성장될 수 있다. 도핑되지 않은 GaN 또는 AlGaIn의 추가적인 층이 층(22) 근처에 포함될 수 있다. 예를 들어, 도 2에 도시한 LED는 활성 영역(125)과 층(22) 사이에 약 6-9Å 두께의 도핑되지 않은 AlGaIn 추가층을 포함할 수 있다.
- [0063] 마그네슘과 같은 p-형 불순물로 도핑된 AlGaIn층(30)이 층(22) 상에 형성된다. AlGaIn층(30)은 약 0 내지 300Å 두께일 수 있고 바람직하게는 약 130Å이다. p-형 GaN의 콘택층(32)이 AlGaIn층(30) 상에 형성되고 바람직하게는 약 1800Å 두께이다. 오믹 콘택(24, 25)이 p-GaN 콘택층(32)과 기판(10) 상에 각각 형성된다.
- [0064] 본 발명의 실시예들이 다중 양자 우물에 관하여 기술되었지만, 본 발명이 교시하는 것으로부터의 이점은 단일 양자 우물 구조에서도 달성될 수 있다. 따라서, 예컨대 도 3의 구조(221)가 한번 나타나는 구조를 소자의 활성 영역으로 삼는 발광 다이오드가 제공될 수 있다. 따라서, 본 발명의 실시예에 따라서 다른 수의 양자 우물이

사용될 수 있지만, 양자 우물의 수는 일반적으로 1 내지 10 범위의 양자 우물일 것이다.

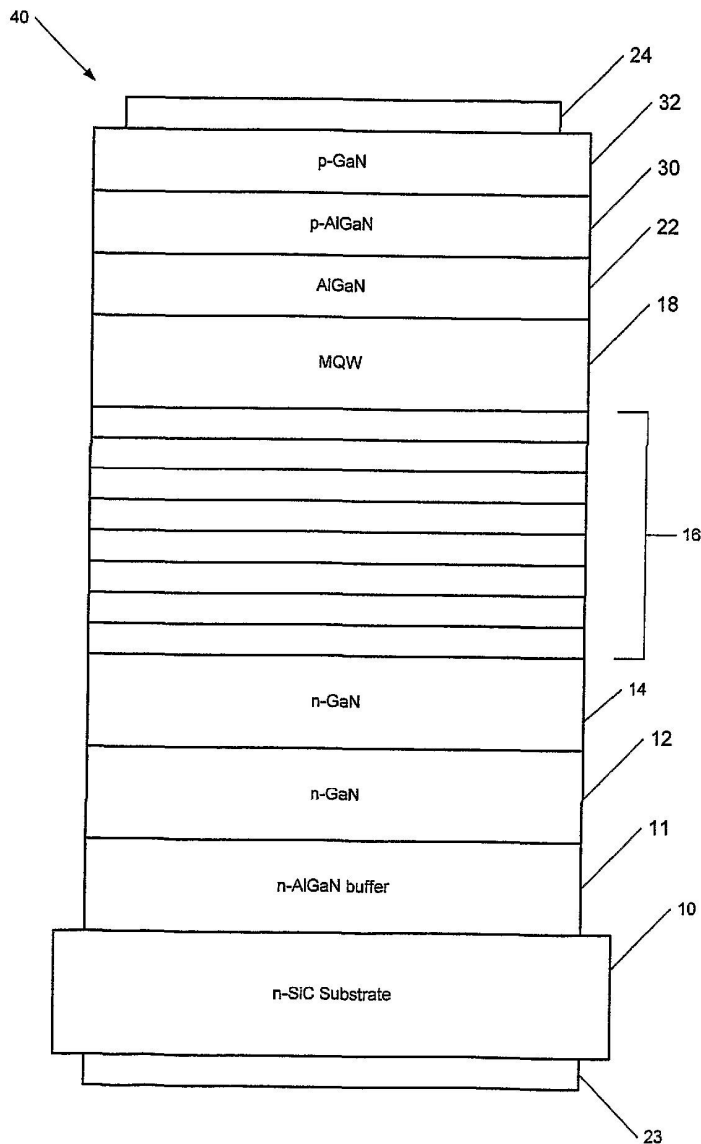
[0065] 본 발명의 실시예는 갈륨 나이트라이드계 소자에 관하여 기술되었지만, 본 발명의 교시와 이점은 다른 III족 나이트라이드계에도 제공될 수 있다. 따라서, 본 발명의 실시예들은 III족 나이트라이드계 초격자 구조, 양자 우물 구조 및/또는 초격자 및/또는 양자 우물을 가지는 III족 나이트라이드계 발광 다이오드를 제공한다.

[0066] 도면들과 명세서에서 본 발명의 바람직한 실시예들에 대하여 설명하였고, 비록 특정 용어가 사용되었지만 그들은 일반적이고 설명을 위한 의미로만 사용된 것이고, 한정을 위한 목적으로 사용된 것은 아니며, 본 발명의 범위는 첨부된 청구범위에 기재되어 있다.

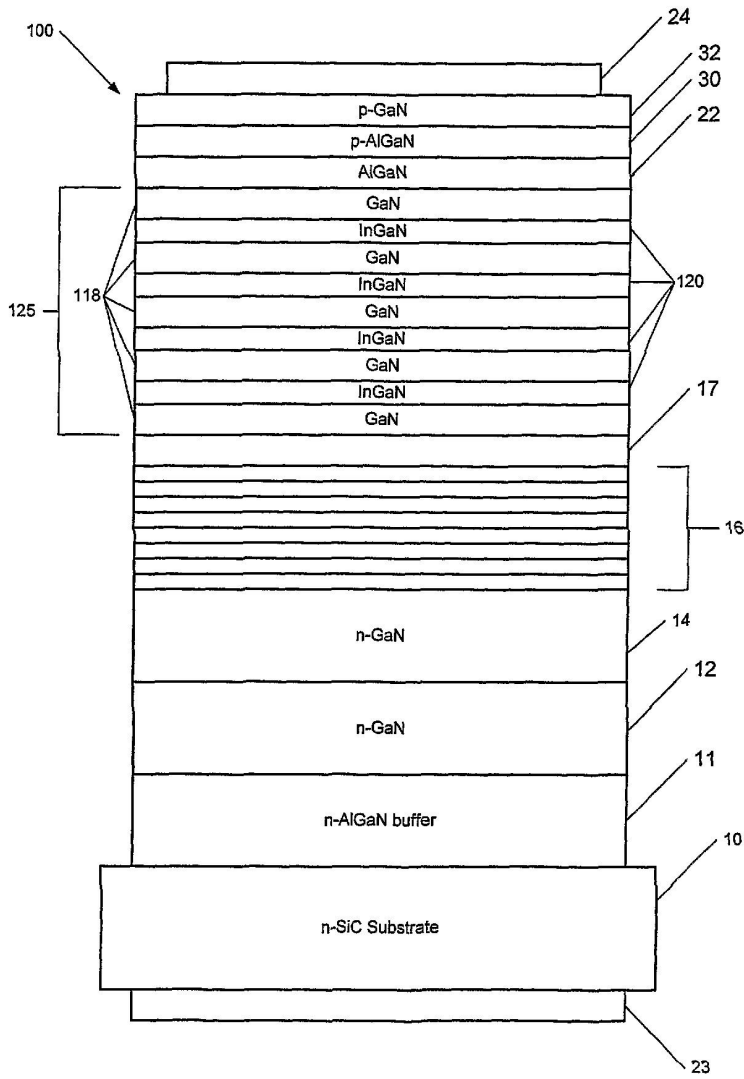
[0067] 본 발명에 따르면, 고품질 갈륨 나이트라이드를 제조할 수 있고, 이에 따라 III족 나이트라이드계 소자의 효율을 개선할 수 있다.

도면

도면1



도면2



도면3

