

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4223195号
(P4223195)

(45) 発行日 平成21年2月12日(2009.2.12)

(24) 登録日 平成20年11月28日(2008.11.28)

(51) Int.Cl.

F 1

G O 1 D 5/249 (2006.01)

G O 1 D 5/249

5/249

Q

G O 1 D 5/36 (2006.01)

G O 1 D 5/36

5/36

L

G O 1 D 5/36

5/36

S

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2001-33610 (P2001-33610)
 (22) 出願日 平成13年2月9日 (2001.2.9)
 (65) 公開番号 特開2001-296145 (P2001-296145A)
 (43) 公開日 平成13年10月26日 (2001.10.26)
 審査請求日 平成17年3月8日 (2005.3.8)
 (31) 優先権主張番号 特願2000-33945 (P2000-33945)
 (32) 優先日 平成12年2月10日 (2000.2.10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000149066
 オークマ株式会社
 愛知県丹羽郡大口町下小口五丁目25番地
 の1
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 家城 淳
 愛知県丹羽郡大口町下小口5丁目25番地
 の1 オークマ株式会社大口工場内
 (72) 発明者 横山 将史
 愛知県丹羽郡大口町下小口5丁目25番地
 の1 オークマ株式会社大口工場内

最終頁に続く

(54) 【発明の名称】アブソリュートエンコーダ

(57) 【特許請求の範囲】

【請求項 1】

絶対位置データに対応付けられた符号ビット系列をパターンとして表した符号板と、前記符号板上のパターンに沿って相対移動し、移動位置において、前記パターンの一部を読み取るパターン読取部を含むパターン検出部と、

前記パターン検出部が読み取ったパターンの一部に基づいて絶対位置データを演算して出力するデータ変換部と、を備えたアブソリュートエンコーダにおいて、

前記パターン検出部のパターン読取部は、絶対位置データの演算に必要な n ビットのパターン長に加え、それに隣接するパターン部分を k ビットの冗長パターンとして読み取り、前記データ変換部は、前記パターン検出部が読み取った k ビットの冗長パターンを含むパターンの一部から一続きの絶対位置データの演算に必要なパターン長 n ビットのパターンを順次抽出し、当該抽出した n ビットのパターンに対応する絶対位置データが連続的に変化するか否かによって、前記パターン検出部が読み取ったパターンに誤りがあるか否かを判定する判定部を含むことを特徴とするアブソリュートエンコーダ。

【請求項 2】

請求項 1 に記載のアブソリュートエンコーダにおいて、前記符号板に表された符号ビット系列は、所定の系列生成ルールに従って生成された符号ビット系列の一部にビットを挿入し、または前記生成された符号ビット系列の一部を削除した不連続部分を有する符号ビット系列であることを特徴とするアブソリュートエンコーダ。

【請求項 3】

10

20

請求項 1 又は 2 に記載のアブソリュートエンコーダにおいて、前記判定部は、冗長パターンに含まれる符号を順次処理し、誤りがあると判定すると、直ちに誤りを報知することを特徴とするアブソリュートエンコーダ。

【請求項 4】

請求項 1 又は 2 に記載のアブソリュートエンコーダにおいて、

前記パターン検出部が読み取った絶対位置データの演算に必要な n ビットのパターンと k ビットの冗長パターンを含む $n + k$ ビットのパターンについて所定ビットまでの誤りの検出及び訂正を行い、 $n + k$ ビットの訂正後パターンを出力する誤り訂正部と、前記訂正後パターンに基づいて演算した複数の絶対位置データを用いて、前記訂正後パターンに誤りがあると判定する判定部を有することを特徴とするアブソリュートエンコーダ。 10

【請求項 5】

請求項 4 に記載のアブソリュートエンコーダにおいて、前記誤り訂正部は、前記符号ビット系列の系列生成ルールから生成可能な $m (< n + k)$ ビットの誤り検出訂正能力を有する検査多項式を一つ以上用いて、前記パターン検出部が読み取った冗長ビットを含む $n + k$ ビットのパターンに m ビット以下の誤りがあるか否かの判定を行い、誤りがあれば該当ビットを訂正して $n + k$ ビットの検出訂正後パターンを出力することを特徴とするアブソリュートエンコーダ。

【請求項 6】

請求項 1 から 4 のいずれかに記載のアブソリュートエンコーダにおいて、さらに、冗長パターンにより誤りがあると判定された場合には、前記データ変換部が出力する絶対位置データを破棄し、前記パターン検出部に再読みとりを指示する手段を含む、ことを特徴とするアブソリュートエンコーダ。 20

【請求項 7】

請求項 1 から 5 のいずれかに記載のアブソリュートエンコーダにおいて、前記符号板に表された符号ビット系列は、M 系列符号であることを特徴とするアブソリュートエンコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、直線駆動される対象物の位置を検出するアブソリュートエンコーダに係り、特に位置検出誤りを防止するための改良に関する。 30

【0002】

【従来の技術】

従来、図 1 に示すような M 系列等の符号パターンに相当する光学格子を検出パターンとして形成した符号板 1 を用いて絶対位置を検出する光学式リニアエンコーダが広く知られている。この光学式リニアエンコーダは、工作機械、三次元測定器、投影機、顕微鏡などの測長装置として利用されている。

【0003】

具体的に、従来の光学式リニアエンコーダの一種であるアブソリュートエンコーダは、図 1 に示すように、 n 次の M 系列符号パターン等を必要な周期に変換し、相当する光学格子を透明なガラス板上に形成した符号板 1 と、この符号板 1 に対してその長手方向に平行移動可能に配置された位置検出ユニット 10 とから基本的に構成されている。 40

【0004】

この位置検出ユニット 10 は、発光素子 2 とコリメータレンズ 3 とから主として構成され符号板 1 に平行光を照射して反射させ、その反射光を照射させる光照射手段と、符号板 1 を反射した平行光を受光するラインセンサ 4 とを備えている。

【0005】

発光素子 2 から照射される光はコリメータレンズ 3 により平行光にコリメートされ、符号板 1 に照射される。位置検出ユニット 10 を符号板 1 に対して相対的に移動させると、符号板 1 で反射される光信号はその移動に伴って明暗の周期を繰り返す。このようにして生 50

じた光信号はラインセンサ4により検出され、離散的な階段状の信号となって出力される。

【0006】

ラインセンサ4が出力するn次M系列等のnビットの符号パターンに相当する離散信号は、nビットのビットパターンにデジタル符号化され、あらかじめ対応づけられた絶対位置データに変換される。この絶対位置データは、例えばn次のM系列符号パターンで、「0」の連続する部分に「0」を1個余分に追加した 2^n ビットの符号系列においては、1ビットずつシフトさせていった各nビットのM系列パターンに対して、「0」から 2^n-1 までの連続した10進数の値としてあらかじめ対応付けられている。このような対応付けから得られる絶対位置データを、相当する位置信号に変換することにより符号板1上の位置検出ユニット10の絶対位置を求めるようになっている。

10

【0007】

符号板1には、所定周期で繰り返される符号系列を表すパターンが光学格子として形成されている。この符号系列を得るには、例えば必要とする周期よりも大きな周期のn次のM系列パターンを途中削除して繋ぎあわせるか、 2^n-1 ビットの符号列の「0」が連続する部分に「0」を1つ挿入して、すべて「0」からなるnビットのパターンを1つ追加して、 2^n ビットの符号列とする方法等が知られている。

【0008】

前記検出方式において、ラインセンサ4が符号板1上のnビット符号パターンを読み誤ることにより、誤った絶対位置データが出力されてしまう問題がある。これに対しては、kビットの冗長ビットを含む $n+k$ ビットの符号パターンを位置検出周期毎にラインセンサ4で読み取ることとし、符号板1に形成した符号パターンの生成規則に基づいて生成できる検査用多項式を複数用いることにより、読み取った符号パターンの検査結果を加算することで、読み取り誤りが発生したビット位置を検出する事が従来技術により可能である。例えば、「000100110101111」の15の符号からなる4次のM系列パターンに対しては、n=4、k=3とすると、たとえば次の【数1】で表される3つの検査用多項式を用いる。M系列パターン中で連続する7桁のビットパターン（便宜上a～gとする）において、1ビット読み誤った場合の検査式（1）、（2）、（3）の値を次の【表1】に示す。

20

【0009】

30

【数1】

$$X^0 + X^3 + X^4 \quad (1)$$

$$X^1 + X^4 + X^5 \quad (2)$$

$$X^2 + X^5 + X^6 \quad (3)$$

【表1】

誤ったビット位置	検査式の値		
	(1)	(2)	(3)
a	1	0	0
b	0	1	0
c	0	0	1
d	1	0	0
e	1	1	0
f	0	1	1
g	0	0	1
なし	0	0	0

40

【表1】に示すように、検査式（1）、（2）及び（3）の値のすべてが「0」でない場

50

合には、読み取られた a ~ g までの符号に最低 1 個の読み取り誤りが発生したことが判定できる。したがって、7 ビットの読み取りパターンについて、検査多項式の検査結果の排他的論理和を取ることにより、ラインセンサの 1 ビットの読み取り誤りを検出できる。

【0010】

符号板 1 に形成された光学格子のパターンを、n 次 M 系列パターンの「0」の連続する部分に「0」を 1 ビット分追加して 2^n ビット周期の符号系列とした場合、検査用多項式を用いた従来の誤り検出方法を適用すると、挿入した「0」を 1 個含むすべて「0」の n ビットのパターンに対しては通常の誤り検出方法をそのまま適用できないという問題があった。したがって、この「0」を含むパターンを読み取った場合には検査結果により読み取り誤りが検出されていても誤り無しとするか、その特定パターンの場合には検出された誤り情報を出力しないなどの特別な誤り検出を行う必要がある。そのような従来の技術として例えれば特開平9-280892に開示されているものがある。10

【0011】

【発明が解決しようとする課題】

しかしながら、上記従来のリニアエンコーダでは、複雑な誤り検出を行うので、回路構成が複雑化するという問題点があった。

【0012】

本発明は、上記実状に鑑みなされたもので、簡便な構成により、パターンの読み取り誤りを確実に検出、訂正できるアブソリュートエンコーダを提供することを目的とする。20

【0013】

【課題を解決するための手段】

上記従来例の問題点を解決するための請求項 1 記載の発明は、絶対位置データに対応付けられた符号ビット系列をパターンとして表した符号板と、前記符号板上のパターンに沿って相対移動し、移動位置において、前記パターンの一部を読み取るパターン読取部を含むパターン検出部と、前記パターン検出部が読み取ったパターンの一部に基づいて絶対位置データを演算して出力するデータ変換部と、を備えたアブソリュートエンコーダにおいて、前記パターン検出部のパターン読取部は、絶対位置データの演算に必要な n ビットのパターン長に加え、それに隣接するパターン部分を k ビットの冗長パターンとして読み取り、前記データ変換部は、前記パターン検出部が読み取った k ビットの冗長パターンを含むパターンの一部から一続きの絶対位置データの演算に必要なパターン長 n ビットのパターンを順次抽出し、当該抽出した n ビットのパターンに対応する絶対位置データが連続的に変化するか否かによって、前記パターン検出部が読み取ったパターンに誤りがあるか否かを判定する判定部を含むことを特徴としている。30

【0014】

また、上記従来例の問題点を解決するための請求項 2 記載の発明は、請求項 1 に記載のアブソリュートエンコーダにおいて、前記符号板に表された符号ビット系列は、所定の系列生成ルールに従って生成された符号ビット系列の一部にビットを挿入し、または前記生成された符号ビット系列の一部を削除した不連続部分を有する符号ビット系列であることを特徴としている。

【0015】

上記従来例の問題点を解決するための請求項 3 記載の発明は、請求項 1 又は 2 に記載のアブソリュートエンコーダにおいて、前記判定部は、冗長パターンに含まれる符号を順次処理し、誤りがあると判定すると、直ちに誤りを報知することを特徴としている。

【0016】

また、上記従来例の問題点を解決するための請求項 4 記載の発明は、請求項 1 又は 2 に記載のアブソリュートエンコーダにおいて、前記パターン検出部が読み取った冗長パターンを誤り訂正符号として、前記演算した絶対位置データに含まれる所定ビットまでの誤りを訂正し、当該訂正後の絶対位置データを出力する誤り訂正部を含み、前記判定部が演算した絶対位置データに誤りがある場合に、前記所定ビットを超えるビット数の誤りがあるか否かを判断して、所定ビットを超えるビット数の誤りがあった場合に、前記訂正後の絶対40

位置データに誤りがあると判定することを特徴としている。

【0017】

すなわち、例えば n 次の M 系列パターンに相当する光学格子が形成された符号板から、誤り検出のための冗長な k ビットを余分に付加した $n + k$ ビットの符号列に相当する M 系列パターンを読み取る。ここで冗長ビット長 k は、適用する符号系列の生成規則から生成可能な検査用多項式により m ビットの誤り検出及び訂正に必要な長さに決定される。そして、読み取ったパターンに対して、 m ビットの誤り検出と訂正が可能な検査多項式を一つ以上用いて、所定の誤り訂正可能ビット長である m ビットの読み取り誤り位置を検出し、誤りビットの訂正も行う。ここで、誤りが検出されて誤りビットを訂正した場合と検出されなかった場合のいずれにも、読み取った元の符号パターンに $m + 1$ ビット以上の読み取り誤りが発生している可能性があるので、さらに $m + 1$ ビット以上の誤り検出を行う。ここで、先に検査多項式による m ビットの誤り検出、訂正を行ったにも関わらず、 $m + 1$ ビット以上の誤りが検出された場合には、読み取った元のパターンに $m + 1$ ビット以上の同時誤りが生じているものとし、読み取り誤りである旨を報知する。また、 $m + 1$ ビット以上の誤り検出を行っても誤りが検出されなかった場合には、読み取ったパターンに誤りが無かったか、 m ビット以下の誤りが検出されて訂正された場合なので、元の、あるいは m ビット誤りが訂正された符号パターンを絶対位置データに換算して出力する。

10

【0018】

上記従来例の問題点を解決するための請求項 5 記載の発明は、請求項 1 から 4 のいずれかに記載のアブソリュートエンコーダにおいて、さらに、冗長パターンにより誤りがあると判定された場合には、前記データ変換部が出力する絶対位置データを破棄し、前記パターン検出部に再読みとりを指示する手段を含む、ことを特徴としている。

20

【0019】

上記従来例の問題点を解決するための請求項 6 記載の発明は、請求項 1 から 5 のいずれかに記載のアブソリュートエンコーダにおいて、前記符号板に表された符号ビット系列は、M 系列符号であることを特徴としている。

【0020】

【発明の実施の形態】

以下、本発明の好適な第 1 の実施の形態について、10 次の M 系列符号パターンを形成した符号板 1 を用い、冗長ビット長 $k = 3$ とした場合を例として、図面を参照しつつ説明する。尚、同様の構成となる部分については、同一の符号を付している。

30

【0021】

本発明の実施の形態に係るアブソリュートエンコーダは、図 1 に示した従来のものと同様の構成をとるものであるが、パターン読み取り部としてのラインセンサ 4 と、ラインセンサ 4 により読み取られた符号の処理とが異なる。すなわち、本実施の形態のアブソリュートエンコーダは、図 2 に示すように、ラインセンサ 4 を含んでなるパターン検出部 21 と、誤り検出部 22 と、データ変換部 23 と、信号出力部 24 と、制御部 30 とから構成されている。

【0022】

符号板 1 には、具体的に図 3 のような「0」または「1」からなるビット列がパターンとして記録されている。以下の説明では簡単のため、パターンの代わりにこのビット列を用いて説明する。ラインセンサ 4 は、符号板 1 に沿って相対移動し、移動位置での符号板 1 上に表されたパターンのうち、絶対位置の検出に必要な符号長に相当する n ビット分のパターンとともに、その外側に隣接する符号（冗長パターン） $k = 3$ ビット分を読み取る。

40

【0023】

すなわち、ここでは 10 次の M 系列符号パターンを用いた場合を例として説明しているので、図 3 の点線により示した $n = 10$ ビット分のビット列を読み取れば、絶対位置は検出できるのであるが、本実施の形態のラインセンサ 4 において特徴的なことは、この $n = 10$ ビットの少なくとも一方外側のビット列を k ビット分だけ読み取ることである。

【0024】

50

具体的には、図4に示すように、本実施の形態では、パターン検出部21のラインセンサ4は、図3に示した点線部分の図面上左側2ビット分と、右側1ビット分の合計 $k=3$ ビットを冗長パターンとして読み取り、パターン検出部21が、このラインセンサ4で読み取った $n+k$ ビットのパターンをビット列に変換して出力する。尚、後の説明の便利のため、この図4の $n+k$ ビットのパターン(13ビットのパターン)の各ビットを先頭から順に「第1ビット」から「第13ビット」と呼ぶ。

【0025】

データ変換部23は、パターン検出部21が出力するビット列に基づいて絶対位置データを演算して出力する。誤り検出部22は、データ変換部23が出力する絶対位置データに基づいてラインセンサ4の読み取り誤りを判定し、誤りがなければ、データ変換部23で得られた絶対位置データを信号出力部24に出力する。また、誤りがあれば、パターン検出部21に再度読み取りを指示する信号を出力する。信号出力部24は、絶対位置データの入力を受けて、当該絶対位置データに対応する位置信号を生成して、制御装置30に出力する。

10

【0026】

ここでデータ変換部23は、第1から第10ビットまでのビット列と、第2から第11ビットまでのビット列と、第3から第12ビットまでのビット列と、第4から第13までのビット列との各々に基づいて絶対位置データを演算し、誤り検出部22は、各々のビット列から得られる絶対値データが連続しているか否かにより、読み取り誤りが発生したか否かを判定する。

20

【0027】

以下、本発明の実施の形態に係るアブソリュートエンコーダの動作について、具体的に図3に示したビット列を読み取る場合を例として説明する。パターン検出部21のラインセンサ4がこのパターンが表された符号板1を読み取るときに、図5に示すように、第5ビット、第8ビット、第10ビットの3カ所で読み取り誤りが発生したと仮定すると、パターン検出部21は、本来、「0001001001001」を読み取られるべきビット列を「0001101100001」として出力する。

【0028】

すると、データ変換部23が、このパターン検出部21が出力するビット列に基づいて、まず、本来用いるべき n ビット分として、第3ビットから第12ビットまでの「0110110000」の部分を用いて絶対位置データを演算する。ここで、第5、第8、第10の各ビットに誤りが含まれているので、このビット列からは正しい絶対位置データが演算されない。一例としてここでは、上記ビットにより、十進数で「935」の絶対位置データが演算されるものとする。

30

【0029】

次に、データ変換部23は、図6に示すように、第2ビットから第11ビットまでの10ビット分「0011011000」の部分(誤り検査用パターン)を用いて絶対位置データの演算を行う。この場合には、符号板1に対して位置検出ユニット10が右に1ビット分だけずれた位置にあるので、本来ならば「935」に連続する「936」となるはずであるが、読み取り誤りが含まれるために全く別の数値、たとえば十進数で「447」が得られるようになる。誤り検出部22は、「935」と、「447」とを比較し、これらが連続していないため、読み取り誤りが発生したと判断して、パターン検出部21にパターンの再読みとりを指示し、パターン検出部21が再度、パターンの読み取りを行うようになる。

40

【0030】

尚、読み取り誤りが発生していない場合には、これらの数値は連続することになるため、誤り検出部22は、第3ビットから第12ビットまでのビット列から得られる本来の絶対位置データを信号出力部24に出力する。そして、信号出力部24が、当該絶対位置データに対応する位置信号を生成し、制御装置30に出力する。

【0031】

50

また、従来例と同様に、M系列符号の一部（「0」がn個並んだ位置）に無効なビット（余計な「0」）を追加したり、M系列符号の一部を削除して不連続部分を生成し、これを符号板1に表している場合には、読み取り誤りの結果、たとえば、第3ビットから第12ビットまでのビット列から演算される絶対位置データ（本来の絶対位置データ）と、第2ビットから第11ビットまでのビット列（誤り検査用パターン）から演算される絶対位置データとが連続してしまう可能性が否定できない。この場合には、誤り検出部22は、図7に示すようなデータ変換部23が第4ビットから第13ビットまでのビット列に基づいて演算した絶対位置データや、第1ビットから第10ビットまでのビット列に基づいて演算した絶対位置データ等を用い、これらすべての絶対位置データが連続している場合にのみ、誤りなしとして、データ変換部23から入力される本来の絶対位置データを信号出力部24にそのまま出力する。

10

【0032】

さらに、ここでは、読み取られたビット列を1ビットずつシフトしたビット列が連続するか否かにより、読み取り誤りが発生したか否かを判定しているが、mビットずつシフトして、絶対位置データが「m」だけずれて連続しているか否かを検出することとしてもかまわない。また、左右双方にシフトする場合には、シフト量が異なってもよい。

【0033】

さらに、誤り検出部22は、カウンタを備え、読み取り誤りが発生したことを検知してパターン検出部21に対し再読み取りを指示したときに当該カウンタをインクリメントし、所定の値に当該カウンタが達したときには（読み取り誤りが繰り返し発生する場合には）、エラーを報知して処理を中断することとするのも好適である。この繰り返しの回数は、制御装置30の用途やシステム全体の利用形態に依存して決定されるべきであるので、ユーザが適宜設定可能しておくことが好ましい。

20

【0034】

このように本実施の形態によれば、適用するM系列符号の次数が決まれば、当該M系列符号の性質上、適切な冗長パターンのビット数を決定でき、検査多項式を用いた既存の誤り訂正方式を適用する場合に比べ、検出及び訂正できるビット数が限定されることはなく、検査多項式の誤り検出能力を超えるようなラインセンサの読み取り誤りに対しても対応できる。

【0035】

30

ここで、冗長パターンのビット数は、M系列符号の性質上、読み取りの際の同時誤りビット数が多いほど冗長パターンのビット数は少なくともよくなるので、1ビットの誤りを想定して適切な冗長パターンのビット数を定めることで確実性の高い誤り検出を行うことができる。

【0036】

尚、ここまで説明では、M系列符号を例として説明したが、順序がランダムで絶対位置データを対応付けるための全ての符号語が一意となれば（すなわちM系列と同様の性質を備えていれば）他の符号系列を用いても構わない。

【0037】

次に、本発明の第2の実施の形態に係るアブソリュートエンコーダについて図面を参照しながら説明する。本実施の形態のアブソリュートエンコーダは、図8に示すように、ラインセンサ4を含んでなるパターン検出部21と、誤り訂正部25と、データ処理部26と、データ変換部23と、信号出力部24と、制御装置30とから構成されている。尚、第1の実施の形態と同様のものについては同じ符号を付して詳細な説明を省略する。また以下では、10次（n=10）のM系列符号を表すパターンが符号板1上に形成され、冗長ビットの長さk=10、誤り訂正可能なビット長m=1とした場合を例として説明する。

40

【0038】

本実施の形態のアブソリュートエンコーダでは、n=10、k=10であるので、パターン検出部21は図9に示すように、点線部分の図面上右側10ビット分（k=10）ビットを冗長パターンとして読み取り、パターン検出部21が、このラインセンサ4で読み取つ

50

た $n + k$ ビットのパターンをビット列に変換して出力する。尚、説明の便宜上、この図 9 の $n + k$ ビットのパターン（20ビットのパターン）の各ビットを先頭から順に「第0ビット」から「第19ビット」と呼ぶ。

【0039】

そして、位置検出ユニットは図10に示す処理を開始し、誤り訂正部25がM系列の生成規則から各次数毎に定まる検査多項式を用いて、読み取ったパターンに誤りが含まれているか否かを検査する（S1）。ここで、10次のM系列パターンに対して、1ビットの誤り検出を行うための検査多項式は、一例として次式で与えられる。

【0040】

【数2】

$$X^{0+i} + X^{7+i} + X^{10+i} \quad (i = 0, 1, 2, \dots, k-1) \quad (4)$$

なお、10次のM系列パターンに対して、1ビットの誤り検出を行うには冗長ビットが最低7ビット必要であり、ここではさらに訂正も行うために、冗長ビット長を10ビットとしている。（4）式により、読み取ったビット列中の該当ビットの値（「0」または「1」）を加算する（2を法とする）ことで、読み取り誤りが発生したか否かを検出する。図9に示した元の読み取りパターンで1ビットの読み取り誤りが発生した場合の検査式（4）の値を次の表に示す。

【0041】

【表2】

誤ったビット位置	検査式の値									
	i									
	0	1	2	3	4	5	6	7	8	9
0	1	0	0	0	0	0	0	0	0	512
1	0	1	0	0	0	0	0	0	0	256
2	0	0	1	0	0	0	0	0	0	128
3	0	0	0	1	0	0	0	0	0	64
4	0	0	0	0	1	0	0	0	0	32
5	0	0	0	0	0	1	0	0	0	16
6	0	0	0	0	0	0	1	0	0	8
7	1	0	0	0	0	0	0	1	0	516
8	0	1	0	0	0	0	0	0	1	258
9	0	0	1	0	0	0	0	0	0	129
10	1	0	0	1	0	0	0	0	0	576
11	0	1	0	0	1	0	0	0	0	288
12	0	0	1	0	0	1	0	0	0	144
13	0	0	0	1	0	0	1	0	0	72
14	0	0	0	0	1	0	0	1	0	36
15	0	0	0	0	0	1	0	0	1	18
16	0	0	0	0	0	0	1	0	0	9
17	0	0	0	0	0	0	0	1	0	4
18	0	0	0	0	0	0	0	0	1	2
19	0	0	0	0	0	0	0	0	1	1
なし	0	0	0	0	0	0	0	0	0	0

そして、mビット以下の誤りが検出されたか否かが調べられ（S2）、mビット以下の誤りが検出される場合（Yesの場合）、つまり例えば図9に示した符号パターンが、ラインセンサ4の読み取り誤りによって、図11に示すように第7ビットが1ビット誤ってmビット誤り訂正部に転送されたものとすると、（4）の検査式を用いた【表2】の結果より、i = 0, 7の場合の検査式である次式、

10

20

30

40

50

【数3】

$$X^0 + X^7 + X^{10} \quad (5)$$

$$X^7 + X^{14} + X^{17} \quad (6)$$

の値が「1」となり、 i が0から9までの各検査式の値の組合せが、誤ったビット位置毎に一意に対応付けられる。ここでは、それぞれの検査式の結果をそれぞれ二進数の各桁と見立てて10進数の値に変換して識別値とし、その値と誤ったビット位置とを関連づけている。したがって、図11のような読み取り誤りが発生した場合には検査式の各値を二進数の各桁と見立てた場合、誤り訂正部25では検査結果として二進数の「1000000100」に対応する「258」が算出され、読み取り誤りの発生とともに、誤ったビット位置が第7ビットであることが検出される。

10

【0042】

そして誤り訂正部25は、誤ったとして検出された位置のビットを反転する(S3)。具体的に図11の第7ビットを反転して、全体のビットパターンを図9に示した「10011011010111100」に訂正し、データ処理部26に出力する。この場合、発生した1ビットの読み取り誤りが検出、訂正されたので、後に説明するデータ処理部26において、検出、訂正後の符号パターンから更に誤りが検出されることはない。

【0043】

また、処理S2において、誤りがないとして検出された場合には(Noの場合)、ビットの反転を行うことなく、そのままデータ処理部26での処理に移行する。

20

【0044】

一方、図9に示すパターンを読み違えた場合に、処理S2では1ビットのみが誤りであって訂正可能と判断されるにも関わらず、実際には複数のビットが誤っているということもあり得る。そのような場合とは、例えば、ラインセンサ4の読み取り誤りにより、図9のパターンのうち、図12に示すように、第0、7、16ビットの3ビットが誤って読み取られ、mビット誤り訂正部25に出力される場合がある。このとき(4)の検査式を用いた[表2]の結果より、 $i = 6, 9$ の場合の検査式、

【数4】

$$X^6 + X^{13} + X^{16} \quad (7)$$

$$X^9 + X^{16} + X^{19} \quad (8)$$

の値が1となり、検査結果により誤ったビット位置が第16ビットの1ビットと検出され、第0、7ビットの誤りが正しく検出されない。この場合には、第16ビットのみが反転されて、図13に示すような符号に訂正されてデータ処理部26に出力されることとなる。これは、検査多項式による誤り検出方式では、用いる検査多項式の検出能力を超える読み取り誤りが発生した場合に、検出、訂正後の符号列にさらに誤りが含まれていないかどうか判定できないことによるものである。

30

【0045】

データ処理部26は、誤り訂正部25から入力される誤り訂正後の $n + k$ ビットの符号(ただし、誤り訂正部25で誤りが検出されなかった場合には読み取られた符号そのものになる)に対して、さらに $m + 1$ ビット以上の誤り検出を行う。具体的にこのデータ処理部26は、第1の実施の形態における誤り検出部22と同様に、読み取られた $n + k$ ビットの符号パターンから n ビットを取り出して、その n ビットに対しデータ変換部23で変換された位置を示す値を得ておき、さらに1ビットずつずらしながら n ビットを取り出して連続しているか否かを比べることで $m + 1$ ビット以上の誤りがあるか否か(誤り訂正によつても訂正不能であった誤りがまだ含まれているか否か)を検出し(S4)、誤りが検出されたかを判断して(S5)、誤りが検出されないならば(Noならば)、データ処理部26は、図9の第0～第9ビットで表される本来の絶対位置データを信号出力部24に出力する。そして、信号出力部24が、当該絶対位置データに対応する位置信号を生成し、制御装置30に出力する。

40

【0046】

しかし、読み取りを誤った場合にも、たとえば、第0ビットから第9ビットまでのビット

50

列から演算される絶対位置データ（本来の絶対位置データ）と、第1ビットから第10ビットまでのビット列（誤り検査用パターン）から演算される絶対位置データとが連続してしまう可能性も否定できない。このため、データ処理部26は、さらにシフトした第2ビットから第11ビットまでのビット列に基づいて演算した絶対位置データや、第3ビットから第12ビットまでのビット列に基づいて演算した絶対位置データ等を用い、複数の絶対位置データが連続している場合にのみ、誤りがないとして、データ変換部23から入力される本来の絶対位置データを信号出力部24に出力するようにしてもよい。

【0047】

また、処理S5において、誤りが検出されたときには（Yesならば）、誤りがあったことをアラームとして報知し（S6）、パターン検出部21に対し、再読み取りを指示して（S7）、処理を終了する。

10

【0048】

尚、これら第1、第2の実施形態では、誤り検出部22又はデータ処理部26が、読み取られたビット列を1ビットずつシフトしたビット列が連続するか否かにより、読み取り誤りが発生したか否かを判定しているが、jビットずつシフトして、絶対位置データが「j」だけずれて連続しているか否かを検出することとしてもかまわない。また、左右双方にシフトする場合には、左右それぞれにシフト量が異なってもよい。

【0049】

さらに、誤り検出部22又はデータ処理部26は、カウンタを備え、読み取り誤りが発生したことを検知してパターン検出部21に対し再読み取りを指示したときに当該カウンタをインクリメントし、所定の値に当該カウンタが達したときには（読み取り誤りが繰り返し発生する場合には）、エラーを報知して処理を中断することとするのも好適である。この繰り返しの回数は、制御装置30の用途やシステム全体の利用形態に依存して決定されるべきであるので、ユーザが適宜設定可能としておくことが好ましい。

20

【0050】

さらに、ここまで説明では、M系列符号を例として説明したが、順序がランダムで絶対位置データを対応付けるための全ての符号語が一意となれば（すなわちM系列と同様の性質を備えていれば）他の符号系列を用いても構わない。

【0051】

さらに、ここまで説明では、適用する検査多項式として1ビットの誤り検出訂正が可能な（4）式を10個用いた例として説明したが、本発明の要旨を逸脱しない範囲において、他の検査多項式を何個用いても構わない。

30

【0052】

また、第2の実施の形態では、誤り訂正部25において、符号系列の生成規則より定まる検査多項式を用いた誤り検出・訂正処理を行っている。ここで、適用する符号系列が例えばM系列であって、2のn乗-1ビットの符号列の、0が連続する部分に0を1個挿入して、オール0のnビットのパターンを1個追加する方法等により、生成規則を崩した符号系列には、検査多項式の対応不可能なパターンが含まれる。したがって、そのような符号系列に本発明を適用する場合、ラインセンサ4による不連続部の読み取り時においては、読み取りパターンに含まれる誤りビット数がmビット以下の場合にも、誤り訂正部25により完全な誤り検出を行うのは不可能となるが、そのような場合にもデータ処理部26におけるm+1ビット誤り検出処理によって、不連続部を含む読み取りパターンに含まれる誤りビットを検出することが可能である。

40

【0053】

このように本実施の形態によれば、適用するM系列符号の次数が決まれば、当該M系列符号の性質上、適切な冗長パターンのビット数を決定でき、検査多項式を用いた既存の誤り訂正方式を適用する場合に比べ、検出できるビット数が限定されることなく、検査多項式の誤り検出能力を超えるようなラインセンサの読み取り誤りに対しても対応できる。

【0054】

ここで、冗長パターンのビット数は、M系列符号の性質上、読み取りの際の同時誤りビッ

50

ト数が多いほど冗長パターンのビット数は少なくともよくなるので、1ビットの誤りを想定して適切な冗長パターンのビット数を定めることで確実性の高い誤り検出を行うことができる。ただし、冗長ビット数に関しては、前記mビット誤り検出訂正部43の処理でmビットの誤り検出訂正の必要なビット数以上に決定する必要がある。

【0055】

さらに、第2の実施の形態のように、誤り訂正を行うこととすれば、符号板1の汚れ又は軽微な損傷によるパターンの欠落などに起因して、ラインセンサ4が読み取り誤りを起こしたり、あるいはラインセンサ4の出力波形の歪みに起因するM系列等のビット列への符号化誤りが特定箇所で頻繁に起こるような場合にも、検査多項式による誤り検出訂正によってmビットの読み取り誤りまでは訂正可能となるため、そのような場合にも、符号板1の清掃又は交換などの対処が不要となり、アブソリュートエンコーダのメンテナンスにかかる労力及びコストを低減することができる。

10

【0056】

さらに、検査多項式の誤り訂正能力を超えるm+1ビット以上の誤りビットが発生した場合には、検査多項式を用いた誤り検出方式では、発生した誤りビットの内のmビット分しか検出訂正されないため、誤り検出訂正後の符号パターンに誤りビットが残っている可能性があり、そのままでは検出パターンを位置データとして適用できない。しかしながら、第2の実施の形態によれば、検査用多項式によるmビットの誤り検出訂正を行った後、位置情報用パターンと誤り検査用パターンのそれぞれに対応する絶対位置データを順次比較する方法を用いて、元の検出パターンに検査多項式の誤り検出訂正能力を超えるm+1ビット以上の誤りが含まれているか否か検査を行うように構成したので、位置データの信頼性を高めることができる。

20

【0057】

また、第1、第2の実施の形態によれば、M系列等の符号生成規則に基づいて生成できる検査用多項式及び、冗長ビットを含む検出パターンから演算される絶対位置データの連続性によって読み取り誤りを検出するので、M系列で次数の異なる場合など、適用する検出パターンの周期によらず、任意周期の検出パターンに対して同様の構成により適用することができる。

【0058】

【発明の効果】

30

本発明によれば、符号系列のパターンを用いたリニアエンコーダにおいて、誤り検出用の冗長ビットを含めたパターンを読み取り、この冗長ビットに基づいて読み取り誤りを検出するので、簡便な構成により、確実に読み取り誤りを検出できる。

【0059】

また、本発明では、読み取ったパターンを順次シフトした場合に、各シフト後のパターンから演算される絶対位置データの連続性によって読み取り誤りを検出するので、簡便な構成により、確実に読み取り誤りを検出できる。また、これにより、1ビットの誤りのみならず、複数ビットの誤りをも確実に検出できる。

【0060】

さらに本発明によれば、読み取りの同時誤りビット数が多くなるほど誤り検出のために読み取る冗長ビット数が少なくて済むため、1ビットの読み取り誤りを想定して最適な冗長パターンのビット数を決めれば検出可能なビット数が制限されることなく、読み取りの同時誤りビット数に関わらず確実に読み取り誤りを検出できる。

40

【0061】

さらに本発明によれば、冗長ビットを誤り訂正符号として用いる第1の検査訂正法によって所定ビット数までの読み取り誤りを訂正し、さらに所定ビット数を超える読み取り誤りを検出可能な第2の検査法によって所定ビット数を超える読み取り誤りを検出するようにしたので、所定ビット数以下の誤りを訂正可能にするとともに、第1検査訂正法により検出不能であった所定ビット数を超える誤りが第2の検査法によって見いだされたときには、これを誤りとして扱うことで、簡便な構成により、位置検出の誤りを確実に検出・訂正

50

できる。

【図面の簡単な説明】

【図1】 アブソリュートエンコーダの一例を表す説明図である。

【図2】 本発明の第1の実施の形態に係るアブソリュートエンコーダを表す構成プロック図である。

【図3】 符号板1に表されたビット列の一部の一例を表す説明図である。

【図4】 ラインセンサ4により読み取られるビット列の一例を表す説明図である。

【図5】 データ変換部23により処理されるビット列の一例を表す説明図である。

【図6】 データ変換部23により処理されるビット列の一例を表す説明図である。

【図7】 データ変換部23により処理されるビット列の一例を表す説明図である。

【図8】 本発明の第2の実施の形態に係るアブソリュートエンコーダを表す構成プロック図である。

【図9】 ラインセンサ4により読み取られるビット列の一例を表す説明図である。

【図10】 本発明の第2の実施の形態に係るアブソリュートエンコーダの動作を示すフローチャート図である。

【図11】 ラインセンサ4により読み取られるビット列の一例を表す説明図である。

【図12】 ラインセンサ4により読み取られるビット列の一例を表す説明図である。

【図13】 ラインセンサ4により読み取られるビット列の一例を表す説明図である。

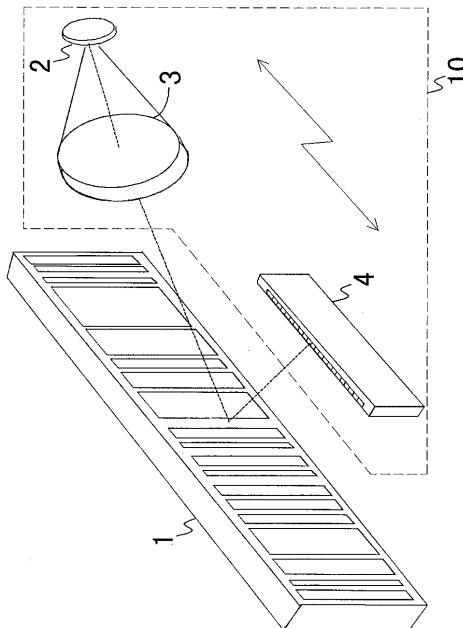
【符号の説明】

1 符号板、2 発光素子、3 コリメータレンズ、4 ラインセンサ、10 位置検出ユニット、21 パターン検出部、22 誤り検出部、23 データ変換部、24 信号出力部、25 誤り訂正部、26 データ処理部、30 制御装置。

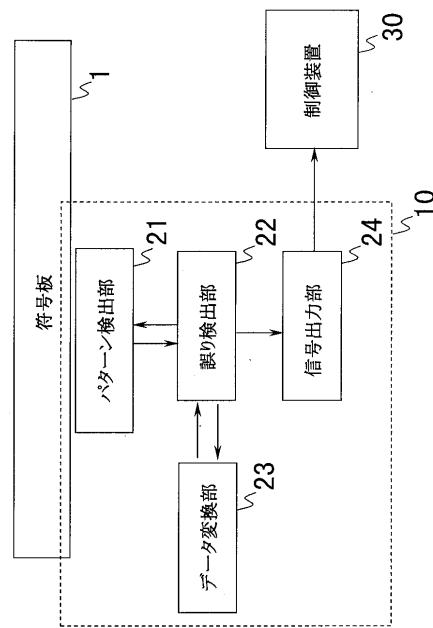
10

20

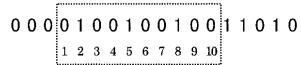
【図1】



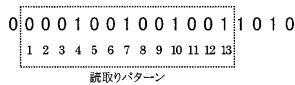
【図2】



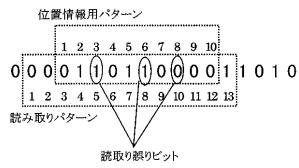
【図3】



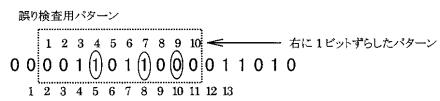
【図4】



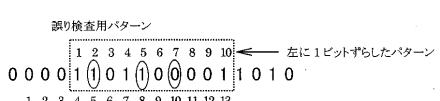
【図5】



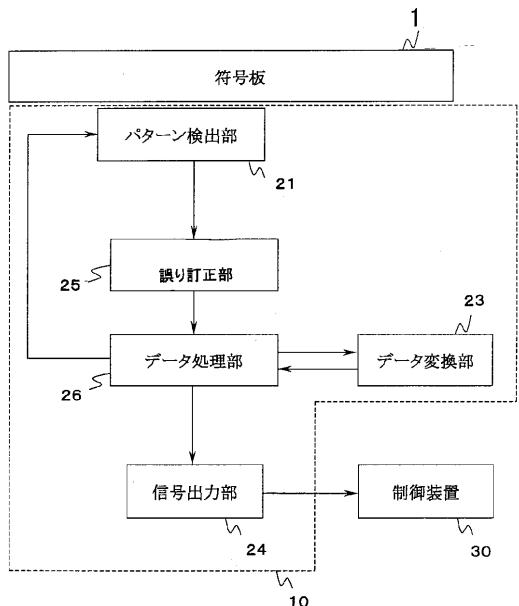
【図6】



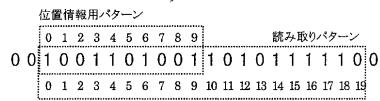
【図7】



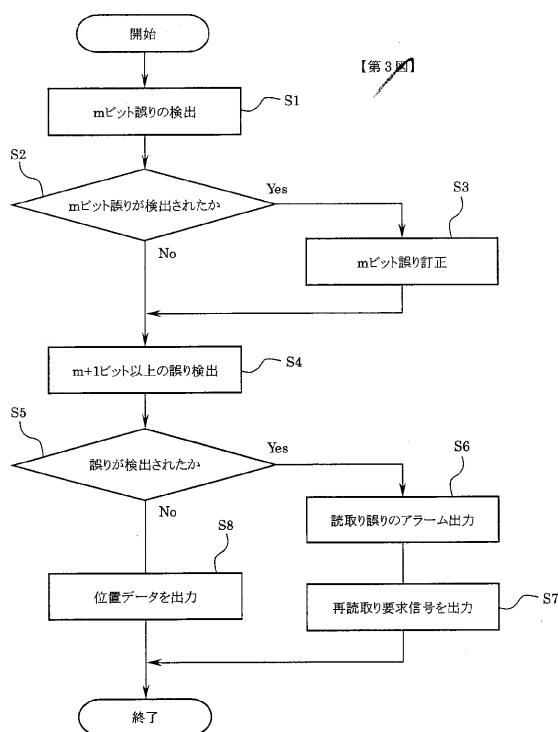
【図8】



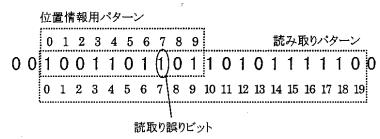
【図9】



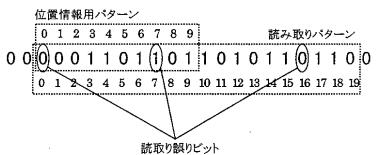
【図10】



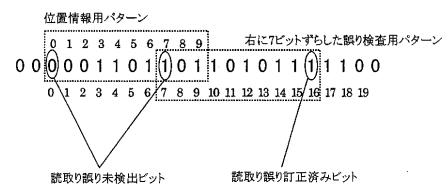
【図11】



【図12】



【図13】



フロントページの続き

審査官 藤原 伸二

(56)参考文献 特開平04-131713 (JP, A)

特開平04-001522 (JP, A)

特開平09-229717 (JP, A)

特開平09-280892 (JP, A)

特開平02-213718 (JP, A)

特開平04-301927 (JP, A)

特開平04-143620 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01D 5/00-5/62

H03M 1/00-1/88