(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/76

(45) 공고일자 2004년06월16일
(11) 등록번호 10-0424823
(24) 등록일자 2004년03월16일

(21) 출원번호 10-1996-0040077
(22) 출원일자 1996년09월16일

(65) 공개번호 10-1997-0018387
(43) 공개일자 1997년04월30일

(30) 우선권주장 08/531,844 1995년09월21일 미국(US)

(73) 특허권자
인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크

지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비텔스파허프라쯔 2

(72) 발명자
호, 허버트
미합중국 10992 뉴욕 워싱톤빌리 버넷 웨이 7

함멜, 에르윈
독일연방공화국 84547 에머팅 아달베르트-스트프터-슈트라쎄 21

도부진스키, 데이비드 엠.
미합중국 12533 뉴욕 호프웰 정션 쉐낸도하 로드 29

파름, 제이. 허버트
미합중국 12590 뉴욕 와핑거 폴스 타운 뷰 드라이브 207

푸가디, 스테판
미합중국 06776 코네티컷 뉴 밀포드 미팅하우스 테라스 31

아젬브라, 아툴
미합중국 12590 뉴욕 와핑거 엘리자베쓰 테라스 22

모세만, 제임스 이
미합중국 12522 뉴욕 도버 플레인스 메이플로워 애브뉴 51

라맥, 사무엘 씨.
미합중국 12590 뉴욕 와핑거스 폴스 윈도르프 코트 32 비

(74) 대리인
남상선

심사관 : 신창우

(54) 얕은트렌치격리구조에결정실리콘질화물박막라이너를형성하는방법및개선된얕은트렌치격리구조

요약

실리콘 집적 회로는 얕은 트렌치 격리(STI) 구조에 O_2 배리어 막과 같은 실리콘 질화물(Si_3N_4)의 결점 층을 사용한다. 상기 결점 Si_3N_4 는 비결정 Si_3N_4 를 증착된 것에 비해 전자 포획의 밀도를 더 낮춘다. 더욱이, 넓은 범

위로 저압 화학-기상 증착(LPCVD)된 Si_3N_4는 두께 제어성을 위한 더 큰 처리 창을 제공하여 증착될 수 있다. LPCVD-Si_3N_4는 720℃ 내지 780℃의 온도에서 증착 된다. 상기 증착된 막은 비결정 상태이다. 실질적으로,순수한 질소 또는 암모니아에서의 고온 급속 열 어닐링은 60초 동안 1050℃ 내지 1100℃에서 수행된다.

대표도

도 1c

명세서

도면의 간단한 설명

제 1A도, 제 1B도 및 제 1C도는 STI 구조에 결정 Si_3N_4 박막을 형성하는 공정을 도시하는 도면.
제 2A도와 제 2B도는 각각 결점 Si_3N_4의 명시야(bright-field) 투과 전자 현미경(TEM) 사진도 및 TEM의 전자 회절 패턴을 도시하는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 초고집적 회로의 제조 방법에 관한 것으로서, 특히 얕은 트렌치 격리(STI : shallow trench isolation) 구조물에 O_2 배리어 막과 같은 실리콘 질화물(Si_3N_4) 박막을 사용하는 방법에 관한 것이다.
실리콘 집적 회로의 기능성과 수율에 영향을 끼치는 가장 정밀한 파라미터 중 하나는 디바이스의 제조 공정 동안에 실리콘 기판에 나타나는 응력의 크기이다. 실리콘(Si)의 기계적 수율 강도를 초과하는 응력은 디바이스 동작과 수율에 불리하게 영향을 끼치는 Si 결정 결함(예를 들면, 단층과 적층 결함)을 형성할 것이다. 응력의 중요한 원인은 전기 디바이스의 격리 공정 동안에 발생한다. 얕은 트렌치 격리(STI)는 0.5㎛이하로 디자인된 디바이스를 위해 사용된다. 이런 공정은,
'얕은' 트렌치(예를 들면, 0.5㎛ 이하)를 에칭하는 단계,
에칭 후 즉시 얇은 산화물을 성장시키는 단계,
상기 트렌치를 유전체(예를 들면, 산화물이 증착됨)로 채우는 단계,
상기 유전체를 산화 또는 불활성 환경에서의 고온 어닐링을 사용함으로써 '고밀도화'시키는 단계, 및
상기 유전체를 평탄화하는 단계를 포함한다.
디바이스의 형태는 크기가 계속해서 줄어들기 때문에, 또한 응력은 반대로 면적에 대한 비율이기 때문에, 격리 공정 동안에 응력을 가능한 최소화하는 것은 대단히 중요하다.
256 메가 바이트(MB) 다이내믹 랜덤 액세스 메모리(DRAM) 칩은 캐패시터 어레이 내의 서로 다른 트랜지스터를 격리시키기 위해 '깊은' 트렌치 어레이(캐페시터와 같은)와 STI를 사용한다. 기판에 성장된 산화물 양의 제한은 트렌치-캐패시터 어레이에서 Si 결정 결함을 제거하기 위해 필요하다. 일반적으로 Si 기판에서 산소(O_2)를 '차단(block-out)'하기 위해 사용되는 방법은 얇은 산화물이 STI에 성장된 후 즉시 저압 화학-기상 증착(LPCVD : low pressure chemical-vapor deposition)에 의해 증착된 얇은(<5nm) 실리콘 질화물(Si_3N_4) 막을 사용하는 것이다. 상기 Si_3N_4 막의 두께는 5nm이하로서 규정된다. 이런 두께 제한을 하는 이유는 이런 막이 뜨거운 인산 배드(bath)(예를 들면, 패드 Si_3N_4를 제거하기 위한)와 불화 수소산 배드(열 성장된 산화물을 제거하기 위한)에서의 에칭 저항물이 된다는 것에 근거한다. STI 트렌치에서 Si_3N_4 라이너(liner)로서 사용되는 더 두꺼운 LPCVD-Si_3N_4 막은 뜨거운 인산에서 쉽게 에칭되는 것을 알 수 있다.
얇은 Si_3N_4 라이너와 연관된 한가지 문제점은 전하를 포획하려는 경향을 가진다는 것이다. Si_3N_4 라이너의 전하 포획 특성(계면과 벌크)은 DRAM의 센스 증폭기(예를 들면, '보조 회로')에서 STI 결합 누설(N웰 대 N웰)을 증가시켜 높은 스탠바이 전류(standby current)를 일으키는 것으로 알려졌다. 근래의 데이터는 Si_3N_4 라인너가 임계 전압(Vt)을 낮추고, 어느 정도의 크기까지 접합 누설(bounding leakage)을 증가시킨다는 것을 명확하게 보여준다. Si_3N_4 라이너에 의해 포획되는 전하의 양을 확실히 하기 위해, 블랭킷 웨이퍼 실험의 로트(lot)는 (1) 열 성장된 산화물(SiO_2-10nm), (2) LPCVD-Si_3N_4 (4nm), 및 (3) 10nm SiO_2/4nm LPCVD-Si_3N_4로 이루어져 처리된다. 간단한 금속-절연체-반도체 (MIS : metal-insulalor-semiconductor) 구조는 절연막의 도트 마스크를 통해 알루미늄을 증착함으로써 제조된다. C-V 측정(저주파 및 고주파)은 (1) Si_3N_4 박막이 산화물 보다 더 높은 대략 2배 정도의 전하 포획 상태(예를 들면, 10^{12} 대 10^{10})를 포함하고, (2) 산화물과 Si_3N_4의 결합이 전하 포획 상태의

밀도만 감소시킨다는 것을 나타내는 결과를 초래한다. 이상적으로, 전하를 포획하지 않고, 여전히 뜨거운 인산과 불화 수소산에 대해 저항력이 있는 Si_3N_4 박막을 성장 또는 증착하는 것이 최선이다.

본 발명의 목적은 LPCVD 증착된 Si_3N_4 보다 최저 밀도의 포획 중심을 가지고, O_2 배리어 막으로서 매우 효과적이며, 그럼에도 불구하고 뜨거운 인산과 불화 수소산에 대해 저항력이 있는 Si_3N_4 박막을 제공하는 것이다.

본 발명에 따른 Si_3N_4 박막은 O_2 배리어 막으로서 STI 구조에 제공된다. 최저 밀도의 포획 중심을 포함하는 결정 Si_3N_4 는 LPCVD 증착된 Si_3N_4 보다 뜨거운 인산과 불화 수소산 에칭에 대해 보다 뛰어난 저항력이 있고, O_2 배리어 막으로서 매우 효과적이다. 결정 Si_3N_4 막이 더 낮은 최저 밀도의 포획 중심을 가진다는 사실은 몇 가지 경우에 현재의 STI 기술에 사용되는 LPCVD 증착된 Si_3N_4 에 의해 발생되는 기생 트랜지스터를 전적으로 방지한다. 더욱이, 현재 기술에서 규정화된 한정적 두께와는 달리, 본 발명은 STI 구조에서 O_2 배리어로서 사용되는 더 넓은 범위의 결정 Si_3N_4 두께(예를 들면, 5nm 내지 10nm)를 허용한다. 이것은 제조 중에 두께 제어성을 위한 더 큰 처리 창을 허용한다.

이제 도면을 참조하여 본 발명의 실시예를 설명한다.

제 1A도, 제 1B도 및 제 1C도를 참조하면, 본 발명에 따른 STI 트렌치내의 결정화된 Si_3N_4 막 형성 방법이 도시되어 있다. 제 1A도에서, 얕은 트렌치가 에칭된 후, 얇은 열 산화물(전형적으로 10nm의 두께)이 에칭 손상을 제거하기 위해 성장된다. 다음에, 제 1B도에서 Si_3N_4 박막(5 내지 10nm)이 STI 트렌치의 상기 열 성장된 산화물 층위에 증착된다. 다음에, 제 1C도에서 LPCVD-Si_3N_4 가 720℃ 내지 780℃의 온도에서 전형적으로 증착되고, 마찬가지로 일반적으로 비결정 상태로 증착된다. 증착 후에 즉시, 순수 질소의 고온 급속 열 어닐링(RTN : rapid thermal anneal in pure nitrogen) 또는 암모니아(NH_4)의 고온 급속 열 어닐링이 수행된다. LPCVD-Si_3N_4 의 결정화가 60초 정도의 어닐링 시간 동안 1050℃에서 시작된다. 1050℃ 보다 더 높은 온도 및/또는 60초 보다 더 긴 어닐링 시간은 추가적 결정화와 상기 LPCVD-Si_3N_4 의 그레인 성장을 유발한다. 부가적으로, 더 두꺼운 LPCVD-Si_3N_4 막(10nm까지)은 1100℃ 보다 더 낮은 온도에서 결정화 될 수 있다. 이것은 RTN 공정 동안에 웨이퍼 가장자리를 따라 형성되는 웨이퍼 뒤틀림과 슬립 라인을 제한하는데 매우 중요하다.

전형적인 형태의 결정 Si_3N_4 는 제 2A도와 제 2B도에 도시된다. 제 2A도와 제 2B도는 각각 1100℃에서 어닐링된 10nm SiO_2/4nm Si_3N_4 절연체-커플의 전송 전자 현미경 사진(TEM)의 밝은 부분(bright-field) 및 대응하는 전자 회절 패턴이다. 1100℃에서, 상기 Si_3N_4 막은 대부분 결정이 되는 것을 알 수 있다. 1050℃에서, 상기 막의 다수는 비결정이 되는 것을 알 수 있는데, 다소의 Si_3N_4 의 결정이 관찰된다. 1050℃와 1100℃에서 어닐링된 샘플의 전자 회절 분석은 상기 결정 Si_3N_4 막이 저온 6방정계의 (α) Si_3N_4 위상이라는 것을 나타낸다.

LPCVD-Si_3N_4 의 결정화된 막은 LPCVD 증착된 Si_3N_4 에 비교하여 매우 낮은 포획 밀도를 가진다. 고온 RTN 어닐링(1050℃ 내지 1150℃)에 의해 결정화되어 있는 10nm SiO_2/4nm Si_3N_4 절연체-커플의 C-V 측정의 결과는 포획 밀도가 최소로 감소되는 것을 나타낸다. 부가적으로, 결정화된 LPCVD-Si_3N_4 막은 뜨거운 인산과 불화 수소산에 대해 훨씬 좋은 에칭 저항을 나타낸다. 에칭 속도를 검토해 보면 결정화된 LPCVD-Si_3N_4 막이 최소한 LPCVD-Si_3N_4 막 보다 뜨거운 인산에서 45%의 최저 에칭 속도와 순수 불화 수소산에서 30%만큼의 최저 에칭 속도를 가진다는 것을 알 수 있다.

이상에서는 본 발명의 양호한 일 실시예에 따라 본 발명이 설명되었지만, 첨부된 청구 범위에 의해 한정되는 바와 같은 본 발명의 사상을 일탈하지 않는 범위 내에서 다양한 변형이 가능함은 본 발명이 속하는 기술 분야의 당업자에게는 명백하다.

(57) 청구의 범위

청구항 1.

집적 회로 디바이스의 얕은 트렌치 격리(STI) 구조물에 결정 실리콘 질화물 (Si_3N_4)로 된 박막을 형성하는 방법으로서:

저압 화학 기상 증착(LPCVD) 방법에 의해 Si_3N_4 막을 5 내지 10nm의 두께로 720℃ 내지 780℃ 사이의 온도에서 STI 구조물에 증착하는 단계; 및

상기 Si_3N_4 막 증착 후에 즉시, 상기 Si_3N_4 막을 비결정 상태로부터 결정 상태로 전환시키기 위해 대략 60초 동안 1050℃ 내지 1150℃ 사이에서 급속 열 어닐링을 수행하는 단계를 포함하는 박막형성방법.

청구항 2.

제 1항에 있어서,

상기 STI 구조물은:

실리콘 기판에 0.5㎛ 이하의 얕은 트렌치를 에칭하는 단계; 및

에칭 손상을 제거하기 위해 상기 에칭된 트렌치에 대략 10nm 두께로 얇은 열 산화물을 성장시키는 단계에 의해 형성되는 것을 특징으로 하는 박막형성방법.

청구항 3.

제 1항에 있어서,

상기 급속 열 어닐링의 온도는 1050℃ 내지 1100℃ 사이인 것을 특징으로 하는 박막형성방법.

청구항 4.

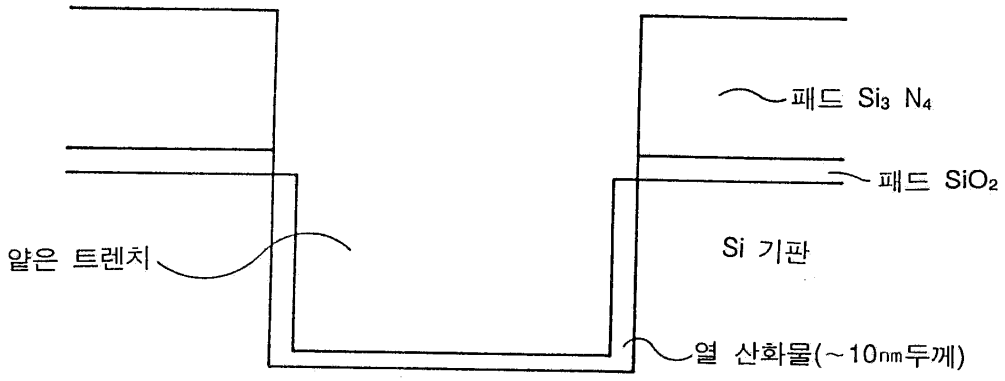
제 1항에 있어서,

상기 급속 열 어닐링은 순수 질소 내에서 수행되는 것을 특징으로 하는 박막형성방법.

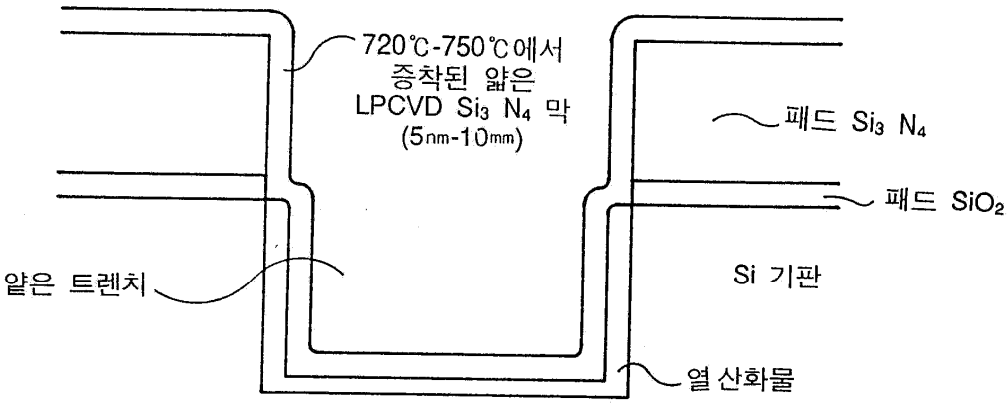
청구항 5.
제 1항에 있어서,
상기 급속 열 어닐링은 암모니아 내에서 수행되는 것을 특징으로 하는 박막형성방법.
청구항 6.
초고집적 회로 디바이스를 위한 얕은 트렌치 격리(STI) 구조물로서:
실리콘 기판에 에칭된 0.5㎛ 이하의 얕은 트렌치; 및
상기 얕은 트렌치 내의 5 내지 10nm 두께의 얇은 결정 Si_3N_4 라이너를 포함하는 얕은 트렌치 격리 구조물.
청구항 7.
제 6항에 있어서,
상기 얕은 트렌치 내에 성장된 대략 10nm 두께의 열 산화물 박막을 더 포함하며, 상기 얇은 결정 Si_3N_4 라이너는 상기 얇은 열 산화물 위에 형성되는 것을 특징으로 하는 얕은 트렌치 격리 구조물.
청구항 8.
얕은 트렌치 격리(STI) 구조물 내의 결정 실리콘 질화물(Si_3N_4) 막으로서:
실리콘 기판 내에 에칭된 0.5㎛ 이하의 얕은 트렌치; 및
저압 화학 기상 증착(LPCVD) 방법에 의해 720℃ 내지 780℃ 사이의 온도에서 증착된 5 내지 10nm 두께의 전환된 Si_3N_4 막을 포함하는 결정 실리콘 질화물막.
청구항 9.
제 8항에 있어서,
상기 Si_3N_4 막을 증착한 후 즉시, 급속 열 어닐링이 1050℃ 내지 1150℃ 사이에서 대략 60초 동안 수행되어, 상기 Si_3N_4 막을 비결정질 상태에서 결정질 상태로 전환하는 것을 특징으로 하는 결정 실리콘 질화물막.
청구항 10.
제 9항에 있어서,
상기 급속 열 어닐링은 1050℃ 내지 1100℃ 사이에서 수행되는 것을 화물막. 특징으로 하는 결정 실리콘 질
청구항 11.
제 9항에 있어서,
상기 급속 열 어닐링은 순수 질소 내에서 수행되는 것을 특징으로 하는 결정 실리콘 질화물막.
청구항 12.
제 9항에 있어서,
상기 급속 열 어닐링은 암모니아 내에서 수행되는 것을 특징으로 하는 결정 실리콘 질화물막.
청구항 13.
얕은 트렌치 격리(STI) 구조물 내의 결정 실리콘 질화물(Si_3N_4) 막으로서:
실리콘 기판 내에 에칭된 0.5㎛ 이하의 얕은 트렌치,
상기 얕은 트렌치를 코팅시키는 대략 10nm 두께의 열 산화막, 및
저압 화학 기상 증착(LPCVD) 방법에 의해 720℃ 내지 780℃의 온도에서 상기 열 산화막 위에 증착된 5 내지 10nm 두께의 전환된 Si_3N_4 막을 포함하는 결정 실리콘 질화물막.
청구항 14.
제 l3항에 있어서,
상기 전환된 Si_3N_4 막은 Si_3N_4 막을 증착한 후 즉시, 급속 열 어닐링이 1050℃ 내지 1150℃ 사이에서 대략 60초 동안 수행되어, 상기 Si_3N_4 막을 비결정질 상태에서 결정질 상태로 전환하여 형성되는 것을 특징으로 하는 결정 실리콘 질화물막.
청구항 15.
제 14항에 있어서,
상기 급속 열 어닐링은 1050℃ 내지 1100℃ 사이에서 수행되는 것을 특징으로 하는 결정 실리콘 질화물막.
청구항 16.
제 14항에 있어서,
상기 급속 열 어닐링은 순수 질소 내에서 수행되는 것을 특징으로 하는 결정 실리콘 질화물막.
청구항 17.
제 14항에 있어서,
상기 급속 열 어닐링은 암모니아 내에서 수행되는 것을 특징으로 하는 결정 실리콘 질화물막.
청구항 18.
제 13항에 있어서,
상기 열 산화막은 에칭 손실을 제거하는 것을 특징으로 하는 결정 실리콘 질화물막.

도면

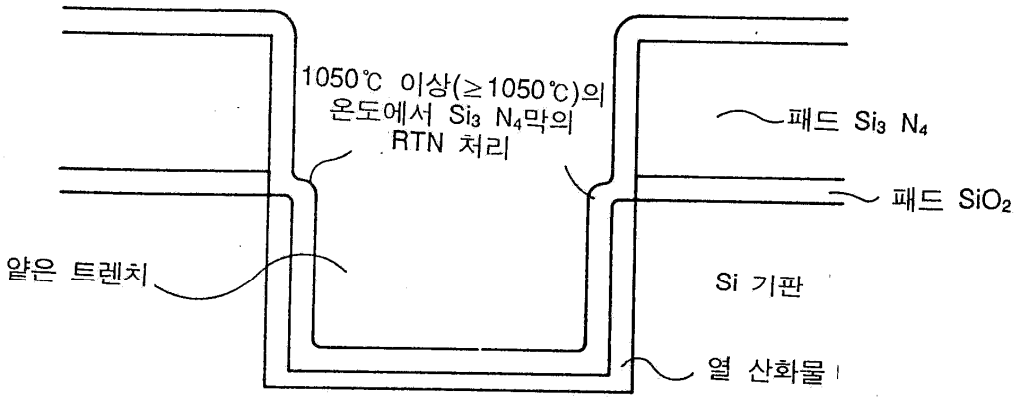
도면1a



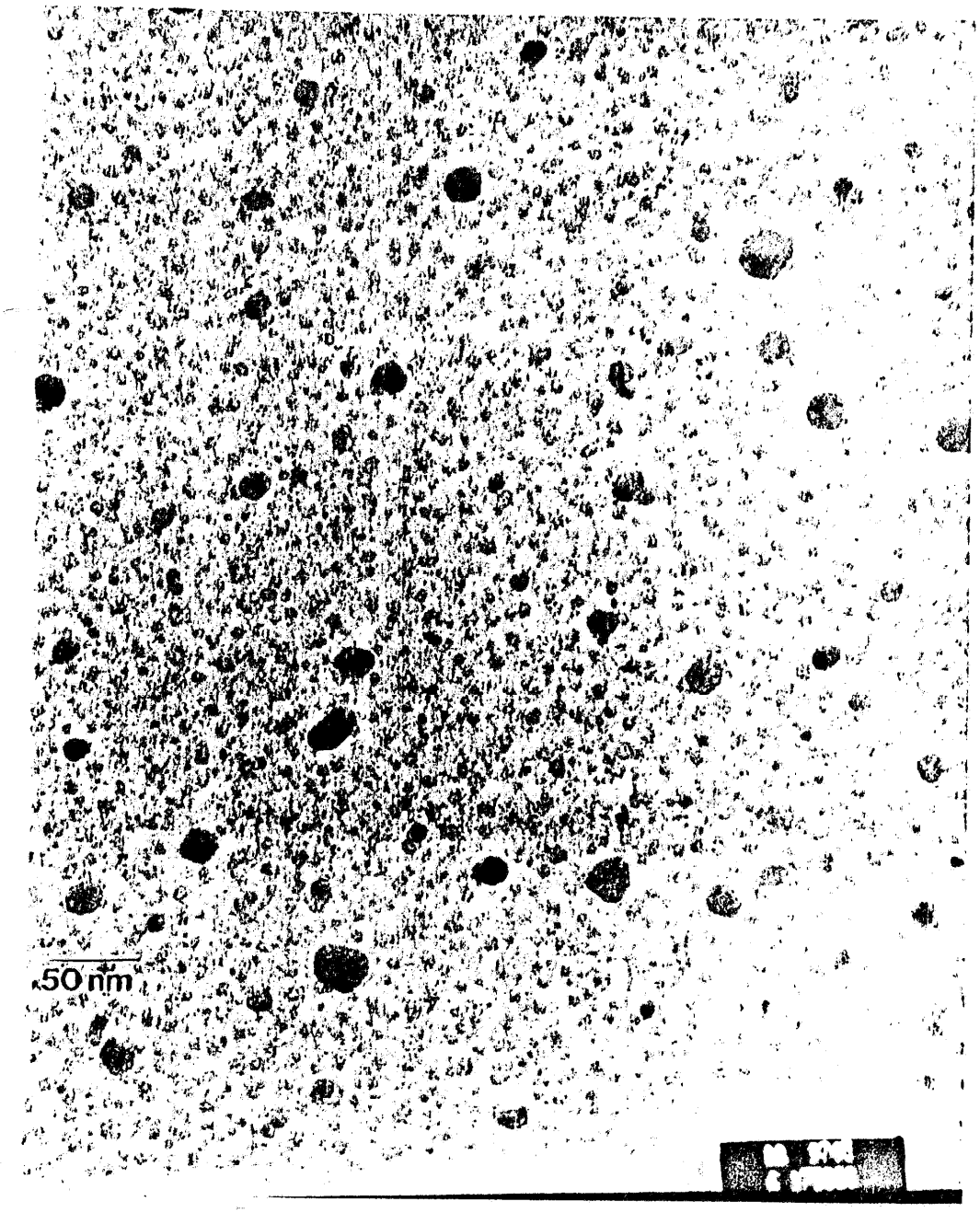
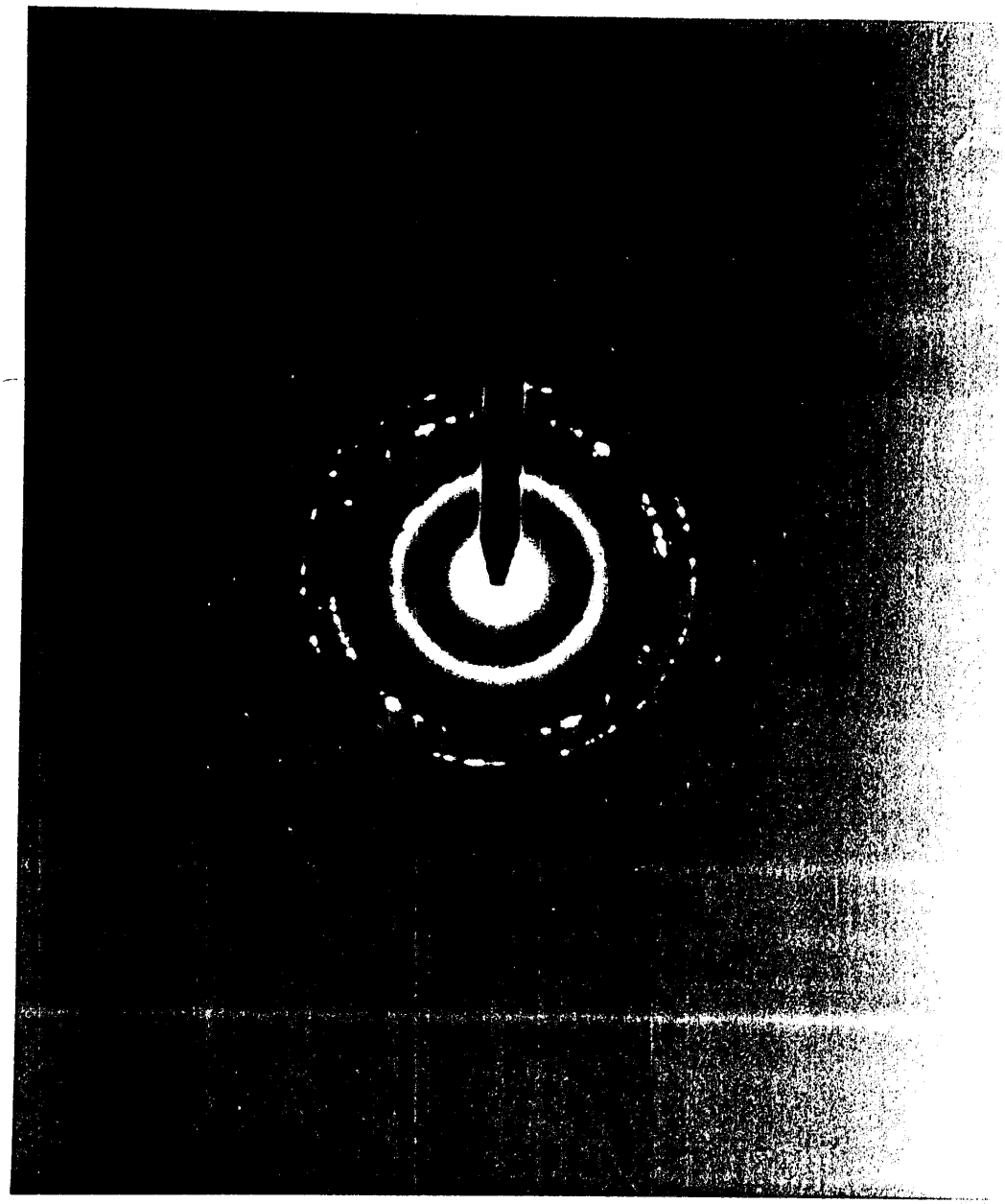
도면1b



도면1c



도면2a



도면2b