

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-218776

(P2008-218776A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 23/50 (2006.01)	H O 1 L 23/50 K	5 F O 6 7
	H O 1 L 23/50 X	

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2007-55247 (P2007-55247)
(22) 出願日 平成19年3月6日(2007.3.6)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目6番2号
(74) 代理人 100082175
弁理士 高田 守
(74) 代理人 100106150
弁理士 高橋 英樹
(72) 発明者 三角 和幸
東京都千代田区丸の内二丁目4番1号 株
式会社ルネサステクノロジ内
(72) 発明者 畑内 和士
東京都千代田区丸の内二丁目4番1号 株
式会社ルネサステクノロジ内

最終頁に続く

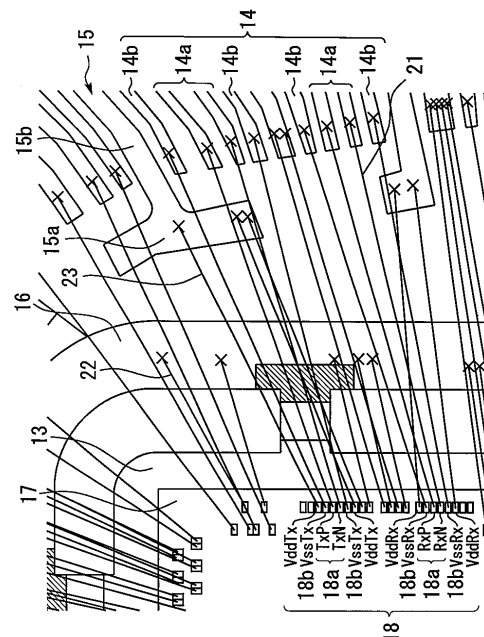
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 インナーリードの表面が擦れて傷ができるのを防ぐことができる半導体装置を得る。

【解決手段】 ダイパッド13の周りに複数のインナーリード14が設けられている。ダイパッド13と複数のインナーリード14との間の領域に、接地されたGNDリード16が設けられている。半導体チップ17と複数のインナーリード14は、複数のワイヤー21によりそれぞれ接続されている。半導体チップ17とGNDリード16はGNDワイヤー22により接続されている。GNDワイヤー22は複数のワイヤー21の間に配置されている。隣接するインナーリード14の先端の間隔が0.2mm以下である。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

ダイパッドと、
前記ダイパッドの周りに設けられた複数のインナーリードと、
前記ダイパッドと前記複数のインナーリードとの間の領域に設けられ、接地された GND リードと、
前記ダイパッド上に搭載された半導体チップと、
前記半導体チップ上の複数のパッドと前記複数のインナーリードをそれぞれ接続する複数のワイヤーと、
前記複数のワイヤーの間に配置され、前記半導体チップ上のパッドと前記 GND リードを接続する GND ワイヤーとを有し、
隣接するインナーリードの先端の間隔が 0.2 mm 以下であることを特徴とする半導体装置。

【請求項 2】

ダイパッドと、
前記ダイパッドの周りに設けられた複数のインナーリード及び T 字型インナーリードと、
前記ダイパッド上に搭載された半導体チップと、
前記半導体チップ上の複数のパッドと前記複数のインナーリードをそれぞれ接続する複数の第 1 ワイヤーと、
前記半導体チップ上のパッドと前記 T 字型インナーリードを接続する第 2 ワイヤーとを有し、
前記 T 字型インナーリードは、
前記ダイパッドと前記複数のインナーリードとの間の領域に設けられ前記複数のインナーリードの配列方向に延在する第 1 リード部と、
前記複数のインナーリードの間に設けられ前記第 1 リード部に接続された第 2 リード部とを有し、
前記第 2 ワイヤーは、前記 T 字型インナーリードの前記第 1 リード部にステッチボンディングされていることを特徴とする半導体装置。

【請求項 3】

前記 T 字型インナーリードは、ワイヤボンディングの際にリード押えで押える部分の幅が、前記リード押えで押える部分の幅が一番細いインナーリードに比べて 1.5 倍以上であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記ダイパッドの周りに設けられた複数のインナーリードと、
前記ダイパッド上に搭載された半導体チップと、
前記半導体チップ上の複数のパッドと前記複数のインナーリードをそれぞれ接続する複数のワイヤーとを有し、
前記複数のインナーリードは、互いに隣接する 2 本の差動信号用インナーリードを含み、
前記 2 本の差動信号用インナーリードの間隔は、前記複数のインナーリードの最小間隔よりも広いことを特徴とする半導体装置。

【請求項 5】

前記複数のインナーリードは、前記差動信号用インナーリードに隣接する固定電位用インナーリードを含み、
前記差動信号用インナーリードと前記固定電位用インナーリードの間隔は、前記複数のインナーリードの最小間隔よりも広いことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記複数のインナーリードは、前記差動信号用インナーリードに隣接する固定電位用インナーリードを含み、

10

20

30

40

50

前記 2 本の差動信号用インナーリードの間隔は、前記差動信号用インナーリードと前記固定電位用インナーリードの間隔よりも広いことを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

前記ダイパッドの周りに設けられた複数のインナーリードと、
前記ダイパッド上に搭載された半導体チップと、
前記半導体チップ上の複数のパッドと前記複数のインナーリードをそれぞれ接続する複数のワイヤーとを有し、
前記複数のパッドは、互いに隣接する 2 個の差動信号用パッドを含み、
前記 2 個の差動信号用パッドの間隔は、前記複数のパッドの最小間隔よりも広いことを特徴とする半導体装置。

10

【請求項 8】

前記複数のパッドは、前記差動信号用パッドに隣接する固定電位用パッドを含み、
前記差動信号用パッドと前記固定電位用パッドの間隔は、前記複数のパッドの最小間隔よりも広いことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記複数のパッドは、前記差動信号用パッドに隣接する固定電位用パッドを含み、
前記 2 本の差動信号用パッドの間隔は、前記差動信号用パッドと前記固定電位用パッドの間隔よりも広いことを特徴とする請求項 7 に記載の半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体チップ上の複数のパッドと複数のインナーリードをそれぞれワイヤーで接続した樹脂モールドタイプの半導体装置に関するものである。

【背景技術】

【0002】

ダイパッドと複数のインナーリードとの間に、接地された GND リードが設けられた半導体装置が用いられている。この GND リードと半導体チップを接続する GND ワイヤーは、半導体チップと複数のインナーリードをそれぞれ接続する複数のワイヤーの間に配置される。このため、GND ワイヤーの周囲では、隣接するインナーリードの先端の間隔が

30

【0003】

【特許文献 1】特開平 1 - 202853 号公報

【特許文献 2】特開平 7 - 14976 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

このようなリードフレームを重ねて収納すると、隣接するインナーリードの先端の間隔が広いインナーリードにおいて、表面が擦れて深い傷ができる場合があった。この擦れたインナーリードにワイヤーをステッチボンドするとステッチ剥がれがおきるという問題があった。また、リードフレーム同士の間には層間紙を入れれば上記の問題は回避できるが、コストアップとなるだけでなく、ケースに入るリードフレームの数が少なくなるという問題があった。

40

【0005】

また、従来、L 字型インナーリードが用いられる場合があった。この L 字型インナーリードは、ダイパッドと複数のインナーリードとの間の領域に設けられ複数のインナーリードの配列方向に延在する部分を有する。この部分にステッチボンドしたワイヤーを引っ張って切断しようとする、L 字型インナーリードが浮き上がってしまうという問題があった。

【0006】

50

また、半導体チップ上のパッドの近傍には大きな寄生容量が付く。伝送線路の途中に大きな寄生容量が付くと、その部分で特性インピーダンスが低下する。これにより特性インピーダンスの不整合が大きくなると、信号の反射による損失が大きくなり、信号の伝達特性が劣化する。これに対し、特許文献 1, 2 には、インナーリードの間隔を調整することで、特性インピーダンスの不整合を小さくする技術が開示されている。しかし、特性インピーダンスの低下を防ぐために各インナーリードの間隔を大きくすると、半導体装置の大型化を招くという問題があった。

【 0 0 0 7 】

本発明は、上述のような課題を解決するためになされたもので、その第 1 の目的は、インナーリードの表面が擦れて傷ができるのを防ぐことができる半導体装置を得るものである。

10

【 0 0 0 8 】

本発明の第 2 の目的は、ステッチボンドしたワイヤーを切断する際にインナーリードが浮き上がるのを防ぐことができる半導体装置を得るものである。

【 0 0 0 9 】

本発明の第 3 の目的は、大型化を抑制しつつ、特性インピーダンスの不整合を小さくして信号の伝達特性が劣化するのを防ぐことができる半導体装置を得るものである。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一実施例に係る半導体装置は、ダイパッドと、ダイパッドの周りに設けられた複数のインナーリードと、ダイパッドと複数のインナーリードとの間の領域に設けられ、接地された GND リードと、ダイパッド上に搭載された半導体チップと、半導体チップと複数のインナーリードをそれぞれ接続する複数のワイヤーと、複数のワイヤーの間に配置され、半導体チップと GND リードを接続する GND ワイヤーとを有する。そして、隣接するインナーリードの先端の間隔が 0.2 mm 以下である。

20

【発明の効果】

【 0 0 1 1 】

この実施例によれば、インナーリードの表面が擦れて傷ができるのを防ぐことができる。

【発明を実施するための最良の形態】

30

【 0 0 1 2 】

実施の形態 1 .

図 1 は、本発明の実施の形態 1 に係る半導体装置を示す平面図であり、図 2 はその側面図である。半導体チップ（後述）をモールド樹脂で封止したパッケージ本体 11 から複数のアウターリード 12 が出ている。

【 0 0 1 3 】

図 3 は、本発明の実施の形態 1 に係る半導体装置のパッケージ本体の内部を示す平面図であり、図 4 は図 3 の要部を拡大した平面図である。ダイパッド 13 の周りに複数のインナーリード 14 及び T 字型インナーリード 15 が設けられている。複数のインナーリード 14 及び T 字型インナーリード 15 は、それぞれ対応するアウターリード 12 に接続されている。複数のインナーリード 14 は、互いに隣接する 2 本の差動信号用インナーリード 14 a と、差動信号用インナーリード 14 a に隣接する固定電位用インナーリード 14 b とを含む。ダイパッド 13 と複数のインナーリード 14 との間に、接地された GND リード 16 が設けられている。

40

【 0 0 1 4 】

半導体チップ 17 上には複数のパッド 18 が設けられている。複数のパッド 18 は、互いに隣接する 2 個の差動信号用パッド 18 a と、差動信号用パッド 18 a に隣接する固定電位用パッド 18 b とを含む。半導体チップ 17 上のパッド 18 と複数のインナーリード 14 は、複数のワイヤー 21（第 1 ワイヤー）によりそれぞれ接続されている。半導体チップ 17 上のパッド 18 と GND リード 16 は GND ワイヤー 22 により接続されている

50

。GNDワイヤー22は複数のワイヤー21の間に配置されている。半導体チップ17上のパッド18とT字型インナーリード15はワイヤー23（第2ワイヤー）により接続されている。

【0015】

本実施の形態では、GNDワイヤー22の周囲において、インナーリード14の幅を太くして、隣接するインナーリード14の先端の間隔が0.2mm以下になるようにしている。これにより、リードフレームを重ねて収納した場合でも、インナーリードの表面が擦れて傷ができるのを防ぐことができる。

【0016】

また、T字型インナーリード15は、第1、第2リード部15a、15bを有する。第1リード部15aは、ダイパッド13と複数のインナーリード14との間の領域に設けられ、複数のインナーリード14の配列方向に延在する。第2リード部15bは、複数のインナーリード14の間に設けられ第1リード部15aに接続されている。T字型インナーリード15には複数のワイヤー21が接続されるが、第2リード部15bの1箇所だけでアウターリード12と連結されている。

【0017】

ワイヤー23は、T字型インナーリード15の第1リード部15aにステッチボンディングされている。例えば、第1リード部15aの右半分にステッチボンディングしたワイヤー23を引っ張って切断する際に、第1リード部15aの右半分も上方に引っ張られる。この際に、第1リード部15aの左半分が下の台に接触して支えとなり、T字型インナーリード15が浮き上がるのを防ぐことができる。

【0018】

図5は、本発明の実施の形態1に係る半導体装置の製造過程でワイヤボンディングする様子を示す平面図であり、図6は図5の要部を拡大した平面図である。図示のように、インナーリード14の先端から1mmの所をリード押え24で押えながらワイヤボンディングする。

【0019】

T字型インナーリード15は他のインナーリード14に比べて長く、ダイパッド13と複数のインナーリード14との間の領域まで延在する部分にワイヤー23がステッチボンディングされる。即ち、ボンディング部分がリード押え24で押える部分から遠い。そこで、T字型インナーリード15について、ワイヤボンディングの際にリード押え24で押える部分の幅W1を、ワイヤボンディングの際にリード押え24で押える部分の幅が一番細いインナーリード14の幅W2に比べて1.5倍以上にする。これにより、T字型インナーリード15が浮き上がるのを防ぐことができる。

【0020】

図7は、本発明の実施の形態1に係る半導体装置とホスト側機器が接続された状態を示す図である。

【0021】

本実施の形態1に係る半導体装置31は、高速差動信号用のドライバ回路32及びレシーバ回路33と、NOR回路GT1、GT2と、抵抗R1、R2と、コモンモード電圧発生回路34と、高速差動信号用の出力ピンTxP、TxNと、高速差動信号用の入力ピンRxP、RxNと、GND電位ピンVssTx、VssRxと、電源電位ピンVddTx、VddRxとを備える。

【0022】

ドライバ回路32は、PチャネルMOSトランジスタM1、M2と、抵抗R3、R4と、電流源IS1とを含む。レシーバ回路33は、PチャネルMOSトランジスタM3、M4と、NチャネルMOSトランジスタM5、M6と、電流源IS2とを含む。

【0023】

コモンモード電圧発生回路34は、入力ピンRxP、RxNを介して入力される差動信号をレシーバ回路33が正常に受信するために必要な電位を抵抗R1、R2の接続点に与

10

20

30

40

50

える。

【 0 0 2 4 】

また、信号 I D L E は半導体装置 3 1 の出力制御信号である。即ち、信号 I D L E がハイレベルの場合には P チャネル M O S トランジスタ M 1 , M 2 がオン状態となり、出力ピン T x P , T x N から差動信号が出力されなくなる。

【 0 0 2 5 】

一方、ホスト側機器 3 5 は、高速差動信号用のドライバ回路 3 6 及びレシーバ回路 3 7 と、N O R 回路 G T 3 , G T 4 と、抵抗 R 5 , R 6 と、コモンモード電圧発生回路 3 8 と、高速差動信号用の出力ピン T x P , T x N と、高速差動信号用の入力ピン R x P , R x N とを備える。ドライバ回路 3 6 は、P チャネル M O S トランジスタ M 7 , M 8 と、抵抗 R 7 , R 8 と、電流源 I S 3 とを含む。レシーバ回路 3 7 は、P チャネル M O S トランジスタ M 9 , M 1 0 と、N チャネル M O S トランジスタ M 1 1 , M 1 2 と、電流源 I S 4 とを含む。

10

【 0 0 2 6 】

半導体装置 3 1 のドライバ回路 3 2 から送信された差動信号は、半導体装置 3 1 の出力ピン T x P , T x N とホスト側機器 3 5 の入力ピン R x P , R x N を介して、ホスト側機器 3 5 のレシーバ回路 3 7 に受信される。また、ホスト側機器 3 5 のドライバ回路 3 6 から送信された差動信号は、ホスト側機器 3 5 の出力ピン T x P , T x N と半導体装置 3 1 の入力ピン R x P , R x N を介して、半導体装置 3 1 のレシーバ回路 3 3 に受信される。

【 0 0 2 7 】

20

ここで、図 8 に示すように、半導体装置 3 1 には、半導体チップ 1 7 を静電気放電 (ESD : Electro-Static Discharge) から保護するための E S D 保護素子 3 9 a ~ 3 9 d が組み込まれている。

【 0 0 2 8 】

E S D 保護素子 3 9 a は、ソースとゲートが電源に接続され、ドレインがドライバ回路 3 2 と出力ピン T x P の接続点に接続された P チャネル M O S トランジスタと、ソースとゲートが接地され、ドレインがドライバ回路 3 2 と出力ピン T x P の接続点に接続された N チャネル M O S トランジスタとから構成される。それぞれの M O S トランジスタは、実質的にクランプダイオードとして機能する。これにより、出力ピン T x P にサージ電流が入力された際に、そのサージ電流を電源又は接地に逃がすことができる。他の E S D 保護素子 3 9 b ~ 3 9 d も同様の構成及び機能を有する。

30

【 0 0 2 9 】

E S D 保護素子 3 9 a ~ 3 9 d の構成は、これに限る物ではないが、一般的に、通常の信号入力時には逆接合となる半導体素子を用いるため、逆接合部分での容量が発生する。

【 0 0 3 0 】

半導体チップ 1 7 の各パッド 1 8 の近傍には大きな寄生容量が付く。様々な箇所に寄生容量が付くが、E S D 保護素子 3 9 a ~ 3 9 d の半導体領域と半導体基板との間の寄生容量や、パッド 1 8 と他の配線導体又は半導体基板との間の寄生容量が大部分を占める。

【 0 0 3 1 】

伝送線路の途中に大きな寄生容量が付くと、その部分で特性インピーダンスが低下する。これにより特性インピーダンスの不整合が大きくなると、信号の反射による損失が大きくなり、信号の伝達特性が劣化する。

40

【 0 0 3 2 】

しかし、パッド 1 8 や E S D 保護素子 3 9 a ~ 3 9 d などの寄生容量を、無視できる程度に小さくすることは困難である。例えば、E S D 保護素子 3 9 a ~ 3 9 d として必要な容量を確保するためには、素子の大型化は避けられず、これに伴って寄生容量も大きくなる。また、ワイヤボンディング又はバンプ形成に必要なパッド 1 8 の面積を確保すると、導体面積の増大に伴って寄生容量も大きくなる。

【 0 0 3 3 】

そこで、パッド 1 8 近傍の特性インピーダンスの低下を防ぐためには、パッド 1 8 近傍

50

の他の伝送線路における実効的な寄生容量を低減すればよい。本実施の形態において、パッド 18 からドライバ回路の終端抵抗までの寄生容量は 1 ~ 2 pF である。

【0034】

伝送線路は高周波領域において分布定数回路として振る舞う。このため、パッド 18 及び I/O セルに寄生する寄生容量の影響を打ち消すためには、なるべくその近傍における寄生容量を低減することが有効である。例えば、1 Gbps を超えるデータ転送速度の伝送線路においては、パッド 18 から遠くても 2 cm 以内、好ましくは 1 cm 以内の領域で対策を行うことが有効である。

【0035】

半導体チップ 17 と半導体装置の外部とを仲介するパッケージ部分は、パッド 18 近傍であるだけでなく、そのスケールが大きいために寸法制御による特性インピーダンスの調整量を確保しやすい。そこで、パッケージ部分における実効的な寄生容量の低減に着目する。

【0036】

例えば、出力ピン T x P に記載するパッケージ部分での寄生容量は、差動信号が出力される出力ピン T x N との間の寄生容量 C_{12} と、隣接する GND 電位ピン V s s T x との間の寄生容量 C_0 が支配的となる。特性インピーダンスの低下を防ぐためには、これら全ての寄生容量を低減することが好ましい。しかし、そのために各ピン間の距離を大きくすることは、半導体装置の大型化を招くので好ましくない。

【0037】

線路の特性インピーダンスは、2 つの導体の表面に対向して現れた電荷をつなぐ電気力線が線路に沿って移動する場合の線路内の電界と磁界の比である。即ち、線路の特性インピーダンスは、線路に挟まれた空間を進む電磁波を構成する電界と磁界の比である。従って、線路の特性インピーダンス Z_0 は、損失を無視すると $Z_0 = (L/C)^{0.5}$ で求められる。ただし、C は線路の容量で、L は線路のインダクタンスである。

【0038】

信号ピン T x P と信号ピン T x N との間に発生する電界は、信号ピン T x P と GND 電位ピン V s s T x との間に発生する電界の理想的には 2 倍となる。従って、信号ピン T x P に対して、信号ピン T x N との間隔を広げた場合は、GND 電位ピン V s s T x との間隔を同じだけ広げた場合に比べて、電界強度の減少量が 2 倍となる。

【0039】

また、信号ピン T x P に対して、相殺する磁場を発生させる信号ピン T x N を遠ざけると信号ピン T x P が発生する磁場の強度は大幅に増す。従って、信号ピン T x P に対して、信号ピン T x N との間隔を広げた場合は、GND 電位ピン V s s T x との間隔を同じだけ広げた場合に比べて、インダクタンスの増加量が大きい。

【0040】

よって、差動信号の信号ピン同士の間隔を広げた場合は、固定電位の信号ピンとの間隔を同じだけ広げた場合に比べて、特性インピーダンスに対する実質的な寄与が大きい。従って、限られた寸法の中でピン間の距離を割り当てて実質的な容量の減少及びインダクタンスの増加を目指す場合、差動信号の信号ピン同士の間隔を大きくするのが有効である。

【0041】

本実施の形態では、2 本の差動信号用インナーリード 14 a の間隔を複数のインナーリード 14 の最小間隔よりも広くしている。これにより、特性インピーダンスの不整合を小さくして信号の伝達特性が劣化するのを防ぐことができる。そして、全てのインナーリードの間隔を広くしているわけではないので、半導体装置の大型化を抑制することができる。

【0042】

また、可能であれば、差動信号用インナーリード 14 a と固定電位用インナーリード 14 b との間隔も、複数のインナーリード 14 の最小間隔よりも広くするのが好ましい。ただし、パッケージの外形に対する制約が厳しい場合は、2 本の差動信号用インナーリード

10

20

30

40

50

1 4 a の間隔を、差動信号用インナーリード 1 4 a と固定電位用インナーリード 1 4 b との間隔よりも広くするのが好ましい。

【 0 0 4 3 】

実施の形態 2 .

図 9 は、本発明の実施の形態 2 に係る半導体装置の要部を拡大した平面図である。実施の形態 1 では 2 本の差動信号用インナーリード 1 4 a の間隔を広げたのに対し、本実施の形態では、2 個の差動信号用パッド 1 8 a の間隔を、複数のパッド 1 8 の最小間隔よりも広くしている。

【 0 0 4 4 】

これにより、ボールボンディング位置を離すことができ、ボールボンディング位置から伸びるワイヤーの間隔を広げることができるため、特性インピーダンスの不整合を小さくして信号の伝達特性が劣化するのを防ぐことができる。そして、全てのパッドの間隔を広くしているわけではないので、半導体装置の大型化を抑制することができる。ここで、伝送線路は分布定数回路として振る舞うため、信号周波数の上昇に応じてなるべくパッド 1 8 近傍で対策を施すのが好ましい。これに対し、本実施の形態は、実施の形態 1 よりも更にパッド 1 8 近傍で対策を施すことができるため有効である。

【 0 0 4 5 】

また、可能であれば、差動信号用パッド 1 8 a と固定電位用パッド 1 8 b との間隔も、複数のパッド 1 8 の最小間隔よりも広くするのが好ましい。ただし、半導体チップ 1 7 に対する外形に対する制約が厳しい場合は、2 個の差動信号用パッド 1 8 a の間隔を、差動信号用パッド 1 8 a と固定電位用のパッド 1 8 b との間隔よりも広くするのが好ましい。

【 0 0 4 6 】

実施の形態 3 .

図 1 0 は、本発明の実施の形態 3 に係る半導体装置のパッケージ本体の内部を示す平面図であり、図 1 1 は図 1 0 の要部を拡大した平面図である。本実施の形態 3 では 2 本の差動信号用インナーリード 1 4 a の間隔 W A を、差動信号用インナーリード 1 4 a がアウターリードと連続する部分の間隔 W B よりも広くしている。例えば、間隔 W A を $250\mu\text{m}$ 、間隔 W B を $220\mu\text{m}$ とする。これにより、特性インピーダンスの不整合を小さくして信号の伝達特性が劣化するのを防ぐことができる。そして、全てのインナーリードの間隔を広くしているわけではないので、半導体装置の大型化を抑制することができる。

【 0 0 4 7 】

また、差動信号用インナーリード 1 4 a の全長に渡って、寄生容量の大きなところが形成されるのを避けるのが好ましい。例えば、差動信号用インナーリード 1 4 a において、その全長の半分以上の部分で、2 本の差動信号用インナーリード 1 4 a の間隔を、差動信号用インナーリード 1 4 a がアウターリードと連続する部分の間隔 W B よりも広く、かつ、2 本の差動信号用インナーリード 1 4 a 間の最小距離が、前述の間隔 W B 以上であることが好ましい。

【 0 0 4 8 】

このように差動信号用インナーリード 1 4 a の全体に渡ってリード間隔を十分に確保しようとする、リード抜け防止のための突起部を 2 本の差動信号用インナーリード 1 4 a の間の領域に形成するのが困難になる場合がある。この場合には、インナーリードが途中で大きく折れ曲がる形状を採用することにより、リードが封止樹脂から抜ける問題を防ぐことができる。

【 0 0 4 9 】

また、リード抜け防止の突起を差動信号リードの間の領域とは反対の面に設けてもよい。このようにしても差動信号リード間の最小距離を確保しつつ、リード抜けを防止することができる。

【図面の簡単な説明】

【 0 0 5 0 】

【図 1】本発明の実施の形態 1 に係る半導体装置を示す平面図である。

10

20

30

40

50

【図 2】本発明の実施の形態 1 に係る半導体装置の側面図である。

【図 3】本発明の実施の形態 1 に係る半導体装置のパッケージ本体の内部を示す平面図である。

【図 4】図 3 の要部を拡大した平面図である。

【図 5】本発明の実施の形態 1 に係る半導体装置の製造過程でワイヤボンディングする様子を示す平面図である。

【図 6】図 5 の要部を拡大した平面図である。

【図 7】本発明の実施の形態 1 に係る半導体装置とホスト側機器が接続された状態を示す図である。

【図 8】本発明の実施の形態 1 に係る半導体装置に ESD 保護素子を組み込んだ状態を示す図である。

10

【図 9】本発明の実施の形態 2 に係る半導体装置の要部を拡大した平面図である。

【図 10】本発明の実施の形態 3 に係る半導体装置のパッケージ本体の内部を示す平面図である。

【図 11】図 10 の要部を拡大した平面図である。

【符号の説明】

【0051】

13 ダイパッド

14 インナーリード

14a 差動信号用のインナーリード

14b 固定電位用インナーリード

15 T字型インナーリード

15a 第 1 リード部

15b 第 2 リード部

16 GND リード

17 半導体チップ

18 パッド

18a 差動信号用のパッド

18b 固定電位用パッド

21 ワイヤー（第 1 ワイヤー）

22 GND ワイヤー

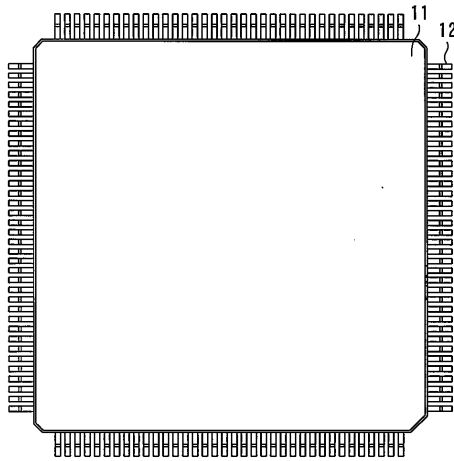
23 ワイヤー（第 2 ワイヤー）

24 リード押え

20

30

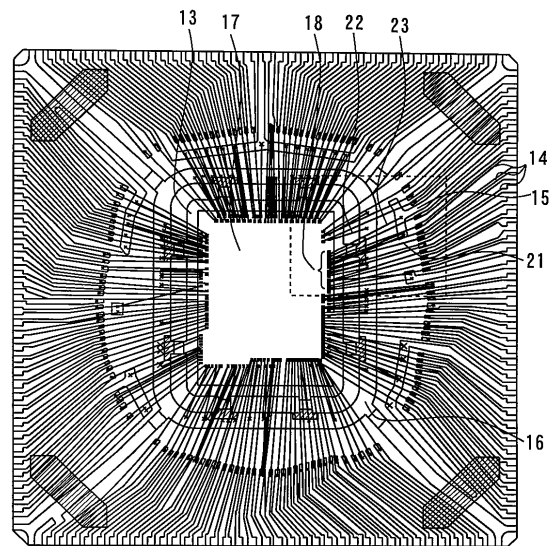
【図 1】



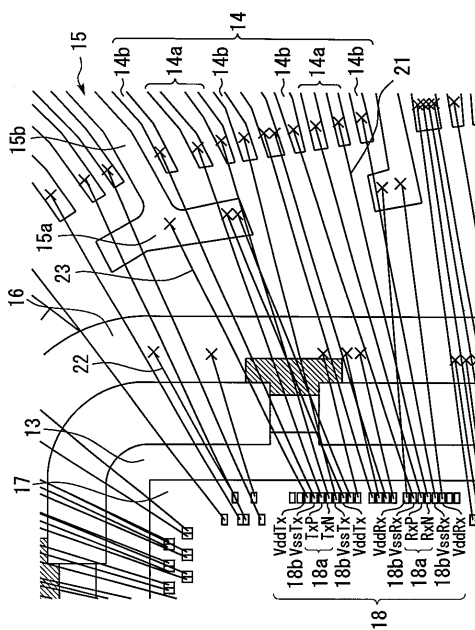
【図 2】



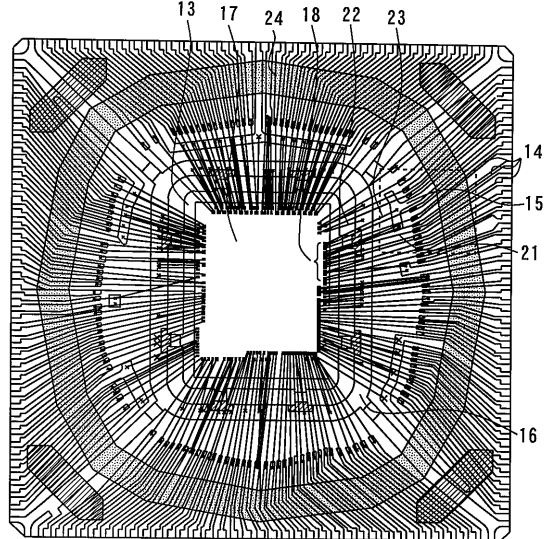
【図 3】



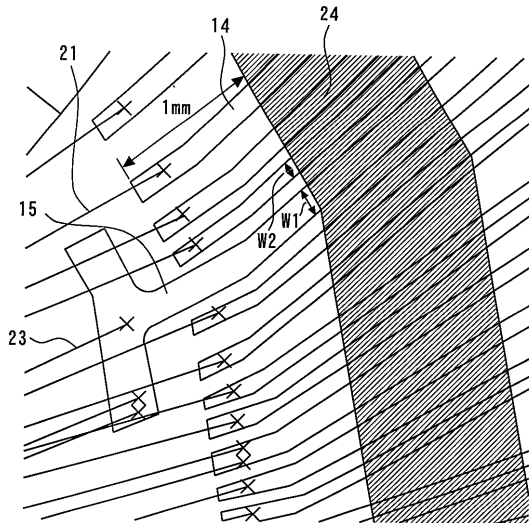
【図 4】



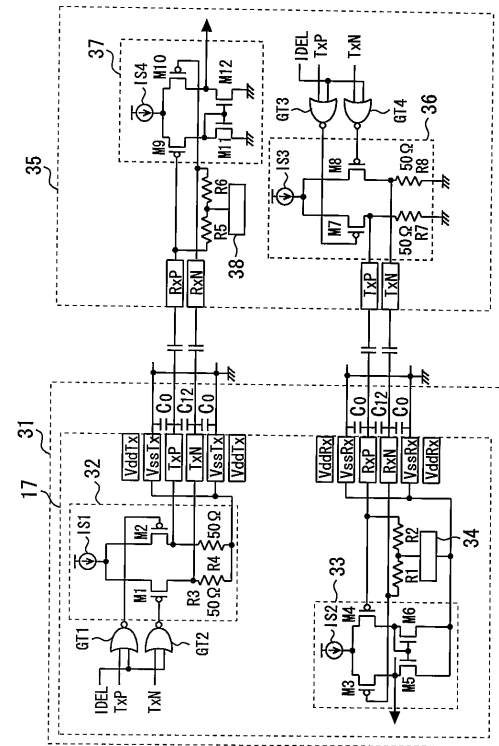
【図 5】



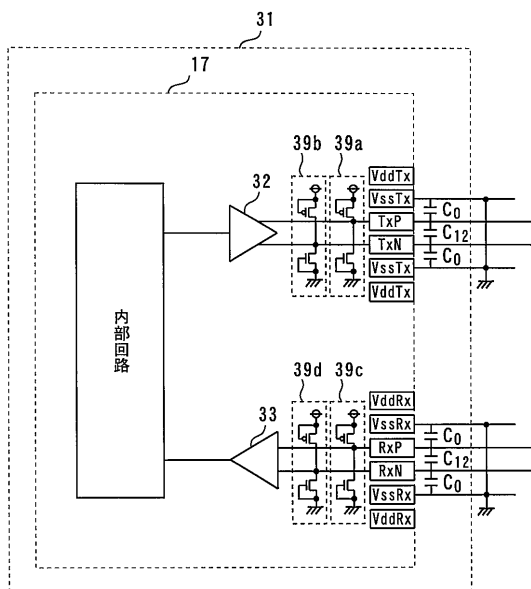
【図 6】



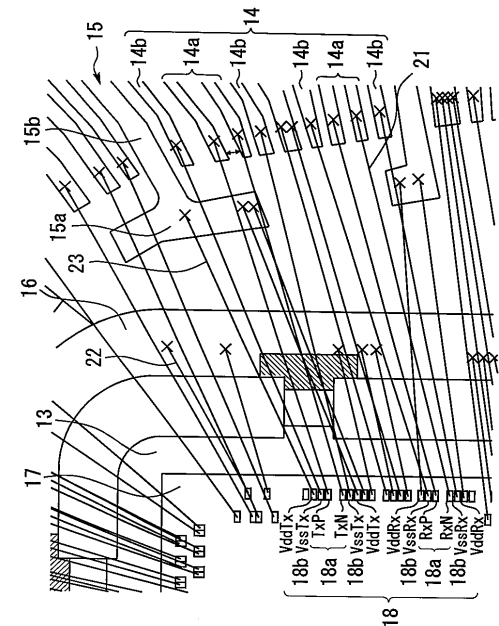
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 高田 泰紀
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 安田 直世
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 新川 秀之
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 福留 勝幸
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- Fターム(参考) 5F067 AA11 AB03 BB01 BB03 CD03