

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-519660

(P2018-519660A)

(43) 公表日 平成30年7月19日(2018.7.19)

(51) Int.Cl.	F I	テーマコード (参考)
H 0 1 L 29/74 (2006.01)	H 0 1 L 29/74 W	5 F 0 0 5
	H 0 1 L 29/74 D	

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号	特願2017-561886 (P2017-561886)	(71) 出願人	505056845 アーベーパー・シュバイツ・アーゲー
(86) (22) 出願日	平成28年5月25日 (2016. 5. 25)		スイス国、シーエイチー 5 4 0 0 パーデ
(85) 翻訳文提出日	平成30年1月25日 (2018. 1. 25)		ン、ブラウン・ボベリ・シュトラーセ 6
(86) 国際出願番号	PCT/EP2016/061735	(74) 代理人	110001195
(87) 国際公開番号	W02016/193078		特許業務法人深見特許事務所
(87) 国際公開日	平成28年12月8日 (2016. 12. 8)	(72) 発明者	ベッリーニ, マルコ
(31) 優先権主張番号	15169806.5		スイス、8 9 5 2 シュリーレン、シュ
(32) 優先日	平成27年5月29日 (2015. 5. 29)		ルシュトラーセ、2 5 ・ ペー
(33) 優先権主張国	欧州特許庁 (EP)	(72) 発明者	ボベキー, ヤン
			スイス、5 6 0 0 レンツブルク、ラート
			ハウスガッセ、3 5
		(72) 発明者	コミン, パウル
			スイス、8 0 0 6 チューリッヒ、ザンク
			ト・モーリッツシュトラーセ、7
			最終頁に続く

(54) 【発明の名称】 プラズマの広がり方が改良されたサイリスタ

(57) 【要約】

エミッタショートを有するサイリスタが提供される。第1のメイン側(202)に平行な平面上への正射影において、第1の電極層(214)と第1のエミッタ層(206)およびエミッタショート(228)との電氣的接触がカバーする接触エリアは、レーン(250A~250D)状のエリアを含む。当該レーン状のエリアにおいて、エミッタショート(228)のエリアカバー率は、接触エリアの残りのエリアにおけるエミッタショート(228)のエリアカバー率よりも小さい。特定のエリアにおけるエミッタショート(228)のエリアカバー率とは、当該特定のエリアに対する、当該特定のエリアにおけるエミッタショート(228)によるカバーエリアである。本発明のサイリスタは、複雑な増幅ゲート構造を有しなくても、高速のターンオン処理を行なうことができる。

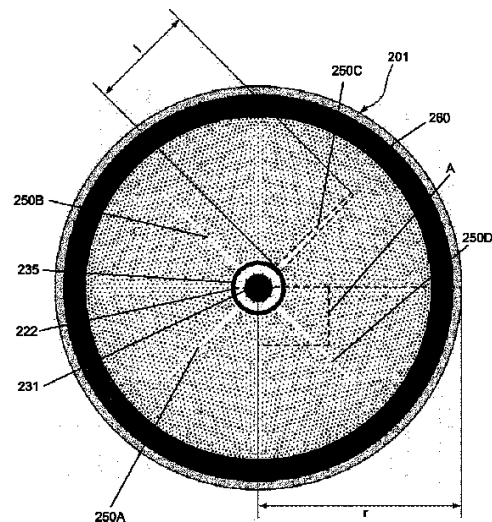


Fig. 7

【特許請求の範囲】

【請求項 1】

サイリスタデバイス(200)であって、
第1のメイン側(202)と、前記第1のメイン側(202)とは反対側の第2のメイン側(204)とを有する半導体ウエハ(301; 501)と、
前記第1のメイン側(202)上に配置された第1の電極層(214)と、
前記第1のメイン側(202)上に配置され、前記第1の電極層(214)から電氣的に分離された第2の電極層(218)と、
前記第2のメイン側(204)上に配置された第3の電極層(216)とを備え、
前記半導体ウエハ(301; 501)は、

第1の導電型であり、前記第1の電極層(214)と電氣的に接触する第1のエミッタ層(206)と、

前記第1の導電型とは異なる第2の導電型であり、前記第2の電極層(218)と電氣的に接触し、前記第1のエミッタ層(206)とともに第1のp-n接合を形成している第1のベース層(208)と、

前記第1の導電型であり、前記第1のベース層(208)とともに第2のp-n接合を形成している第2のベース層(210)と、

前記第2の導電型であり、前記第3の電極層(216)と電氣的に接触し、前記第2のベース層(210)とともに第3のp-n接合を形成している第2のエミッタ層(212)とを含み、

前記サイリスタデバイス(200)は、

分離した複数のエミッタショート(228)を備え、各エミッタショート(228)は、前記第1のエミッタ層(206)を貫通することによって、前記第1のベース層(208)と前記第1の電極層(214)とを電氣的に接続し、

前記第1のメイン側(202)に平行な平面上への正射影において、前記第1の電極層(214)と前記第1のエミッタ層(206)および前記エミッタショート(228)との電氣的接触がカバーする接触エリアは、エミッタショート(228)が配置されていないレーン(350A~350F; 550A~550F)状のエリアを含み、

前記レーン(350A~350F; 550A~550F)の幅は、前記接触エリア内で互いに隣り合うエミッタショート(228)の中心間の平均距離の少なくとも2倍であり、

前記レーン(350A~350F; 550A~550F)は曲線状である、サイリスタデバイス(200)。

【請求項 2】

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記レーン(350A~350F; 550A~550F)は、前記第2の電極層(218)に隣接する前記接触エリアのエッジから、前記第2の電極層(218)から離れる方向に延在する、請求項1に記載のサイリスタデバイス(200)。

【請求項 3】

前記レーンは2以上のサブレーンに分岐する、請求項1または2に記載のサイリスタデバイス(200)。

【請求項 4】

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記レーン(350A~350F; 550A~550F)の幅は、30 μ m~5000 μ mの範囲であり、例示的には300 μ m~2000 μ mの範囲である、請求項1~3のいずれか1項に記載のサイリスタデバイス(200)。

【請求項 5】

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記半導体ウエハ(301; 501)は円形であり、前記第1の電極層(214)は、前記半導体ウエハ(301; 501)と同心である円形の金属層である、請求項1~4のいずれか1

10

20

30

40

50

項に記載のサイリスタデバイス(200)。

【請求項6】

補助サイリスタ構造を含み、前記補助サイリスタ構造は、

前記第1のメイン側(202)上に形成され、前記第1のベース層(208)と電氣的に接触している補助ゲート電極層を含み、前記補助ゲート電極層は、前記第1の電極層(214)および前記第2の電極層(218)から電氣的に分離されており、

前記第1の導電型である第3のエミッタ層を含み、前記第3のエミッタ層は、前記第1のベース層(208)によって前記第1のエミッタ層(206)から分離され、前記第1のベース層(208)とともに第4のp-n接合を形成し、前記第2の電極層(218)と電氣的に接触する、請求項1~5のいずれか1項に記載のサイリスタデバイス(200)。

10

【請求項7】

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記半導体ウエハ(301;501)は円形であり、前記第2の電極層(218)は、前記半導体ウエハ(301;501)と同心であるリング状の金属層であり、前記補助ゲート電極層(230)は、前記半導体ウエハ(301;501)と同心である円形の金属層である、請求項6に記載のサイリスタデバイス(200)。

【請求項8】

径方向における前記レーン(350A~350F;550A~550F)の延在は、前記半導体ウエハ(301;501)の半径の10%~90%の範囲であり、例示的には、前記半導体ウエハ(201;301;401;501)の半径の20%~80%の範囲である、請求項5~7のいずれか1項に記載のサイリスタデバイス(200)。

20

【請求項9】

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記レーン(350A~350F)は、前記半導体ウエハ(301)の中心からの距離が長くなるにつれて前記レーン(350A~350F)の幅が小さくなるようなテーパー状である、請求項5~8のいずれか1項に記載のサイリスタデバイス(200)。

【請求項10】

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記エミッタショート(228)の直径は30 μ m~500 μ mの範囲であり、好ましくは50 μ m~200 μ mの範囲である、請求項1~9のいずれか1項に記載のサイリスタデバイス(200)。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、請求項1のブリアンブルに係るサイリスタに関する。

【背景技術】

【0002】

シリコン制御整流子(SCR)と呼ばれることもあるサイリスタは、正のゲートトリガ電流パルスを与えてゲート端子に与えることによって順方向で(すなわち、順方向にバイアスされたときに)ターンオンされ得るスイッチングデバイスである。そうすると、サイリスタは、電流がアノードからカソードへ順方向に流れることができる順導通状態、すなわちオン状態になると言われている。一方、サイリスタは、順方向の高い正電圧を阻止可能であることを意味する順阻止状態(オフ状態とも呼ばれる)にもなり得る。順方向とは反対の逆方向では、サイリスタをターンオンすることができない。サイリスタは逆阻止型であってもよく、これは、サイリスタが、順阻止状態と少なくともほぼ同じ逆方向の電圧を阻止可能であることを意味する。または、サイリスタは非対称型であってもよく、これは、サイリスタが逆方向において事実上阻止能力を有しないことを意味する。位相制御の用途では、一般的に逆阻止能力が必要であるため、位相制御サイリスタ(PC T)は典型的には逆阻止型である。

40

50

【0003】

図1には、公知のサイリスタ100の断面を概略的に示す。サイリスタは、交互の導電型を有する4つの半導体層を含むサイリスタ構造、すなわちn-p-n-p積層構造が形成された半導体ウエハを含む。サイリスタ構造は、サイリスタ100のカソード側102からアノード側104へ順に、 n^+ ドープカソードエミッタ層106と、pドープベース層108と、 n^- ドープベース層110と、pドープアノード層112とを含む。 n^+ ドープカソードエミッタ層106は、当該 n^+ ドープカソードエミッタ層106に隣接するように半導体ウエハのカソード側の表面上に形成されたカソード金属層(metallization)114と電氣的に接触している。pドープアノード層112は、当該pドープアノード層112に隣接するように半導体ウエハのアノード側の表面上に形成されたアノード金属層116と電氣的に接触している。pドープベース層108は、当該pドープベース層108に隣接するように半導体ウエハのカソード側の表面上に形成されたゲート金属層118と電氣的に接触している。

10

【0004】

n^+ ドープカソードエミッタ層106とカソード金属層114との間の接触領域をカソード領域と呼び、pドープベース層108とゲート金属層118との間の接触領域をゲート領域と呼ぶ。

【0005】

サイリスタの破壊電圧 V_{BO} 未満の正電圧すなわち順電圧をアノード金属層116とカソード金属層114との間に印加すると、サイリスタ100は、ゲートトリガ電流パルスをゲート金属層118に供給することによって、順阻止状態と順導通状態との間で切替わってもよい。ゲート金属層118にゲートトリガ電流パルスが供給されない間は、サイリスタは阻止状態のままである。しかしながら、ゲートトリガ電流パルスをゲート118に供給することによってサイリスタ100をトリガすると、電子がカソード金属層114から注入され、アノードへ流れて正孔注入となる。さらに、電子正孔プラズマがpドープベース層108および n^- ドープベース層110内に形成され、サイリスタ100を順導通状態に切替え得る。順導通状態は、順電圧が印加される間は維持され得る。アノード金属層116とカソード金属層114との間に印加される順電圧がオフされるか、または逆電圧に変化すると、順導通状態は終了する。アノード金属層116とカソード金属層114との間に負の逆電圧を印加すると、サイリスタ100が逆阻止状態となる。サイリスタ100は、順電圧および別のゲートトリガ電流パルスを再び印加することによって、順導通状態に切替わってもよい。サイリスタ100の完全な阻止状態を得るためには、以前に注入された電子正孔プラズマが再結合プロセスによって消失し、それによりデバイスの順阻止機能が再び有効になるように、静止時間 t_q と呼ばれる一定の持続時間、逆電圧を印加する必要がある。

20

30

【0006】

図1に示すサイリスタ100をトリガするためには、かなり大きなゲート電流が必要である。サイリスタのトリガを容易にする公知の手段は、図2に示すサイリスタ100'のように、主サイリスタ126に補助サイリスタ120を統合させるものである。補助サイリスタ120は、しばしば予備サイリスタとも呼ばれる。図2に示すように、サイリスタ100'のアノード金属層116'、pドープアノード層112'、 n^- ドープベース層110'、およびpドープベース層108'は、すべて補助サイリスタ120および主サイリスタ126によって共有される。補助サイリスタ120は、補助ゲート金属層130と呼ばれるゲート金属層を含む。このゲート金属層は、補助サイリスタ120の領域内でpドープベース層108'に接触している。また、補助サイリスタ120は、補助 n^+ ドープエミッタ層122と呼ばれる n^+ ドープエミッタ層も含む。補助 n^+ ドープエミッタ層122は、補助カソード金属層124と呼ばれる補助サイリスタ120のカソード金属層と接触している。

40

【0007】

補助カソード金属層124は、主ゲート金属層118と呼ばれる主サイリスタ126の

50

ゲート金属層に内部接続されている。主ゲート金属層 118 は、主サイリスタ 126 の領域内において、下にある p ドープベース層 108' に接触している。主サイリスタ 126 の領域内の p ドープベース層 108' と主ゲート金属層 118 との間の接触領域もまたゲート領域と呼ぶ。好ましくは、単一の連続した金属層が、補助カソード金属層 124 として、および主ゲート金属層 118 としての両方の役割を果たす。n⁺ ドープエミッタ層 106 は主サイリスタ 126 に含まれ、主サイリスタ 126 のカソード金属層 114 と接触している。主サイリスタ 126 の領域内の n⁺ ドープエミッタ層 106 とカソード金属層 114 との間の接触領域もまたカソード領域と呼ぶ。典型的には、補助カソード金属層 124 は、サイリスタ 100' の外側からアクセスできない。すなわち、外側から補助カソード金属層 124 への直接的な電氣的接続を可能にし得る端子が存在しない。

10

【0008】

小面積デバイスならば、デバイスの中央の小さなゲート領域に比較的緩やかな電流を印加することによって、正常にトリガ可能である。同様のゲート設計の大面積デバイスならば、かなり大きな電流が必要になるであろう。大面積デバイスのターンオン動作を改善するために、補助サイリスタ構造をサイリスタエリアの全体に分散させることにより、ターンオン中に導通領域の広がりを加速することが WO 2011/161097 A2 から公知である。これにより、単純な中央ゲート構造と比較してターンオン損失が低減するとともに、高い di/dt 率が可能になる。

【0009】

大電力の用途のために、サイリスタは、たとえば 4 インチまたは 5 インチの直径を有する円形の半導体ウエハに基づいて開発されてきた。しかしながら、進化したサイリスタの適用は、たとえば 6 インチのウエハに基づく、さらに大きなサイリスタ設計を必要とする。そのような大きなサイリスタ設計のためには、以前の小さなサイリスタ設計を単に規模拡大するだけでは不十分な場合があることが確認されてきた。サイリスタ直径の増大に伴い、他の作用がサイリスタの動作に影響し得るようになった。たとえば、公称電流の大きい大型サイリスタであって、相応の順阻止機能、またはサイリスタ動作中の冷却特性ばかりでなくターンオン特性を有するものは、サイリスタの寸法を比例的に拡大するだけでは実現できない場合がある。

20

【0010】

図 2 に示す、均一な n⁺ ドープカソードエミッタ層 106 を有する上述のサイリスタ 100' は、正電圧の変化 dV/dt を伴う過渡電圧の影響を非常に受けやすい場合があり、それによっていわゆる動的電圧トリガが生じる場合がある。この動的電圧トリガは、n⁺ ドープベース層 110' に空乏層が作られる際にチャージ電流が発生することによって引き起こされるものである。その結果、ドリフト領域が形成される。上記チャージ電流は、サイリスタ 100' のエミッタ層、ベース層、およびドリフト層によって形成される部分トランジスタで増幅される。この不利な点は、分離した複数のエミッタショート 128 をカソード領域にわたって分散させることによって、順方向特性を大幅に妨げることなく軽減され得る。エミッタショート 128 の主な目的は、リーク電流の除去を可能にすることである。このリーク電流は、サイリスタ 100' の順阻止状態の際に発生し、サイリスタの意図しないターンオンを引き起こす場合がある。エミッタショート 128 は、カソードエミッタ層 106 内の小さなスルーホールまたはビアによって形成される。図 3 に示すように、p ドープベース層 108 は、これらのスルーホールまたはビアを通り、カソード金属層 114 で金属被覆されたカソード側の表面 102 に到達し得る。このように形成されたカソード側 102 の n⁺ ドーピングされていない p ドープ領域は、カソード接合部を短絡させる場合があるため、カソードエミッタショートまたはカソードショートとも呼ばれることがある。エミッタショート 128 は、p ドープベース層 108' と n⁺ ドープカソードエミッタ層 106 との間の接合部にわたってオーミックショート回路を形成し、電流のかかなりの部分を低電流密度で伝達する場合がある。すなわち、順阻止が必要とされるすべての局面である。

30

40

【0011】

50

EP 0 002 840 A1から公知であるのは、点弧側 (ignition front) をカソードエミッタゾーンのエッジからカソードエミッタエリアの内側に再配置した結果、改善された最大電流上昇率を呈するサイリスタである。サイリスタゲートおよびカソードエミッタエッジの下に比較的低濃度のドーピングのアノードゾーンを設け、カソードエッジとは反対側、かつカソードエッジの外側に比較的高濃度のドーピングのアノードゾーンを設け、アノードゾーンの低濃度ドーピングエリアにはアノード電極金属コーティングを施さないことによって、上記再配置は達成される。サイリスタは、カソードエミッタショート回路リングを用いる。このカソードエミッタショート回路リングは、サイリスタのトリガ時に生じる点弧側が、カソードエミッタエッジに直接隣接したショート回路リングを迂回するように配置されている。それにより、サイリスタの電圧上昇速度 dU/dt が増加する。

10

【0012】

JP S53 92391 UおよびJP S54 46488 Aからそれぞれ公知であるのは、エミッタショートをするサイリスタデバイスであって、ゲート接触から離れる方向に延在する長手方向エリアにはエミッタショートが設けられないサイリスタデバイスである。

【0013】

JP S54 46488 Aから公知であるのは、エミッタショートを含むサイリスタデバイスであって、エミッタショートが、ゲート接触周辺では残りのエミッタ接触エリアよりも小さなピッチで配置されているサイリスタデバイスである。

【0014】

20

WO 2011/161097 A2によれば、サイリスタのエミッタショートパターンは、できるだけ均一かつ均質であるべきであり、理想的には、部分上面図の図4に示すように、カソード領域全体およびそのすべての小領域にわたって、特にゲート構造に近いカソード領域内でショート密度が一定である。それにより、高い横方向のプラズマ広がり速度、および高い最大電流変化 dI/dt が実現される。

【0015】

ショートパターンは、プラズマの横方向への広がりを制御する。ショートパターン設計の質は、順電圧 dV_{DM}/dt の上昇の臨界的速度、および逆電圧 dV_{RM}/dt の上昇の臨界的速度、回路転流リカバリタイム t_q などのような該当の動的パラメータに反映される。それは、ゲート非トリガ電流 I_{GD} 、ゲートトリガ電流 I_{GT} 、オン状態電圧 V_T などのような静的パラメータにも影響する。また、それはサイリスタの全体的な信頼性にも強く影響を与える。

30

【先行技術文献】

【特許文献】

【0016】

【特許文献1】国際公開第2011/161097号

【特許文献2】欧州特許出願公開第0002840号明細書

【特許文献3】実開昭53-092391号公報

【特許文献4】特開昭54-046488号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0017】

本発明の目的は、静的パラメータおよび動的パラメータが改善されたエミッタショートのパターンを有するサイリスタを提供することである。

【課題を解決するための手段】

【0018】

本発明の目的は、請求項1に係るサイリスタによって達成される。

本発明のサイリスタは、分離した複数のエミッタショートを含む。第1のメイン側に平行な平面上への正射影において、第1の電極層と第1のエミッタ層およびエミッタショートとの電氣的接触がカバーする接触エリアは、レーン状のエリアを含む。当該レーン状の

50

エリアにおいて、エミッタショートのエリアカバー率は、接触エリアの残りのエリアにおけるエミッタショートのエリアカバー率よりも小さい。特定のエリアにおけるエミッタショートのエリアカバー率とは、当該特定のエリアに対する、当該特定のエリアにおけるエミッタショートによるカバーエリアである。

【0019】

本発明のサイリスタでは、デバイスのトリガ中に、プラズマが、デバイスの主ゲート電極である第2の電極の下エリアからレーンに沿って、第1および第2のベース層内を障害なく横方向に広がり、デバイスを局所的にターンオンする。これにより、複雑な増幅ゲートと同様に点弧処理が高速化される。ここで、横方向とは、第1のメイン側に平行な方向である。

10

【0020】

本発明のサイリスタでは、レーンは曲線状である。その結果、レーンが直線状である幾何学的形状と比較して、第1のエミッタ層におけるレーンからの点の距離を短くすることによって、大面積デバイスにおいて点弧処理をさらに高速化することができる。

【0021】

本発明のさらなる展開例が従属請求項で規定される。

例示的な実施形態では、第1のメイン側に平行な平面上への正射影において、レーンは、第2の電極層に隣接する接触エリアのエッジから、第2の電極層から離れる方向に延在している。この実施形態では、第2の電極から離れる方向である横方向へのプラズマの広がりが容易になる。

20

【0022】

例示的な実施形態では、レーンが2以上のサブレーンに分岐している。サブレーン自体が他のサブレーンに分岐してもよい。このような分岐構造によって、第1のエミッタ層におけるレーン（サブレーンを含む）からの点の最大距離を短くすることが可能である。したがって、デバイスエリア全体へのプラズマの広がりが、さらに容易になる。

【0023】

例示的な実施形態では、第1のメイン側に平行な平面上への正射影において、レーンは、半導体ウエハの中心からの距離が長くなるにつれてレーンの幅が小さくなるようなテーパー状である。このような例示的な実施形態では、点弧処理の初期段階が点弧処理の後期段階よりも高速となる。サイリスタの動的パラメータに関して、点弧処理の初期段階が最も重要である。

30

【0024】

本発明の詳細な実施形態および比較例を、添付の図面を参照して以下で説明する。これらの実施形態および比較例は、それら自体は請求される発明の一部を成すものではなく、請求される発明のより良い理解に役立つものである。

【図面の簡単な説明】

【0025】

【図1】サイリスタを断面で示す垂直断面図である。

【図2】補助サイリスタと主サイリスタとを含むサイリスタの垂直断面図である。

【図3】図2に示すサイリスタの部分垂直断面図である。

40

【図4】図2および図3に示すサイリスタのエミッタショートのパターンを上面図で示す図である。

【図5】第1の比較例に係るサイリスタの垂直断面図である。

【図6】図5に示すサイリスタの部分垂直断面図である。

【図7】図5に示すサイリスタの水平断面図である。

【図8】図7に示す水平断面図の部分的な図である。

【図9】本発明の第1の実施形態に係るサイリスタの垂直断面図である。

【図10】第2の比較例に係るサイリスタの垂直断面図である。

【図11】本発明の第2の実施形態に係るサイリスタの垂直断面図である。

【発明を実施するための形態】

50

【 0 0 2 6 】

図において使用される参照符号およびそれらの意味は、参照符号のリストにまとめられている。一般的に、明細書全体を通して同様の要素は同じ参照符号を有する。説明される実施形態および比較例は例として意図されたものであり、本発明の範囲を限定するものではない。

【 0 0 2 7 】

好ましい実施形態および比較例の詳細な説明

図 5 には、第 1 の比較例に係るサイリスタ 2 0 0 の垂直断面が示される。サイリスタ 2 0 0 は、第 1 のメイン側 2 0 2 と、第 1 のメイン側 2 0 2 とは反対側かつ平行な第 2 のメイン側 2 0 4 とを有する半導体ウエハを含む。図 5 の平面は、第 1 のメイン側 2 0 2 に垂直な平面である。半導体ウエハには、交互の導電型を有する 4 つの半導体層、すなわち $n-p-n-p$ 積層構造を含む主サイリスタ 2 2 6 が形成されている。サイリスタ 2 0 0 のカソード側である半導体ウエハの第 1 のメイン側 2 0 2 から、サイリスタ 2 0 0 のアノード側である半導体ウエハの第 2 のメイン側 2 0 4 へ順に、主サイリスタ 2 2 6 は、第 1 の n^+ ドープカソードエミッタ層 2 0 6 と、 p ドープベース層 2 0 8 の主サイリスタ部分と、 n^- ドープベース層 2 1 0 の主サイリスタ部分と、 p ドープアノード層 2 1 2 の主サイリスタ部分とを含む。第 1 の n^+ ドープカソードエミッタ層 2 0 6 は、半導体ウエハの第 1 のメイン側 2 0 2 に形成された第 1 のカソード金属層 2 1 4 と電氣的に接触している。第 1 のカソード金属層 2 1 4 は、上記第 1 の n^+ ドープカソードエミッタ層 2 0 6 とのオーミック接触を形成する。 p ドープアノード層 2 1 2 は、半導体ウエハの第 2 のメイン側 2 0 4 に形成されたアノード金属層 2 1 6 と電氣的に接触している。アノード金属層 2 1 6 は、(主サイリスタ 2 2 6 の領域内および後述の補助サイリスタ 2 2 0 の領域内で) 上記 p ドープアノード層 2 1 2 とのオーミック接触を形成する。 p ドープベース層 2 0 8 は、半導体ウエハの第 1 のメイン側 2 0 2 に形成された第 1 のゲート金属層 2 1 8 と電氣的に接触している。第 1 のゲート金属層 2 1 8 は、主サイリスタ 2 2 6 の領域内の p ドープベース層 2 0 8 とのオーミック接触、すなわち p ドープベース層 2 0 8 の主サイリスタ部分とのオーミック接触を形成する。

【 0 0 2 8 】

第 1 の n^+ ドープカソードエミッタ層 2 0 6 と第 1 のカソード金属層 2 1 4 との間の接触領域を主カソード領域と呼び、 p ドープベース層 2 0 8 と第 1 のゲート金属層 2 1 8 との間の接触領域を主ゲート領域 2 3 5 と呼ぶ (図 7 に図示)。

【 0 0 2 9 】

図 5 に示すサイリスタ 2 0 0 のトリガを容易にするために、半導体ウエハにおいて補助サイリスタ 2 2 0 が主サイリスタ 2 2 6 と統合されている。補助サイリスタ 2 2 0 は予備サイリスタとも呼ばれ、半導体ウエハにおいて主サイリスタ 2 2 6 の横方向の隣に配置されている。主サイリスタ 2 2 6 と同様に、補助サイリスタ 2 2 0 は、交互の導電型を有する 4 つの半導体層、すなわち $n-p-n-p$ 積層構造を含む。半導体ウエハの第 1 のメイン側 2 0 2 から半導体ウエハの第 2 のメイン側 2 0 4 へ順に、補助サイリスタ 2 2 0 は、第 2 の n^+ ドープカソードエミッタ層 2 2 2 と、 p ドープベース層 2 0 8 の補助サイリスタ部分と、 n^- ドープベース層 2 1 0 の補助サイリスタ部分と、 p ドープアノード層 2 1 2 の補助サイリスタ部分とを含む。第 2 の n^+ ドープカソードエミッタ層 2 2 2 は、半導体ウエハの第 1 のメイン側 2 0 2 に形成された第 2 のカソード金属層 2 2 4 と電氣的に接触している。第 2 のカソード金属層 2 2 4 は、上記第 2 の n^+ ドープカソードエミッタ層 2 2 2 とのオーミック接触を形成する。補助サイリスタ 2 2 0 の領域において、 p ドープベース層 2 0 8 は、半導体ウエハの第 1 のメイン側 2 0 2 に形成された第 2 のゲート金属層 2 3 0 と電氣的に接触している。第 2 のゲート金属層 2 3 0 は、上記 p ドープベース層 2 0 8 とのオーミック接触を形成する。

【 0 0 3 0 】

第 2 の n^+ ドープカソードエミッタ層 2 2 2 と第 2 のカソード金属層 2 2 4 との間の接触領域を補助カソード領域と呼び、 p ドープベース層 2 0 8 と第 2 のゲート金属層 2 3 0

との間の接触領域を補助ゲート領域 231 と呼ぶ（図 7 に図示）。

【0031】

上記のように、p ドープベース層 208 は、主サイリスタ 226 および補助サイリスタ 220 によって共有される連続した層である。p ドープベース層 208 の主サイリスタ部分は、この連続した p ドープベース層 208 のうちの、主サイリスタ 226 の領域内に位置する部分である。一方、p ドープベース層 208 の補助サイリスタ部分は、この連続した p ドープベース層 208 のうちの、補助サイリスタ 226 の領域内の部分である。同様に、n⁺ ドープベース層 210 および p ドープアノード層 212 は、主サイリスタ 226 および補助サイリスタ 220 によって共有される連続した層である。主サイリスタ 226 において、第 1 の n⁺ ドープカソードエミッタ層 206 は、p ドープベース層 208 とともに p - n 接合を形成する。補助サイリスタ 220 において、第 2 の n⁺ ドープカソードエミッタ層 222 は、p ドープベース層 208 とともに p - n 接合を形成する。主サイリスタ 226 の領域内および補助サイリスタ 220 の領域内において、p ドープベース層 208 は、n⁺ ドープベース層 210 とともに p - n 接合を形成する。主サイリスタ 226 の領域内および補助サイリスタ 220 の領域内において、n⁺ ドープベース層 210 は、p ドープアノード層 212 とともに p - n 接合を形成する。

10

【0032】

補助サイリスタ 220 の領域内の第 2 のカソード金属層 224 は、主サイリスタ 226 の領域内の第 1 のゲート金属層 218 に内部接続されている。単一の連続した金属層が、第 2 のカソード金属層 224 として、および第 1 のゲート金属層 218 としての両方の役割を果たす。典型的には、第 2 のカソード金属層 224 は、サイリスタ 200 の外側からアクセスできない。すなわち、外側から第 2 のカソード金属層 224 または第 1 のゲート金属層 218 への直接的な電氣的接続を可能にし得る端子が存在しない。第 1 のカソード金属層 214、第 1 のゲート金属層 218、第 2 のカソード金属層 224、および第 2 のゲート金属層 230 は、すべて厚さが同じであってもよく、同じ処理工程で堆積されてもよい。

20

【0033】

図 6 に示す部分垂直断面から分かるように、分離した複数のエミッタショート 228（図 5 には図示せず）が主カソード領域にわたって形成されている。図 6 に示すように、エミッタショート 228 は、第 1 のカソードエミッタ層 206 を貫通する p ドープ領域によって形成されており、第 1 のカソード金属層 214 を p ドープベース層 208 に接続している。エミッタショート 228 のドーピングレベルは p ドープベース層 208 のドーピングレベルと同じでもよいし、p ドープベース層 208 のドーピングレベルよりも高くてもよい。

30

【0034】

図 7 は、第 1 のメイン側 202 付近における、サイリスタ 200 の半導体ウエハ 201 の水平断面を示す。図 7 の平面は、第 1 のメイン側 202 に平行である。半導体ウエハ 201 のうちの、p 型エリアを黒で示し、n 型エリアを白で示す。半導体ウエハ 201 の中央には、p ドープベース層 208 のうちの、補助ゲート領域 231 に対応する部分である円形の p 型領域が配置されている。補助ゲート領域 231 は、円形の半導体ウエハと同心である。補助ゲート領域 231 を側方から囲んで、補助カソード領域に対応する第 2 の n⁺ ドープカソードエミッタ層 222 であるリング状の n 型領域が配置されている。リング状の第 2 の n⁺ ドープカソードエミッタ層 222 は、円形の半導体ウエハ 201 と同心である。リング状の第 2 の n⁺ ドープカソードエミッタ層 222 を囲んで、p ドープベース層 208 のうちの、主ゲート領域 235 に対応する部分であるリング状の p 型領域が配置されている。半導体ウエハ 201 の周縁エッジ領域には、エッジ終端リング 260 が形成されている。エッジ終端リング 260 は、第 1 のメイン側 202 付近におけるリング状の p 型領域であり、円形の半導体ウエハ 201 と同心である。エッジ終端リング 260 と主ゲート領域 235 との間には、主カソード領域に対応するリング状の第 1 の n⁺ ドープカソードエミッタ層 206 が配置されている。第 1 の n⁺ ドープカソードエミッタ層 206

40

50

を貫通するエミッタショート 228 は、図 7 では黒点として示されている。

【0035】

エミッタショート 228 が形成されていない直線状の縦長のレーン 250A、250B、250C、および 250D として形作られたエリアを除いて、エミッタショート 228 は、第 1 の n^+ ドープカソードエミッタ層 206 にわたって均一に分散している。

【0036】

レーン 250A、250B、250C、および 250D は、主ゲート領域の近傍から始まり、デバイスの外周に向かって延在する。具体的には、第 1 の比較例では、第 1 のメイン側 202 に平行な平面上への正射影において、レーンは主ゲート領域 235 に隣接する第 1 の n^+ ドープカソードエミッタ層 206 のエッジから始まり、主ゲート領域 235 から離れる方向に延在する。第 1 の比較例では、レーン 250A、250B、250C、250D は、すべて同じ長さ l を有し、半導体ウエハ 201 の周縁エッジ付近のそれぞれの端部に向かってテーパ状になっている。これは、半導体ウエハの中心からの距離が長くなるにつれて、レーン 250A、250B、250C、250D の幅が小さくなることを意味する。第 1 の比較例では、レーン 250A、250B、250C、250D は、半径 r を有する半導体ウエハ 201 の径方向に沿って位置合わせされている。

【0037】

図 8 は、図 7 に示す水平断面におけるセクション A の部分図である。図 8 には、補助ゲート領域 231 の一部が示される。第 2 の n^+ ドープカソードエミッタ層 222 には、エミッタショート 228 p 型領域のような複数の補助エミッタショート 232 が配置されており、これらの複数の補助エミッタショート 232 は、第 2 の n^+ ドープカソードエミッタ層 222 を貫通するとともに、p 型のベース層 208 を第 2 のカソード金属層 224 に接続している。補助エミッタショート 232 は、補助ゲート領域 231 近傍のエリアに形成されるにすぎない。図 8 では、レーン 250D の 2 つの異なる位置における幅 w_1 、 w_2 を例示的に示す。第 1 の径方向位置における第 1 の幅 w_1 は、第 2 の径方向位置における幅 w_2 よりも広く、第 1 の径方向位置は、第 2 の径方向位置よりもリング状の主ゲート領域 235 に近い。これは、レーン 250D がテーパ形状であることを表わす。

【0038】

第 1 のメイン側に平行な平面上への正射影において、レーン 250A、250B、250C、250D の幅は、主カソード領域内で互いに隣り合うエミッタショート 228 の中心間の平均距離の少なくとも 2 倍である。レーン 250A、250B、250C、250D の幅は $30\mu\text{m} \sim 5000\mu\text{m}$ の範囲であってもよく、例示的には $300\mu\text{m} \sim 2000\mu\text{m}$ の範囲である。

【0039】

例示的な実施形態では、径方向におけるレーン 250A、250B、250C、250D の長さ l は、半導体ウエハ 201 の半径 r の $10\% \sim 90\%$ の範囲であり、例示的には半導体ウエハ 201 の半径 r の $20\% \sim 80\%$ の範囲である。

【0040】

第 1 のメイン側 202 に平行な平面上への正射影において、エミッタショート 228 の直径は $30\mu\text{m} \sim 500\mu\text{m}$ の範囲であり、例示的には $50\mu\text{m} \sim 200\mu\text{m}$ の範囲である。

【0041】

サイリスタ 200 が動作する際、デバイスのトリガ中に、プラズマ形成は、中心付近の領域からレーンに沿って外周に向かって径方向に、p ドープベース層 208 内および n^- ドープベース層 210 内を障害なく広がり、デバイスを局所的にターンオンする。これにより、たとえば WO2011/161097A2 から公知の複雑な増幅ゲートと同様に、点弧処理が高速化される。

【0042】

第 2 のゲート金属層 230 は、典型的には細線（図示せず）を介してゲートユニット（図示せず）に接続されている。一方、第 1 のカソード金属層 214 は、典型的にはその上

10

20

30

40

50

にモリブデン円盤（図示せず）が押付けられて接触している。主ゲート領域 235 は、円形の補助ゲート領域 231 と周囲の主カソード領域との間にリングとして形成されるという幾何学的形状を有しているので、モリブデン円盤と第 1 のゲート金属層 218 との間の電气的分離は、第 1 のゲート金属層 218 の上面と第 1 のカソード金属層 214 の上面とが異なる高さであることを必要としない。第 1 のゲート金属層 218、第 2 のカソード金属層 224、および第 2 のゲート金属層 230 との接触を避けるために、モリブデン円盤は中央領域に円形の穴を有してもよい。第 1 のカソード金属層 214、第 1 のゲート金属層 218、第 2 のカソード金属層 224、および第 2 のゲート金属層を同じ厚さに設け、それらの上面が同じ高さになるようにすると、複雑な増幅ゲート構造を有する公知のサイリスタと比較して、サイリスタ 200 の製造工程を簡素化することができる。なお、複雑な増幅ゲート構造を有する公知のサイリスタでは、増幅ゲート構造とカソード側モリブデン円盤とを分離するために、主カソードの金属層の厚さを増幅ゲート構造の厚さよりも大きくする必要がある。本発明のサイリスタ 200 では、複雑な増幅ゲート構造を回避した結果、カソードエリアが増大し、ひいてはオン状態電圧 V_T が減少する。

【0043】

次に図 9 を参照して、本発明の第 1 の実施形態に係るサイリスタについて説明する。図 9 は、半導体ウエハ 301 の第 1 のメイン側 202 付近における、半導体ウエハ 301 の水平断面を示す。図 9 における平面は、半導体ウエハ 301 の第 1 のメイン側 202 に平行かつ近接するものである。以下において、第 1 の実施形態に係るサイリスタの特徴のうち、第 1 の比較例に係るサイリスタ 200 の特徴とは異なる特徴のみについて述べ、第 1 の比較例および第 1 の実施形態で共通する特徴については繰返さない。特に断りがなければ、図中の同じ参照符号は、同じ特徴を有する同じ要素に関するものである。したがって、それらの特徴に関するさらなる詳細に関しては、第 1 の比較例の記載を参照されたい。図 9 に示すように、第 1 の実施形態に係るサイリスタの主カソード領域内にはレーン 350A、350B、350C、350D、350E、350F の形状のエリアが存在し、これらのエリア内にはエミッタショート 228 が形成されていない。これらのレーン 350A、350B、350C、350D、350E、350F は、直線状ではなく曲線状である点において、第 1 の比較例に係るサイリスタ 200 の主カソード領域内のレーン 250A、250B、250C、250D とは異なる。さらに、第 1 の比較例に係るサイリスタ 200 ではレーン 250A、250B、250C、250D の数が 4 つであるのに対して、第 1 の実施形態ではレーン 350A、350B、350C、350D、350E、350F の数は 6 つである。第 1 の比較例のようにレーン 250A、250B、250C、250D が直線状である幾何学的形状と比較して、第 1 の実施形態に係るサイリスタでは、第 1 の n^+ ドープカソードエミッタ層 206 におけるレーン 350A、350B、350C、350D、350E、350F からの点の距離を短くすることによって、大面積デバイスにおいて点弧処理をさらに高速化することができる。第 1 の実施形態では、レーン 350A、350B、350C、350D、350E、350F が曲線状の幾何学的形状であることに加えて、レーン 350A、350B、350C、350D、350E、350F の数がより多いため、点弧処理の速度が上がる。

【0044】

次に図 10 を参照して、第 2 の比較例に係るサイリスタについて説明する。図 10 は、半導体ウエハ 401 の第 1 のメイン側 202 付近における、半導体ウエハ 401 の水平断面を示す。図 9 における平面は、半導体ウエハ 301 の第 1 のメイン側 202 に平行かつ近接するものである。以下において、第 2 の比較例に係るサイリスタの特徴のうち、第 1 の比較例に係るサイリスタの特徴とは異なる特徴のみについて述べ、第 2 の比較例に係るサイリスタの特徴のうち、第 1 の比較例と共通の特徴については繰返さない。特に断りがなければ、図中の同じ参照符号は、同じ特徴を有する同じ要素に関するものである。したがって、それらの特徴に関するさらなる詳細に関しては、第 1 の比較例の記載を参照されたい。図 10 に示す第 2 の比較例に係るサイリスタでは、レーン 450A、450B、450C、450D がそれぞれ 3 つのサブレーンに分岐している点で、第 1 の比較例のレー

ン 2 5 0 A、2 5 0 B、2 5 0 C、2 5 0 Dとは異なる。具体的には、レーン 4 5 0 Cは、分岐点 4 5 1 Cにおいて3つのサブレーン 4 5 2 C、4 5 3 C、4 5 4 Cに分岐している。このような分岐構造によって、第1の n^+ ドープエミッタ層 2 0 6におけるレーン 4 5 0 A、4 5 0 B、4 5 0 C、4 5 0 D（サブレーン 4 5 2 C、4 5 3 C、4 5 4 Cを含む）からの点の距離を短くすることが可能である。したがって、デバイスエリア全体へのプラズマ形成の広がりが、さらに容易になる。また、サブレーン 4 5 2 C、4 5 3 C、4 5 4 Cの各々は、分岐点 4 5 1 Cから離れる方向にテーパ状である。

【0045】

次に図11を参照して、第2の実施形態に係るサイリスタについて説明する。図11は、半導体ウエハ501の第1のメイン側202付近における、半導体ウエハ501の水平断面を示す。図11における平面は、半導体ウエハ501の第1のメイン側202に平行かつ近接するものである。以下において、第2の実施形態に係るサイリスタの特徴のうち、第1の実施形態に係るサイリスタの特徴とは異なる特徴のみについて述べ、第2の実施形態に係るサイリスタの特徴のうち、第1の実施形態と共通の特徴については繰返さない。特に断りがなければ、図中の同じ参照符号は、同じ特徴を有する同じ要素に関するものである。したがって、それらの特徴に関するさらなる詳細に関しては、第1の実施形態の記載を参照されたい。図9に示す第1の実施形態に係るサイリスタと同様に、図11に示す第2の実施形態に係るサイリスタも6つのレーン550A、550B、550C、550D、550E、550Fを有する。さらに、これらの6つのレーン550A～550Fは、6つのレーン350A～350Fと同様に曲線状である。しかしながら、第2の実施形態に係るサイリスタにおけるレーン550A～550Fは、半導体ウエハ501の中心から離れる方向にテーパ状なのではなく、半導体ウエハ501の中心に向かう方向にテーパ状である点で、第1の実施形態に係るサイリスタにおけるレーン350A～350Fとは異なる。これは、半導体ウエハ501の中心からの距離が長くなるにつれて、レーン350A～350Fの幅が大きくなることを意味する。

【0046】

上述の説明では、本発明の特定の実施形態および比較例について説明した。しかしながら、上述の実施形態および比較例の代替例および変更例が可能である。特に、上述の実施形態および比較例では、レーン250A～250D、350A～350E、450A～450D（サブレーン452C、452C、453Cを含む）、550A～550E内には、それぞれエミッタショート228が形成されていない。しかしながら、レーン250A～250D、350A～350E、450A～450D（サブレーン452C、452C、453Cを含む）、550A～550Eにおけるエミッタショート228のエリアカバー率が主カソード領域の残りのエリアにおけるエミッタショート228のエリアカバー率よりも小さいならば（特定のエリアにおけるエミッタショート228のエリアカバー率とは、当該特定のエリアに対する、当該特定のエリアにおけるエミッタショート228によるカバーエリアである）、エミッタショート228は、レーン250A～250D、350A～350E、450A～450D（サブレーン452C、452C、453Cを含む）、550A～550E内に形成されてもよい。

【0047】

上述の実施形態および比較例のように、第1のメイン側202に平行な平面上への正射影において、レーン250A～250D、350A～350E、450A～450D（サブレーン452C、452C、453Cを含む）、550A～550Eにエミッタショートが配置されない例示的な実施形態において、点弧処理が最も高速である。

【0048】

例示的には、第1のメイン側202に平行な平面上への正射影において、レーン250A～250D、350A～350E、450A～450D（サブレーン452C、452C、453Cを含む）、550A～550E内のエミッタショート228の密度が、レーン250A～250D、350A～350E、450A～450D（サブレーン452C、452C、453Cを含む）、550A～550Eの外側の残りの主カソード領域内の

エミッタショート２２８の密度よりも小さくてもよい。特定のエリアにおけるエミッタショート２２８の密度とは、当該特定のエリアに対する、当該特定のエリア内のエミッタショート２２８の数である。

【００４９】

上述の実施形態および比較例では、第１のメイン側２０２に平行な平面において、すべてのエミッタショート２２８は同じ直径を有する。しかしながら、第１のメイン側２０２に平行な平面において、エミッタショート２２８が異なる直径を有することも可能である。

【００５０】

上述の第２の比較例では、レーン４５０Ａ～４５０Ｄはそれぞれ、１つの分岐点（たとえば４５１Ｃ）から３つのサブレーン（たとえば、サブレーン４５２Ｃ、４５３Ｃ、４５４Ｃ）に分岐している。しかしながら、さらなる分岐点があってもよい。また、サブレーン（たとえば、サブレーン４５２Ｃ、４５３Ｃ、４５４Ｃ）自体が１つ以上の他のサブレーンに分岐してもよい。

【００５１】

上述の実施形態および比較例では、サイリスタ２００は、主サイリスタ２２６と補助サイリスタ２２０とを含む。しかしながら、本発明のサイリスタは、必ずしも補助サイリスタ２２６を有しなくてもよい。

【００５２】

上述の実施形態および比較例では、半導体ウエハが円形であるものとして説明した。しかしながら、半導体ウエハは必ずしも円形でなくてもよい。半導体ウエハは矩形であってもよい。矩形の半導体ウエハの場合、主ゲート領域は、例示的には矩形の半導体ウエハの隅に位置し、隅に位置する主ゲート領域から離れる方向にレーンが延在してもよい。他の如何なる形状の半導体ウエハを使用してもよい。

【００５３】

上述の実施形態および比較例では、主ゲート領域２３５は半導体ウエハ２０１、３０１、４０１、５０１の中心近くに位置し、主カソード領域は主ゲート領域２３５を側方から囲んでいる。しかしながら、その代わりに、主カソード領域が半導体ウエハの中心に形成され、主ゲート領域が主カソード領域を囲んでもよい。

【００５４】

なお、「含む（comprising）」という用語は、他の要素またはステップを排除するものではなく、不定冠詞「a」または「an」は複数形を排除するものではない。また、異なる実施形態および比較例に関連して記載された要素は組み合わせられ得る。

【符号の説明】

【００５５】

１００ サイリスタ
 １００' サイリスタ
 １０２ カソード側
 １０４ アノード側
 １０６ n^+ ドープカソードエミッタ層
 １０８ p ドープベース層
 １０８' p ドープベース層
 １１０ n^- ドープベース層
 １１０' n^- ドープベース層
 １１２ p ドープアノード層
 １１２' p ドープアノード層
 １１４ カソード金属層
 １１６ アノード金属層
 １１６' アノード金属層
 １１８ ゲート金属層

10

20

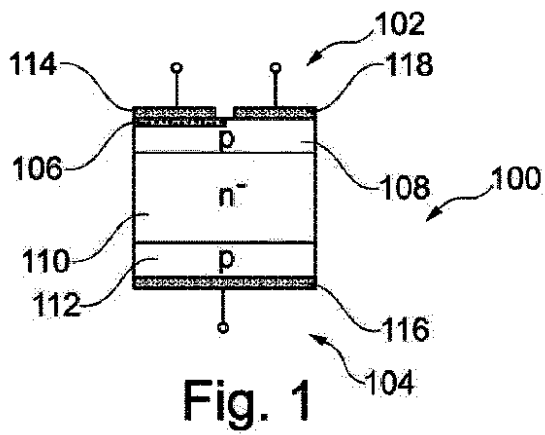
30

40

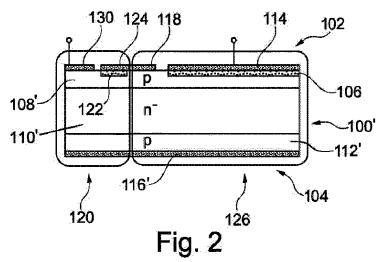
50

1 2 0	補助サイリスタ	
1 2 2	補助 n^+ ドープエミッタ層	
1 2 4	補助カソード金属層	
1 2 6	主サイリスタ	
1 2 8	エミッタショート	
1 3 0	補助ゲート金属層	
2 0 0	サイリスタ	
2 0 1	半導体ウエハ	
2 0 2	第 1 のメイン側	
2 0 4	第 2 のメイン側	10
2 0 6	第 1 の n^+ ドープカソードエミッタ層	
2 0 8	p ドープベース層	
2 1 0	n^- ドープベース層	
2 1 2	p ドープアノード層	
2 1 4	第 1 のカソード金属層	
2 1 6	アノード金属層	
2 1 8	第 1 のゲート金属層	
2 2 0	補助サイリスタ	
2 2 2	第 2 の n^+ ドープカソードエミッタ層	
2 2 4	第 2 のカソード金属層	20
2 2 6	主サイリスタ	
2 2 8	エミッタショート	
2 3 0	第 2 のゲート金属層	
2 3 5	主ゲート領域	
2 3 1	補助ゲート領域	
2 5 0 A	レーン	
2 5 0 B	レーン	
2 5 0 C	レーン	
2 5 0 D	レーン	
2 6 0	エッジ終端リング	30
3 0 1	半導体ウエハ	
3 5 0 A	レーン	
3 5 0 B	レーン	
3 5 0 C	レーン	
3 5 0 D	レーン	
3 5 0 E	レーン	
3 5 0 F	レーン	
4 0 1	半導体ウエハ	
4 5 0 A	レーン	
4 5 0 B	レーン	40
4 5 0 C	レーン	
4 5 0 D	レーン	
5 0 1	半導体ウエハ	
5 5 0 A	レーン	
5 5 0 B	レーン	
5 5 0 C	レーン	
5 5 0 D	レーン	
5 5 0 E	レーン	
5 5 0 F	レーン	

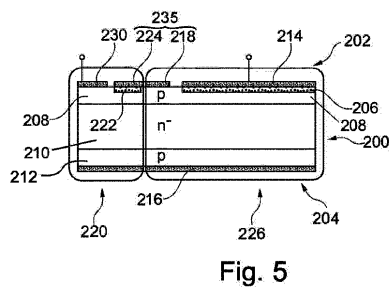
【 図 1 】



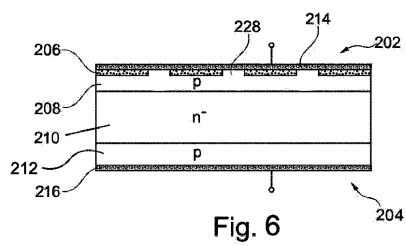
【 図 2 】



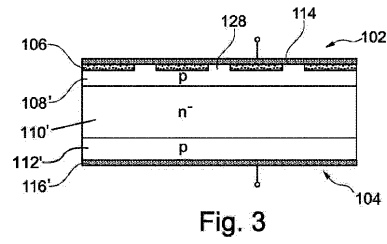
【 図 5 】



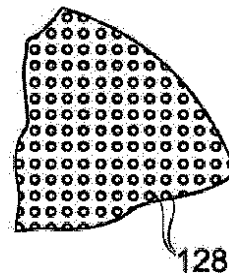
【 図 6 】



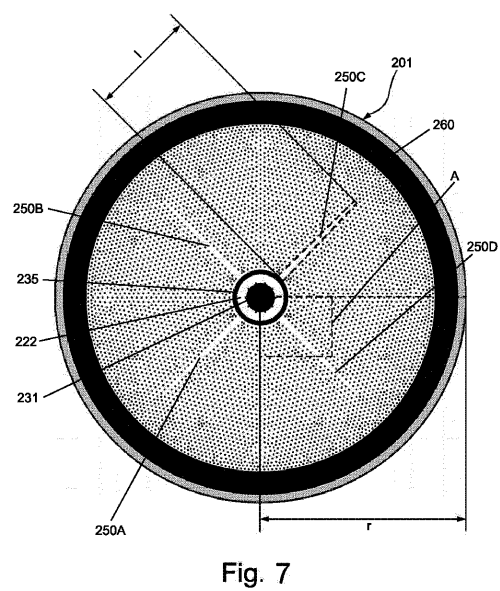
【 図 3 】



【 図 4 】



【 図 7 】



【 図 8 】

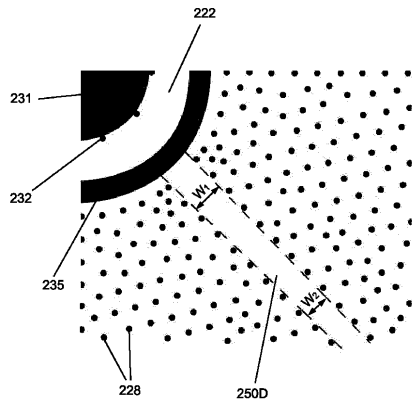


Fig. 8

【 図 9 】

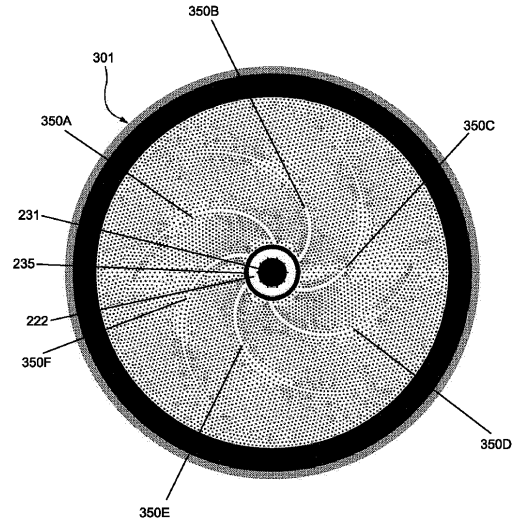


Fig. 9

【 図 10 】

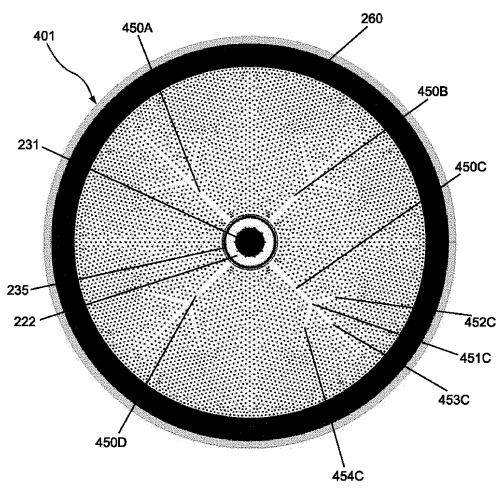


Fig. 10

【 図 11 】

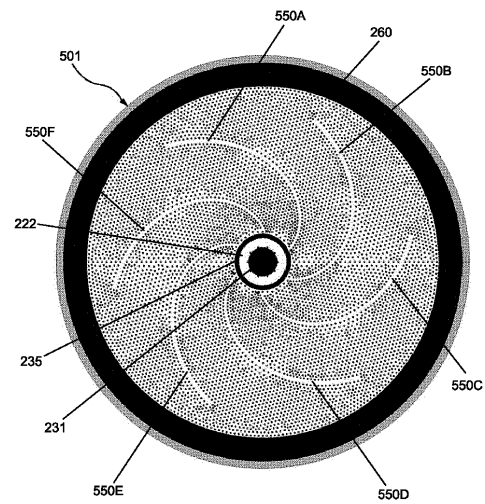


Fig. 11

【手続補正書】

【提出日】平成30年2月1日(2018.2.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

サイリスタデバイス(200)であって、

第1のメイン側(202)と、前記第1のメイン側(202)とは反対側の第2のメイン側(204)とを有する半導体ウエハ(301; 501)と、

前記第1のメイン側(202)上に配置された第1の電極層(214)と、

前記第1のメイン側(202)上に配置され、前記第1の電極層(214)から電氣的に分離された第2の電極層(218)と、

前記第2のメイン側(204)上に配置された第3の電極層(216)とを備え、

前記半導体ウエハ(301; 501)は、

第1の導電型であり、前記第1の電極層(214)と電氣的に接触する第1のエミッタ層(206)と、

前記第1の導電型とは異なる第2の導電型であり、前記第2の電極層(218)と電氣的に接触し、前記第1のエミッタ層(206)とともに第1のp-n接合を形成している第1のベース層(208)と、

前記第1の導電型であり、前記第1のベース層(208)とともに第2のp-n接合を形成している第2のベース層(210)と、

前記第2の導電型であり、前記第3の電極層(216)と電氣的に接触し、前記第2のベース層(210)とともに第3のp-n接合を形成している第2のエミッタ層(212)とを含み、

前記サイリスタデバイス(200)は、

分離した複数のエミッタショート(228)を備え、各エミッタショート(228)は、前記第1のエミッタ層(206)を貫通することによって、前記第1のベース層(208)と前記第1の電極層(214)とを電氣的に接続し、

前記第1のメイン側(202)に平行な平面上への正射影において、前記第1の電極層(214)と前記第1のエミッタ層(206)および前記エミッタショート(228)との電氣的接触がカバーする接触エリアは、エミッタショート(228)が配置されていないレーン(350A~350F; 550A~550F)状のエリアを含み、

前記レーン(350A~350F; 550A~550F)の幅は、前記接触エリア内で互いに隣り合うエミッタショート(228)の中心間の平均距離の少なくとも2倍であり、

前記レーン(350A~350F; 550A~550F)は曲線状であり、

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記レーン(350A~350F; 550A~550F)は、前記第2の電極層(218)に隣接する前記接触エリアのエッジから、前記第2の電極層(218)から離れる方向に延在する、サイリスタデバイス(200)。

【請求項 2】

前記レーンは2以上のサブレーンに分岐する、請求項1に記載のサイリスタデバイス(200)。

【請求項 3】

前記第1のメイン側(202)に平行な前記平面上への前記正射影において、前記レーン(350A~350F; 550A~550F)の幅は、30 μ m~5000 μ mの範囲である、請求項1または2に記載のサイリスタデバイス(200)。

【請求項 4】

前記第 1 のメイン側 (2 0 2) に平行な前記平面上への前記正射影において、前記レーン (3 5 0 A ~ 3 5 0 F ; 5 5 0 A ~ 5 5 0 F) の幅は、3 0 0 μ m ~ 2 0 0 0 μ m の範囲である、請求項 3 に記載のサイリスタデバイス (2 0 0) 。

【請求項 5】

前記第 1 のメイン側 (2 0 2) に平行な前記平面上への前記正射影において、前記半導体ウエハ (3 0 1 ; 5 0 1) は円形であり、前記第 1 の電極層 (2 1 4) は、前記半導体ウエハ (3 0 1 ; 5 0 1) と同心である円形の金属層である、請求項 1 ~ 4 のいずれか 1 項に記載のサイリスタデバイス (2 0 0) 。

【請求項 6】

補助サイリスタ構造を含み、前記補助サイリスタ構造は、

前記第 1 のメイン側 (2 0 2) 上に形成され、前記第 1 のベース層 (2 0 8) と電氣的に接触している補助ゲート電極層を含み、前記補助ゲート電極層は、前記第 1 の電極層 (2 1 4) および前記第 2 の電極層 (2 1 8) から電氣的に分離されており、

前記第 1 の導電型である第 3 のエミッタ層を含み、前記第 3 のエミッタ層は、前記第 1 のベース層 (2 0 8) によって前記第 1 のエミッタ層 (2 0 6) から分離され、前記第 1 のベース層 (2 0 8) とともに第 4 の p - n 接合を形成し、前記第 2 の電極層 (2 1 8) と電氣的に接触する、請求項 1 ~ 5 のいずれか 1 項に記載のサイリスタデバイス (2 0 0) 。

【請求項 7】

前記第 1 のメイン側 (2 0 2) に平行な前記平面上への前記正射影において、前記半導体ウエハ (3 0 1 ; 5 0 1) は円形であり、前記第 2 の電極層 (2 1 8) は、前記半導体ウエハ (3 0 1 ; 5 0 1) と同心であるリング状の金属層であり、前記補助ゲート電極層 (2 3 0) は、前記半導体ウエハ (3 0 1 ; 5 0 1) と同心である円形の金属層である、請求項 6 に記載のサイリスタデバイス (2 0 0) 。

【請求項 8】

径方向における前記レーン (3 5 0 A ~ 3 5 0 F ; 5 5 0 A ~ 5 5 0 F) の延在は、前記半導体ウエハ (3 0 1 ; 5 0 1) の半径の 1 0 % ~ 9 0 % の範囲である、請求項 5 ~ 7 のいずれか 1 項に記載のサイリスタデバイス (2 0 0) 。

【請求項 9】

径方向における前記レーン (3 5 0 A ~ 3 5 0 F ; 5 5 0 A ~ 5 5 0 F) の延在は、前記半導体ウエハ (2 0 1 ; 3 0 1 ; 4 0 1 ; 5 0 1) の半径の 2 0 % ~ 8 0 % の範囲である、請求項 8 に記載のサイリスタデバイス (2 0 0) 。

【請求項 1 0】

前記第 1 のメイン側 (2 0 2) に平行な前記平面上への前記正射影において、前記レーン (3 5 0 A ~ 3 5 0 F) は、前記半導体ウエハ (3 0 1) の中心からの距離が長くなるにつれて前記レーン (3 5 0 A ~ 3 5 0 F) の幅が小さくなるようなテーパー状である、請求項 5 ~ 9 のいずれか 1 項に記載のサイリスタデバイス (2 0 0) 。

【請求項 1 1】

前記第 1 のメイン側 (2 0 2) に平行な前記平面上への前記正射影において、前記エミッタショート (2 2 8) の直径は 3 0 μ m ~ 5 0 0 μ m の範囲である、請求項 1 ~ 1 0 のいずれか 1 項に記載のサイリスタデバイス (2 0 0) 。

【請求項 1 2】

前記第 1 のメイン側 (2 0 2) に平行な前記平面上への前記正射影において、前記エミッタショート (2 2 8) の直径は 5 0 μ m ~ 2 0 0 μ m の範囲である、請求項 1 1 に記載のサイリスタデバイス (2 0 0) 。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 1

【補正方法】変更

【補正の内容】

【 0 0 2 1 】

本発明のさらなる展開例が従属請求項で規定される。

第 1 のメイン側に平行な平面上への正射影において、レーンは、第 2 の電極層に隣接する接触エリアのエッジから、第 2 の電極層から離れる方向に延在している。この実施形態では、第 2 の電極から離れる方向である横方向へのプラズマの広がりが容易になる。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2016/061735

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L29/08 H01L29/74 H01L29/06
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013/105857 A1 (ABB TECHNOLOGY AG [CH]; STREIT PETER [CH]) 2 May 2013 (2013-05-02) cited in the application paragraph [0036] - paragraph [0038] paragraph [0040] - paragraph [0049] paragraph [0061] - paragraph [0066] figures 1-4,7,8 -----	1-10
A	US 4 529 999 A (BENDER JOHN R [US] ET AL) 16 July 1985 (1985-07-16) the whole document -----	1-10
A	JP S54 46488 A (HITACHI LTD) 12 April 1979 (1979-04-12) cited in the application abstract; figures 2,4 -----	1-10
-/-		

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

24 June 2016

Date of mailing of the international search report

06/07/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kostrzewa, Marek

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2016/061735

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP S58 222571 A (MITSUBISHI ELECTRIC CORP) 24 December 1983 (1983-12-24) abstract; figures 4,5 -----	1-10
A	EP 0 002 840 A1 (BBC BROWN BOVERI & CIE [CH]) 11 July 1979 (1979-07-11) cited in the application page 5, line 10 - page 6, line 4 page 6, line 17 - page 7, line 7 page 7, line 28 - line 30 figures 1,2 -----	1-10
A	JP S53 92391 U (MITSUBISHI ELECTRIC CORPORATION) 28 July 1978 (1978-07-28) cited in the application the whole document -----	1-10
A	JP S56 18465 A (WESTINGHOUSE ELECTRIC CORP) 21 February 1981 (1981-02-21) the whole document -----	1-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2016/061735

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013105857	A1	02-05-2013	CN 102947939 A 27-02-2013
			DE 112011102082 T5 18-07-2013
			GB 2494086 A 27-02-2013
			JP 2013534051 A 29-08-2013
			KR 20130026479 A 13-03-2013
			US 2013105857 A1 02-05-2013
			WO 2011161097 A2 29-12-2011

US 4529999	A	16-07-1985	NONE

JP S5446488	A	12-04-1979	NONE

JP S58222571	A	24-12-1983	NONE

EP 0002840	A1	11-07-1979	CH 622127 A5 13-03-1981
			DE 2802599 A1 05-07-1979
			EP 0002840 A1 11-07-1979
			JP S5487487 A 11-07-1979
			JP S6243548 B2 14-09-1987
			US 4223332 A 16-09-1980

JP S5392391	U	28-07-1978	NONE

JP S5618465	A	21-02-1981	NONE

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5F005 AA01 AA02 AD01 AE01 AE03 AF01