

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁶
H01L 21/302

(45) 공고일자 2003년08월14일
(11) 등록번호 10-0384202
(24) 등록일자 2003년05월02일

(21) 출원번호	10-1995-0014822	(65) 공개번호	특1996-0002600
(22) 출원일자	1995년06월05일	(43) 공개일자	1996년01월26일

(30) 우선권주장	94-130232	1994년06월13일	일본(JP)
(73) 특허권자	가부시끼가이샤 히다치 세이사꾸쇼 일본국 도쿄도 지요다구 간다 스루가다이 4-6		
(72) 발명자	도쿠나가다카후미 일본국사이타마켄이루마시신코오306-130 오쿠다이라사다유키 일본국도쿄오토오우메시치가세쵸오2-164-15 미즈타니다츠미 일본국도쿄오토코가네이시누쿠이미나미쵸오3-13-15-402 다고가즈타미 일본국이바라키켄히타치나카시마와타리무카이노2917-143 가즈미히데유키 일본국이바라키켄히타치시나카나루사와쵸오2-6-6-105 요시오카켄 일본국야마구치켄구다마츠시하타오카5-2-2-402		
(74) 대리인	특허법인 원전 강용복		

심사관 : 인치복

(54) 반도체집적회로장치의제조방법

요약

LSI 제조에 있어서, 고선택비, 고정도의 에칭을 실현하기 위하여 반도체기판상의 박막을 드라이에칭할 때, 플라스마 중에서 준안정상상태로 여기시킨 불활성가스와 프론게가스를 상호작용시켜 소망의 해리종을 선택적으로 얻으므로 반응가스의 해리종의 조성제어를 정밀하게 행한다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 실시예 1에서 사용하는 마이크로파 플라즈마 에칭장치의 개략도이고,
 제 2 도는 본 발명의 실시예 1인 반도체집적회로장치의 제조방법을 나타내는 반도체 기판의 주요부단면도이고,
 제 3 도는 본 발명의 실시예 1인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부 단면도이고,
 제 4 도는 본 발명의 실시예 1인 반도체 집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 5 도는 본 발명의 실시예 1인 반도체 집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 6 도는 본 발명의 실시예 1인 반도체 집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 7 도는 본 발명의 실시예 2에서 사용하는 플라즈마 에칭장치의 개략도이고,
 제 8 도는 본 발명의 실시예 2인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부 단면도이고,
 제 9 도는 본 발명의 실시예 2인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이다.
 제 10 도는 본 발명의 실시예 2인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 11 도는 본 발명의 실시예 2인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 12 도는 본 발명의 실시예 2인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 13 도는 본 발명의 실시예 3에서 사용하는 마이크로파플라즈마 에칭장치의 개략도이고,
 제 14 도는 본 발명의 실시예 3인 반도체집적회로장치의 제조방법을 나타내는 반도체 기판의 주요부단면도이고,
 제 15 도는 본 발명의 실시예 3인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 16 도는 본 발명의 실시예 3인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 17 도는 본 발명의 실시예 2인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 18 도는 본 발명의 실시예 3인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 19 도는 본 발명의 실시예 4인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 20 도는 본 발명의 실시예 4인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 21 도는 본 발명의 실시예 4인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 22 도는 본 발명의 실시예 4인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부단면도이고,
 제 23 도는 본 발명의 실시예 4인 반도체집적회로장치의 제조방법을 나타내는 반도체기판의 주요부 단면도이다.

* 도면중 주요부분에 대한 부호의 설명 *

1 ... 반도체기판(웨이퍼), 2 ... 필드절연막,
 3 ... 게이트전극, 4 ... 게이트절연막,
 5 ... 반도체영역, 6 ... 반도체영역,
 7 ... 산화실리콘막, 8 ... 질화실리콘막,
 9 ... BPSG막, 10 ... 포토레지스트패턴,
 11 ... 개공, 12 ... 접속구멍,
 13 ... 질화실리콘막, 15 ... 질화실리콘막,
 16 .. BPSG막, 17 ... 포토레지스트패턴,
 18 ... 개공, 19 ... 접속구멍,
 20 ... 질화실리콘막, 100 ... 마이크로파플라즈마에칭장치,
 101 ... 마이크로파도파관, 102a ... 자석,
 102b ... 자석 103 ... 플라즈마생성실,
 104 ... 가스도입구, 105 ... ECR 위치,
 106 ... 반응실 107 ... 웨이퍼 지지대,
 108 ... 고주파전원, 200 ... 플라즈마에칭장치,
 201 ... 원통, 202 ... 안테나,
 203 ... 진공실, 204 ... 코일,
 205 ... 코일, 206 ... 가스도입구,
 300 ... 마이크로파플라즈마에칭장치, 302 ... 자석,
 303 ... 플라즈마생성실, 304 ... 가스도입구,
 305 ... 반응실, 306 ... 그리드(grid)전극,
 307 ... 가스도입구.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체집적회로장치의 제조기술에 관한, 특히 플라즈마종의 라디칼(radical)이나 이온(ion)을 사용하여 반도체 웨이퍼상의 박막을 드라이에칭하는 기술에 관한 것이다.

LSI 제조에 사용되는 대표적인 절연막인 산화실리콘막의 가공은 통상 플라즈마프로세스를 이용한 드라이에칭장치(플라즈마 에칭장치)를 사용하여 행하여진다.

대표적인 플라즈마에칭 장치의 하나인 마그네토(magneto) 마이크로파플라즈마에칭 장치를 사용한 에칭프로세스에서는, 우선 에칭장치의 반응실(에칭실)과 방전실로 되는 진공실이 배기 시스템에 의해 진공(약 10^{-6} Torr)으로 배기되며, 이어 니들(needle) 밸브를 통하여 반응가스가 소정의 압력(약 10^{-5} 에서 10^{-1} Torr)이 되게 진공실로 도입된다.

실리콘웨이퍼상에 퇴적한 산화실리콘막의 에칭에는 반응가스로서, 예를들면 CF_4 , C_2F_6 , C_3F_8 , C_4F_8 등의 플루오르카본계가스와 CHF_3 , CH_2F_2 등의 수소플루오르카본계가스 또는 수소와의 혼합가스가 사용된다. 이하 이들의 플루오르카본계 가스를 총칭하여 프론계(flon) 가스라고 한다.

마이크로파발진기(통상, 마그네트론)에서 발생한 1에서 10GHz(통상은 2.45 GHz)의 마이크로파는 도파관을 전파하여 방전실을 형성하는 방전관의 내부에 도입된다. 이 방전관은 마이크로파를 통과시키기 위하여 절연물(통상 석영 또는 알루미늄)로 만들어져 있다.

방전실과 반응실의 일부에는 전자석과 영구자석에 의해 자장이 형성된다. 이 상태에서 방전실에 마이크로파전계가 도입되면, 자장과 마이크로파전계와의 상승작용에 의해 마그네토 마이크로파방전이 발생하여 플라즈마가 형성된다. 이때, 플라즈마중에서 반응가스가 해리하여 여러종류의 라디칼이나 이온을 생성한다. 반응가스의 해리는 반응가스 분자내의 전자가 플라즈마중의 전자와 충돌한다든지, 빛을 흡수한다든지하여 반결합성궤도로 여기되기 때문에 일어난다. 이들 해리종(解離種)은 산화실리콘막의 표면에 공급되며, 각각의 해리종이 복잡하게 드라이에칭의 특성에 영향을 주면서 산화실리콘막의 에칭에 관여한다.

또, 이러한 종류의 플라즈마프로세스를 이용한 드라이에칭기술에 대하여는, 일본국 특개평 3-109728호 공보등에 기재가 있다.

실리콘 LSI 나 TFT(박막 트랜지스터)등의 전자디바이스에 있어서는, 피드라이에칭재인 산화실리콘막이 실리콘막(실리콘기판, 실리콘에피택셜막, 다결정실리콘막등), 질화실리콘막 혹은 이것들의 적층막의 위에 퇴적한 구조로 되어 있다.

고집적화로 진전한 전자 디바이스에서는, 이 산화실리콘막에 드라이에칭에 의해 직경 $0.5\ \mu m$ 이하에서 고애스펙트비(구멍의 깊이/구멍의 지름)의 콘택트홀을 통하게 할 수 있고, 게다가 베이스의 실리콘막, 질화실리콘막 혹은 이것들의 적층막의 에칭량을 최소한으로 한 고정도, 고선택비의 에칭기술이 필요하게 된다.

이와같은 에칭을 실현하기 위하여는, 반응가스의 해리종의 조성제어를 정밀히 행할 필요가 있다. 그러나, 종래와 같은 플라즈마내 전자의 충돌에 의한 반응가스 분자의 해리를 이용하는 에칭방식에서는 이와 같은 제어는 곤란하다.

이것은 전자에 의한 선택여기는 최저에너지의 반결합성 궤도에 밖에 실현할 수 없으며, 그것에 필요한 균일에너지의 전자는 플라즈마 내에서는 얻을 수 없기 때문이다. 이때문에, 균일 에너지의 전자를 외부에서 생성하여 입사시키든가, 또는 균일에너지의 광원을 플라즈마중에 도입할 필요가 있으나, 이와 같이 하면 에칭장치의 코스트가 큰폭으로 상승해버린다.

본 발명의 목적은 고선택비, 고정도의 에칭을 실현할 수가 있는 기술을 제공하는데 있다.

본 발명의 상기 및 그외의 목적과 신규의 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 아래와 같다.

(1) 본 발명의 반도체집적회로장치의 제조방법은, 반도체기판상의 박막을 드라이에칭할때, 플라즈마중에서 준안정상태로 여기시킨 불활성가스와, 상기 박막의 드라이에칭에 필요한 반응가스를 상호작용시켜 소망의 해리종을 선택적으로 얻는 것이다.

(2) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (1)의 제조방법에 있어서, 플라즈마드라이에칭장치의 플라즈마생성실과 반응실을 분리하여 플라즈마중의 전자가 반응실에 도입되는 것을 저지하므로써 전자와의 충돌에 의한 상기 반응가스의 해리를 저감하는 것이다.

(3) 본 발명의 반도체 집적회로장치의 제조방법은, 반도체기판상의 산화실리콘막을 드라이에칭할때, 플라즈마중에서 준안정상태로 여기시킨 불활성가스와 프론계 가스를 상호작용시켜 소망의 해리종을 선택적으로 얻는 것이다.

(4) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 상기 프론계 가스를 탄소수가 2 또는 그것 이상의 체인 퍼플루오르카본(chain perfluorocarbon)으로 하는 것이다.

(5) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 상기 프론계 가스를 탄소수가 2에서의 범위의 체인 퍼플루오르카본으로 하는 것이다.

(6) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 상기 프론계가스를 탄소수가 3 또는 그것 이상의 사이클릭 퍼플루오르카본(cyclic perfluorocarbon)으로 하는 것이다.

(7) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 상기 불활성가스를 He, Ne, Ar, Kr 및 Xe으로되는 그룹에서 선택한 1종 또는 2종 이상의 회가스로 하는 것이다.

(8) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 질화실리콘에 대한 선택비가 높은 해리종을 얻는 것이다.

(9) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 상기 불활성가스의 비율을 전가스 유량의 50% 이상으로하고, 처리압력을 100mTorr에서 1Torr의 범위로 하는 것이다.

(10) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 상기 불활성가스의 비율을 전가스 유량의 80% 이상으로하여 처리압력을 100mTorr에서 500mTorr의 범위로 하는 것이다.

(11) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (3)의 제조방법에 있어서, 드라이에칭의 마스크로서 무기재료를 사용하는 것이다.

- (12) 본 발명의 반도체집적회로장치의 제조방법은 반도체기판상의 질화실리콘막을 드라이에칭할때, 플라즈마중에서 준안정상태로 여기시킨 불활성가스와, 프론계가스를 상호작용시켜 소정의 해리종을 선택적으로 얻는 것이다.
- (13) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (12)의 제조방법에 있어서, 상기 불활성가스로서 He, Ar, Kr 및 Xe으로 되는 그룹에서 선택한 1종 또는 2종이상의 희가스를 사용하여 상기 프론계가스로서 디플루오르메탄(difluoromethane)을 사용하므로써 실리콘에 대한 선택비가 높은 해리종을 얻는 것이다.
- (14) 본 발명의 반도체집적회로장치의 제조방법은, 상기(13)의 제조방법에 있어서, 상기 불활성가스의 비율을 전가스 유량의 80% 이상으로 하고, 처리압력을 100mTorr에서 500mTorr의 범위로 하는 것이다.
- (15) 본 발명의 반도체집적회로장치의 제조방법은, 이하의 공정 (a)에서 (d)를 가지는 것이다.
- (a) 반도체기판의 주변에 LOCOS 구조의 필드절연막을 형성한후, 상기 필드절연막으로 애워 싼 활성영역에 반도체소자를 형성하는 공정,
- (b) 상기 반도체기판의 전면에 제1의 절연막을 퇴적한 후, 상기 제1의 절연막상에 상기 제1의 절연막과는 에칭레이트가 다른 제2의 절연막을 퇴적하는 공정,
- (c) 플라즈마중에서 준안정상태로 여기시킨 불활성가스와, 프론계가스를 상호작용시키므로써 상기 제1의 절연막에 대한 상기 제2의 절연막의 선택비를 최대로 한 해리종을 선택적으로 생성시켜, 이 해리종을 사용하여 상기 제2의 절연막을 에칭하는 공정,
- (d) 플라즈마중에서 준안정상태로 여기시킨 불활성가스와, 프론계가스를 상호작용시키므로써 상기 반도체기판에 대한 상기 제1의 절연막의 선택비를 최대로 한 해리종을 선택적으로 생성시켜, 이 해리종을 사용하여 상기 제1의 절연막을 에칭하므로써 상기 반도체소자에 접속되며, 또 일부가 상기 필드절연막과 오버랩한 콘택트홀을 형성하는 공정,
- (16) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (15)의 제조방법에 있어서, 상기 제2의 절연막상에 형성한 무기재료를 마스크로하여 상기 제2의 절연막을 에칭하는 것이다.
- (17) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (15)의 제조방법에 있어서, 상기 콘택트홀의 직경을 0.3 μ m 또는 그것 이하로 하는 것이다.
- (18) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (16)의 제조방법에 있어서, 상기 무기재료로 되는 마스크를 상기 제1의 절연막과 같은 재료로 형성하는 것이다.
- (19) 본 발명의 반도체 집적회로장치의 제조방법은, 이하의 공정 (a)에서 (d)를 가지는 것이다.
- (a) 반도체기판의 주변에 MISFET를 형성하는 공정,
- (b) 상기 반도체기판의 전면에 제1의 절연막을 퇴적한후, 상기 제1의 절연막상에 상기 제1의 절연막과는 에칭레이트가 다른 제2의 절연막을 퇴적하는 공정,
- (c) 플라즈마중에서 준안정상태로 여기시킨 불활성가스와, 프론계가스를 상호작용시키므로써 상기 제1의 절연막에 대한 상기 제2의 절연막의 선택비를 최대로 한 해리종을 선택적으로 생성시켜, 이 해리종을 사용하여 상기 제2의 절연막을 에칭하는 공정,
- (d) 플라즈마중에서 준안정상태로 여기시킨 불활성가스와, 프론계가스를 상호작용시키므로써 상기 반도체기판에 대한 상기 제1의 절연막의 선택비를 최대로 한 해리종을 선택적으로 생성시켜, 이 해리종을 사용하여 상기 제1의 절연막을 에칭함으로써 상기 MISFET의 게이트전극과 이것에 인접하는 MISFET의 게이트전극과의 사이의 반도체기판에 접속되며, 또 일부가 상기 게이트전극과 오버랩한 콘택트홀을 형성하는 공정.
- (20) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (19)의 제조방법에 있어서, 상기 제2의 절연막상에 형성한 무기재료를 마스크로하여 상기 제2의 절연막을 에칭하는 것이다.
- (21) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (19)의 제조방법에 있어서, 상기 콘택트홀의 직경을 0.25 μ m 또는 그것 이하로 하는 것이다.
- (22) 본 발명의 반도체집적회로장치의 제조방법은, 상기 (20)의 제조방법에 있어서, 상기 무기재료로되는 마스크를 상기 제1의 절연막과 같은 재료로 형성하는 것이다.
- 불활성가스는 플라즈마와의 상호작용에 의하여 기저상태(基低狀態)로의 천이가 금지되어 있는 준안정상태로 여기된다. 준안정상태의 자연방출수명(기저상태에 자연히 천이하는 평균 시간)은 1초의 오더이기 때문에, 반응실내에는 준안정상태의 불활성가스가 다량으로 존재할 수 있다. 준안정상태의 불활성가스는 충돌에 의해 에너지를 방출하여 기저상태로 천이한다. 이 방출된 에너지는 균일하며, 반응가스분자를 선택적으로 여기시키는 것이 가능하다. 불활성가스의 대표예인 희가스의 작용에 대하여 설명한다. 표1은 희가스(He, Ne, Ar, Kr, Xe)의 준안정준위(準安定準位) 에너지(주1) 이다.

표 1. 희가스의 준안정준위 에너지

희가스 원소	준안정준위 에너지 (eV)
He	19.82, 20.61
Ne	16.62, 16.72
Ar	11.55, 11.72
Kr	9.92, 10.56
Xe	8.32, 9.45

(주1) J.S.Chang, R.M.Hobson 이찌가와 사치미(市川幸美), 가네나 데라오(金田輝男) 『전

리기체의 원자·분자과정』 P142(동경전기대학출판국 1982).

표1에 나타내는 것과 같이, 어느 희가스라도 이용할 수 있는 준안정상태의 종류는 한정되어 있다. 따라서, 희가스의 준안정준위 에너지에 합치하는 곳에 도입하는 프른계가스분자의 반결합궤도가 존재하며, 그 반결합 궤도에서 해리종이 에칭에 적합하지 않으면 안된다.

또, 산화실리콘막의 에칭에 사용되는 해리종의 특성으로서 부착성, 에칭성, 선택성등을 알지 않으면 안된다. 각 특성에 속하는 해리종을 표 2에 정리하여 나타 낸다.

표 2. 해리종(解離種)의 특성과 해리종의 예

특 성	해 리 종
부착성	CF ₂ , C ₂ F ₄ , CH ₂ , CHF, CF, CH
에칭성	CF ₂ , C ₂ F ₄ , CH ₃ , F, CHF ₂ , CF, CHF, CF ₂ ⁺ , C ₂ F ₄ ⁺ , CF ₃ ⁺ , F ₊ , CHF ₂ ⁺ , CF ₊ , CHF ₊
선택성(대 Si)	CF ₂ , C ₂ F ₄ , CHF ₂ , CF, CHF, CH ₂ ⁺ , C ₂ F ₄ ⁺ , CHF ₂ ⁺ , CF, CHF ₊
비선택성	CF ₃ , F, CF ₃ ⁺ , F ₊
비에칭성	CH ₂ , HF, CH
기판에 수직입사	CF ₂ ⁺ , C ₂ F ₄ ⁺ , CH ₃ ⁺ , F ₊ , CHF ₂ ⁺ , CF ₊ , CHF ₊ , CH ₂ ⁺ , CH ₊
기판에 등방입사	CF ₂ , C ₂ F ₄ , CF ₃ , F, CHF ₂ , CHF, CHF, CH ₂ , CH

선택비를 향상시키기 위하여는 비선택성의 해리종을 배제하여야 한다. 또, 에칭의 형상정도를 유지하기 위하여는 선택성과 부착성을 겸비한 해리종을 사용하여야 한다. 표 2에 나타내는 특성에서 선택성의 란의 해리종이 바람직한 것을 알 수 있다. 에칭레이트는 반응가스의 도입량, 그것들의 혼합비, 파워 등이라고한 통상의 장치제어에 의해 얻을 수가 있다.

반결합궤도에서의 해리는 분자궤도계산(주2)에 의하여 알수가 있다. 계산정도는 희가스의 준안정상태와 분자의 기지의 반응을 계산함으로써 평가할 수가 있다. 모노실란(SiH₄)의 반응의 측정결과(주3)와 계산결과를 표3에 나타 낸다.

표 3. SiH₄의 공명해리의 계산결과

가스	실측준안정준위 에너지	계산에 의한 분자의 여기 에너지	계산전이경로	해리종 (실측과 일치)
He	21.2eV	21.2eV (반결합궤도)	없음	SiHx + Si*
Ar	11.7eV	12.2eV (비반결합궤도)	8.6에서 8.8eV의 반결합궤도로 천이	SiHx SiH* Si*

(주2) K.Kobayashi, N.Kurita, H.Kumahora, and K.Tago, Phys.Rev.B45,11299(1992) ;

K.Kobayashi, N.Kurita, H.Kumahora, and K.Tago, phys.Rev.A43,5810(1991) ; K.Tago,

H.Kumahora, N.Sadaoka, and K.Kobayashi, Int.J.Supercomp. Appl.2,(1988)58.

(주3) M.Tsuji, K.Kobayashi, S.Yamaguchi, and Y.Nishimura, Che. Phys. Lett.

158,470(1989).

표 3에서 분자궤도계산에 의해 분자의 반결합성 궤도의 에너지를 1eV이내의 정도로 예측할 수 있는 것을 알 수 있다. 또, 분자궤도계산에 의하면 표 2의 선택성의 해리종을 발생시키기 위하여 선택하여야 할 분자를 알 수가 있다. 표 3과 같은 해리종 및 그것을 발생시키는 분자의 계산에서 중성해리에 필요한 에너지는 2eV 이상, 반결합성궤도로의 여기에 필요한 최소에너지는 5에서 12eV, 해리종의 이온화 포텐셜은 10에서 13eV인 것을 알 수 있다.

이것에서, 또 이온해리에 필요한 에너지는 12eV 이상인 것을 알 수 있다. 따라서, He, Ne에서는 선택적인 이온해리종 및 중성해리종과 생성을 기대할 수 있으며, Ar, Kr, Xe에서는 선택적중성 해리를 기대할 수 있다.

한편, 분자궤도계산에 의해 반결합성궤도에서의 해리를 조사하면, 표 2의 선택성의 해리종을 발생하는 반결합성궤도가 각분자에 존재하는지, 어떤지를 조사할 수가 있다. 그와 같은 반결합성궤도가 존재하며, 그 여기 에너지가 희가스의 준안정준위의 에너지에 가까운 분자를 표 4에 나타낸다. 조사한 분자는 프론계가스중 CF₄, CHF₃, C₂F₄, C₄F₈이다.

표 4, 선택성 해리종을 발생시키는 반결합궤도가 존재하는 프론계가스분자

희가스	선택성 해리종	비선택성 해리종을 발생하지 않는 반결합궤도를 가진분자	비선택성 해리종을 발생시키는 반결합궤도를 가진분자
He	CF ₂ *, C ₂ F ₄ *, CHF ₂ *, CF ₂ , C ₂ F ₄	C ₂ F ₄ , CH ₂ F ₂ C ₄ F ₈ CH ₂ F ₂ C ₂ F ₄ C ₄ F ₈	
Ne	CF ₂ *, C ₂ F ₄ *, CHF ₂ *, CF ₂ , C ₂ F ₄ , CHF	C ₂ F ₄ CH ₂ F ₂ C ₂ F ₄ , CH ₂ F ₂	C ₄ F ₈ (비반결합궤도에서의 천이) CHF ₃ C ₄ F ₈ (동상) C ₄ F ₈ (동상) CHF ₃
Ar	CF ₂ , CHF ₂ , CHF	C ₂ F ₄ , C ₄ F ₈	CHF ₃ , CF ₄ CHF ₃ CHF ₃
Kr	CF ₂ , C ₂ F ₄ , CHF ₂ , CHF	CH ₂ F ₂ C ₄ F ₈ CH ₂ F ₂ CH ₂ F ₂	CF ₄ CHF ₃
Xe	CF ₂ , C ₂ F ₄	CH ₂ F ₂ C ₄ F ₈	CH ₂ F ₂

준안정상태의 희가스와 상호작용에 의한 선택해리를 사용하는 경우, 플라즈마중의 전자에 의한 해리도 소수 그대로 존재한다. 또, 실제의 에칭프로세스에서는 이온입사에 의해 비선택성 해리종이 튀겨 나오는 가능성도 있다. 그때문에 부착성으로 에칭속도가 작은 CHF나 CF를 측벽보호를 위하여 혼합시킬 필요가 생기는 경우가 있다. 그 경우에는 CH₂F₂에서의 선택해리를 사용하면 된다.

또 그와 같은 보호성의 해리종을 검해서 사용하는, 경우 비선택성 해리종의 발생량이 비교적 작은 CHF_3 의 선택해리를 이용하여도 원하는 에칭이 가능하게 된다. 단지, CF_4 는 비선택성해리종의 발생량이 많으므로 조합하는 경우는 보호성가스의 양을 많게할 필요가 있다.

또 준안정상상태의 희가스와의 상호작용에 의한 선택해리를 이용하지 않는 종래의 에칭방법이나 비선택성 해리종의 발생량이 많은 선택해리에 의한 에칭방법과 본발명의 선택해리에 의한 에칭방법을 조합하여도 혼합비에 의해 해리종의 비율을 제어할 수가 있으므로 양호한 결과를 얻을 수 있다.

플라즈마중의 전자에 의한 해리를 억제하여 준안정상상태의 희가스와의 상호작용에 의한 선택해리를 행하고 싶은 경우, 희가스플라즈마실과 도입가스 분자의 해리반응실을 공간적으로 분리하면 된다. 양실을 그리드로 칸막이하므로서 양이온과 전기적으로 중성인 준안정상상태의 희가스를 해리반응실내에 도입할 수 있으므로 선택해리와 이온어스시트 에칭이 가능하게 된다.

이하 본 발명의 실시예를 도면에 의거하여 상세히 설명한다.

실시예 1

제1도는 본 실시예에서 사용하는 마이크로파플라즈마에칭장치(100)의 개략도 이다. 도면중의 부호 101은 마이크로파도파관, 102a, 102b는 자석, 103은 플라즈마생성실, 106은 반응실이다. 마그네트론에서 발생한 2.45GHz의 마이크로파는 마이크로파도파관(101)을 통하여 플라즈마 생성실(103)에 도입된다. 플라즈마생성실(103)에는 가스로입구(104)를 통하여 원료가스(G)가 도입된다.

마이크로파를 플라즈마 생성실(103)에 도입하여 플라즈마 생성실(103)의 외측에 설치한 자석(102a, 102b)에 의하여 1K Gaus 정도의 자장을 발생시키므로서 자속밀도가 875Gaus 정도의 ECR 위치 (105)에서 원료가스(G)가 전자 사이클로트론(cyclotron) 공명에 의해 플라즈마화된다.

이때 원료가스(G)에서 생성한 중성해리종 및 이온해리종은 반응실(106)의 반도체 기판(웨이퍼)(1)의 표면으로 수송된다. 반도체기판(1)을 지지하는 웨이퍼지지대(107)는 고주파 전원(108)에 접속되어 있고, 반도체기판(1)에 고주파를 인가하여 자기 바이어를 생성하여 이온에너지를 제어한다.

다음에, 상기 마이크로파 플라즈마에칭장치(100)를 사용한 본 실시예의 에칭프로세스를 설명한다. 이 프로세스는 소자분리기술로서 널리 사용되고 있는 LOCOS(Local Oxidation of Silicon) 구조의 필드 절연막에 인접하는 실리콘기판에 콘택트를 취하기 위하여 절연막에 접속구멍을 형성하는 프로세스이다.

종래, 기판과 콘택트를 취하기 위한 접속구멍은 필드절연막과 어버랩하지 않도록 레이아웃할 필요가 있었다. 이것은 절연막을 드라이에칭하여 접속구멍을 형성할때, 오버에칭에 의하여 베이스의 필드 절연막이 깎여버리면 기판이 노출하여 필드 절연막의 소자분리 특성이 열화해버리기 때문이다.

그러나, 접속구멍과 필드 절연막과의 오버랩을 허용하지 않는 레이아웃 설계에서는 리소그래피 공전의 마스크맞춤 정도등의 제약으로 설계룰이 $0.3\mu\text{m}$ 정도 이하의 LSI를 실현하는 것은 곤란하다.

그래서, 본 실시예에서는 먼저 제2도에 도시하는 것과 같이 단결정실리콘으로 되는 반도체기판(1)의 주면에 LOCOS 구조의 필드 절연막(2)을 형성하고, 이어 이 필드 절연막(2)으로 에워싸인 활성영역에 통상의 방법으로 반도체소자, 예를들면 MISFET를 형성한다.

상기 MISFET는 다결정 실리콘막으로 되는 게이트전극(3), 산화실리콘막으로 되는 게이트절연막(4), 반도체기판(1)에 형성된 1쌍의 반도체영역(소오스영역, 드레인영역)(5, 6)으로 된다. 또 게이트전극(3)의 상부 및 측벽은 산화실리콘막(7)으로 보호된다.

다음에, 반도체기판(1)의 전면에 막두께 500에서 2000 Å 정도의 질화실리콘막(8)을 CVD법에 의해 퇴적하고, 다시 그 위에 막두께 5000에서 10000 Å 정도의 BPSG(Boro Phospho Silicate Glass) 막(9)을 CVD법에 의해 퇴적한다.

다음에, 제3도에 나타내는 것과 같이 상기 BPSG 막(9)상에 포토레지스트패턴(10)을 형성한다. 이 포토레지스트패턴(10)은 MISFET의 한쪽의 반도체영역(5)의 윗쪽에 개공(開孔)(11)을 가지고 있다. 이 개공(11)은 그 한단이 반도체영역(5)에 인접하는 필드절연막(2)과 오버랩하도록 레이아웃된다.

다음에, 상기 반도체기판(1)을 상기 마이크로파 플라즈마 에칭장치(100)의 반응실(106)에 반입하여 포토레지스트패턴(10)을 마스크로하여 BPSG막(9)을 드라이 에칭한다. 이 에칭은 베이스의 질화실리콘막(8)에 대한 BPSG막(19)의 선택비를 최대인 한 조건에서 행한다. 즉 원료가스(G)를 표 5에 나타내는 프론계 반응가스와 불활성가스와의 조합으로 되는 혼합가스로 구성하여 불활성가스의 비율을 혼합가스전량의 80% 이상으로 한다. 또, 이때의 처리압력을 100에서 500mTorr로 설정한다.

표 5. BPSG층을 에칭하여, Si_3N_4 에 대한 선택비를 높게 하는 조건

반응가스 (프론계가스)	불활성가스
C_4F_8	He, Ar, Kr, Xe
C_2F_4	He, Ne, Ar

제4도는 BPSG 막(9)의 에칭이 도중까지 진행하여 필드 절연막(2)상의 질화실리콘막(8)인 개공(11)의 저부에 노출한 상태를 나타내고 있다.

제5도는 BPSG 막(9)의 에칭이 끝난 상태를 나타내고 있다. 본 실시예에서는 질화실리콘막(8)에 대한 선택비를 최대인 한 조건에서 BPSG 막(9)을 에칭하므로 질화실리콘막(8)이 에칭의 스톱퍼로되어 충분한 오버에칭을 행하여도 필드절연막(2)의 깎임을 방지할 수 있다.

제6도는 남은 질화실리콘막(8)을 에칭으로 제거하므로써 MISFST의 반도체영역(5)에 도달하는 접속구멍(12)을 완성한 상태를 나타내고 있다. 질화실리콘막(8)의 에칭은 마이크로파 플라즈마에칭장치(100)를 사용하여 베이스의 반도체기판(1)에 대한 질화실리콘막(8)의 선택비가 최대로되는 조건에서 행한다. 즉, 원료가스(G)를 표6에 나타내는 프론계 반응가스와 불활성가스와의 조합으로 되는 혼합가스로 구성하고, 불활성가스의 비율을 혼합가스 전량의 80% 이상으로 한다. 또 이때의 처리압력을 100에서 500mTorr로 설정한다.

표 6. Si_3N_4 층을 에칭하여 Si에 대한 선택비를 높게 하는 조건

반응가스 (프론계가스)	불활성가스
CH_2F_2	He, Ar, Kr, Xe

이와같이, 본 실시예에 의하면 필드 절연막(2)을 깎는 일 없이 일부가 필드절연막(2)과 오버랩한 접속구멍(12)을 형성할 수가 있으므로 설계룰이 0.3 μm 정도 이하의 LSI를 실현할 수가 있다.

실시예 2

제7도는 본 실시예에서 사용하는 플라즈마장치(200)의 개략도이다. 이 플라즈마에칭장치(200)는 석영제의 전통(201)의 주위에 안테나(202)를 설치하여 이 안테나(202)에 고주파를 인가해서 원통(201) 내에 전자파를 도입하는 구조로 되어 있다. 진공실(203)의 외측에는 2중의 코일(204), (205)이 설치되며 축방향으로 자계를 발생시키도록 되어 있다. 가스도입구(206)에서 도입된 원료가스(G)는 이 축방향자계와 고주파에 의해 플라즈마화되어, 이때 발생하는 중성해리종, 이온종이 반도체기판(1)의 표면에 수송되어 에칭이 행하여진다.

상기 실시예 1에서는 BPSG막(9)을 에칭할때, 마스크로서 포토레지스트 패턴(10)을 사용하였다. 그러나, 이 경우는 포토레지스트가 에칭될때 발생하는 생성물이 선택성에 미치는 영향을 고려하지 않으면 안된다. 즉, 에칭에 에칭에 의하여 발생하는 생성물이 비선택성의 해리종을 발생시키지 않을 것 같은 포토레지스트재료나 에칭조건을 선택할 필요가 있다.

그래서, 본 실시예에서는 제8도에 도시하는 것과 같이 BPSG 막(9)상에 막두께 500에서 2000 Å 정도의 질화실리콘막(13)을 CVD법에 의해 퇴적하고, 이 질화실리콘막(13)상에 포토레지스트패턴(10)을 형성한다. 이 포토레지스트 패턴(10)은 MISFET의 한쪽의 반도체영역(5)의 윗쪽에 개공(11)을 가지고 있으며, 개공(11)의 한단은 반도체영역(5)에 인접하는 필드절연막(2)과 오버랩하도록 레이아웃된다.

다음에, 제9도에 도시하는 것과 같이 상기 포토레지스트패턴(10)을 마스크로하여 질화실리콘막(13)을 일반적인 드라이에칭조건으로 에칭한다.

다음, 포토레지스트패턴(10)을 애싱으로 제거한 후, 질화실리콘막(13)을 마스크로하여 BPSG막(9)을 드라이에칭한다. 이 에칭은 질화실리콘막(13)(및 질화실리콘막(8))에 대한 BPSG막(9)의 선택비를 최대로한 조건에서 행한다. 즉, 표7에 나타내는 프론계 반응가스와 불활성가스와의 혼합가스를 사용하여 불활성가스의 비율을 혼합가스 전량의 80% 이상으로하여 처리압력 100에서 500mTorr에서 에칭을 행한다.

표 7. BPSG층을 에칭하여, Si_3N_4 에 대한 선택비를 높게 하는 조건

반응가스	불활성가스
C_4F_8	He, Ar, Kr, Xe
C_2F_4	He, Ne, Ar

제10도는 BPSG 막(9)의 에칭이 도중까지 진행하여 필드절연막(2)상의 질화실리콘막(8)이 개공(11)의 저부에 노출한 상태를 나타내고 있다.

제11도는 BPSG 막(9)의 에칭이 끝난 상태를 나타내고 있다. BPSG 막(9)의 에칭은 질화실리콘막(8)에 대한 선택비를 최대로 한 조건에서 행하므로 질화실리콘막(8)이 에칭의 스톱퍼로 되어 충분한 오버에칭을 행하여도 필드절연막(2)의 깎임을 방지할 수 있다.

제12도는 남은 질화실리콘막(8), (13)을 에칭으로 제거하므로써 MISFET의 반도체영역(5)에 도달하는 접속구멍(12)이 완성한 상태를 나타내고 있다. 질화실리콘막(8), (13)의 에칭은 상기 플라즈마 에칭장치(200)를 사용하여 베이스의 반도체기판(1)에 대한 질화실리콘막(8), (13)의 선택비가 최대가되는 조건에서 행한다. 즉, 원료가스(G)를 표8에 나타내는 프론계 반응가스와 불활성가스와의 조합으로되는 혼합가스로 구성하고, 불활성가스의 비율을 혼합가스 전량의 80% 이상으로 한다. 또, 이때의 처리압력을 100에서 500mTorr로 설정한다.

표 8. Si_3N_4 층을 에칭하여 Si에 대한 선택비를 높게하는 조건

반응가스	불활성가스
CH_2F_2	He, Ar, Kr, Xe

이와 같이 BPSG막(9)을 에칭할때의 마스크에 포토레지스트를 사용하지 않는 본 실시예에 의하면, 포토레지스트가 에칭됨으로서 발생하는 생성물이 선택성에 미치는 영향을 배제할 수가 있으므로 에칭의 선택성을 더욱 향상시킬 수가 있다.

실시예 3

제13도는 본 실시예에서 사용하는 마이크로마 플라즈마에칭장치(300)의 개략도이다. 도면중의 부호(301)는 마이크로파도파관, 302는 자석, 303은 플라즈마 생성실이다. 마그네트론에서 발생한 2.45GHz의 마이크로파는 마이크로파도파관(301)을 통하여 플라즈마 생성실(303)에 도입된다.

상기 플라즈마생성실(303)에서는 가스도입구(304)를 통하여 도입된 불활성가스의 플라즈마가 형성된다. 이 플라즈마중에는 전자, 이온, 준안정원자가 존재한다.

상기 플라즈마 생성실(303)과 반응실(305)과의 경계에는 복수개의 그리드전극(306)이 설치되어 있으며, 이 그리드전극(306)의 전위를 정부 상호 절환하므로써 플라즈마중의 전자, 이온중, 이온만이 반응실(305)에 도입된다. 불활성가스의 준안정 원자는 전계의 영향을 받지 않으므로 등방적(等方的)으로 확산하면서 반응실(305)내에 도입된다.

상기 반응실(305)에는 가스도입구(307)를 통하여 반응가스가 도입되며, 상기 불활성가스의 준안정원자와의 상호작용에 의하여 소정의 해리종을 생성한다. 그리고, 이 해리종과 상기 불활성가스의 이온이 반도체기판(1)의 표면에 수송되어 에칭을 진행한다.

다음에, 상기 마이크로파 플라즈마에칭장치(300)를 사용한 에칭프로세스를 설명한다. 이 프로세스는 인접하는 2개의 MISFET의 게이트전극의 사이의 실리콘기판에 콘택트를 취하기 위하여 절연막에 접속구멍을 형성하는 프로세스이다.

예를들면, 게이트 전극간의 베이스가 0.25 μ m정도까지 미세화되는데 대하여, 접속구멍을 형성할때 사용하는 포토마스크의 해상도가 0.3 μ m 정도라고 하면, 이 게이트 전극간에 접속구멍을 형성하는 것은 불가능하다.

그래서, 본 실시예에서는 우선 제14도에 도시하는 것과 같이 통상의 방법에 따라 반도체기판(1)의 주면에 필드절연막(2)을 형성하고, 이어 이 필드 절연막(2)에서 둘러싸인 활성영역에 게이트전극(3), 게이트절연막(4), 1쌍의 반도체영역(소오스영역, 드레인영역) (5), (6)으로 되는 MISFET를 형성한다. 이때, 인접하는 게이트전극(3)간의 스페이스는 0.25 μ m 정도이다. 또, 게이트전극(3)의 상부 및 측벽은 산화실리콘막(3)으로 보호된다.

다음에, 반도체기판(1)의 전면에 막두께 500에서 2000 Å 정도의 질화실리콘막(15)을 CVD법에 의해 퇴적하고, 다시 그 위에 막두께 5000에서 10000 Å 정도의 BPSG막(16)을 CVD법에 의해 퇴적한다.

다음에, 제15도에 도시하는 것과 같이 상기 BPSG 막(16)상에 포토레지스트패턴(17)을 형성한다. 이 포토레지스트패턴(17)은 MISFET의 한쪽의 반도체영역(6)의 윗쪽에 개공(18)을 가지고 있다. 이 개공(18)의 직경은 게이트전극(3)의 간의 스페이스(0.25 μ m 정도)보다도 큰 0.3 μ m 정도이다. 즉, 이 개공(18)은 그 일부가 게이트전극(3)과 오버랩하도록 레이아웃된다.

다음에, 상기 반도체기판(1)을 상기 마이크로파플라즈마 에칭장치(300)의 반응실(305)에 반입하여, 포토레지스트패턴(17)을 마스크로하여 BPSG 막(16)을 드라이에칭한다. 이 에칭은 베이스의 질화실리콘막(15)에 대한 BPSG막(16)의 선택비를 최대로 한 조건에서 행한다.

즉, 원료가스(G)를 상기 표 7에 나타내는 프론게 반응가스와 불활성가스와의 조합으로 되는 혼합가스로 구성하며, 불활성가스의 비율을 혼합가스전량이 80% 이상으로 한다. 또, 이때의 처리압력을 100에서 500mTorr로 설정한다.

제16도는 BPSG막(16)의 에칭이 도중까지 진행하여 질화실리콘막(15)이 개공(18)의 저부에 노출한 상태를 나타내고 있다.

제17도는 BPSG막(16)의 에칭이 끝난 상태를 나타내고 있다. 본 실시예에서는 질화실리콘막(15)에 대한 선택비를 최대로 한 조건에서 BPSG막(16)을 에칭하므로 질화실리콘막(15)이 에칭의 스톱퍼로 되어, 이 결과 충분한 오버에칭을 행하여도 게이트전극(3)을 보호하는 산화실리콘막(7)의 깎임을 방지할 수 있다.

제18도는 남은 질화실리콘막(15)을 에칭으로 제거하므로써 MISFET의 반도체영역(6)에 도달하는 접속구멍(19)을 완성한 상태를 나타내고 있다. 질화실리콘막(15)의 에칭은 상기 마이크로파 플라즈마 에칭장치(300)를 사용하여 베이스의 반도체기판(1)에 대한 질화실리콘막(15)의 선택비가 최대로 되는 조건에서 행한다. 즉, 원료가스(G)를 상기 표 8에 나타내는 프론게 반응가스와 불활성가스와의 조합으로 되는 혼합가스로 구성하며, 불활성가스의 비율을 혼합가스 전량의 80%이상으로 한다. 또 이때의 처리압력을 100에서 500mTorr로 설정한다.

이와같이 본 실시예에 의하면, 게이트전극(3)을 보호하는 산화실리콘막(7)을 깎는 일없이 게이트전극(3)과 오버랩한 접속구멍(19)을 형성할 수 있으므로, 게이트전극(3)간의 스페이스가 0.25 μ m 정도의 LSI를 실현할 수 있다.

실시예 4

상기 실시예 3에서는 BPSG막(16)을 에칭할때의 마스크로서 포토레지스트패턴(17)을 사용하였다. 그러나, 이 경우는 포토레지스트가 에칭될때 발생하는 생성물이 비선택성의 해리종을 발생하지 않도록 포토레지스트 재료나 에칭조건을 선택할 필요가 있다.

그래서, 본 실시예에서는 제19도에 도시하는 것과 같이 BPSG막(16)상에 막두께 500에서 2000 Å 정도의 질화실리콘막(20)을 CVD법에 의해 퇴적하고, 이 질화실리콘막(20)상에 포토레지스트패턴(17)을 형성한다.

다음에, 제20도에 나타내는 것과 같이 상기 포토레지스트 패턴(17)을 마스크로하여 질화실리콘막(20)을 일반적인 드라이에칭조건으로 에칭한다.

다음에, 포토레지스트패턴(17)을 애싱으로 제거한후, 질화실리콘막(20)을 마스크로하여 BPSG막(16)을 드라이에칭한다. 이 에칭은 상기마이크로파 플라즈마 에칭장치(300)를 사용하여 질화실리콘막(20)(및 질화실리콘막 15)에 대한 BPSG막(16)의 선택비를 최대로 한 조건에서 행한다. 즉, 상기 표 7에 나타내는 프론게 반응가스와 불활성가스와의 혼합가스를 사용하여 불활성가스의 비율을 혼합가스전량이 80% 이상으로해서 처리압력 100에서 500mTorr 에서 에칭을 행한다.

제21도는 BPSG막(16)의 에칭이 도중까지 진행하여 질화실리콘막(15)이 개공(18)의 저부에 노출한 상태를 나타낸다

제22도는 BPSG막(16)의 에칭이 끝난 상태를 나타내고 있다. BPSG막(16)의 에칭은 질화실리콘막(15)에 대한 선택비를 최대로 한 조건에서 행하므로 질화실리콘막(15)이 에칭의 스톱퍼로되어 충분한 오버에칭을 행하여도 게이트전극(3)을 보호 하는 산화실리콘막(7)의 깎임을 방지할 수 있다.

제23도는 남은 질화실리콘막(15), (20)을 에칭으로 제거하므로써 MISFET의 반도체영역(6)에 도달하는 접속구멍(19)을 완성한 상태를 나타내고 있다. 질화실리콘막(15)의 에칭은 상기 마이크로파플라즈마 에칭장치(300)를 사용하여 베이스의 반도체기판(1)에 대한 질화실리콘막(15)의 선택비가 최대로 되는 조건에서 행한다. 즉 원료가스(G)를 상기 표8에 나타내는 프론게 반응가스와 불활성가스와의 조합으로 되는 혼합가스로 구성하며 불활성가스의 비율을 혼합가스 전량의 80% 이상으로 한다. 또, 이때의 처리압력을 100에서 500mTorr로 설정한다.

이와같이 BPSG막(16)을 에칭할때의 마스크에 포토레지스터를 사용하지 않은 본 실시예에 의하면, 포토레지스터가 에칭되므로써 발생하는 생성물이 선택성에 미치는 영향을 배제할 수가 있으므로 에칭의 선택성을 더욱 향상시킬 수 있다.

이상 본 발명자들에 의하여 된 발명을 실시예에 의거하여 구체적으로 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 말할 것도 없다.

본 발명에서 사용하는 반응가스와 불활성가스는 상기 실시예 1에서 4의 조합에 한정되는 것은 아니고 예를들면 표9에 나타내는 것과 같은 조합도 가능하다.

표 9. 불활성가스와 반응가스종의 조합의 선택해리종의 성질에 의한 분류

희가스	선택성 해리종만 발생	선택성과 보호성의 해리종을 발생	선택성과 비선택성의 해리종을 발생	
			소 량	다 량
He	C_2F_4 , C_4F_8	CH_2F_2		
Ne	C_2F_4	CH_2F_2	C_4F_8 , CHF_3	
Ar	C_2F_4 , C_4F_8		CHF_3	CF_4
Kr	C_4F_8	CH_2F_2	CHF_3	CF_4
Xe	C_4F_8	CH_2F_2		

상기 표 9에 나타낸 반응가스와 불활성가스를

A : 선택해리종만을 발생하는 불활성가스와 반응가스종의 조합의 집합

B : 선택성과 보호성의 해리종을 발생하는 불활성가스와 반응가스종의 조합의 집합

C : 선택성과 소량의 비선택성의 해리종을 발생하는 불활성가스와 반응가스종의 조합의 집합

D ; 선택성과 다량의 비선택성의 해리종을 발생하는 불활성가스와 반응가스종의 조합의 집합

E : 플라즈마에 의해 해리하는 반응가스종의 집합

이라고하면 본 발명에서 사용하는 반응가스와 불활성가스의 조합은, A의 요소 및 그 조합, A와 B의 합병 집합에서 A의 요소를 포함하는 요소의 조합, A와 B와 C의 합병 집합에서 A의 요소를 포함하는 요소의 조합, A와 B와 D의 합병 집합에서 A의 요소를 포함하는 요소의 조합, A와 B와 C와 D의 합병 집합에서 A의 요소를 포함하는 요소의 조합 A와 B와 C와 D와 E의 합병집합에 있어서 A의 요소를 포함하는 요소의 조합등을 포함하는 것이다.

본원에 있어서 개시되는 발명중 대표적인 것에 의하여 얻어지는 효과를 간단히 설명을 하면 아래와 같다.

본 발명에 의하면, 반응가스의 해리종의 조성제어를 정밀하게 행할 수가 있으며, 고정도, 고선택비의 에칭을 실현할 수가 있으므로, 반도체집적회로장치의 미세화, 고집적화를 촉진할 수가 있다.

(57) 청구의 범위

청구항 1.

(a) 서로 근접하는 제1 및 제2 게이트전극이 패턴닝된 웨이퍼의 제1 주면상에, 질화실리콘계의 제1 절연막을 형성하는 공정;

(b) 상기 제1 절연막상에, 산화실리콘계의 제2 절연막을 형성하는 공정;

(c) 상기 제2 절연막상에, 홀 개구 패턴을 가지는 제1 막패턴을 형성하는 공정;

(d) 상기 웨이퍼의 제1 주면측에 대하여, 탄소수가 3 또는 그 이상의 퍼플루오르카본가스를 포함하는 제1 반응가스, 및 전체 가스 조성의 80%이상의 아르곤가스를 포함하는 제1 가스분위기 중에서, 상기 제1 막패턴이 있는 상태에서, 상기 제1 절연막을 에칭스톱퍼로 하여, 제1 드라이에칭을 실행함으로써, 상기 제2 절연막에 상기 제1 절연막에 도달하는 홀 개구를 형성하는 공정;

(e) 상기 제2 절연막에 상기 제1 절연막에 도달하는 홀 개구가 형성된 상기 웨이퍼의 상기 제1 주면측에 대하여, 상기 제1 반응가스와는 다른 제2 반응가스를 포함하는 제2 가스분위기 중에서, 제2 드라이에칭을 실행함으로써, 상기 제2

절연막의 상기 홀 개구를 상기 제1 및 제2 게이트전극 사이에서, 상기 제1 절연막의 하지층에 도달하도록 연장하는 공정;
을 포함하는 반도체 집적회로장치의 제조방법.

청구항 2.

제 1 항에 있어서,
상기 제1 막패턴은 포토레지스트막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 3.

제 1 항에 있어서,
상기 제1 막패턴은 무기 하드마스크 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 4.

제 1 항에 있어서,
상기 홀 개구 패턴은 상기 제1 및 제2 게이트전극에 오버랩되도록 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 5.

제 2 항에 있어서,
상기 홀 개구 패턴은 상기 제1 및 제2 게이트전극에 오버랩되도록 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 6.

제 3 항에 있어서,
상기 홀 개구 패턴은 상기 제1 및 제2 게이트전극에 오버랩되도록 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 7.

제 1 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 8.

제 2 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 9.

제 3 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 10.

제 4 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 11.

제 5 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 12.

제 6 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 13.

제 11 항에 있어서,
상기 제2 절연막은 BPSG막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 14.

제 13 항에 있어서,
상기 제1 절연막은 질화실리콘막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 15.

제 13 항에 있어서,
상기 무기 하드마스크 패턴은 질화실리콘막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 16.

- (a) 선행하는 막의 패터닝이 완료된 웨이퍼의 제1 주면상에, 비산화실리콘계의 제1 절연막을 형성하는 공정;
- (b) 상기 제1 절연막상에, 산화실리콘계의 제2 절연막을 형성하는 공정;
- (c) 상기 제2 절연막상에, 개구패턴을 가지는 제1 막패턴을 형성하는 공정;
- (d) 상기 웨이퍼의 제1 주면측에 대하여, 탄소수가 3 또는 그 이상의 퍼플루 오르카본가스를 포함하는 반응가스, 및 전체 가스 조성의 50% 이상의 아르곤가스를 포함하는 제1 가스분위기 중에서, 상기 제1 막패턴이 있는 상태에서, 상기 제1 절연막을 에칭스토퍼로 하여, 제1 드라이에칭을 실행함으로써, 상기 제2 절연막에 상기 제1 절연막에 도달하는 개구를 형성하는 공정;
- (e) 상기 제2 절연막에 상기 제1 절연막에 도달하는 상기 개구가 형성된 상기 웨이퍼의 상기 제1 주면측에 대하여, 상

기 제1 반응가스와는 다른 제2 반응가스를 포함하는 제2 가스분위기 중에서, 제2 드라이에칭을 실행함으로써, 상기 제2 절연막의 상기 개구를 상기 제1 절연막의 하지층에 도달하도록 연장하는 공정; 을 포함하는 반도체 집적회로장치의 제조방법.

청구항 17.

제 16 항에 있어서,
상기 제1 막패턴은 포토레지스트막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 18.

제 16 항에 있어서,
상기 제1 막패턴은 무기 하드마스크 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 19.

제 16 항에 있어서,
상기 개구 패턴의 치수는 상기 제2 절연막에 형성되는 상기 개구의 치수보다도 크게 되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 20.

제 18 항에 있어서,
상기 무기 하드마스크 패턴은 비산화실리콘계의 절연막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 21.

제 18 항에 있어서,
상기 무기 하드마스크 패턴과 상기 제1 절연막은, 거의 동일한 재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 22.

제 17 항에 있어서,
상기 개구 패턴의 치수는 상기 제2 절연막에 형성되는 상기 개구의 치수보다도 크게 되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 23.

제 18 항에 있어서,
상기 개구 패턴의 치수는 상기 제2 절연막에 형성되는 상기 개구의 치수보다도 크게 되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 24.

제 20 항에 있어서,
상기 개구 패턴의 치수는 상기 제2 절연막에 형성되는 상기 개구의 치수보다도 크게 되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 25.

제 21 항에 있어서,
상기 개구 패턴의 치수는 상기 제2 절연막에 형성되는 상기 개구의 치수보다도 크게 되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 26.

제 20 항에 있어서,
상기 무기 하드마스크 패턴과 상기 제1 절연막은, 거의 동일한 재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 27.

제 26 항에 있어서,
상기 개구 패턴의 치수는 상기 제2 절연막에 형성되는 상기 개구의 치수보다도 크게 되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 28.

제 27 항에 있어서,
상기 제2 절연막은 BPSG막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 29.

제 28 항에 있어서,
상기 제1 절연막은 질화실리콘막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 30.

제 29 항에 있어서,
상기 무기 하드마스크 패턴은 질화실리콘막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 31.

제 16 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 32.

제 17 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 33.

제 18 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 34.

제 19 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 35.

제 20 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 36.

제 21 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 37.

제 22 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 38.

제 23 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 39.

제 24 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 40.

제 25 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 41.

제 26 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 42.

제 29 항에 있어서,
상기 제1 가스분위기 중의 아르곤가스의 비율은 80% 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 43.

(a) 제1 게이트전극이 패터닝된 웨이퍼의 제1 주면상에, 질화실리콘계의 제1 절연막을 형성하는 공정;
(b) 상기 제1 절연막상에, 산화실리콘계의 제2 절연막을 형성하는 공정;
(c) 상기 제2 절연막상에, 상기 제1 게이트전극과 오버랩되는 홀 개구 패턴을 가지는 제1 막패턴을 형성하는 공정;
(d) 상기 웨이퍼의 제1 주면측에 대하여, 제1 반응가스로서 탄소수가 3 또는 그 이상의 퍼플루오르카본가스를 포함하는 제1 가스분위기 중에서, 상기 제1 막패턴이 있는 상태에서, 상기 제1 절연막을 에칭스토퍼로 하여, 제1 드라이에칭을 실행함으로써, 상기 제2 절연막에 상기 제1 절연막에 도달하는 홀개구를 형성하는 공정;
(e) 상기 제2 절연막에 상기 제1 절연막에 도달하는 상기 홀 개구가 형성된 상기 웨이퍼의 상기 제1 주면측에 대하여, 상기 제1 반응가스와는 다른 제2 반응가스를 포함하는 제2 가스분위기 중에서, 제2 드라이에칭을 실행함으로써, 상기 제2 절연막의 상기 홀개구를, 상기 제1 게이트전극의 측벽을 따라, 상기 제1 절연막의 하지층에 도달하도록 연장하는 공정;
을 포함하는 반도체 집적회로장치의 제조방법.

청구항 44.

제 43 항에 있어서,
상기 제1 막패턴은 포토레지스트막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 45.

제 43 항에 있어서,
상기 제1 막패턴은 무기 하드마스크 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 46.

제 44 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 47.

제 45 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 48.

(a) 제1 게이트전극이 패터닝된 웨이퍼의 제1 주면상에, 질화실리콘계의 제1 절연막을 형성하는 공정;
 (b) 상기 제1 절연막상에, 산화실리콘계의 제2 절연막을 형성하는 공정;
 (c) 상기 제2 절연막상에, 상기 제1 게이트전극과 오버랩되는 홀 개구 패턴을 가지는 제1 막패턴을 형성하는 공정;
 (d) 상기 웨이퍼의 제1 주면측에 대하여, 탄소수가 3 또는 그 이상의 퍼플루오르카본가스를 포함하는 제1 반응가스, 및 전체 가스 조성의 80% 이상의 아르곤가스를 포함하는 제1 가스분위기 중에서, 상기 제1 막패턴이 있는 상태에서, 상기 제1 절연막을 에칭스토퍼로 하여, 제1 드라이에칭을 실행함으로써, 상기 제2 절연막에 상기 제1 절연막에 도달하는 홀개구를 형성하는 공정;
 (e) 상기 제2 절연막에 상기 제1 절연막에 도달하는 상기 홀 개구가 형성된 상기 웨이퍼의 상기 제1 주면측에 대하여, 상기 제1 반응가스와는 다른 제2 반응가스를 포함하는 제2 가스분위기 중에서, 제2 드라이에칭을 실행함으로써, 상기 제2 절연막의 상기 홀 개구를, 상기 제1 게이트전극의 측벽을 따라, 상기 제1 절연막의 하지층에 도달하도록 연장하는 공정;
 을 포함하는 반도체 집적회로장치의 제조방법.

청구항 49.

제 48 항에 있어서,
 상기 제1 막패턴은 포토레지스트막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 50.

제 48 항에 있어서,
 상기 제1 막패턴은 무기 하드마스크 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 51.

제 48 항에 있어서,
 상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 52.

제 49 항에 있어서,
 상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 53.

제 50 항에 있어서,
 상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치.

청구항 54.

제 52 항에 있어서,
 상기 제2 절연막은 BPSG막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 55.

제 54 항에 있어서,
 상기 제1 절연막은 질화실리콘막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 56.

제 55 항에 있어서,
 상기 무기 하드마스크 패턴은 질화실리콘막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 57.

(a) 선행하는 막의 패터닝이 완료된 웨이퍼의 제1 주면상에, 비산화실리콘계의 제1 절연막을 형성하는 공정;
 (b) 상기 제1 절연막상에, 산화실리콘계의 제2 절연막을 형성하는 공정;
 (c) 상기 제2 절연막상에, 개구 패턴을 가지는 비산화실리콘계의 제1 무기막 패턴을 형성하는 공정;
 (d) 상기 웨이퍼의 제1 주면측에 대하여, 탄소수가 3 또는 그 이상의 퍼플루오르카본가스를 포함하는 반응가스, 및 전체 가스 조성의 50% 이상의 아르곤가스를 포함하는 제1 가스분위기 중에서, 상기 제1 무기막 패턴이 있는 상태에서, 상기 제1 절연막을 에칭스토퍼로 하여, 제1 드라이에칭을 실행함으로써, 상기 제2 절연막에 상기 제1 절연막에 도달하는 개구를 형성하는 공정;
 (e) 상기 제2 절연막에 상기 제1 절연막에 도달하는 상기 개구가 형성된 상기 웨이퍼의 상기 제1 주면측에 대하여, 상기 제1 반응가스와는 다른 제2 반응가스를 포함하는 제2 가스분위기 중에서, 제2 드라이에칭을 실행함으로써, 상기 제1 무기막 패턴을 제거함과 동시에, 상기 제2 절연막의 상기 개구를 상기 제1 절연막의 하지층에 도달하도록 연장하는 공정;
 을 포함하는 반도체 집적회로장치의 제조방법.

청구항 58.

제 57 항에 있어서,
 상기 개구 패턴의 치수는 상기 제2 절연막에 형성되는 상기 개구의 치수보다도 크게 되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 59.

제 57 항에 있어서,
 상기 무기 하드마스크 패턴과 상기 제1 절연막은, 거의 동일한 재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 60.

제 58 항에 있어서,
상기 무기 하드마스크 패턴과 상기 제1 절연막은, 거의 동일한 재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 61.

(a) 서로 근접하는 제1 및 제2 게이트전극이 패터닝된 웨이퍼의 제1주면상에 비산화 실리콘계의 제1 절연막을 형성하는 공정;
(b) 상기 제1 절연막상에, 산화실리콘계의 제2 절연막을 형성하는 공정;
(c) 상기 제2 절연막상에, 상기 제1 및 제2 게이트전극과 오버랩되는 홀 개구 패턴을 가지는 제1 막패턴을 형성하는 공정;
(d) 상기 웨이퍼의 제1 주면측에 대하여, 탄소수가 3 또는 그 이상의 퍼플루오르카본가스를 포함하는 제1 반응가스, 및 전체 가스 조성의 80% 이상의 아르곤가스를 포함하는 제1 가스분위기 중에서, 상기 제1 막패턴이 있는 상태에서, 상기 제1 절연막을 에칭스토퍼로 하여, 제1 드라이에칭을 실행함으로써, 상기 제2 절연막에 상기 제1 절연막에 도달하는 홀 개구를 형성하는 공정;
(e) 상기 제2 절연막에 상기 제1 절연막에 도달하는 상기 홀개구가 형성된 상기 웨이퍼의 상기 제1 주면측에 대하여, 상기 제1 반응가스와는 다른 제2 반응가스를 포함하는 제2 가스분위기 중에서, 제2 드라이에칭을 실행함으로써, 상기 제2 절연막의 상기 홀개구를, 상기 제1 및 제2 게이트전극의 측벽을 따라, 상기 제1 절연막의 하지층에 도달하도록 연장하는 공정;
을 포함하는 반도체 집적회로장치의 제조방법.

청구항 62.

제 61 항에 있어서,
상기 제1 막패턴은 포토레지스터막 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 63.

제 61 항에 있어서,
상기 제1 막패턴은 무기 하드마스크 패턴인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 64.

제 61 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 65.

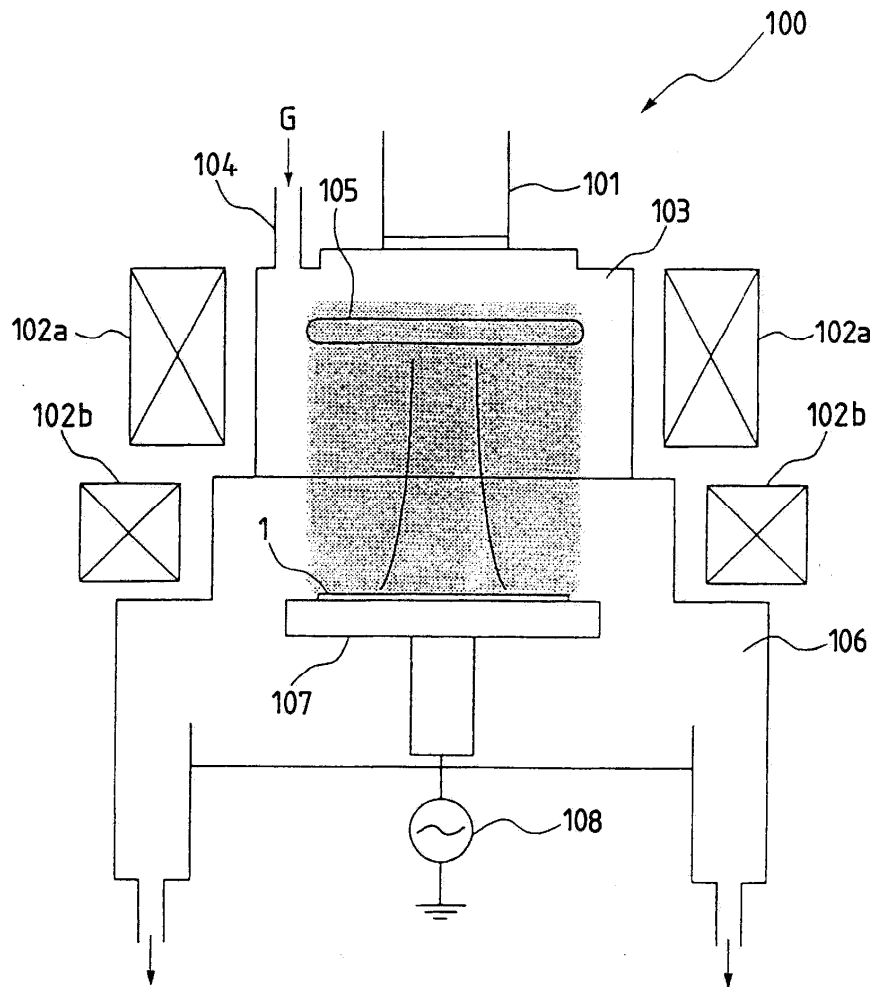
제 62 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 66.

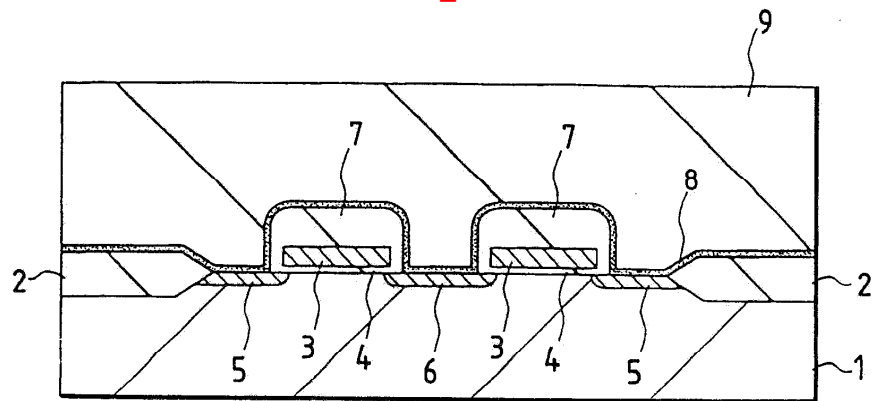
제 63 항에 있어서,
상기 하지층은 상기 웨이퍼의 상기 제1 주면의 실리콘영역인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

도면

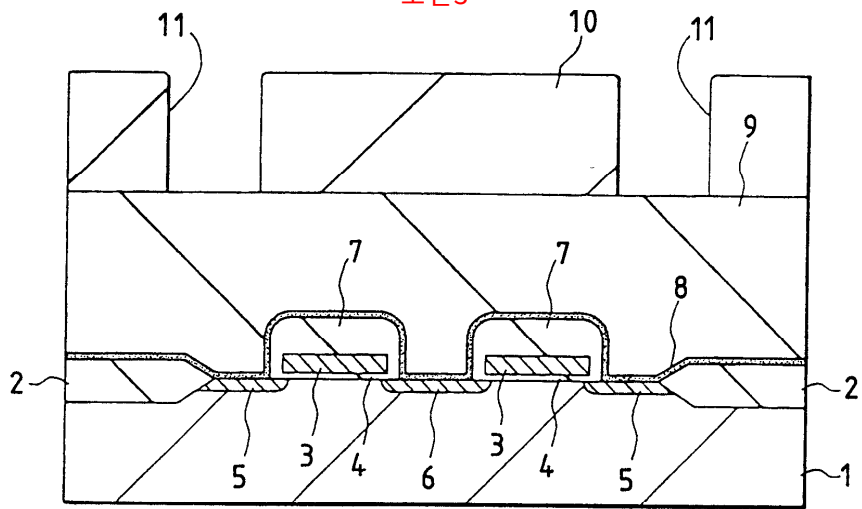
도면1



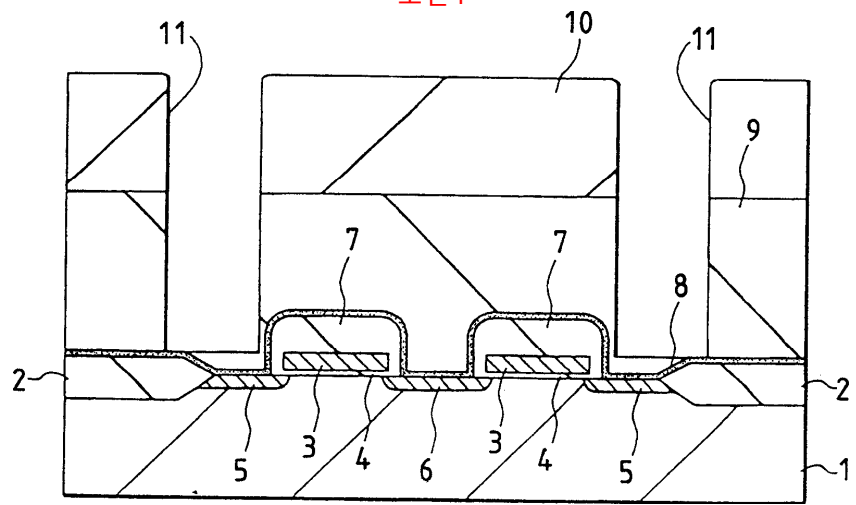
도면2



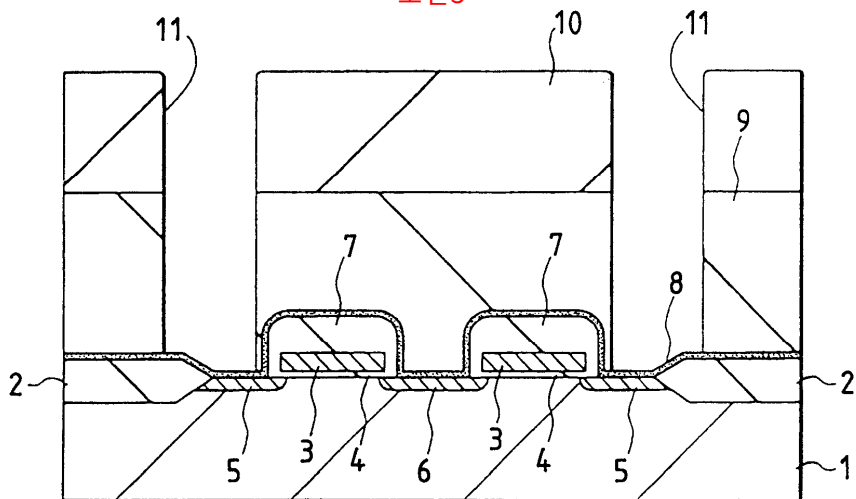
도면3



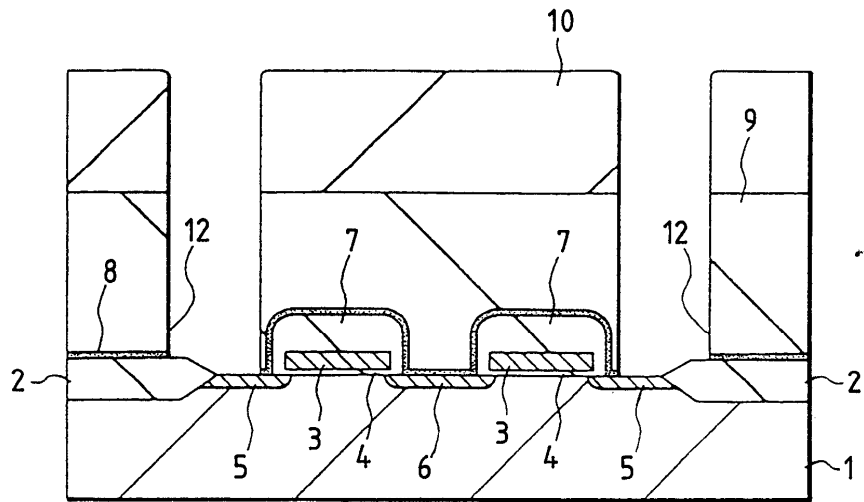
도면4



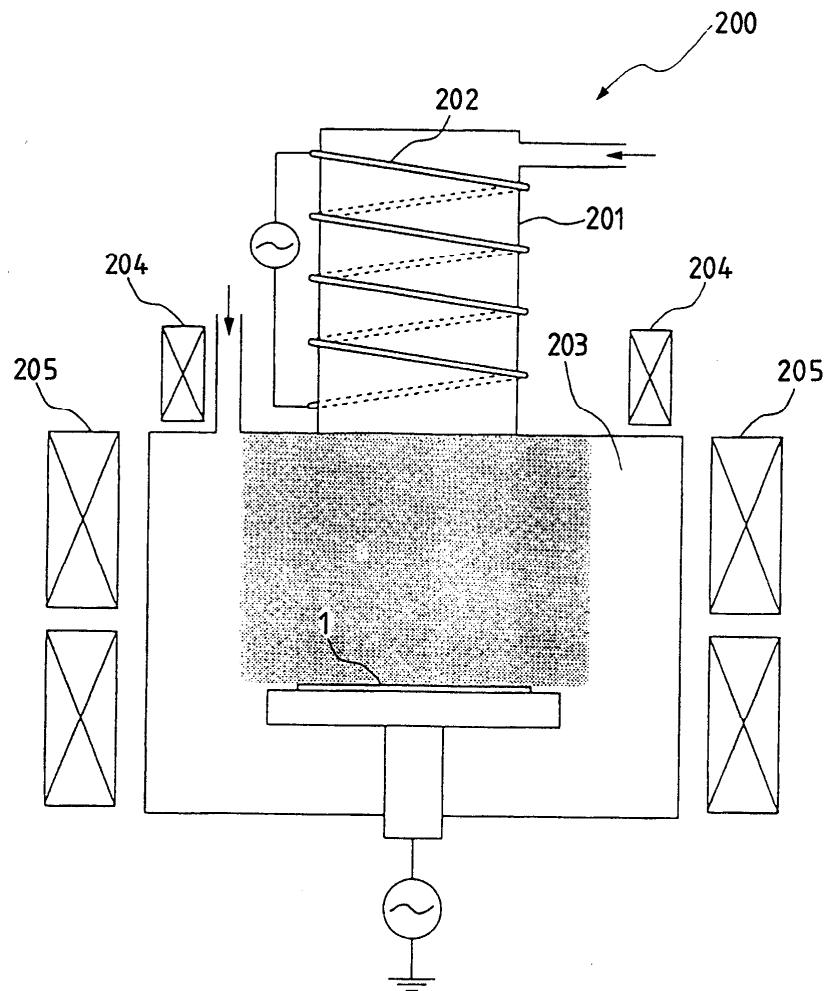
도면5



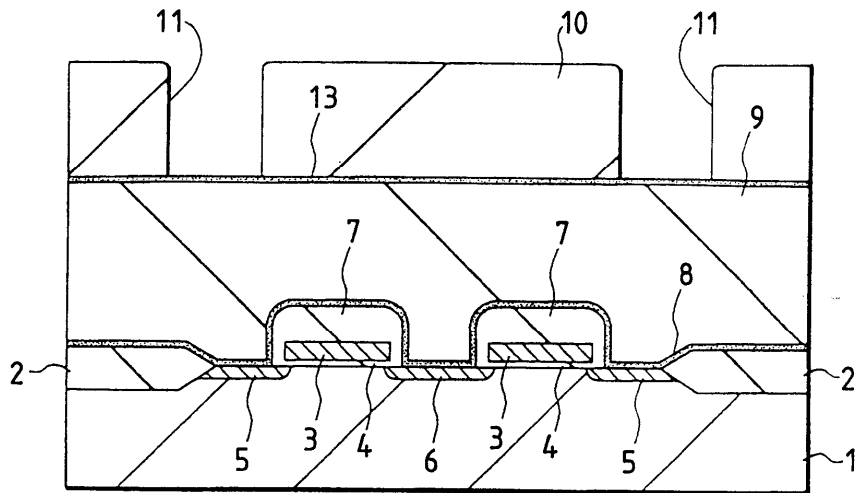
도면6



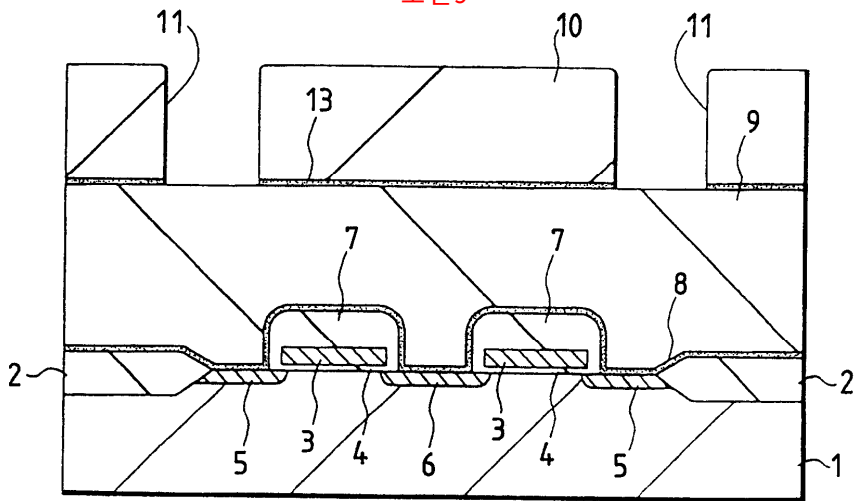
도면7



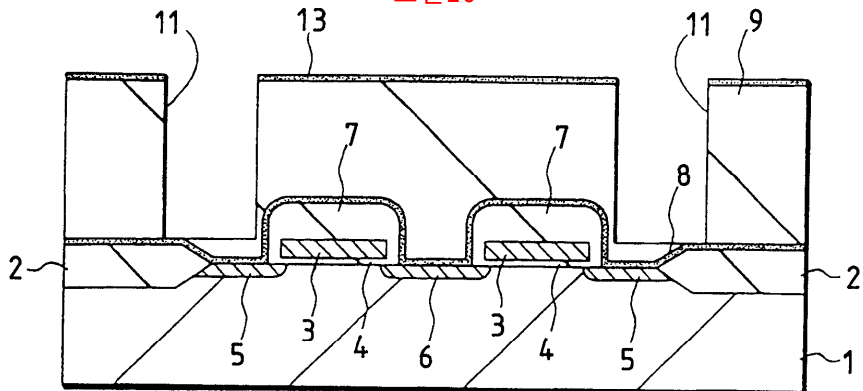
도면8



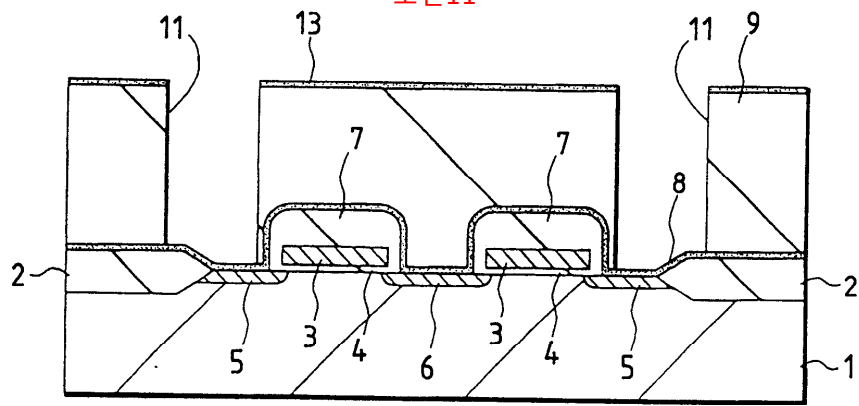
도면9



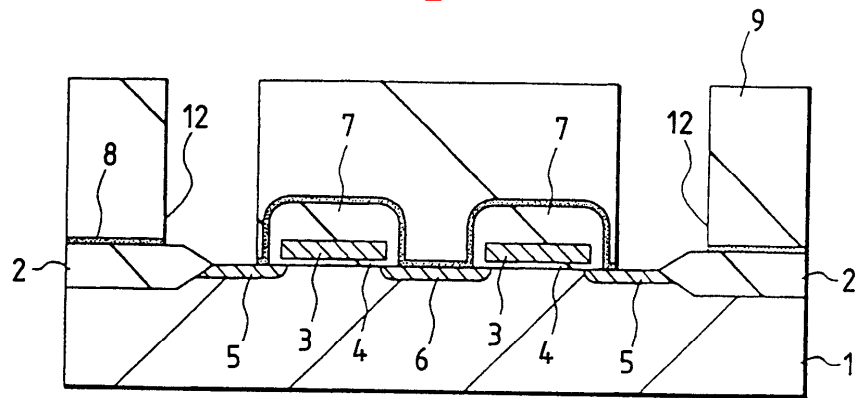
도면10



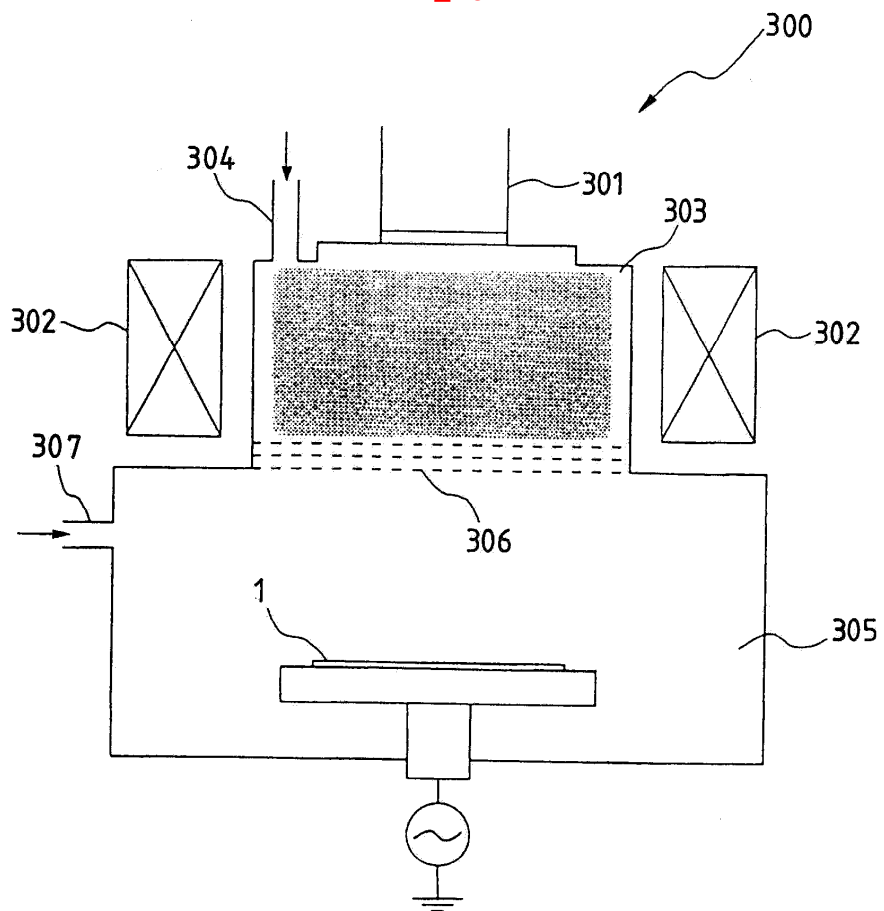
도면11



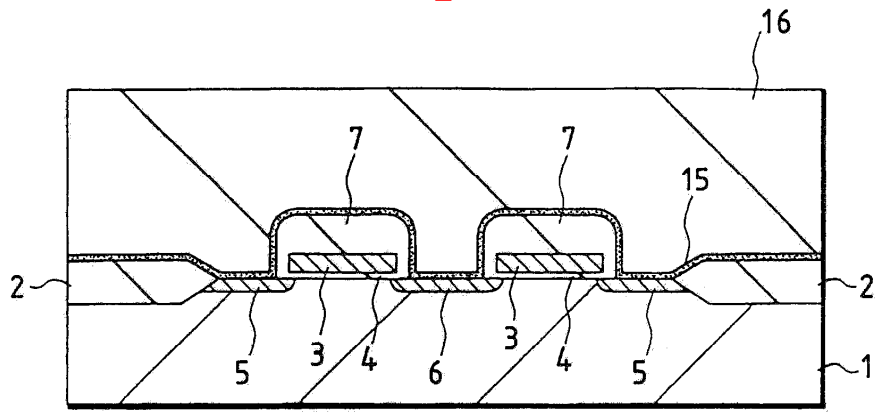
도면12



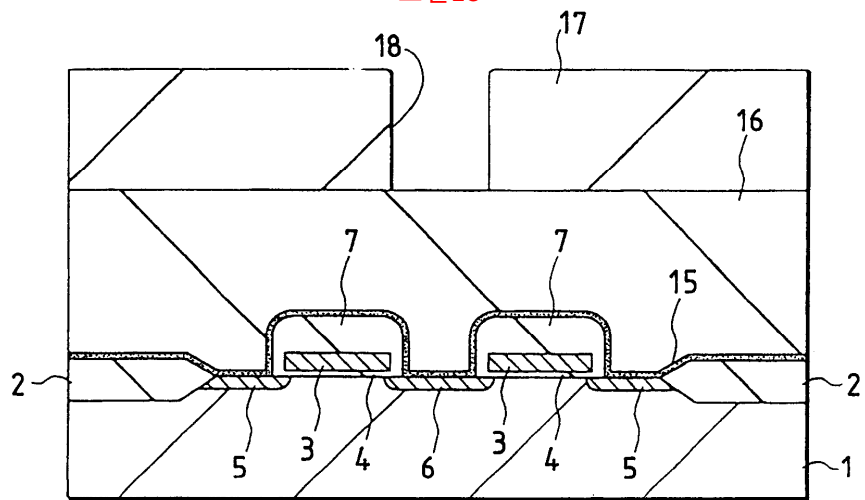
도면13



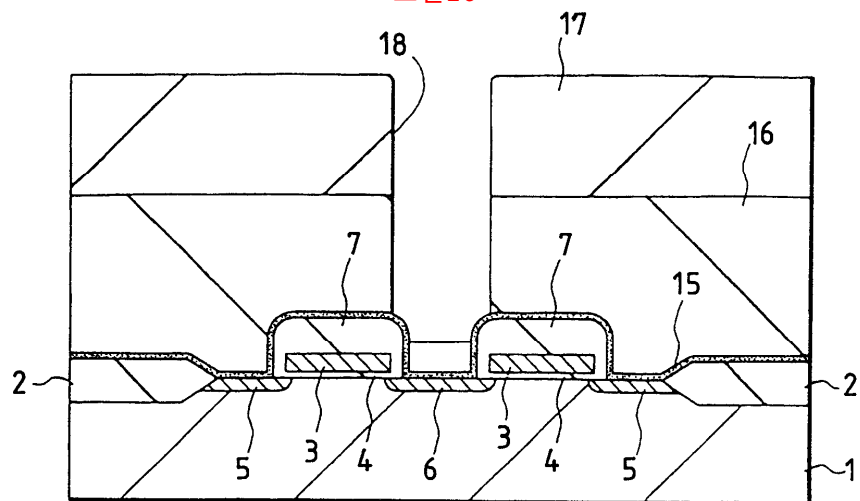
도면14



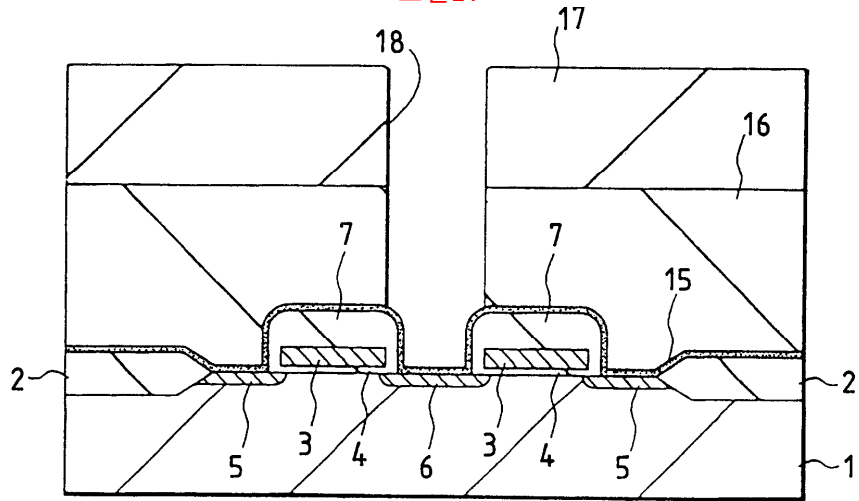
도면15



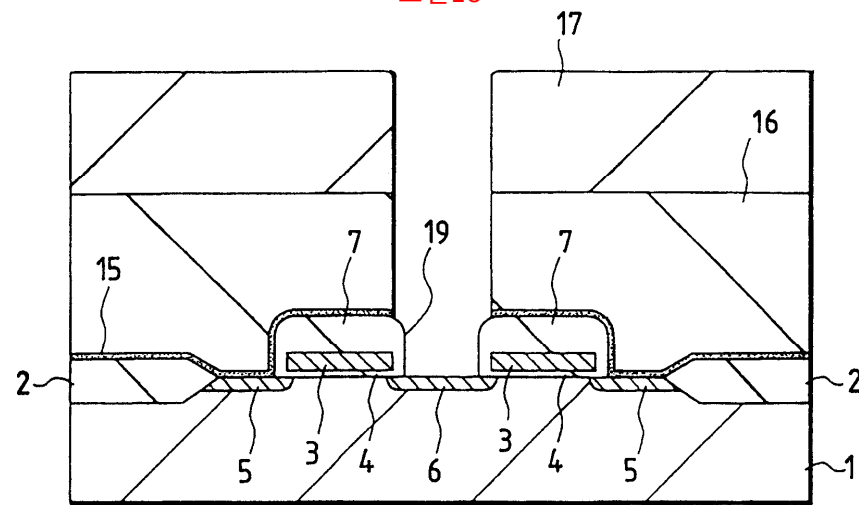
도면16



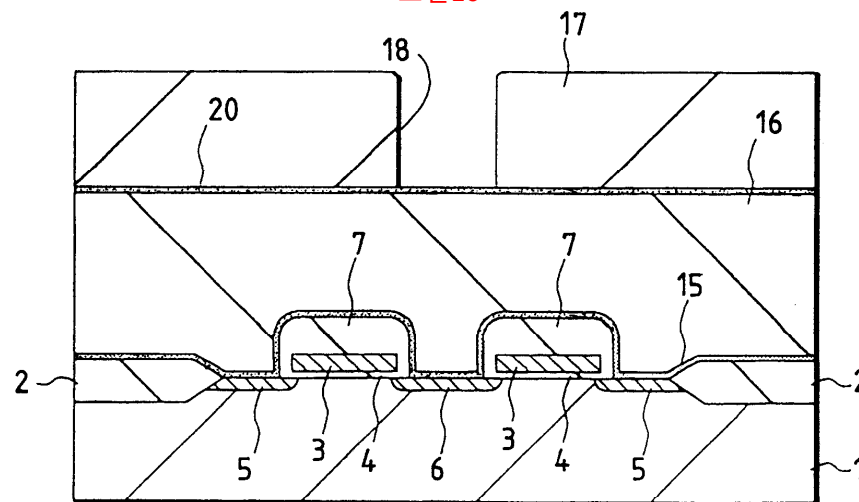
도면17



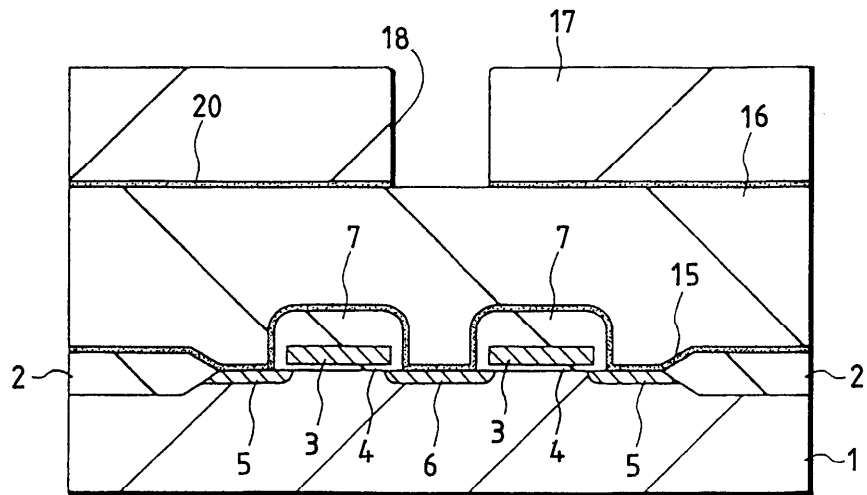
도면18



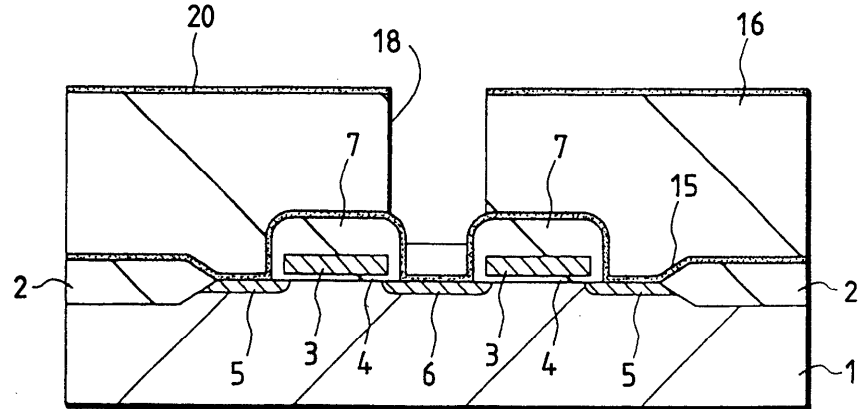
도면19



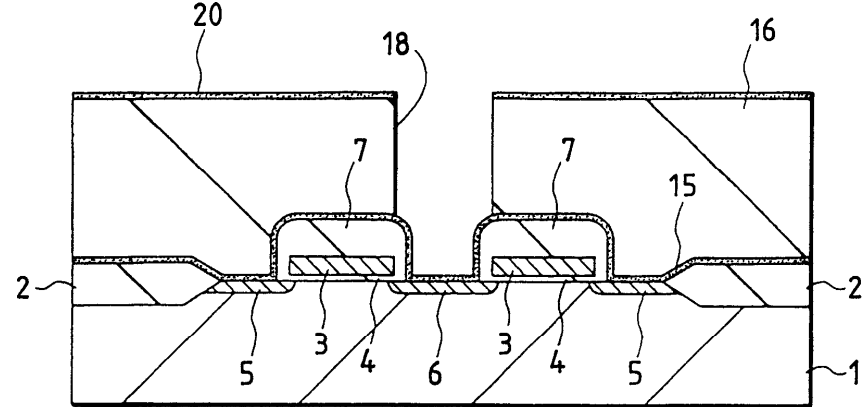
도면20



도면21



도면22



도면23

