



**PCT** WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro  
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<p>(51) Internationale Patentklassifikation<sup>5</sup> : <b>G11C 29/00, 8/00</b></p>	<b>A1</b>	<p>(11) Internationale Veröffentlichungsnummer: <b>WO 94/28555</b></p> <p>(43) Internationales Veröffentlichungsdatum: <b>8. December 1994 (08.12.94)</b></p>
<p>(21) Internationales Aktenzeichen: <b>PCT/DE94/00521</b></p> <p>(22) Internationales Anmeldedatum: <b>6. Mai 1994 (06.05.94)</b></p> <p>(30) Prioritätsdaten: <b>P 43 17 175.3      22. Mai 1993 (22.05.93)      DE</b></p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): <b>ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, D-70442 Stuttgart (DE).</b></p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): <b>BOEHL, Eberhard [DE/DE]; Tannenberger Strasse 66, D-72760 Reutlingen (DE). KESEL, Frank [DE/DE]; Brenzstrasse 10, D-72766 Reutlingen (DE).</b></p>	<p>(81) Bestimmungsstaaten: <b>JP, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</b></p> <p><b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht.</i></p>	

(54) Title: **SELF-TESTING DEVICE FOR STORAGE ARRANGEMENTS, DECODERS OR THE LIKE**

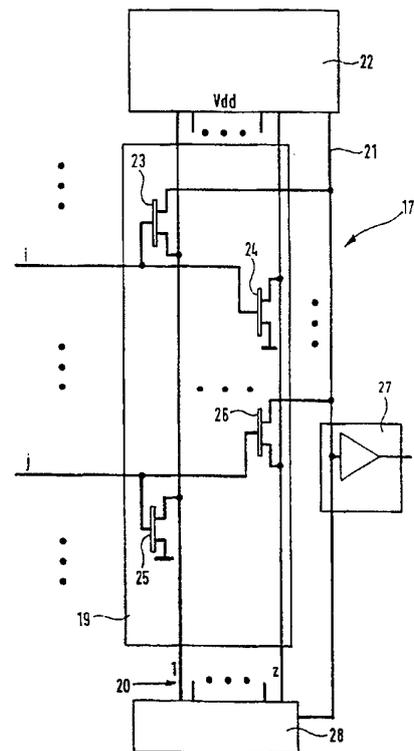
(54) Bezeichnung: **SELBSTTESTEINRICHTUNG FÜR SPEICHERANORDNUNGEN, DECODER ODER DGL.**

(57) Abstract

The proposal is for a self-testing device for storage arrangements, decoders or the like for use in on-line operation, in which the word lines and/or the column lines of a storage matrix are connected to a test matrix (17). An error detector (27) generating an error signal when more than one word lines are active simultaneously is connected to the test matrix (17). As, for the most frequently occurring errors in the decoder, several word or column lines are activated, it is possible with this relatively simple and economically produced test matrix to perform a simple self-test during on-line operation.

(57) Zusammenfassung

Es wird eine Selbsttesteinrichtung für Speicheranordnungen, Decoder oder dgl. zur Anwendung im On-Line-Betrieb vorgeschlagen, wobei die Wortleitungen und/oder die Spaltenleitungen einer Speichermatrix mit einer Prüfmatrix (17) verbunden sind. Ein bei gleichzeitig mehr als einer aktivierten Wortleitung ein Fehlersignal erzeugender Fehlerdetektor (27) ist mit der Prüfmatrix (17) verbunden. Da bei den meisten auftretenden Fehlern im Decoder mehrere Wortleitungen oder Spaltenleitungen aktiviert werden, kann durch diese relativ einfach und kostengünstig zu realisierende Prüfmatrix ein einfacher Selbsttest im On-Line-Betrieb durchgeführt werden.



**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	GA	Gabon	MR	Mauretanien
AU	Australien	GB	Vereinigtes Königreich	MW	Malawi
BB	Barbados	GE	Georgien	NE	Niger
BE	Belgien	GN	Guinea	NL	Niederlande
BF	Burkina Faso	GR	Griechenland	NO	Norwegen
BG	Bulgarien	HU	Ungarn	NZ	Neuseeland
BJ	Benin	IE	Irland	PL	Polen
BR	Brasilien	IT	Italien	PT	Portugal
BY	Belarus	JP	Japan	RO	Rumänien
CA	Kanada	KE	Kenya	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KG	Kirgisistan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SI	Slowenien
CI	Côte d'Ivoire	KZ	Kasachstan	SK	Slowakei
CM	Kamerun	LI	Liechtenstein	SN	Senegal
CN	China	LK	Sri Lanka	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
ES	Spanien	MG	Madagaskar	US	Vereinigte Staaten von Amerika
FI	Finnland	ML	Mali	UZ	Usbekistan
FR	Frankreich	MN	Mongolei	VN	Vietnam

Selbsttesteinrichtung für Speicheranordnungen, Decoder  
oder dgl.

STAND DER TECHNIK

Die Erfindung betrifft eine Selbsttesteinrichtung für Speicheranordnung, Decoder od.dgl. zur Anwendung im On-Line-Betrieb, wobei Mittel zur Überprüfung einer Vielzahl von Wortleitungen vorgesehen sind.

Aus IEEE Trans. on Computer-Aided Design, vol. 9, No. 6, Juni 1990, S. 567 - 572, "A Realistic Fault Model and Test Algorithms for Static Random Access Memories", sind Verfahren zum Off-Line-Test von Speicheranordnungen bekannt. Diese Verfahren sind teilweise auch als "Built-in-self-Test" einsetzbar, aber wegen der sehr vielen erforderlichen Test-Pattern und der Zerstörung des Speicherinhalts nur bedingt für den Test im laufenden Betrieb (quasi on-line) einsetzbar. Darüber hinaus verbietet die erforderliche Testlänge den Einsatz im On-Line-Test.

Weiterhin sind aus "Defect and Fault Tolerance in VLSI Systems", in Koren, Plenum Press, New York, 1989 (Design of Fault-Tolerant DRAM with new on Chip ECC - Mazumber, P.) Anordnungen mit Codierung von Daten bekannt, wobei unterschiedliche Codes zur Anwendung kommen. Eine derartige Codierung verhindert jedoch nur einen sehr kleinen Teil von möglichen Hardwarefehlern in der zu überprüfenden

Speicheranordnung.

Schließlich gibt es Verfahren, bei denen über einen ROM die tatsächlich ausgewählte Speicherzelle ermittelt und deren Adresse mit der gewünschten Adresse verglichen wird.

Dabei werden insbesondere Zeilen- und Spaltenadressen ausgelesen und mit der Eingangsadresse in einem Self-checking-checker verglichen. Derartige Verfahren sind beispielsweise aus "Self-checking Flash-EPROM", M.

Nicolaidis, Beitrag zum Projekt JESSI SE 11, Präsentation zum Vortrag am 16.9.1992 in Grenoble, oder aus "Efficient ubist implemmentation for microprocessor sequencing parts", M. Nicolaidis, Juni 1990, Veröffentlichung des Instituts IMAG/TIM 3, 46 Avenue Félix Viallet, 38031 Grenoble, bekannt. Diese Selbsttesteinrichtungen sind jedoch schaltungstechnisch sehr aufwendig und decken für sich allein nur die Decoderfehler ab.

Insgesamt decken die bekannten Selbsttesteinrichtungen und -verfahren entweder jeweils für sich nur sehr wenige Fehlermöglichkeiten ab, oder sie sind sehr aufwendig bezüglich der erforderlichen Hardware oder sehr zeitaufwendig, so daß sie sich nicht für den On-Line-Betrieb eignen.

#### VORTEILE DER ERFINDUNG

Die erfindungsgemäße Selbsttesteinrichtung mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, daß zur Überwachung der Wortleitungen lediglich ein sogenannter 1-aus-n-Prüfer eingesetzt wird, der im On-Line-Betrieb eine Fehlermeldung über einen Fehlerdetektor abgibt, wenn gleichzeitig mehr als eine Wortleitung aktiv ist. Dadurch werden zum einen die meisten

Fehlerquellen im Decoder erfaßt, und zum anderen kann dieser Selbsttest mit sehr geringem Aufwand und sehr schnell durchgeführt werden. Dabei können praktisch alle Adressierungsfehler erkannt werden, sofern durch die Codierung der Adresse mit einem geeigneten Code in Verbindung mit konstruktiven Regeln sowie einer Codeprüfung sichergestellt wird, daß ein Einzelfehler nicht zwei Wortleitungen in umgekehrter Richtung beeinflußt. Zusätzlich kann durch die Wahl des Datencodes sichergestellt werden, daß bei Aktivierung keiner Wortleitung ein fehlerhafter Code erkannt wird.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Hauptanspruch angegebenen Selbsttesteinrichtung möglich.

Eine bevorzugte Ausgestaltung des erfindungsgemäßen 1-aus-n-Prüfers besteht darin, daß jede Wortleitung in der Prüfmatrix jeweils mit Steueranschlüssen von  $z$  Schaltern einer Schaltermatrix verbunden ist, durch die  $z$  mit einem ersten Potential ( $V_{dd}$ ) beaufschlagte Testleitungen entsprechend der Codierung der jeweiligen Wortleitung entweder mit einem zweiten Potential ( $V_{ss}$ ) aufweisenden Anschlüssen oder mit einer Sensorleitung verbindbar sind, die ebenfalls mit dem ersten Potential ( $V_{dd}$ ) beaufschlagt ist, wobei der Fehlerdetektor mit der Sensorleitung verbunden und als Strom- oder Spannungssensor ausgebildet ist. Sind zwei Wortleitungen gleichzeitig aktiv, so wird der Fehlerdetektor über zwei Schalter an das zweite Potential gelegt, so daß ein erhöhter Strom bzw. eine Veränderung des Potentials festgestellt werden kann.

Die Schalter der Schaltermatrix sind zweckmäßigerweise als FET-Transistoren ausgebildet, und die ein zweites Potential ( $V_{ss}$ ) aufweisenden Anschlüsse sind als Masseanschlüsse ausgebildet.

Zur Erhöhung der Prüfsicherheit wird die Prüfmatrix in vorteilhafter Weise selbst durch eine Prüfeinrichtung überprüft, die die Funktion der Schalter der Schaltermatrix testet. Dabei werden jeweils in größeren Abständen alle Schalter sequentiell geprüft.

Eine vorteilhafte Ausgestaltung dieser Prüfeinrichtung besteht darin, daß die Testleitungen in der Prüfeinrichtung mit Tristate-Treibern verbunden sind, durch die jeweils die mit dem zu überprüfenden und dazu angesteuerten Schalter verbundene Testleitung entsprechend der Schaltercodierung entweder auf das zweite Potential ( $V_{ss}$ ) legbar oder mit der Sensorleitung verbindbar ist. Hierdurch kann die Funktionsfähigkeit aller Schalter nacheinander getestet werden.

Zusätzlich können noch zweckmäßigerweise Mittel zum Überprüfen von parallel zu den Wortleitungen angeordneten Versorgungsleitungen vorgesehen sein, die das erste ( $V_{dd}$ ) und/oder das zweite Potential ( $V_{ss}$ ) führen. Die Überprüfung der mit dem zweiten Potential beaufschlagten Versorgungsleitungen kann ähnlich der Überprüfung der Schalter durch die Prüfeinrichtung erfolgen. Zur Überprüfung der mit dem ersten Potential ( $V_{dd}$ ) beaufschlagten Versorgungsleitungen sind zusätzliche Schalter zur steuerbaren Verbindung der dieses erste Potential führenden Versorgungsleitungen mit der Sensorleitung vorgesehen, wobei diese Schalter durch die Wortleitungen und/oder durch zu-

sätzliche Steuerleitungen steuerbar sind. Dabei wird nach der Entladung der Sensorleitung durch die Prüfung der das zweite Potential führenden Versorgungsleitungen bei hochohmigen Ausgangstreibern der Prüfeinrichtung das erneute Aufladen der Sensorleitung nach dem Durchsteuern der zusätzlichen Schalter geprüft.

Wird die Selbsttesteinrichtung bei Speicheranordnungen, beispielsweise RAM- oder ROM-Speichern, eingesetzt, so wird zweckmäßigerweise eine erste Prüfmatrix für die Zeilen-Leitungen und eine zweite Prüfmatrix für die Spalten-Leitungen eingesetzt.

Durch den erfindungsgemäßen 1-aus-n-Prüfer können Adressierungsfehler erkannt werden, die zur Aktivierung mehrerer Wortleitungen führen. Falsch angelegte Adressen und durch einen einzelnen Defekt vertauschte Wortleitungs/ Spaltendecoderleitungen können dadurch nicht erkannt werden. Um auch diese Fehlermöglichkeiten zu erkennen, sind die Eingangsadressen codiert, und zur Überprüfung ist ein Codeprüfer vorgesehen. Wenn sich durch einen einzelnen Defekt allerdings der negierte und der unnegierte Wert eines Adressen-Bits ändern würde, so könnte der Codeprüfer und der 1-aus-n-Prüfer dies nicht erkennen. Um auch diese Fehlermöglichkeit zu erfassen, sind die von den einzelnen Adreßleitungen abzweigenden, unnegierten und die abzweigenden, durch einen Inverter negierten Leitungen beabstandet voneinander ohne gemeinsame Abzweigpunkte realisiert. Hierdurch wird praktisch ausgeschlossen, daß gleichzeitige Unterbrechungen zweier Leitungen durch einen Defekt entstehen. Der 1-aus-n-Prüfer kann dann eine derartige Leitungsunterbrechung erkennen. Besitzen alle an diesen Leitungen angeschlossenen Gatter den gleichen Eingangs-

schwellewert, das heißt, schalten alle diese Gatter einschließlich dem Codeprüfer bei dem gleichen Spannungspegel ihren Ausgangspegel um, so können auch Kurzschlüsse zwischen zwei Leitungen detektiert werden. Da diese Forderung nicht immer erreichbar ist, werden Dimensionierungsvorschriften für die Eingangsinverter der Adressenleitungen und die Decodergatter sowie der Codeprüfer beschrieben, durch die bei Kurzschlüssen zwischen negierten oder un-negierten Adressenleitungen entweder im Codeprüfer oder im 1-aus-n-Prüfer ein Fehler erkannt wird.

Eine noch größere Sicherheit kann dadurch erreicht werden, daß beide Inverter mit einer Stromüberwachungseinrichtung verbunden sind. Kurzschlüsse können dann direkt über einen erhöhten Strom durch die Stromüberwachungseinrichtung erkannt werden.

Eine noch vorteilhaftere Lösung besteht darin, daß von jeder Adreßleitung zunächst beabstandet voneinander und ohne gemeinsamen Abzweigpunkt die un-negierten Leitungen abzweigen, daß der Inverter für die negierten abzweigenden Leitungen in die Adreßleitung geschaltet ist, und daß vom negierten Bereich der Adreßleitung beabstandet voneinander und ohne gemeinsame Abzweigpunkte die negierten Leitungen abzweigen. Durch diese schärferen Design-Regeln kann erreicht werden, daß anstelle des 1-aus-n-Prüfers ein einfacherer Nachbarprüfer verwendet werden kann, der lediglich prüft, ob gleichzeitig zwei Wortleitungen aktiv sind, die benachbarten Adressen zugeordnet sind. Ein derartiger Nachbarprüfer ist beispielsweise aus "Error Detecting Codes, Self-checking Circles and Applications", J. Wakerly, Elsevier, North-Holland, 1978, bekannt.

## ZEICHNUNG

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen:

- Fig. 1 ein Blockschaltbild einer Speicheranordnung mit Zeilenddecoder und Spaltenddecoder,
- Fig. 2 eine schematische Darstellung eines 1-aus-n-Prüfers,
- Fig. 3 die schematische Darstellung einer Prüfeinrichtung für den 1-aus-n-Prüfer,
- Fig. 4 das Schaltbild einer ROM-Zeile zur Überprüfung einer Vorladeleitung, des Leseverstärkers und der Lesesignale der Speicheranordnung,
- Fig. 5 einen modifizierten 1-aus-n-Prüfer zur zusätzlichen Überprüfung von parallel zu den Wortleitungen angeordneten Versorgungsleitungen,
- Fig. 6 die geometrische Anordnung von aus einer Adreßleitung abzweigenden unnegierten und negierten Leitungen,
- Fig. 7 eine ähnliche Anordnung mit einer zusätzlichen Stromüberwachungseinrichtung,
- Fig. 8 ein weiteres Ausführungsbeispiel der geometrischen Anordnung von aus einer einzelnen Adreßleitung abzweigenden negierten und unnegierten Leitungen,
- Fig. 9 eine ähnliche Anordnung mit einer zusätzlichen Stromüberwachungseinrichtung und
- Fig. 10 die schematisierte Darstellung eines Gatters in statischer CMOS-Technik.

## BESCHREIBUNG DER AUSFÜHRUNGSBEISPIELE

Die in Fig. 1 dargestellte Speicheranordnung ist beispielsweise ein RAM-Speicher und besteht in an sich bekannter Weise aus einer Speichermatrix 10, einem an dieser angeschlossenen Zeilendecoder 11 und einem entsprechend angeschlossenen Spaltendecoder 12. Der Spaltendecoder ist über einen Leseverstärker 13 und einen Signatur-Prüfer 14 mit einem Datenbus 15 zum Ein- und Auslesen von Daten verbunden. Ein Adressenbus 16 der Breite  $y + z$  Bit, von denen  $z$  Bit zur Wortleitungsauswahl und  $y$  Bit zur Spaltenauswahl benutzt werden, ist mit dem Zeilendecoder 11 und dem Spaltendecoder 12 verbunden, um  $n = 2^z$  Zeilenadressen und  $p = 2^y$  Spaltenadressen anwählen zu können. Somit ist der Zeilendecoder 11 in nicht näher dargestellter Weise über  $n$  Zeilen- bzw. Wortleitungen und der Spaltendecoder 12 über  $m \times p$  ( $m =$  Bitbreite des Datenwortes) Spaltenleitungen mit der Speichermatrix 10 verbunden. Den  $n$  Wortleitungen der Speichermatrix 10 ist ein 1-aus- $n$ -Prüfer 17 und den  $p$  Spaltenleitungen, die im Spaltendecoder 12 generiert werden, ein entsprechender 1-aus- $p$ -Prüfer zugeordnet.

Der 1-aus- $n$ -Prüfer 17 ist in Fig. 2 näher dargestellt. Von den  $n$  Zeilen- bzw. Wortleitungen sind zur Vereinfachung nur die beiden Wortleitungen  $i$  und  $j$  dargestellt. Die Wortleitungen erstrecken sich parallel in eine Schaltermatrix 19, in der senkrecht zu den  $n$  Wortleitungen  $z$  Testleitungen 20 verlaufen. Außerhalb der Schaltermatrix 19 verläuft noch eine Sensorleitung 21 parallel zu den Testleitungen 20. Die Testleitungen 20 und die Sensorleitung 21 werden von einer Vorladungs-Einrichtung 22 mit einem

ersten Potential Vdd beaufschlagt. Jede Wortleitung ist durch FET-Transistoren anders codiert, wobei im Spezialfall die Codierung den Adreß-Bits der jeweiligen Wortleitung entsprechen kann. Jede Wortleitung steuert hierzu parallel zu dieser FET-Transistoren an, die mit den z Testleitungen 20 verbunden sind. Zur Codierung verbindet der jeweilige FET-Transistor die Testleitung entweder mit der Sensorleitung 21 oder mit einem auf niedrigerem Potential Vss liegenden Anschluß, im Ausführungsbeispiel der Masseanschluß.

Beim dargestellten Ausführungsbeispiel weist die Codierung der Wortleitung i beispielsweise am Anfang eine 1 und am Ende eine 0 auf. Daher verbindet der entsprechende erste, der ersten Testleitung zugeordnete FET-Transistor 23 diese erste Testleitung 20 mit der Sensorleitung 21, während der letzte, also der z-te, FET-Transistor 24 die z-Testleitung mit Masse verbindet. Bei der Wortleitung j ist es umgekehrt, der erste FET-Transistor 25 verbindet dort die erste Testleitung mit Masse, und der letzte FET-Transistor 26 verbindet die z-Testleitung mit der Sensorleitung 21.

Die Sensorleitung 21 ist mit einem Stromsensor 27 verbunden, der mittelbar durch Veränderung des Potentials an der Sensorleitung 21 feststellt, ob ein Strom über die Testleitungen 20 zum niedrigeren Potential Vss (im Ausführungsbeispiel Masse) fließt. Weiterhin ist eine Prüfeinrichtung 28 mit den z-Testleitungen 20 und der Sensorleitung 21 verbunden, die in Zusammenhang mit Fig. 3 noch näher beschrieben wird.

Da in der Schaltermatrix 19 jede Wortleitung anders codiert ist, wird die auf das Potential Vdd vorgeladene Sen-

sensorleitung 21 entladen, wenn mehr als eine Wortleitung aktiv ist. Sind beispielsweise beide Wortleitungen  $i$  und  $j$  aktiv, so erfolgt sowohl eine Entladung der Sensorladung 21 über die Transistoren 23 und 25 als auch über die Transistoren 24 und 26. Da jede Wortleitung anders codiert ist, entsteht zwangsläufig immer eine Transistorkombination, die bei zwei aktiven Wortleitungen diese Entladung bewerkstelligt. Durch die Entladung wird im Stromsensor 27 ein Strom erkannt und in nicht näher dargestellter Weise eine Fehlermeldung abgegeben. Diese weist den Benutzer darauf hin, daß ein Fehler vorliegt.

Zur Prüfung der Spaltenadresse wird der entsprechend aufgebaute 1-aus-p-Prüfer 18 eingesetzt, mit dem Unterschied, daß anstelle von  $n$  Wortleitungen nunmehr  $p$  Spaltenleitungen geprüft werden.

In Fig. 3 ist die Prüfeinrichtung 28 näher dargestellt. Sie besteht im wesentlichen aus  $z$  Tristate-Treibern 29, wobei jeder Tristate-Treiber mit einer der Testleitungen 20 verbunden ist. Weiterhin ist die mit dem Potential  $V_{dd}$  beaufschlagte Sensorleitung 21 mit allen Tristate-Treibern 29 verbunden. Steuerseitig sind alle Tristate-Treiber 29 mit einem gemeinsamen Prüfsignal  $P$  sowie mit Einzelprüfsignalen  $T_1$  bis  $T_z$  beaufschlagt.

Mit Hilfe dieser Prüfeinrichtung 28 werden sämtliche FET-Transistoren 23 - 26 der Schaltermatrix 19 auf ihre Funktionsfähigkeit nacheinander getestet, wobei dieser Test sowohl nach einem Lese-/Schreibzugriff für die angesprochene Wortleitung erfolgen kann (einzelne Spalten oder alle nacheinander) oder vollständig in größeren Zeitabständen bei einer Betriebsunterbrechung der Speicheranord-

nung.

Die Überprüfung der mit der Sensorleitung 21 verbundenen Transistoren 23,26 wird am Beispiel des Transistors 23 erläutert. Zunächst werden Prüfsignale P und T1 erzeugt, durch die die erste mit dem Transistor 23 verbundene Testleitung auf das niedrige Potential Vss gelegt wird. Dann wird ein Steuersignal auf die Wortleitung i gelegt. Bei einwandfreier Funktion des Transistors 23 zieht dieser dadurch das Potential der Sensorleitung 21 auf Vss, so daß der Stromsensor 27 anspricht. Dieses Ansprechen bedeutet hier ein Bestätigungssignal für die ordnungsgemäße Funktion dieses Transistors 23.

Die Prüfung der mit Masse verbundenen Transistoren 24,25 wird am Beispiel des Transistors 24 erläutert. Durch entsprechende Prüfsignale P und Tz wird die z-Testleitung mit der Sensorleitung 21 verbunden. Wird nun ein Signal auf die Wortleitung i gelegt, so zieht wiederum bei ordnungsgemäßer Funktion der Transistor 24 das Potential der Sensorleitung 21 auf Vss, so daß der Stromsensor 27 anspricht. Auf diese Weise können nacheinander alle Transistoren durchgeprüft werden. Die Erzeugung der erforderlichen Prüfsignale P und T sowie der entsprechenden Signale auf den Wortleitungen erfolgt durch eine nicht dargestellte Signalfolgesteuerung bzw. einen nicht dargestellten Mikrorechner. Mit  $n \times z$  Prüfschritten ist der gesamte 1-aus-n-Prüfer getestet. Die Überprüfung des 1-aus-p-Prüfers 18 kann parallel dazu durchgeführt werden.

Eine in Fig. 4 dargestellte ROM-Zeile 30 kann zusätzlich während Betriebsunterbrechungen zur Überprüfung der Vorladeleitung für die Speichermatrix 10, der Leseverstärker

13, der Lesesignale sowie der Nichtaktivität der Schreibsignale eingesetzt werden. Im Ausführungsbeispiel ist nur eine einzige ROM-Zeile 30 dargestellt, die aus vier FET-Transistoren 31 besteht, welche über eine gemeinsame Steuerleitung 32 ansteuerbar sind. Von den sechs dargestellten Spaltenleitungen sind drei - über drei der FET-Transistoren 31 - mit Masse verbindbar, während durch den vierten FET-Transistor 31 die Sensorleitung 21 mit Masse verbindbar ist. Die p-Spaltenleitungen (davon sind sechs dargestellt) werden von einer Vorladungs-Einrichtung 33 auf das Potential Vdd vorgeladen. Durch ein Signal auf der Steuerleitung 32 werden drei der Spaltenleitungen auf das Potential Vss heruntergezogen. Hierdurch wird durch diese ROM-Zeile 30 in jeder Spalte ein anderes Datenwort aktiviert, um die richtige Ansteuerung des Spaltendecoders und die korrekte Funktion des Leseverstärkers sowie der Ausgangsstufen zu testen. Es können selbstverständlich auch mehrere solcher ROM-Zeilen mit unterschiedlicher Codierung vorgesehen sein, wobei die durch diese ROM-Zeilen vorgegebenen Datenworte nicht notwendig Codeworte sein müssen für den Fall, daß die Daten codiert in dem Speicher abgelegt werden. Neben der Einzelprüfung einer Spalte ist die Möglichkeit gegeben, alle ROM-Datenworte nacheinander in einer festen Reihenfolge auszulesen und eine darüber gebildete Signatur mit einer abgespeicherten Soll-Signatur zu vergleichen. Dies erfolgt im in Fig. 1 dargestellten Signatur-Prüfer 14.

Im Normalfall sind die Vdd- und Vss-Versorgungsleitungen in der Speichermatrix 10 parallel zu den Bit-Leitungen (Spalten) geführt. Durch konstruktive Maßnahmen und die Bit-Belegung der Matrix ist dafür zu sorgen, daß die gleichen Versorgungsleitungen nicht für mehrere Bits des

gleichen Datenworts benutzt werden. Diese Entkopplung ist konsequent bis zu den Ausgangsstufen der Speicheranordnung fortzuführen. Common-Mode-Fehler durch Einflüsse der Versorgungsspannungsleitungen in der Matrix werden dadurch vermieden. Es wird eine spaltenweise Versorgung vorausgesetzt, und der Spaltendecoder 12 selektiert die Daten-Bits für jede Bit-Stelle in der gleichen Reihenfolge.

Sollten im Spezialfall Versorgungsleitungen parallel zu den Wortleitungen geführt sein, so ergibt sich die Möglichkeit der Prüfung durch die in Fig. 5 dargestellte Schaltung. Diese entspricht weitgehend der in Fig. 2 dargestellten Schaltung, wobei gleiche oder gleich wirkende Bauteile mit denselben Bezugszeichen versehen und nicht nochmals beschrieben sind. Man erhält einen modifizierten 1-aus-n-Prüfer 17'. Im Gegensatz zur Fig. 2 sind jetzt zwei Vss-Leitungen sowie zwei Vdd-Leitungen parallel zu den Wortleitungen i und j geführt (selbstverständlich auch zu den übrigen, nicht dargestellten Wortleitungen). Weiterhin ist eine Vss-Leitung zur Prüfeinrichtung 28 geführt. Jede Vdd-Leitung ist über die Reihenschaltung der Schaltstrecken zweier FET-Transistoren 34,35 bzw. 36,37 mit der mit der Sensorleitung 21 verbunden. Dabei werden die FET-Transistoren 34,36 durch die Wortleitungen i bzw. j und die FET-Transistoren 35,37 gemeinsam durch eine Steuerleitung 38 gesteuert.

Neben der Prüfung der Wortleitungen gemäß Fig. 2 kann hier noch zusätzlich eine Prüfung der Vdd- bzw. Vss-Leitungen erfolgen. Die Vss-Leitungen werden bis zu einem Verzweigungspunkt mitgeprüft, wenn nach der fehlerfreien Wortauswahl die Prüfeinrichtung 28 aktiviert wird. Dies er-

folgt bei der Prüfung der Transistoren 24 und 25. Liegt der Verzweigungspunkt am Anfang der Speichermatrix 10, so wird die gesamte Zeile auf Unterbrechung der Vss- bzw. Masseleitung mitgeprüft. Für die Wortleitung mit der Adresse "1111...1" liegt kein Transistor an der Masseleitung, so daß diese durch Verbindung mit dem Masseanschluß der Prüfeinrichtung 28, also dem Masseanschluß der Tristate-Treiber, mitgeprüft werden kann. Zusätzlich können noch die Vdd-Leitungen mitgetestet werden. Dazu wird jeweils nach dem Vss-Test (entladene Sensorleitung 21) bei hochohmigen Tristate-Treibern 29 der Prüfeinrichtung 28 die Steuerleitung 38 aktiviert und das erneute Aufladen der Sensorleitung 21 über die Transistoren 34,35 bzw. 36, 37 (je nachdem, ob die Wortleitung i oder j aktiviert ist) geprüft.

Grundlage für die bisherige Überprüfung der Speicheranordnung bzw. der Wortleitungen und Spaltenleitungen ist die Annahme, daß durch einen Fehler im Zeilen- bzw. Spaltendecoder 11,12 eine oder mehrere Wortleitungen bzw. Spaltenleitungen zusätzlich aktiviert werden. Nicht erkennbar sind dadurch Fehler, die auf einer falsch angelegten Adresse und auf einer durch einen einzelnen Defekt bewirkten Vertauschung von Wortleitungen/Spaltenleitungen beruhen. Zur Erkennung derartiger Fehler wird die Eingangsadresse z.B. durch ein Paritäts-Bit codiert, wobei eine Prüfung dieses Codes durch einen Codeprüfer erfolgt, der beispielsweise in dem Decoder enthalten sein kann. Zusätzlich sollten bestimmte geometrische Vorkehrungen getroffen werden, um zu verhindern, daß sich der negierte und der unnegierte Wert eines Adressen-Bits auf Grund eines einzelnen Fehlers ändern kann, ohne daß der Codeprüfer der Adresse diese Änderung bemerken kann. Dies wird durch die

in Fig. 6 dargestellte Anordnung erreicht.

Dargestellt ist zur Vereinfachung nur eine einzelne Adressenleitung  $\overline{A_i}$ , die über den Eingangsinverter 43 die Adressenleitung  $A_i$  bildet, die zusammen mit anderen, nicht dargestellten Adressenleitungen zu einem Codeprüfer 39 geführt ist, um die Codierung der Eingangsadresse zu überprüfen. Hierdurch kann erkannt werden, ob die angelegte Adresse falsch ist. Von dieser Adressenleitung  $A_i$  zweigt eine unnegierte Leitung 40 und eine mittels eines Inverters 41 negierte Leitung 42 ab. Diese Leitungen verzweigen sich dann wieder in bekannter Weise und verlaufen zu den Gattern des Zeilen- bzw. Spaltendecoders 11,12. Die unnegierte Leitung 40 und die Leitung zum Inverter 41 werden in einem so großen Abstand voneinander gehalten, daß kein (Punkt-)Defekt diese gemeinsam so beeinflussen kann, daß beide ein anderes Potential annehmen können, als die Leitung zum Decoder 39, oder daß dies zumindest unwahrscheinlich ist. Dabei werden sternförmige Abzweigungen ausgeschlossen, das heißt, diese beiden Leitungen 40,42 werden von verschiedenen beabstandeten Stellen der Adressenleitung  $A_i$  abgezweigt.

Die Inverter 41 und 43 und die nicht dargestellten Gatter an den verzweigten Leitungen 40 und 42 sowie der Codeprüfer 39 sind so dimensioniert, daß (z.B. bei einem Kurzschluß zwischen den Leitungen 40 und 42) alle angeschlossenen, nicht dargestellten Gatter an diesen Leitungen 40 und 42 und der Codeprüfer 39 den gleichen logischen Pegel erkennen, wenn genau ein Eingangssignal nicht auf hohem ( $V_{dd}$ ) oder niedrigem ( $V_{ss}$ ) Potential liegt. Die nicht dargestellten an den Leitungen 40 und 42 angeschlossenen Gatter sowie der Codeprüfer 39 und die Inverter 41

und 43 sind beispielsweise in einer üblichen statischen Schaltungstechnik mit komplementären FET-Transistoren gemäß Fig. 10 realisiert (CMOS-Technik). Der P-Kanal-Zweig 45 schaltet in dieser Technik einen Strom zwischen dem oberen Potential  $V_{dd}$  und den Ausgang 48, wenn die betreffenden Eingänge - hier nur ein Eingang 47 dargestellt - auf niedrigem Potential ( $V_{ss}$ ) liegen. Der N-Kanal-Zweig 46 leitet demgegenüber einen Strom zwischen dem Ausgang 48 und dem niedrigen Potential ( $V_{ss}$ ), wenn die betreffenden Eingänge - hier als Eingang 47 dargestellt - ein hohes Potential ( $V_{dd}$ ) besitzen.

Werden alle an die Leitungen 40 und 42 unmittelbar angeschlossenen Gatter, d.h. die nicht dargestellten Gatter und die Gatter im Codeprüfer, z.B. so realisiert, daß nur ein einziger Pfad im N-Kanal-Zweig 46 vom Ausgang 48 zum niedrigen Potential  $V_{ss}$  existiert und ist dieser Pfad durch die Größe der Transistoren so dimensioniert, daß beim Umladen des Ausgangs 48 vom hohen Potential  $V_{dd}$  mehr Strom fließt als beim Umladen des Ausgangs 48 vom niedrigen Potential  $V_{ss}$  durch genau einen beliebigen Pfad im P-Kanal-Zweig 45 bei anderer Eingangsbedingung 47, so muß für die Inverter 41 und 43 die Bedingung gelten, daß die Transistoren im P-Kanal-Zweig 45 zu Beginn der Umladung des Ausgangs 48 vom niedrigen Potential  $V_{ss}$  mehr Strom liefern als die Transistoren im N-Kanal-Zweig 46 zu Beginn der Umladung des Ausgangs 48 vom hohen Potential  $V_{dd}$ . Diese Bedingung ist für alle Inverter 41 und 43 bei allen Adreßbits  $A_i$  gleichartig zu realisieren, ebenso wie für alle nicht dargestellten Gatter an den Leitungen 40 und 42 sowie den Codeprüfer 39 für alle Adreßbits  $A_i$  die gleichartige Dimensionierungsvorschrift gelten muß.

Durch die in Fig. 6 dargestellte Anordnung ist gewährleistet, daß durch einen Punktdefekt im allgemeinen nur eine Leitung abgetrennt oder in der beschriebenen Weise kurzgeschlossen werden kann, so daß auf Grund dieses Fehlers mehr als eine Wortleitung oder keine Wortleitung aktiviert wird, was wiederum durch den 1-aus-p-Prüfer 17, 17' erkannt werden kann.

Durch die in Fig. 7 dargestellte Anordnung kann man Kurzschlüsse zwischen den Leitungen noch sicherer erkennen. Beide Inverter 41,43 sind mit einem Stromsensor 44 verbunden. Wenn nun ein Kurzschluß zwischen einer negierten Leitung 42 und einer unnegierten Leitung 40 auftritt, so stellt der Stromsensor 44 eine erhöhte Stromentnahme durch die Inverter 41,43 fest, da diese ausgangsseitig dann gegeneinander arbeiten. Dieser festgestellte erhöhte Stromwert führt dann zu einer Fehlermeldung. Der Stromsensor kann der Leitung zum oberen Potential (Vdd) oder zum unteren Potential (Vss) zugeordnet werden.

In Fig. 8 ist eine weitere alternative geometrische Auslegung dargestellt. Hier ist der Inverter 41 in die Adressenleitung  $A_i$  geschaltet, und zwar zwischen mehreren Abzweigungen unnegierter Leitungen 40 und mehreren Abzweigungen negierter Leitungen 42. Dabei sind sowohl die negierten Leitungen 42 als auch die unnegierten Leitungen 40 untereinander beabstandet angeordnet und weisen jeweils eigene Abzweigpunkte von der Adressenleitung  $A_i$  auf, die ebenfalls beabstandet voneinander sind. Die an die Leitungen 40 und 42 angeschlossenen, nicht dargestellten Gatter und die unmittelbar angeschlossenen Gatter des Codeprüfers 39 einerseits und die Inverter 41 und 43

andererseits sind für alle Adreßleitungen  $A_i$  dimensioniert, wie bei der Schaltung von Fig. 6 beschrieben. Unter der Annahme einzelner Defekte von begrenzter Größe wird bei Einhaltung dieser geometrischen Regeln entweder eine Wortleitung/Spaltenleitung zusätzlich aktiv, deren Adresse sich um genau 1 Bit von der gewünschten Adresse unterscheidet, oder es wird überhaupt keine Wortleitung/Spaltenleitung aktiv. Beides wird von dem 1-aus-n-Prüfer 17, 17' bzw. 1-aus-p-Prüfer 18 erkannt. Da nur adressenmäßig nebeneinanderliegende Wortleitungen/Spaltenleitungen aktiv werden können, kann anstelle eines 1-aus-n-Prüfers auch ein einfacherer Nachbarprüfer verwendet werden, wie er im eingangs angegebenen Stand der Technik "Error Detecting Codes" beschrieben ist. Unterbrechungen der Wortleitung oder der Vorladeleitung werden miterkannt. Der Nachbarprüfer verlangt nicht nur weniger schaltungstechnischen Aufwand gegenüber dem 1-aus-n-Prüfer, sondern es ist auch ein deutlich verringerter Testaufwand für den Power-on-Test erforderlich, bei dem die anfängliche Fehlerfreiheit nachgewiesen werden muß.

In Fig. 9 ist die entsprechende Schaltung mit dem Stromsensor 44, ähnlich wie in Fig. 7, dargestellt.

Die beschriebene Selbsttesteinrichtung benötigt bei Codierung mit einem Paritätsbit lediglich einen zusätzlichen Gesamtaufwand an Chip-Fläche von ca. 15 %. Hiervon entfallen auf die Codierung (8-Bit-Datenwort und ein Paritätsbit) 12,5 % für den 1-aus-n-Prüfer bei vier KByte RAM mit 256 Zeilen und 128 Spalten (+ 16 Spalten Paritäts-Bits, + 8 Spalten Prüfer-ROM), bei einem Zeilen-Flächenverhältnis RAM : ROM = 10 zusätzlich ca. 0,6 %.

Hinzu kommen Prüf-Hardware und Steuerung zusätzlich ca. 1 %, und der Aufwand für den Spaltenprüfer, den Zeilen-ROM, die Zusatz-Hardware und Steuerung beträgt insgesamt ca. 0,8 %. Demgegenüber würde eine Benutzung von zwei Code-Bits bereits einen Mehraufwand von 25 % bedeuten, wobei die Fehlerabdeckung ohne die zusätzlich beschriebenen erfindungsgemäßen Maßnahmen wesentlich schlechter wäre.

Es sei noch darauf hingewiesen, daß die beschriebene Selbsttesteinrichtung selbstverständlich auch für die verschiedensten Speicheranordnungen einsetzbar ist, wie z.B. Schreib-/Lesespeicher (RAM) und Nur-Lesespeicher (ROM, EPROM u.dgl.). Weiterhin kann diese Selbsttesteinrichtung auch allein für Decoder eingesetzt werden.

### Ansprüche

1. Selbsttesteinrichtung für Speicheranordnungen, Decoder od.dgl. zur Anwendung im On-Line-Betrieb, wobei Mittel zur Überprüfung einer Vielzahl von Wortleitungen und/oder Spaltenleitungen vorgesehen sind, dadurch gekennzeichnet, daß die Wortleitungen und/oder Spaltenleitungen mit einer Prüfmatrix (17,18) verbunden sind, und daß ein bei gleichzeitig mehr als einer aktivierten Leitung ein Fehlersignal erzeugender Fehlerdetektor (27) mit der Prüfmatrix (17, 18) verbunden ist.
2. Selbsttesteinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß jede Wortleitung und/oder Spaltenleitung in der Prüfmatrix (17,18) jeweils mit Steueranschlüssen von z Schaltern (23-26) einer Schaltermatrix verbunden ist, durch die z mit einem ersten Potential (Vdd) beaufschlagte Testleitungen (20) entsprechend der Codierung der jeweiligen Wortleitung und/oder Spaltenleitung entweder mit ein zweites Potential (Vss) aufweisenden Anschlüssen oder mit einer Sensorleitung (21) verbindbar sind, die ebenfalls mit dem ersten Potential (Vdd) beaufschlagt ist, wobei der Fehlerdetektor (27) mit der Sensorleitung (21) verbunden und als Strom- oder Spannungssensor ausgebildet ist.
3. Selbsttesteinrichtung nach Anspruch 2, dadurch gekenn-

zeichnet, daß die Schalter (23-26) der Schaltermatrix als FET-Transistoren ausgebildet sind.

4. Selbsttesteinrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die ein zweites Potential (Vss) aufweisenden Anschlüsse als Masseanschlüsse ausgebildet sind.

5. Selbsttesteinrichtung nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß eine Prüfeinrichtung (28) mit der Prüfmatrix (17,18) zur Überprüfung der Funktion der Schalter (23-26) der Schaltermatrix verbunden ist.

6. Selbsttesteinrichtung nach Anspruch 5, dadurch gekennzeichnet, daß alle Schalter (23-26) sequentiell geprüft werden.

7. Selbsttesteinrichtung nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß die Testleitungen (20) in der Prüfeinrichtung (28) mit Tristate-Treibern (29) verbunden sind, durch die jeweils die mit dem zu überprüfenden und dazu angesteuerten Schalter (23-26) verbundene Testleitung (20) entsprechend der Schaltercodierung entweder auf das zweite Potential (Vss) legbar oder mit der Sensorleitung (21) verbindbar ist.

8. Selbsttesteinrichtung nach einem der Ansprüche 2 bis 7, dadurch gekennzeichnet, daß Mittel zum Überprüfen von parallel zu den Wortleitungen angeordneten Versorgungsleitungen vorgesehen sind, die das erste (Vdd) und/oder das zweite Potential (Vss) führen.

9. Selbsttesteinrichtung nach Anspruch 8, dadurch gekennzeichnet, daß zusätzliche Schalter (34-37) zur steuerbaren

Verbindung der das erste Potential (Vdd) führenden Versorgungsleitungen mit der Sensorleitung (21) vorgesehen sind, und daß diese Schalter (34-37) durch die Wortleitungen/Spaltenleitungen und/oder durch eine zusätzliche Steuerleitung (38) steuerbar sind.

10. Selbsttesteinrichtung für Speicheranordnungen nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Prüfmatrix (17) für die Zeilen-Leitungen (Wortleitungen) und/oder eine Prüfmatrix (18) für die Spaltenleitungen der Speichermatrix (10) der Speicheranordnung vorgesehen sind.

11. Selbsttesteinrichtung nach Anspruch 10, dadurch gekennzeichnet, daß wenigstens eine ROM-Zeile (30) zur Überprüfung einer Vorladeleitung der Speicheranordnung, der Leseverstärker (13) und der Lesesignale während Betriebsunterbrechungen (Testbetrieb) vorgesehen ist, wobei durch Schalter (31) der ROM-Zeile (30) in den Spalten feste Datenworte aktiviert werden, die auslesbar und überprüfbar sind.

12. Selbsttesteinrichtung nach Anspruch 10 oder 11, dadurch gekennzeichnet, daß die Speicheranordnung als Schreib-/Lesespeicher (RAM) oder als Nur-Lesespeicher (ROM) ausgebildet ist.

13. Selbsttesteinrichtung für Speicheranordnungen, Decoder od.dgl. zur Anwendung im On-Line-Betrieb, wobei Mittel zur Überprüfung einer Vielzahl von Wortleitungen und/oder Decoderleitungen vorgesehen sind, insbesondere nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Eingangsadressen codiert und zur Überprüfung ein

Codeprüfer (39) vorgesehen sind, und daß die von den einzelnen Adreßleitungen ( $A_i$ ) abzweigenden unnegierten (40) und die abzweigenden, durch einen Inverter (41) negierten Leitungen (42) beabstandet voneinander ohne gemeinsame Abzweigungspunkte realisiert sind, daß die Wortleitungen mit einer Prüfmatrix (17,18) verbunden sind und daß ein bei gleichzeitig mehr als einer aktivierten Wortleitung oder bei gleichzeitig zwei aktivierten benachbarten Adressen zugeordneten Wortleitungen ein Fehlersignal erzeugender Fehlerdetektor mit der Prüfmatrix (17,18) verbunden ist.

14. Selbsttesteinrichtung nach Anspruch 13, dadurch gekennzeichnet, daß jede Adressenleitung auch eingangsseitig einen Inverter (43) aufweist, und daß beide Inverter (41,43) mit einer Stromüberwachungseinrichtung (44) verbunden sind.

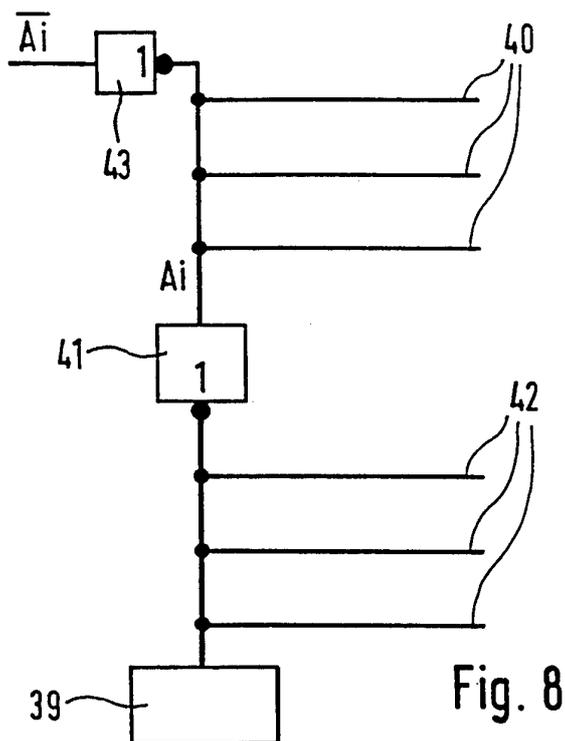
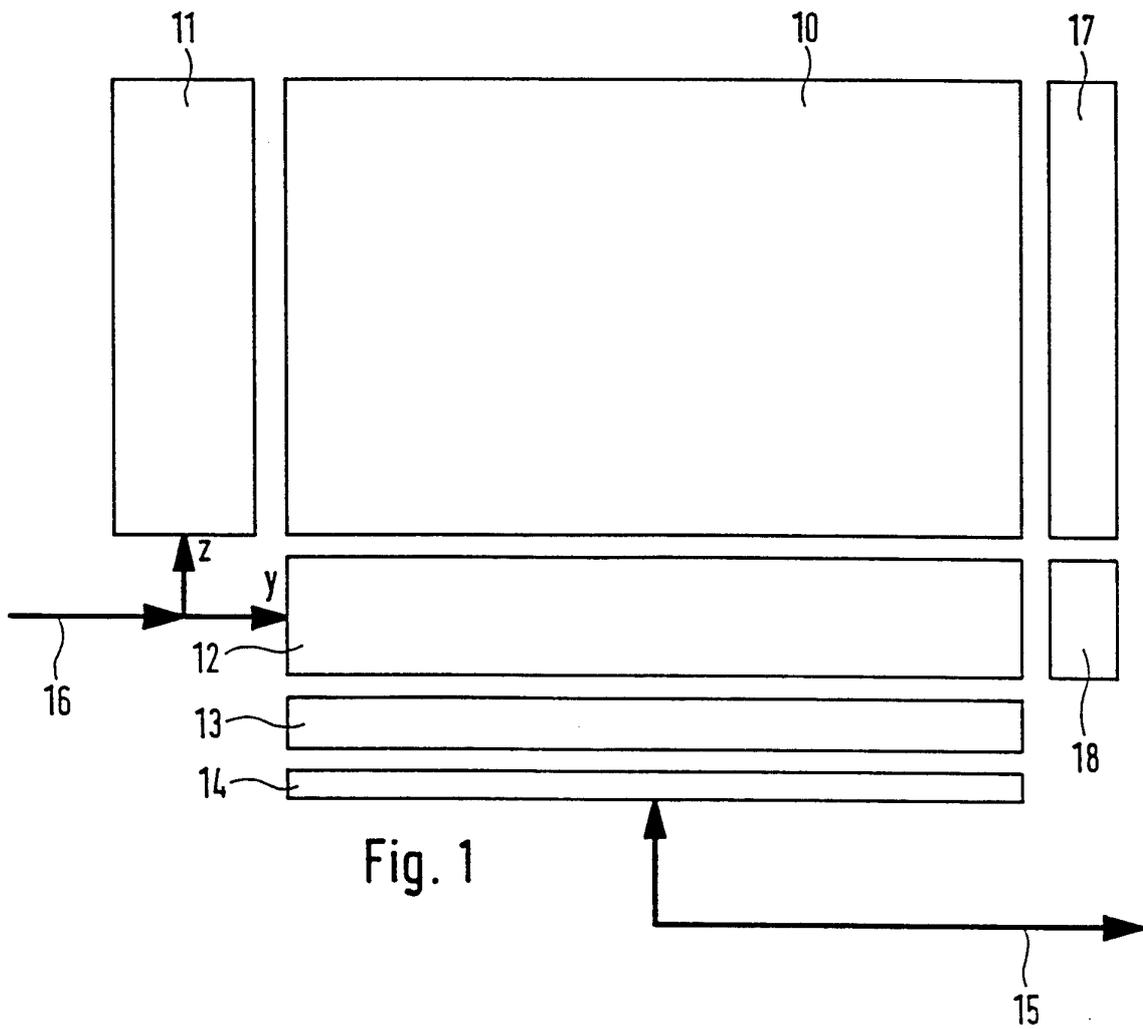
15. Selbsttesteinrichtung nach Anspruch 13 oder 14, dadurch gekennzeichnet, daß von jeder Adressenleitung ( $A_i$ ) zunächst beabstandet voneinander und ohne gemeinsame Abzweigungspunkte die unnegierten Leitungen (40) abzweigen, daß der Inverter (41) für die negierten abzweigenden Leitungen (42) in die Adreßleitung ( $A_i$ ) geschaltet ist und daß vom negierten Bereich der Adreßleitung ( $A_i$ ) beabstandet voneinander und ohne gemeinsame Abzweigungspunkte die negierten Leitungen (42) abzweigen.

16. Selbsttesteinrichtung nach Anspruch 12, dadurch gekennzeichnet, daß Speicherzellen, die zur Abspeicherung von verschiedenen Bits eines Speicherwortes benutzt werden, an unterschiedliche Versorgungsleitungen ( $V_{dd}$  und  $V_{ss}$ ) innerhalb der Speichermatrix (10) angeschlossen sind

und daß diese Versorgungsleitungen nur außerhalb der Speichermatrix (10) miteinander elektrisch verbunden sind.

17. Selbsttesteinrichtung nach Anspruch 16, dadurch gekennzeichnet, daß durch eine Codierung des Datenwortes die Unterbrechung einzelner Versorgungsleitungen (Vdd und Vss) innerhalb der Speichermatrix (10) erkannt wird.

18. Selbsttesteinrichtung nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, daß durch eine Dimensionierungsvorschrift aller Inverter (41, 43) sowie aller unmittelbar an die Leitungen (40 und 42) angeschlossener Decodergatter und des Codeprüfers (39) für alle Adressenbits ( $A_i$ ) Kurzschlüsse zwischen zwei beliebigen Leitungen (40 und 42) entweder im Codeprüfer (39) oder in der Prüfmatrix (17, 18) erkannt werden.



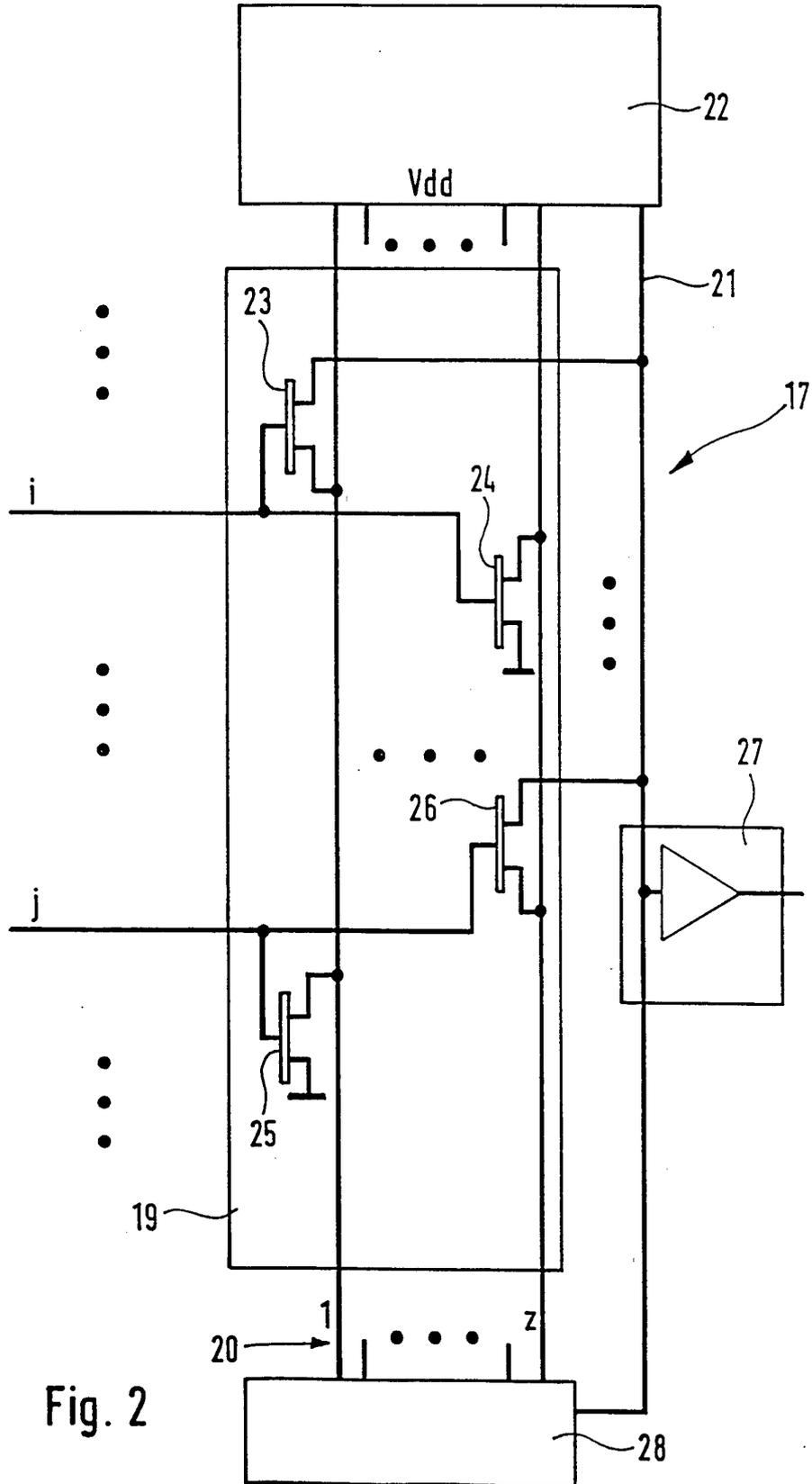
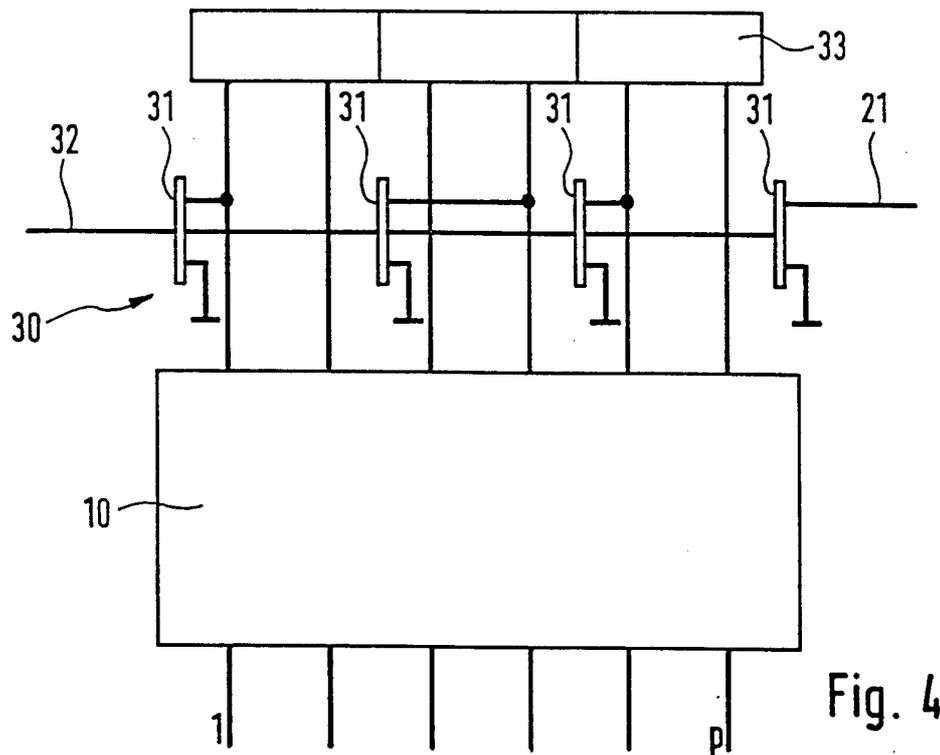
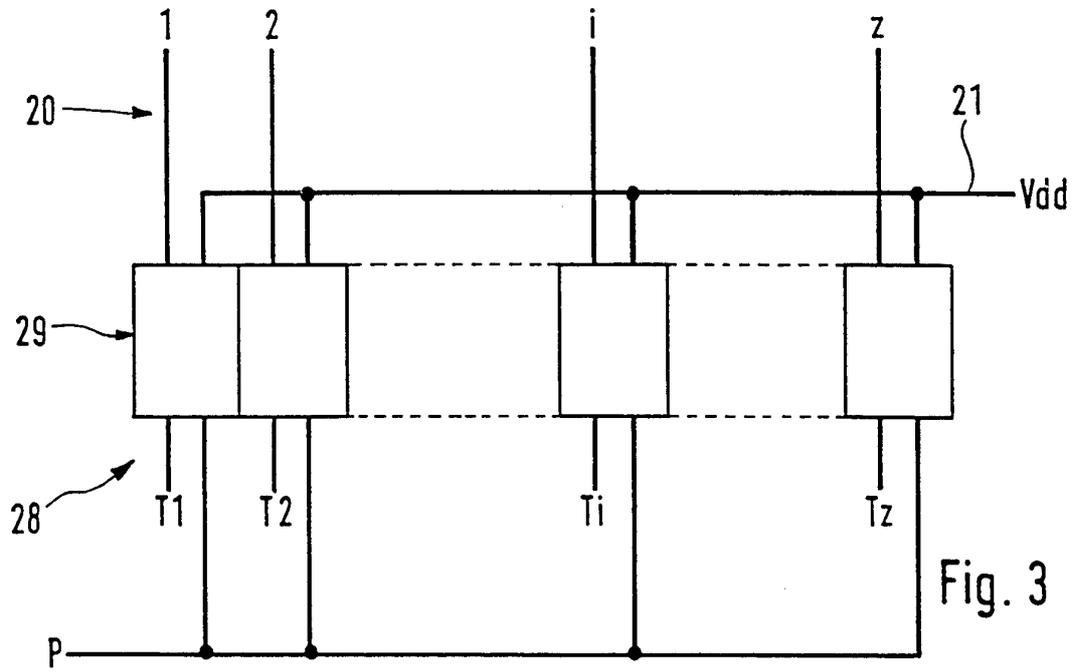


Fig. 2



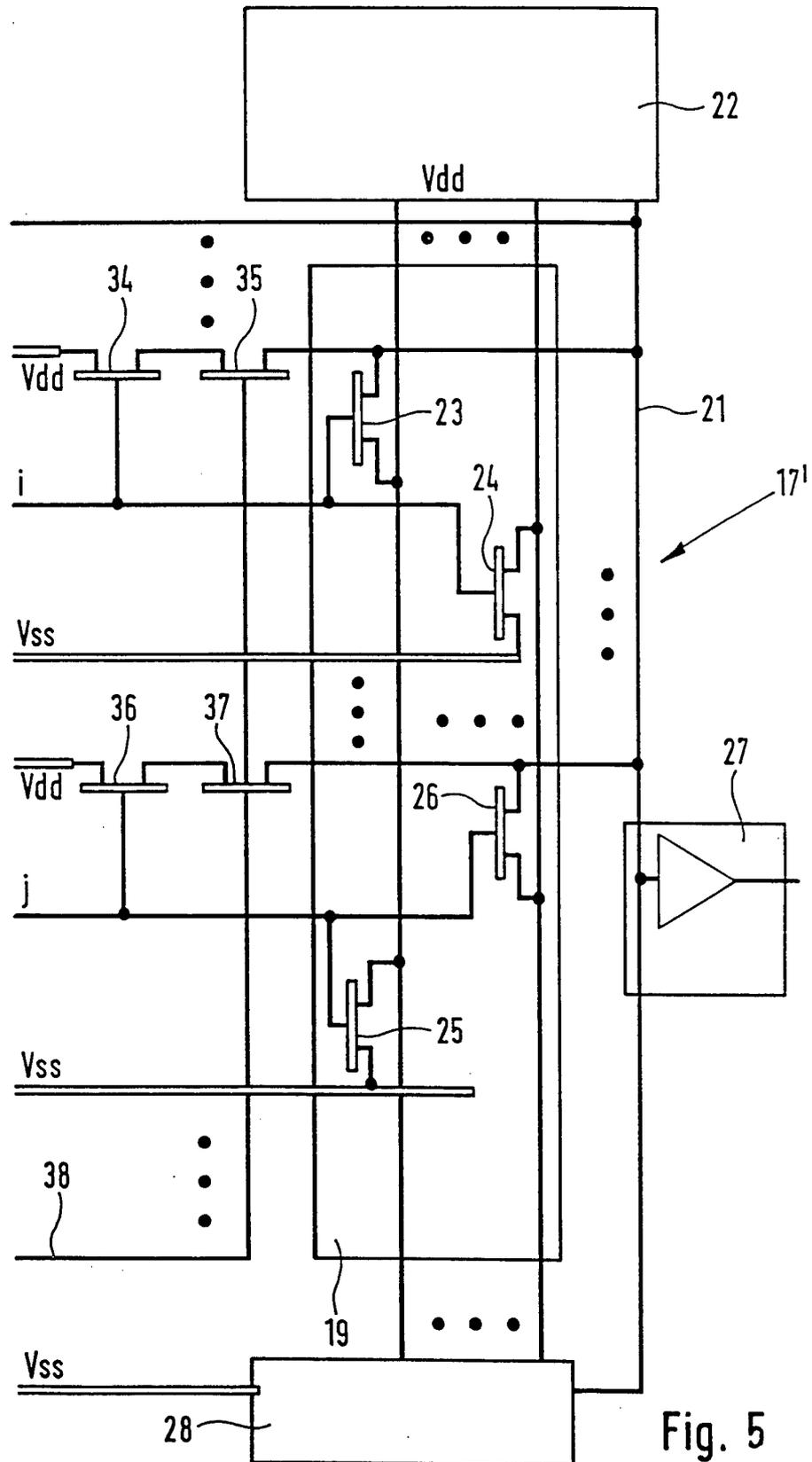


Fig. 5

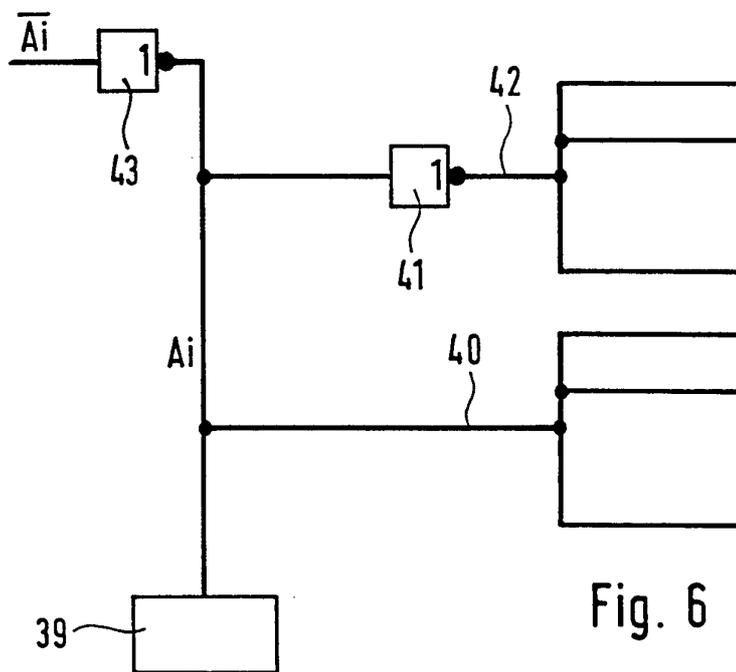


Fig. 6

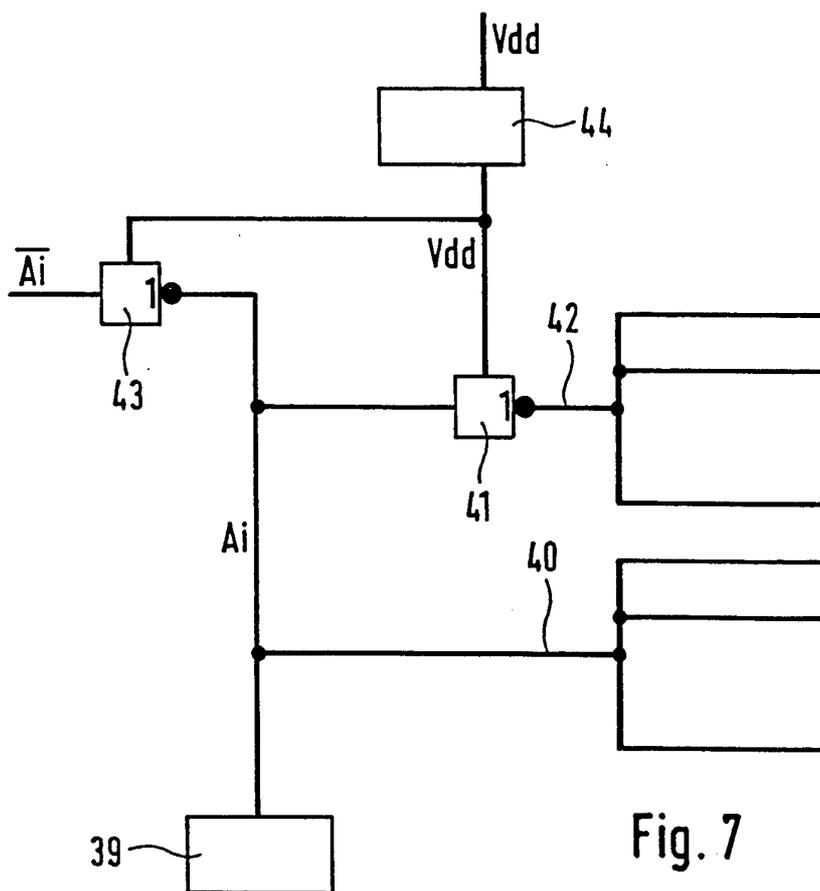
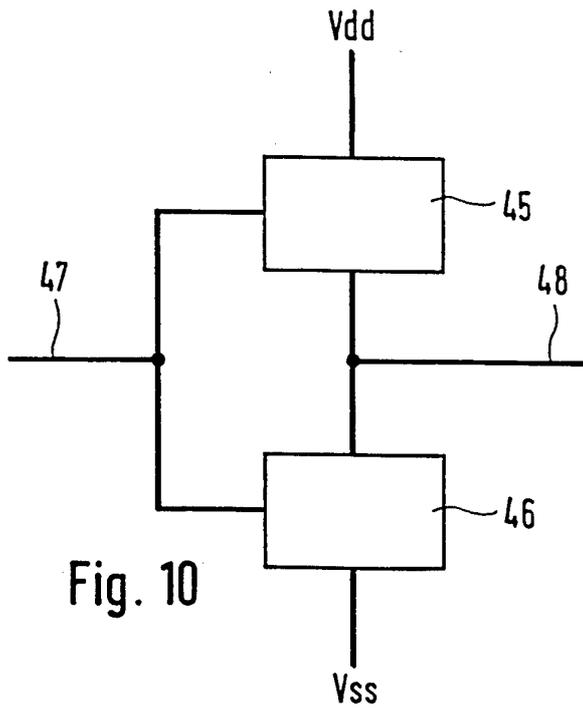
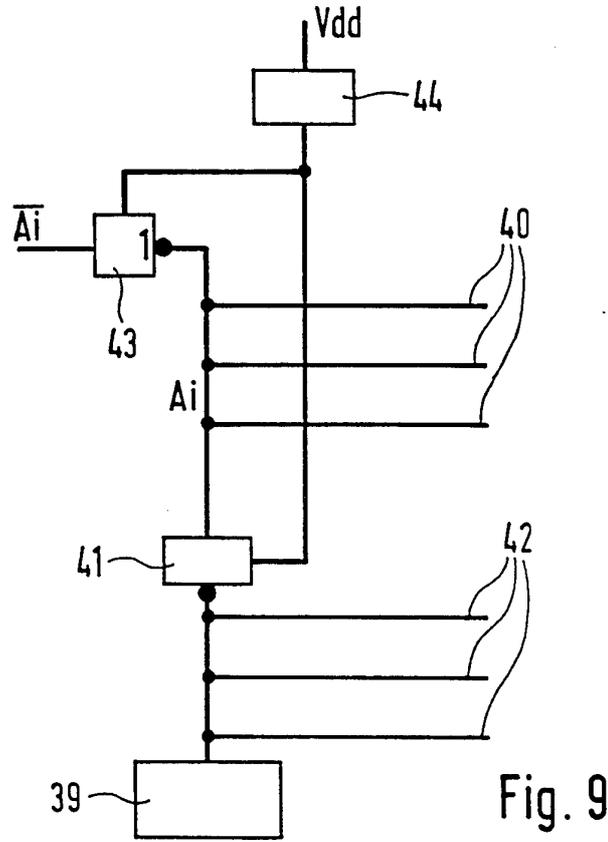


Fig. 7



INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 94/00521

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 5 G11C29/00 G11C8/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 5 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US,A,3 712 537 (CARITA) 23 January 1973	1,2,4-6, 8-13,16, 17
Y	see abstract; figures 1,5 see column 3, line 44 - column 6, line 67 see claims 1-9	3
Y	EP,A,0 162 428 (TAKEDA RIKEN KOGYO KABUSHIKI KAISHA) 27 November 1985 see abstract; claims 1-7	3

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

28 July 1994

Date of mailing of the international search report

05.08.94

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+ 31-70) 340-3016

Authorized officer

Sarasua Garcia, L

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter.   nal Application No <b>PCT/DE 94/00521</b>
---

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-3712537	23-01-73	DE-A- 2061674 FR-A, B 2072129 GB-A- 1335856 NL-A- 7018010	01-07-71 24-09-71 31-10-73 02-07-71
EP-A-0162428	27-11-85	US-A- 4680617 CA-A- 1237825 JP-A- 60257153 US-A- 4872825	14-07-87 07-06-88 18-12-85 10-10-89

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/DE 94/00521

<b>A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES</b> IPK 5 G11C29/00 G11C8/00		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
<b>B. RECHERCHIERTE GEBIETE</b>		
Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 5 G11C		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
<b>C. ALS WESENTLICH ANGESEHENE UNTERLAGEN</b>		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US,A,3 712 537 (CARITA) 23. Januar 1973	1,2,4-6, 8-13,16, 17
Y	siehe Zusammenfassung; Abbildungen 1,5 siehe Spalte 3, Zeile 44 - Spalte 6, Zeile 67 siehe Ansprüche 1-9	3
Y	EP,A,0 162 428 (TAKEDA RIKEN KOGYO KABUSHIKI KAISHA) 27. November 1985 siehe Zusammenfassung; Ansprüche 1-7	3
<input type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen		
<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *&* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche  28. Juli 1994		Absenddatum des internationalen Recherchenberichts  05.08.94
Name und Postanschrift der Internationale Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentaan 2 NL - 2280 HV Rijswijk Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+ 31-70) 340-3016		Bevollmächtigter Bediensteter  Sarasua Garcia, L

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 94/00521

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US-A-3712537	23-01-73	DE-A- 2061674 FR-A, B 2072129 GB-A- 1335856 NL-A- 7018010	01-07-71 24-09-71 31-10-73 02-07-71
EP-A-0162428	27-11-85	US-A- 4680617 CA-A- 1237825 JP-A- 60257153 US-A- 4872825	14-07-87 07-06-88 18-12-85 10-10-89