

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4159887号
(P4159887)

(45) 発行日 平成20年10月1日 (2008. 10. 1)

(24) 登録日 平成20年7月25日 (2008. 7. 25)

(51) Int. Cl.		F I		
HO 1 L	21/027	(2006. 01)	HO 1 L	21/30 5 O 2 M
GO 3 F	7/20	(2006. 01)	HO 1 L	21/30 5 O 2 V
HO 1 L	21/3205	(2006. 01)	GO 3 F	7/20 5 2 1
HO 1 L	23/52	(2006. 01)	HO 1 L	21/88 Z

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2003-4744 (P2003-4744)	(73) 特許権者	503121103
(22) 出願日	平成15年1月10日 (2003. 1. 10)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-221194 (P2004-221194A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成16年8月5日 (2004. 8. 5)	(74) 代理人	100064746
審査請求日	平成17年10月28日 (2005. 10. 28)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 重ね合わせ検査工程を備えた半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

重ね合わせ検査装置を用いて、被重ね合わせ層の上に形成される重ね合わせ層としてのレジスト膜の重ね合わせ位置の適否を判別するための、重ね合わせ検査工程を備えた半導体装置の製造方法であって、

前記被重ね合わせ層に設けられた被重ね合わせ層側第1重ね合わせマークの情報を読取る工程と、

前記レジスト膜に設けられたレジスト膜側第2重ね合わせマークの情報を読取る工程と、

前記被重ね合わせ層側第1重ね合わせマークの情報と前記レジスト膜側第2重ね合わせマークとの情報とから、前記被重ね合わせ層側第1重ね合わせマークと前記レジスト膜側第2重ね合わせマークとの位置関係を読取り、前記被重ね合わせ層に対する前記レジスト膜の形成位置の適否を判断するマーク位置判断工程と、

前記レジスト膜側第2重ね合わせマークの情報と、前記重ね合わせ検査装置に予め登録された登録レジスト膜側第3重ね合わせマークの情報を比較することにより、前記レジスト膜側第2重ね合わせマークが前記登録レジスト膜側第3重ね合わせマークに一致するか否かを判別するマーク判別工程と、

を備え、

前記レジスト膜側第2重ね合わせマークの情報は、前記レジスト膜側第2重ね合わせマークの外形寸法に基づく情報であり、前記登録レジスト膜側第3重ね合わせマークの情報

10

20

は、前記登録レジスト膜側第3重ね合わせマークの外形寸法に基づく情報である、重ね合わせ検査工程を備えた半導体装置の製造方法。

【請求項2】

前記被重ね合わせ層側第1重ね合わせマークの情報を読取る工程は、前記被重ね合わせ層側第1重ね合わせマークの形状を反映するようにして前記被重ね合わせ層上に形成された被エッチング層に形成されたマークの情報を読取ることを特徴とする、請求項1に記載の重ね合わせ検査工程を備えた半導体装置の製造方法。

【請求項3】

前記レジスト膜側第2重ね合わせマークの情報は、前記レジスト膜側第2重ね合わせマークの位置に基づく情報である、請求項1または2に記載の重ね合わせ検査工程を備えた半導体装置の製造方法。

10

【請求項4】

前記レジスト膜側第2重ね合わせマークの情報は、前記レジスト膜側第2重ね合わせマークのパターン形状に基づく情報である、請求項1または2に記載の重ね合わせ検査工程を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の製造方法に関し、より特定的には、被重ね合わせ層と重ね合わせ層としてのレジスト膜との重ね合わせ位置の適否を判別するための、重ね合わせ検査工程を備えた半導体装置の製造方法に関する。

20

【0002】

【従来の技術】

半導体装置の製造プロセスにおいて、所定の層（以下、被重ね合わせ層と称する。）のパターニングを行なうために、この被重ね合わせ層の上に所定のパターンを有する重ね合わせ層としてのレジスト膜が設けられ、このレジスト膜をマスクにして、被重ね合わせ層または被重ね合わせ層とレジスト膜との間に介在する層のエッチングが行なわれる。したがって、被重ね合わせ層に対するレジスト膜の位置決めは重要になる。そのため、レジスト膜自身のパターニングも重要になる。

【0003】

30

ここで、被重ね合わせ層に対するレジスト膜の位置決め方法について、図を参照して簡単に説明する。図12は、レジスト膜に所定のパターンを転写するためのフォトマスク500の概略構造を示す平面図である。一般的なフォトマスク500としては、半導体装置の配線パターンが形成された配線パターン領域501、502と、この配線パターン領域501、502を取囲み、ウエハのダイシングラインに相当する周辺パターン領域510とを備えている。

【0004】

周辺パターン領域510には、被重ね合わせ層とレジスト膜との重ね合わせ位置の適否を判別するために用いられる重ね合わせマーク530が形成されている。

【0005】

40

ここで、重ね合わせマークの具体的な役割について簡単に説明する。図13は、被重ね合わせ層およびレジスト膜に形成された重ね合わせマークの平面図であり、図14は、図13中XIV-XIV線矢視断面図である。被エッチング層611には、被重ね合わせ層605に設けられた被重ね合わせ層側重ね合わせマークとしてのホール605dの形に反映して形成された被重ね合わせ層側重ね合わせマーク611Hが設けられ、レジスト膜には、上記フォトマスク500の重ね合わせマーク530により転写されたレジスト膜側重ね合わせマーク701Hが設けられている。

【0006】

被重ね合わせ層側重ね合わせマーク611Hは、複数の窪み611hが、正四角形状に配置されることによりその全体形状が規定され、正四角形状の一辺の寸法（H）は、約25

50

μmである。窪み611hは、被重ね合わせ層605に設けられたホール605dに被エッチング層611がその成膜時に落ち込むことにより形成される。ホール605dは、被エッチング層611の配線領域に形成されるコンタクトホール（図示省略）と同一工程により形成されるものである。

【0007】

被エッチング層611の上において、被重ね合わせ層側重ね合わせマーク611Hの内側には、レジスト膜に形成されたレジスト膜側重ね合わせマーク701Hが設けられている。このレジスト膜側重ね合わせマーク701Hの一辺の寸法（h）は、約10μmである。

【0008】

ここで、図15を参照して、重ね合わせマークを用いた一般的なエッチング工程800について説明する。まず、写真製版工程により、レジスト膜の露光・エッチングが行なわれる（S810）。その後、上記被重ね合わせ層側重ね合わせマーク611Hおよびレジスト膜側重ね合わせマーク701Hを用いた重ね合わせ検査を行なう（S820）。

【0009】

この重ね合わせ検査（S820）においては、重ね合わせ検査装置（図示省略）を用いて、被重ね合わせ層側重ね合わせマーク611Hおよびレジスト膜側重ね合わせマーク701Hの画像情報から、被重ね合わせ層側重ね合わせマーク611Hおよびレジスト膜側重ね合わせマーク701Hの位置を読み取り、被重ね合わせ層側重ね合わせマーク611Hの中の所定位置（許容範囲位置）に、レジスト膜側重ね合わせマーク701Hが存在するかどうかの判別が行なわれる。

【0010】

被重ね合わせ層側重ね合わせマーク611Hの中の所定位置にレジスト膜側重ね合わせマーク701Hが存在する場合には合格と判定して、現像検査工程（S830）に移行する。不合格の場合は、レジスト膜を除去し、再度、レジスト膜の塗布、および、レジスト膜の露光・エッチングを行なう（S810）。

【0011】

次に、レジスト寸法検査工程（S840）および適用マスク確認工程（S850）を経た後に、レジスト膜による被エッチング層のエッチング工程（S860）が実施され、次工程（S870）に移行することになる。

【0012】

なお、重ね合わせ検査工程を備えた半導体装置の製造方法を開示する先行技術として、下記の特許文献1、特許文献2、および特許文献3が挙げられる。

【0013】

【特許文献1】

特開平9-266235号公報

【0014】

【特許文献2】

特開平8-298236号公報

【0015】

【特許文献3】

特開平5-121284号公報

【0016】

【発明が解決しようとする課題】

しかしながら、上記重ね合わせ検査工程を備えた半導体装置の製造方法においては、以下に示す問題が挙げられる。

【0017】

半導体装置の製造プロセスにおいては、半導体装置パターンの改定、品種別オプションの付加等の関係から、同一写真製版工程において、異なるフォトリソマスクが用いられ場合がある。

10

20

30

40

50

【 0 0 1 8 】

たとえば、図 1 6 に示す半導体装置の断面構造の場合、第 1 半導体層 6 0 1 に導電領域 6 0 2 , 6 0 3 , 6 0 4 が設けられ、第 1 半導体層 6 0 1 上には、この不純物領域 6 0 2 , 6 0 3 , 6 0 4 に通じるコンタクトホール 6 0 5 a , 6 0 5 b , 6 0 5 c を有する層間絶縁膜 6 0 5 が設けられている。

【 0 0 1 9 】

また、コンタクトホール 6 0 5 a , 6 0 5 b , 6 0 5 c 内には、それぞれ導電領域 6 0 2 , 6 0 3 , 6 0 4 に通じるコンタクトプラグ 6 0 7 , 6 0 8 , 6 0 9 が設けられている。さらに、層間絶縁膜 6 0 5 の上には、コンタクトプラグ 6 0 7 に通じる配線層 6 1 1 A、およびコンタクトプラグ 6 0 8 , 6 0 9 に通じる配線層 6 1 1 B が形成されている。ここで、配線層 6 1 1 A および配線層 6 1 1 B は、この配線層 6 1 1 A および配線層 6 1 1 B に対応するパターンを有するレジスト膜 7 0 1 A によりパターンニングされる。

10

【 0 0 2 0 】

一方、図 1 7 に示す半導体装置の断面構造の場合、基本的構造は、上記図 1 6 に示す半導体装置と同じであるが、コンタクトプラグ 6 0 8 に通じる配線層 6 1 1 C、およびコンタクトプラグ 6 0 9 に通じる配線層 6 1 1 D が設けられる点が相違する。よって、これらの配線層は、配線層 6 1 1 A、配線層 6 1 1 C、および配線層 6 1 1 D に対応するパターンを有するレジスト膜 7 0 1 B によりパターンニングされる。

【 0 0 2 1 】

このように、配線構造が一部異なる領域は、たとえば図 1 2 の平面図に示す領域 X 1 ~ X 4 に点在するように設けられ、この配線構造の違いの確認は、図 1 5 で示す、エッチング工程 8 0 0 の後半において実施される適用マスク確認工程 (S 8 5 0) で行なわれる。

20

【 0 0 2 2 】

これは、通常パターンの異なるフォトマスクであっても、フォトマスクの周辺パターン領域に設けられる重ね合わせの形状および位置は、すべて同じに設けられているために、図 1 5 で示す S 8 2 0 ~ S 8 4 0 の各工程では、適用したフォトマスクが正しいものであるかどうかの判別はできないからである。このように、適用したフォトマスクの誤りは、エッチング工程 8 0 0 の後半において確認されるため、作業効率の向上を妨げる一因となっている。

【 0 0 2 3 】

また、適用マスク確認工程 (S 8 5 0) は従来人手によるオフライン作業で行なっており、フォトマスク誤りの見過ごしにより、半導体装置の製造歩留の低下を招く要因ともなっている。

30

【 0 0 2 4 】

したがって、この発明は上記課題を解決するためになされたものであり、効率良く適用マスクの確認を行なうことが可能で、また、半導体装置の製造歩留の向上を可能とする、重ね合わせ検査工程を備えた半導体装置の製造方法を提供することを目的とする。

【 0 0 2 5 】

【課題を解決するための手段】

上記課題を解決するため、この発明に基づく重ね合わせ検査工程を備えた半導体装置の製造方法は、重ね合わせ検査装置を用いて、被重ね合わせ層の上に形成される重ね合わせ層としてのレジスト膜の重ね合わせ位置の適否を判別するための、重ね合わせ検査工程を備えた半導体装置の製造方法であって、以下の工程を備えることを特徴とする。

40

【 0 0 2 6 】

まず、上記被重ね合わせ層に設けられた被重ね合わせ層側第 1 重ね合わせマークの情報を読取る。上記レジスト膜に設けられたレジスト膜側第 2 重ね合わせマークの情報を読取る。

【 0 0 2 7 】

次に、マーク位置判断工程において、上記被重ね合わせ層側第 1 重ね合わせマークの情報と上記レジスト膜側第 2 重ね合わせマークとの情報とから、上記被重ね合わせ層側第 1

50

重ね合わせマークと上記レジスト膜側第2重ね合わせマークとの位置関係を読み取り、上記被重ね合わせ層に対する上記レジスト膜の形成位置の適否を判断する。

【0028】

また、マーク判別工程において、上記レジスト膜側第2重ね合わせマークの情報と、上記重ね合わせ検査装置に予め登録された登録レジスト膜側第3重ね合わせマークの情報とを比較することにより、上記レジスト膜側第2重ね合わせマークが上記登録レジスト膜側第3重ね合わせマークに一致するか否かを判別する。また、上記レジスト膜側第2重ね合わせマークの情報は、上記レジスト膜側第2重ね合わせマークの外形寸法に基づく情報であり、上記登録レジスト膜側第3重ね合わせマークの情報は、上記登録レジスト膜側第3重ね合わせマークの外形寸法に基づく情報である。

10

【0029】

【発明の実施の形態】

以下、この発明に基づく重ね合わせ検査工程を備えた半導体装置の製造方法の各実施の形態について、図を参照して説明する。なお、各実施の形態はすべての点で例示であって限定的なものではない。また、各実施の形態においては、半導体装置に適用される一般的な配線構造に本発明を適用した場合を示しており、特定の半導体装置でなく、広く半導体装置全般に対して適用できるものである。

【0030】

(実施の形態1)

実施の形態1における重ね合わせ検査工程を備えた半導体装置の製造方法について、図1から図4を参照して説明する。なお、図1は、本実施の形態における重ね合わせ検査工程を備えた半導体装置の製造方法が適用される半導体装置の製造プロセス中のエッチング工程100を示すフロー図であり、図2は、本実施の形態における第1の重ね合わせマーク領域を示す平面図であり、図3は、本実施の形態における第2の重ね合わせマーク領域を示す平面図であり、図4は、本実施の形態における重ね合わせ検査工程を備えた半導体装置の製造方法を示すフロー図である。

20

【0031】

まず、図1を参照して、本実施の形態におけるエッチング工程100は、写真製版工程により、レジスト膜の露光・エッチングが行なわれる(S101)。その後、重ね合わせ検査装置により被重ね合わせ層側重ね合わせマークおよびレジスト膜側重ね合わせマークを用いた重ね合わせ検査を行なう(S102A)。また、この工程において、重ね合わせ検査装置を用いて適用マスク確認工程(S102B)が同時に実施される。その後、現像検査工程(S103)、レジスト寸法検査工程(S104)およびエッチング工程(S105)が実施され、次工程(S106)に移行する。

30

【0032】

このように、本実施の形態においては、図15に示す従来のエッチング工程においては、レジスト寸法検査工程の後に、人手によるオフライン作業により行なっていた適用マスク確認工程を、重ね合わせ検査装置による重ね合わせ検査工程と同時に行なっていることを特徴としている。以下、この重ね合わせ検査工程と適用マスク確認工程とを同時に行なう方法について、詳細に説明する。

40

【0033】

図2および図3を参照して、被重ね合わせ層には、所定の位置に第1被重ね合わせ層側重ね合わせマーク611Aおよび第2被重ね合わせ層側重ね合わせマーク611Bが設けられている。なお、被重ね合わせ層側重ね合わせマークの数量については、適宜選択されるものである。また、第1被重ね合わせ層側重ね合わせマーク611Aおよび第2被重ね合わせ層側重ね合わせマーク611Bの形状等は、図13および図14に示す従来の被重ね合わせ層側重ね合わせマークと同じである。

【0034】

次に、図2を参照して、第1の配線パターンを備えるフォトマスクによって、レジスト層に転写されるレジスト膜側重ね合わせマーク701Aは、第1被重ね合わせ層側重ね合わせ

50

セマーク 6 1 1 A の内側に設けられる。一方、図 3 を参照して、第 2 の配線パターンを備えるフォトマスクによって、レジスト層に転写されるレジスト膜側重ね合わせマーク 7 0 1 B は、第 2 被重ね合わせ層側重ね合わせマーク 6 1 1 B の内側に設けられる。レジスト膜側重ね合わせマーク 7 0 1 A およびレジスト膜側重ね合わせマーク 7 0 1 B は、図 1 3 および図 1 4 に示す従来のレジスト膜側重ね合わせマークと同じである。

【 0 0 3 5 】

ここで、本実施の形態における被エッチング層に第 1 の配線パターンを備えるフォトマスクを用いて、半導体装置のエッチング工程を実施する場合の重ね合わせ検査工程を備えた半導体装置の製造方法 (S 1 0 2 A) のフローについて、図 4 を参照して説明する。

【 0 0 3 6 】

まず、あらかじめ、重ね合わせ検査装置に、レジスト膜側重ね合わせマーク 7 0 1 A が設けられた第 1 の配線パターンを備えるフォトマスクのデータを記憶させる (S 1 2 0) 。その後、ウエハのロードおよびアライメントを実施する (S 1 2 1) 。その後、重ね合わせマーク座標を認識する (S 1 2 2) 。

【 0 0 3 7 】

次に、被重ね合わせ層に設けられた被重ね合わせ層側重ね合わせマーク 6 1 1 A , 6 1 1 B の情報と、レジスト膜に設けられたレジスト膜側重ね合わせマーク 7 0 1 A の情報を読取る (S 1 2 3) 。

【 0 0 3 8 】

次に、被重ね合わせ層側重ね合わせマーク 6 1 1 A , 6 1 1 B の情報とレジスト膜側重ね合わせマーク 7 0 1 A との情報とから、被重ね合わせ層側重ね合わせマーク 6 1 1 A とレジスト膜側重ね合わせマーク 7 0 1 A との位置関係を読み取り、被重ね合わせ層に対するレジスト膜の形成位置の適否を判断する (S 1 2 4) 。

【 0 0 3 9 】

次に、レジスト膜側重ね合わせマーク 7 0 1 A の情報と、 S 1 2 0 において重ね合わせ検査装置に予め登録された登録レジスト膜側重ね合わせマークとの情報とを比較することにより、レジスト膜側重ね合わせマーク 7 0 1 A が登録レジスト膜側重ね合わせマークに一致するか否かを判別する (S 1 2 5) 。

【 0 0 4 0 】

ここでの具体的な判別は、被重ね合わせ層側重ね合わせマーク 6 1 1 A 内に、レジスト膜側重ね合わせマーク 7 0 1 A が存在するか否かの判別が実行される。したがって、誤って図 3 に対応するレジスト膜側重ね合わせマーク 7 0 1 B が設けられた第 2 の配線パターンを備えるフォトマスクを、重ね合わせ検査装置に装着した場合には、重ね合わせ検査装置においては、被重ね合わせ層側重ね合わせマーク 6 1 1 A 内に、レジスト膜側重ね合わせマーク 7 0 1 A が存在しないことを認識し、その結果をオペレータに通報することになる。

【 0 0 4 1 】

(作用 ・ 効果)

以上、本実施の形態における重ね合わせ検査工程を備えた半導体装置の製造方法によれば、重ね合わせ検査装置において、被重ね合わせ層に対するレジスト膜の形成位置の適否を判断するマーク位置判断工程と同時に、レジスト膜側重ね合わせマークが登録レジスト膜側重ね合わせマークに一致するか否かを判別するマーク判別工程を行なっていることから、適用したフォトマスクが正しいものであるかどうかの判別を、エッチング工程の速い段階で行なうことにより、作業効率の向上を図ることを可能としている。また、人手によるオフライン作業ではなく、重ね合わせ検査装置を用いた、オンライン作業により、適用したフォトマスクが正しいものであるかどうかの判別を行なっていることから、フォトマスク誤りの見過ごしがなくなり、半導体装置の製造歩留の向上を図ることを可能としている。

【 0 0 4 2 】

また、本実施の形態においては、レジスト膜側重ね合わせマークの情報として、レジスト膜側重ね合わせマークの位置に基づく情報を用いていることから、従来の重ね合わせ検査

10

20

30

40

50

装置においてマーク位置判断工程に用いられている情報を利用することを可能としている。

【 0 0 4 3 】

(実施の形態 2)

次に、実施の形態 2 における重ね合わせ検査工程を備えた半導体装置の製造方法について、図 5 から図 7 を参照して説明する。なお、図 5 は、本実施の形態における第 1 の重ね合わせマーク領域を示す平面図であり、図 6 は、本実施の形態における第 2 の重ね合わせマーク領域を示す平面図であり、図 7 は、本実施の形態における重ね合わせ検査工程を備えた半導体装置の製造方法を示すフロー図である。

【 0 0 4 4 】

基本的な重ね合わせ検査工程を備えた半導体装置の製造方法は、上記実施の形態 1 における重ね合わせ検査工程を備えた半導体装置の製造方法と同じであるため、上記実施の形態 1 における重ね合わせ検査工程を備えた半導体装置の製造方法との相違点についてののみ言及する。

【 0 0 4 5 】

図 5 および図 6 を参照して、被重ね合わせ層には、所定の位置に被重ね合わせ層側重ね合わせマーク 6 1 1 C が 1 箇所設けられている。この被重ね合わせ層側重ね合わせマーク 6 1 1 C の寸法・形状等は、図 1 3 および図 1 4 に示す従来の被重ね合わせ層側重ね合わせマークと同じである。

【 0 0 4 6 】

次に、図 5 を参照して、第 1 の配線パターンを備えるフォトマスクによって、レジスト層に転写されるレジスト膜側重ね合わせマーク 7 0 1 C は、被重ね合わせ層側重ね合わせマーク 6 1 1 C の内側に設けられる正方形形状を有し、その一辺の大きさ (h) は、 $10\ \mu\text{m}$ である。一方、図 6 を参照して、第 2 の配線パターンを備えるフォトマスクによって、レジスト層に転写されるレジスト膜側重ね合わせマーク 7 0 1 D は、同じく被重ね合わせ層側重ね合わせマーク 6 1 1 C の内側に設けられる正方形形状を有し、その一辺の大きさ (h) は、 $17\ \mu\text{m}$ である。レジスト膜側重ね合わせマーク 7 0 1 C およびレジスト膜側重ね合わせマーク 7 0 1 D の形状は、図 1 3 および図 1 4 に示す従来のレジスト膜側重ね合わせマークと同じである。

【 0 0 4 7 】

ここで、本実施の形態における被エッチング層に第 1 の配線パターンを備えるフォトマスクを用いて、半導体装置のエッチング工程を実施する場合の重ね合わせ検査工程の (S 1 0 2 A) のフローについて、図 7 を参照して説明する。

【 0 0 4 8 】

まず、あらかじめ、重ね合わせ検査装置に、レジスト膜側重ね合わせマーク 7 0 1 C が設けられた第 1 の配線パターンを備えるフォトマスクのデータを記憶させる (S 1 2 0)。その後、ウエハのロードおよびアライメントを実施する (S 1 2 1)。その後、重ね合わせマーク座標を認識する (S 1 2 2)。

【 0 0 4 9 】

次に、被重ね合わせ層に設けられた被重ね合わせ層側重ね合わせマーク 6 1 1 C の情報と、レジスト膜に設けられたレジスト膜側重ね合わせマーク 7 0 1 C の情報を読取る (S 1 2 3)。

【 0 0 5 0 】

次に、被重ね合わせ層側重ね合わせマーク 6 1 1 C の情報とレジスト膜側重ね合わせマーク 7 0 1 C との情報とから、被重ね合わせ層側重ね合わせマーク 6 1 1 C とレジスト膜側重ね合わせマーク 7 0 1 C との位置関係を読み取り、被重ね合わせ層に対するレジスト膜の形成位置の適否を判断する (S 1 2 4)。

【 0 0 5 1 】

次に、レジスト膜側重ね合わせマーク 7 0 1 C の情報と、S 1 2 0 において重ね合わせ検査装置に予め登録された登録レジスト膜側重ね合わせマークとの情報とを比較することに

10

20

30

40

50

より、レジスト膜側重ね合わせマーク701Cが登録レジスト膜側重ね合わせマークに一致するか否かを判別する(S125)。

【0052】

ここでの具体的な判別は、レジスト膜側重ね合わせマーク701Cの一辺の長さが、10 μ mであるか否かの判別が実行される。したがって、誤って図6に対応するレジスト膜側重ね合わせマーク701Dが設けられた第2の配線パターンを備えるフォトマスクを、重ね合わせ検査装置に装着した場合には、重ね合わせ検査装置においては、一辺の長さが10 μ mであるレジスト膜側重ね合わせマーク701Cが存在しないことを認識し、その結果をオペレータに通報することになる。

【0053】

(作用・効果)

以上、本実施の形態における重ね合わせ検査工程を備えた半導体装置の製造方法によっても、上記実施の形態1と同様に、適用したフォトマスクが正しいものであるかどうかの判別を、エッチング工程の速い段階で行なうことにより、作業効率の向上を図ることを可能としている。また、人手によるオフライン作業ではなく、重ね合わせ検査装置を用いた、オンライン作業により、適用したフォトマスクが正しいものであるかどうかの判別を行なっていることから、フォトマスク誤りの見過ごしがなくなり、半導体装置の製造歩留の向上を図ることを可能としている。

【0054】

また、本実施の形態においては、レジスト膜側重ね合わせマークの情報として、レジスト膜側重ね合わせマークの外形寸法である一辺の長さに基づく情報を用いていることから、従来の重ね合わせ検査装置においてマーク位置判断工程に用いられている情報を利用することを可能としている。

【0055】

(実施の形態3)

次に、実施の形態3における重ね合わせ検査工程を備えた半導体装置の製造方法について、図8から図10を参照して説明する。なお、図8は、本実施の形態における第1の重ね合わせマーク領域を示す平面図であり、図9は、本実施の形態における第2の重ね合わせマーク領域を示す平面図であり、図10は、本実施の形態における重ね合わせ検査工程を備えた半導体装置の製造方法を示すフロー図である。

【0056】

基本的な重ね合わせ検査工程を備えた半導体装置の製造方法は、上記実施の形態1における重ね合わせ検査工程を備えた半導体装置の製造方法と同じであるため、上記実施の形態1における重ね合わせ検査工程を備えた半導体装置の製造方法との相違点についてのみ言及する。

【0057】

図7および図8を参照して、被重ね合わせ層には、所定の位置に被重ね合わせ層側重ね合わせマーク611Dが1箇所設けられている。この被重ね合わせ層側重ね合わせマーク611Dの寸法・形状等は、図13および図14に示す従来の被重ね合わせ層側重ね合わせマークと同じである。

【0058】

次に、図8を参照して、第1の配線パターンを備えるフォトマスクによって、レジスト層に転写されるレジスト膜側重ね合わせマーク701Eは、被重ね合わせ層側重ね合わせマーク611Dの内側に設けられる正方形形状を有し、その一辺の大きさ(h)は10 μ mであり、図13および図14に示す従来のレジスト膜側重ね合わせマークと同じく、直線パターンにより設けられている。

【0059】

一方、図9を参照して、第2の配線パターンを備えるフォトマスクによって、レジスト層に転写されるレジスト膜側重ね合わせマーク701Fは、同じく被重ね合わせ層側重ね合わせマーク611Dの内側に設けられる正方形形状を有し、その一辺の大きさ(h)は1

10

20

30

40

50

0 μmであるが、その形状は、複数の窪み701fから構成されている。

【0060】

ここで、本実施の形態における被エッチング層に第1の配線パターンを備えるフォトリソマスクを用いて、半導体装置のエッチング工程を実施する場合の重ね合わせ検査工程を備えた半導体装置の製造方法(S102A)のフローについて、図10を参照して説明する。

【0061】

まず、あらかじめ、重ね合わせ検査装置に、レジスト膜側重ね合わせマーク701Eが設けられた第1の配線パターンを備えるフォトリソマスクのデータを記憶させる(S120)。その後、ウエハのロードおよびアライメントを実施する(S121)。その後、重ね合わせマーク座標を認識する(S122)。

10

【0062】

次に、被重ね合わせ層に設けられた被重ね合わせ層側重ね合わせマーク611Dの情報と、レジスト膜に設けられたレジスト膜側重ね合わせマーク701Eの情報を読取る(S123)。

【0063】

次に、被重ね合わせ層側重ね合わせマーク611Dの情報とレジスト膜側重ね合わせマーク701Eとの情報とから、被重ね合わせ層側重ね合わせマーク611Dとレジスト膜側重ね合わせマーク701Eとの位置関係を読取り、被重ね合わせ層に対するレジスト膜の形成位置の適否を判断する(S124)。

【0064】

20

次に、レジスト膜側重ね合わせマーク701Eの情報と、S120において重ね合わせ検査装置に予め登録された登録レジスト膜側重ね合わせマークとの情報とを比較することにより、レジスト膜側重ね合わせマーク701Eが登録レジスト膜側重ね合わせマークに一致するか否かを判別する(S125)。

【0065】

ここでの具体的な判別は、レジスト膜側重ね合わせマーク701Eが直線パターンで形成されているかどうかの判別が実行される。したがって、誤って図9に対応するレジスト膜側重ね合わせマーク701Fが設けられた第2の配線パターンを備えるフォトリソマスクを、重ね合わせ検査装置に装着した場合には、重ね合わせ検査装置においては、直線パターンで形成されたレジスト膜側重ね合わせマーク701Eが存在しないことを認識し、その結果をオペレータに通報することになる。

30

【0066】

(作用・効果)

以上、本実施の形態における重ね合わせ検査工程を備えた半導体装置の製造方法によっても、上記実施の形態1と同様に、適用したフォトリソマスクが正しいものであるかどうかの判別を、エッチング工程の速い段階で行なうことにより、作業効率の向上を図ることを可能としている。また、人手によるオフライン作業ではなく、重ね合わせ検査装置を用いた、オンライン作業により、適用したフォトリソマスクが正しいものであるかどうかの判別を行なっていることから、フォトリソマスク誤りの見過ごしがなくなり、半導体装置の製造歩留の向上を図ることを可能としている。

40

【0067】

また、本実施の形態においては、レジスト膜側重ね合わせマークの情報として、レジスト膜側重ね合わせマークのパターン形状に基づく情報を用いていることから、従来の重ね合わせ検査装置においてマーク位置判断工程に用いられている情報を利用することを可能としている。

【0068】

なお、上記各実施の形態における被重ね合わせ層側重ね合わせマークは、被重ね合わせ層に形成された被重ね合わせ層側重ね合わせマークの形状を反映するようにして、被重ね合わせ層上に形成された被エッチング層に形成されたマークの情報を読取る場合について説明しているが、これに限られず、たとえば、図11に示すような半導体装置の製造工程

50

に適用することも可能である。

【 0 0 6 9 】

この半導体装置の構造においては、基板 8 0 1 上に被重ね合わせ層としてのビットラインに対応して設けられた被重ね合わせ層側重ね合わせマーク 8 0 2 と、この被重ね合わせ層側重ね合わせマーク 8 0 2 の上に被エッチング層としての層間絶縁膜 8 0 3 と、この層間絶縁膜 8 0 3 の上に、レジスト膜側重ね合わせマーク 8 0 4 を有するレジスト膜 8 0 5 とを備えており、上記各実施の形態に示す構造とは異なり、エッチングされる層に被重ね合わせ層側重ね合わせマークが設けられていない。

【 0 0 7 0 】

したがって、上述した各実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 7 1 】

【発明の効果】

この発明に基づいた重ね合わせ検査工程を備えた半導体装置の製造方法によれば、適用したフォトリソが正しいものであるかどうかの判別を、エッチング工程の早い段階で行なうことにより、作業効率の向上を図ることを可能としている。また、重ね合わせ検査装置を用いた、オンライン作業により、適用したフォトリソが正しいものであるかどうかの判別を行なっていることから、フォトリソ誤りの見過ごしがなくなり、半導体装置の製造歩留の向上を図ることを可能としている。

【図面の簡単な説明】

【図 1】 実施の形態 1 における重ね合わせ検査工程を備えた半導体装置の製造方法が適用される半導体装置のエッチング工程を示すフロー図である。

【図 2】 実施の形態 1 における第 1 の重ね合わせマーク領域を示す平面図である。

【図 3】 実施の形態 1 における第 2 の重ね合わせマーク領域を示す平面図である。

【図 4】 実施の形態 1 における重ね合わせ検査工程を備えた半導体装置の製造方法を示すフロー図である。

【図 5】 実施の形態 2 における第 1 の重ね合わせマーク領域を示す平面図である。

【図 6】 実施の形態 2 における第 2 の重ね合わせマーク領域を示す平面図である。

【図 7】 実施の形態 2 における重ね合わせ検査工程を備えた半導体装置の製造方法を示すフロー図である。

【図 8】 実施の形態 3 における第 1 の重ね合わせマーク領域を示す平面図である。

【図 9】 実施の形態 3 における第 2 の重ね合わせマーク領域を示す平面図である。

【図 10】 実施の形態 3 における重ね合わせ検査工程を備えた半導体装置の製造方法を示すフロー図である。

【図 11】 他の実施の形態における半導体装置の構造を示す断面図である。

【図 12】 従来の技術におけるレジスト膜に所定のパターンを転写するためのフォトリソの概略構造を示す平面図である。

【図 13】 被エッチング層およびレジスト膜に形成された重ね合わせマークの平面図である。

【図 14】 図 13 中 X I V - X I V 線矢視断面図である。

【図 15】 重ね合わせマークを用いた一般的なエッチング工程を説明するフロー図である。

【図 16】 半導体装置の構造を示す第 1 の断面図である。

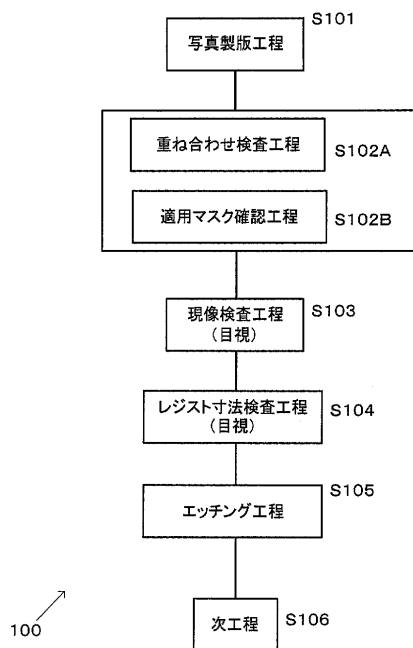
【図 17】 半導体装置の構造を示す第 2 の断面図である。

【符号の説明】

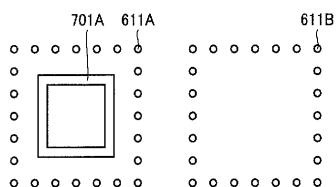
1 0 0 エッチング工程、1 0 2 A , 1 0 2 B , 1 0 2 C 重ね合わせ検査工程を備えた半導体装置の製造方法、6 1 1 A , 6 1 1 C , 6 1 1 D 第 1 被重ね合わせ層側重ね合わせマーク、6 1 1 B 第 2 被重ね合わせ層側重ね合わせマーク、6 1 1 C , 6 1 1 D 被

重ね合わせ層側重ね合わせマーク、701A, 701B, 701D, 701E, 701F
レジスト膜側重ね合わせマーク、701f 窪み。

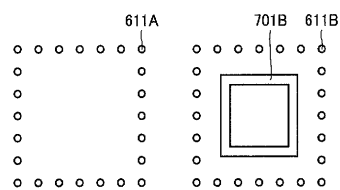
【図 1】



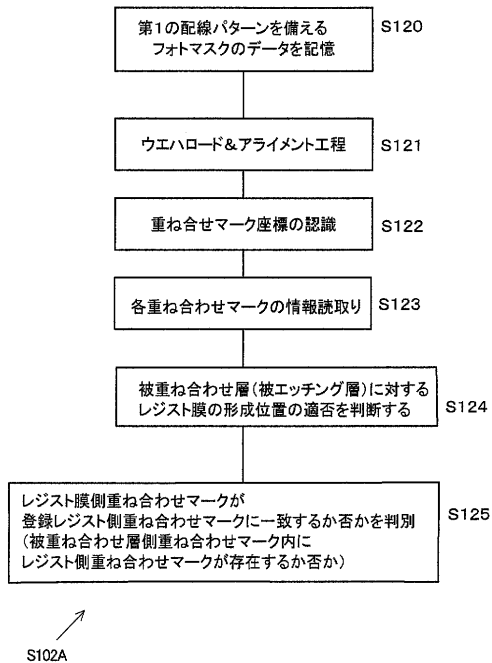
【図 2】



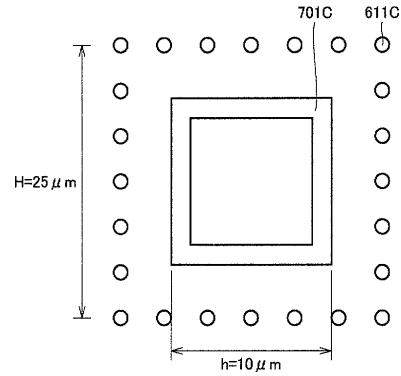
【図 3】



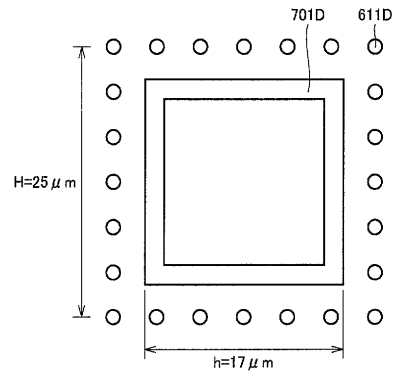
【図 4】



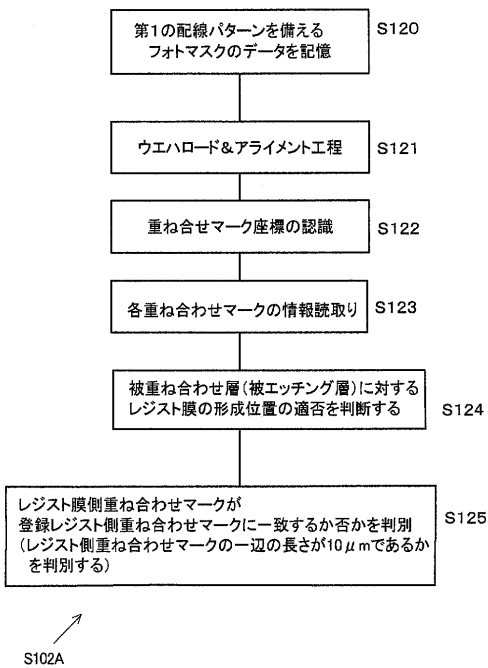
【図 5】



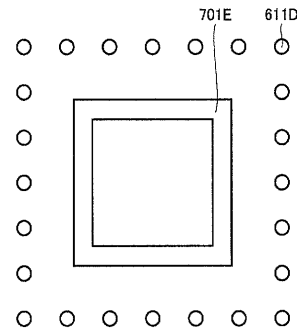
【図 6】



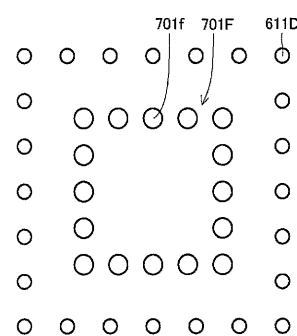
【図 7】



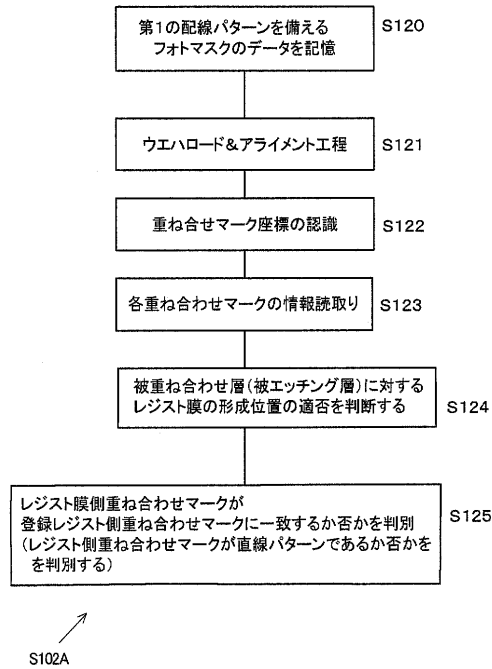
【図 8】



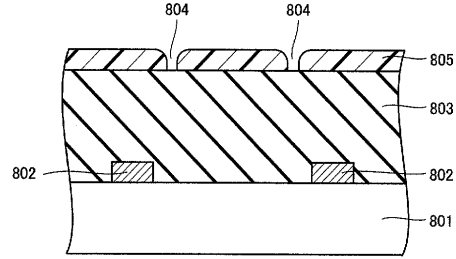
【図 9】



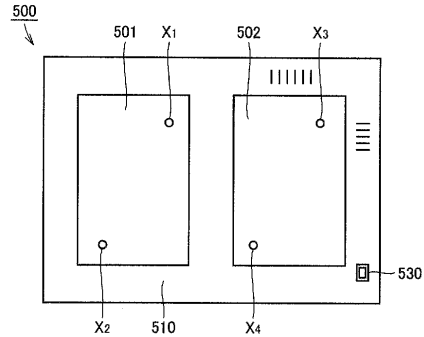
【図 10】



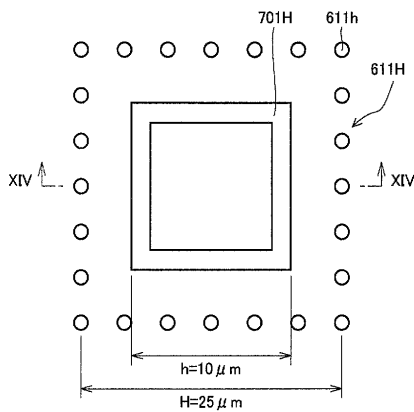
【図 11】



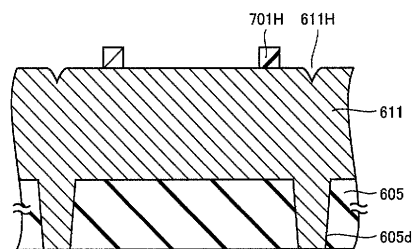
【図 12】



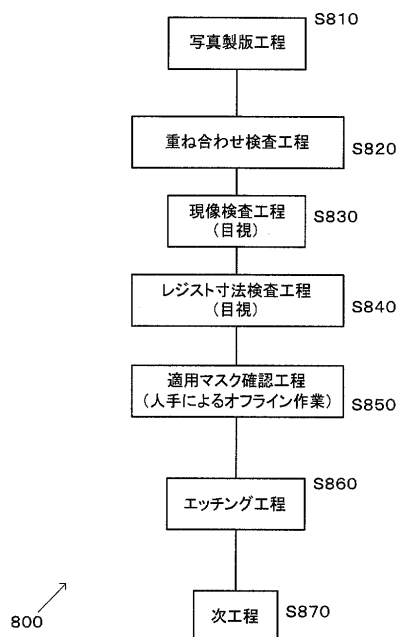
【図 13】



【図 14】



【図 15】



This cross-sectional view shows a semiconductor device with a trench structure. The device includes a substrate 601 with a trench 602. A gate stack 603 is formed on the trench 602, and a gate stack 604 is formed on the surface of the substrate 601. A gate stack 605 is formed on the surface of the substrate 601, and a gate stack 606 is formed on the surface of the substrate 601. A gate stack 607 is formed on the surface of the substrate 601, and a gate stack 608 is formed on the surface of the substrate 601. A gate stack 609 is formed on the surface of the substrate 601, and a gate stack 610 is formed on the surface of the substrate 601. A gate stack 611A is formed on the surface of the substrate 601, and a gate stack 611B is formed on the surface of the substrate 601. A gate stack 701A is formed on the surface of the substrate 601.

フロントページの続き

- (72)発明者 岸田 健
兵庫県伊丹市東有岡4丁目42-8 株式会社エルテック内
(72)発明者 城戸 成範
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 新井 重雄

- (56)参考文献 特開平04-043625(JP,A)
特開昭63-252443(JP,A)
特開平05-053297(JP,A)
特開2001-339049(JP,A)
特開平04-043358(JP,A)
特開昭62-235952(JP,A)
特開平05-121284(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/027

G03F 7/20