



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월14일
(11) 등록번호 10-0803167
(24) 등록일자 2008년02월04일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2006-0098479

(22) 출원일자 2006년10월10일

심사청구일자 2006년10월10일

(56) 선행기술조사문헌

KR1020060002026 A

KR1020060002027 A

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김상식

서울 송파구 가락동 가락우성아파트 3-305

조경아

서울 광진구 능동 225-5

(뒷면에 계속)

(74) 대리인

김인한, 김희곤

전체 청구항 수 : 총 24 항

심사관 : 이우식

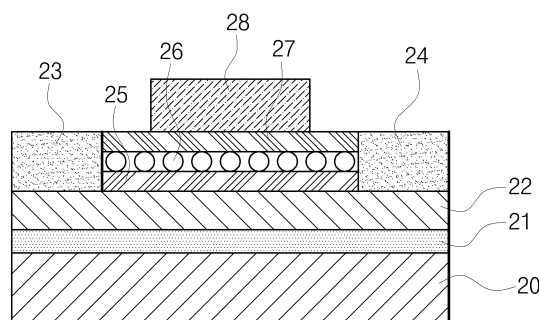
(54) 나노 입자를 이용한 나노 부유 게이트 메모리 소자 및 그제조 방법

(57) 요약

본 발명은 나노 입자를 이용한 나노 부유 게이트 메모리 소자(NFGM, Nano-Floating Gate Memory) 및 그 제조 방법에 관한 것으로, 특히 반도체 나노입자를 채널로 이용하고, 그 위에반도체 또는 금속 나노입자를 나노 부유(floating : 플로팅) 게이트로 형성하고 이를 실리콘, 유리, 플라스틱 기판상에서의 제작이 가능하다. 이는 높은 이동도를 가지는 동시에, 문턱전압의 변화를 얻을 수 있고, 고집적도의 메모리 소자의 구현이 가능하며, 저온공정에서 소자의 제작이 가능하도록 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 및 그 제조 방법에 관한 것이다.

본 발명의 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법을 이루는 구성수단은, 기판 상에 친수성 물질로 버퍼층(buffer layer)을 증착 형성하는 단계, 상기 버퍼층 상에 나노입자 필름을 형성시키고 열처리 하는 단계, 상기 나노입자 필름에 소스 전극과 드레인 전극을 형성시키는 단계, 상기 소스와 드레인 전극이 형성된 나노입자 필름 상부에 절연물질을 증착시켜 터널링 게이트 절연막을 형성시키는 단계, 상기 터널링 게이트 절연막 상부에 나노입자를 증착시켜 나노 부유 게이트를 형성시키는 단계, 상기 나노 부유 게이트 상부에 절연물질을 증착시켜 콘트롤 게이트 절연막을 형성시키는 단계, 상기 콘트롤 게이트 절연막 상부에 전면 게이트 전극(topgate electrode)을 형성시키는 단계를 포함하여 이루어진 것을 특징으로 한다.

대표도 - 도2g



(72) 발명자

김동원

서울 금천구 시흥1동 한양아파트 3-1305

장재원

대구 수성구 만촌동 869-32

특허청구의 범위

청구항 1

나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법에 있어서,
 기판 상에 친수성의 무기물 또는 친수성의 유기물로 버퍼층(buffer layer)을 증착 형성하는 단계;
 상기 버퍼층 상에 나노입자 필름을 형성시키고 열처리 하는 단계;
 상기 나노입자 필름에 소스 전극과 드레인 전극을 형성시키는 단계;
 상기 소스와 드레인 전극이 형성된 나노입자 필름 상부에 절연물질을 증착시켜 터널링 게이트 절연막을 형성시키는 단계;
 상기 터널링 게이트 절연막 상부에 나노입자를 증착시켜 나노 부유 게이트를 형성시키는 단계;
 상기 나노 부유 게이트 상부에 절연물질을 증착시켜 콘트롤 게이트 절연막을 형성시키는 단계;
 상기 콘트롤 게이트 절연막 상부에 전면 게이트 전극(topgate electrode)을 형성시키는 단계를 포함하여 이루어진 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 2

청구항 1에 있어서,
 상기 기판은 실리콘 기판, 유리 기판 및 플라스틱 기판 중 어느 하나인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 3

청구항 2에 있어서,
 상기 플라스틱 기판은 PET(Polyethylene Terephthalate), PEN(polyethylenaphtanate), PC(polycarbonate) 및 PES(polyethylen sulfone) 중 어느 하나인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 4

삭제

청구항 5

청구항 1에 있어서,
 상기 친수성의 무기물은 Al_2O_3 , HfO_2 , Ta_2O_5 , La_2O_3 및 SiO_2 중 어느 하나인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 6

청구항 5에 있어서,
 상기 친수성의 무기물은 원자층증착법(ALD) 또는 스퍼터링법(sputtering)을 이용하여 형성되는 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 7

청구항 1에 있어서,
 상기 유기물은 AIDCN, Polyaniline, Cd-AA, PVP, PVA 및 PEDOT 중 어느 하나인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 8

청구항 7에 있어서,

상기 유기물은 반응가스로 O_3 를 사용한 자외선(UV) 공정 또는 반응가스로 O_2 를 사용한 플라즈마 공정을 통해 표면이 친수화되는 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 9

청구항 7에 있어서,

상기 유기물은 스핀코팅법, 스프레이법 및 프린팅법 중 어느 하나를 이용하여 증착 형성되는 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 10

청구항 1에 있어서,

상기 버퍼층의 두께는 2nm ~ 20nm 사이의 범위인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 11

청구항 1에 있어서,

상기 버퍼층은 100℃ ~ 150℃ 사이의 범위 온도에서 상기 기판 상에 증착되는 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 12

청구항 1에 있어서, 상기 나노입자 필름을 형성시키는 단계는,

나노입자를 용매에 분산시켜 나노입자 용액을 마련하는 과정, 상기 나노입자 용액에 침전제를 혼합시키는 과정, 상기 침전제가 포함된 나노입자 용액을 상기 기판 상에 증착하는 과정을 포함하여 이루어진 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 13

청구항 12에 있어서,

상기 나노입자는 HgTe, HgSe, HgS, CdTe, CdSe, CdS, ZnTe, ZnSe, ZnS, PbTe, PbSe, PbS 및 ZnO 중 어느 하나인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 14

청구항 12에 있어서,

상기 침전제가 포함된 나노입자 용액을 상기 기판 상에 증착하는 방법은 스핀 코팅, 딥 코팅, 스텝핑, 스프레이 및 프린팅 방법 중 어느 하나를 이용하는 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 15

청구항 1에 있어서,

상기 열처리는 100℃ ~ 185℃ 사이에서 10분 내지 200분 동안 이루어진 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 16

청구항 1에 있어서,

상기 터널링 게이트 절연막 및 콘트롤 게이트 절연막은 고 유전 상수의 절연물질을 증착하여 형성하는데, 이러한 절연물질로서는 Al_2O_3 , HfO_2 , Ta_2O_5 , La_2O_3 , SiO_2 와 같은 무기물이나 AIDCN, Polyaniline, Cd-AA, PVP, PVA,

PEDOT과 같은 유기물 중 어느 하나가 증착되어 형성되는 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 17

청구항 16에 있어서,

상기 고 유전상수의 절연물질을 증착할 때의 기판온도는 100℃ ~ 185℃ 사이의 범위인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 18

청구항 16에 있어서,

상기 터널링 게이트 절연막의 두께는 2nm ~ 20nm 사이의 범위인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 19

청구항 18에 있어서,

상기 콘트롤 게이트 절연막의 두께는 10nm ~ 500nm 사이의 범위인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 20

청구항 1에 있어서,

상기 나노 부유 게이트를 형성시키는 나노 입자는 반도체 나노 입자 또는 금속 나노 입자인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 21

청구항 20에 있어서,

상기 반도체 나노 입자는 HgTe, HgSe, HgS, CdTe, CdSe, CdS, ZnTe, ZnSe, ZnS, PbTe, PbSe, PbS 및 ZnO 중 어느 하나인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 22

청구항 20에 있어서,

상기 금속 나노 입자는 Au, Ag 및 Pt 중 어느 하나인 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 23

청구항 20에 있어서,

상기 나노 부유 게이트는 상기 나노 입자를 상기 터널링 게이트 절연막 상에 스핀코팅하여 형성되는 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법.

청구항 24

나노입자를 이용한 나노 부유 게이트 메모리 소자에 있어서,

기판 상에 친수성 물질로 증착되어 형성되는 버퍼층(buffer layer)과;

상기 버퍼층 상에 증착되어 열처리되는 나노입자 필름과;

상기 나노입자 필름 상에 형성되는 소스 전극 및 드레인 전극과;

상기 소스와 드레인 전극이 형성된 나노입자 필름 상부에 절연물질이 증착되어 형성되는 터널링 게이트 절연막과;

상기 터널링 게이트 절연막 상부에 나노입자가 증착되어 형성되는 나노 부유 게이트와;

상기 나노 부유 게이트 상부에 절연물질이 증착되어 형성되는 콘트롤 게이트 절연막과;

상기 콘트롤 게이트 절연막 상부에 형성되는 전면 게이트 전극(topgate electrode)을 포함하여 이루어진 것을 특징으로 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자.

청구항 25

청구항 1 또는 청구항 23 중 어느 한 항에 기재된 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법에 의하여 제조되는 나노입자를 이용한 나노 부유 게이트 메모리 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 나노입자를 이용한 나노 부유 게이트 메모리 소자(NFGM, Nano-Floating Gate Memory) 및 그 제조 방법에 관한 것으로, 특히 반도체 나노입자를 채널로 이용하고, 그 위에 반도체 또는 금속 나노입자를 나노 부유(floating : 플로팅) 게이트로 형성함으로써 큰 문턱전압의 변화를 얻을 수 있고, 높은 이동도를 가지는 고집적도의 메모리 소자의 구현이 가능하며, 저온공정에서 소자의 제작이 가능하도록 하는 나노입자를 이용한 나노 부유 게이트 메모리 소자 및 그 제조 방법에 관한 것이다.
- <11> 최근 디지털 카메라, 휴대용 전화기, MP3, 개인 정보 단말기(PDA) 등의 발전과 더불어 플래쉬 메모리에 대한 시장이 급격히 성장하고 있다.
- <12> 이러한 폭발적인 성장을 진행하고 있는 메모리 분야에서 현재 차세대 메모리로서 연구 중인 메모리 소자는 나노 부유 게이트 메모리(NFGM) 소자이다. 상기 나노 부유 게이트 메모리 소자는 기존의 플래쉬 메모리의 셀 크기가 작아졌을 때 나타날 수 있는 문제점을 해결하려는 시도에서 1996년 IBM의 S. Tiwari에 의해서 제안되었다.
- <13> 상기 나노 부유 게이트 메모리 소자의 메모리 정보 저장에 대한 동작 원리는 현재의 플래쉬 메모리와 같으며, 다만 현재의 플래쉬 메모리의 플로팅 게이트를 나노입자로 대체한 것이다.
- <14> 현재의 플래쉬 메모리는 MOS(Metal-Oxide-Semiconductor) 구조를 바탕으로 첨부 도면 도 1에 도시된 바와 같이 컨트롤 게이트전극(18)과 채널(11) 사이에 산화막(16)/플로팅 게이트(14)/산화막(12)을 삽입한 구조를 갖으며, 상기 채널(11)과 상기 플로팅 게이트(14) 사이에 존재하는 산화막(12)을 터널링 산화막(Tunneling Oxide), 상기 플로팅 게이트(14)와 컨트롤 게이트전극(18) 사이의 산화막(16)을 컨트롤 산화막(Control Oxide)이라 한다.
- <15> 그리고, 상기와 같은 구조를 갖는 메모리 소자의 동작 원리는 플로팅 게이트(14)에 주입되는 전하에 따라 변화되는 트랜지스터의 문턱전압을 이용한 것이다.
- <16> 즉, 저장된 정보를 읽는 과정에 대해 설명하면, 먼저 플로팅 게이트(14)에 전자가 저장되어 있을 경우 전자가 저장되어 있지 않을 때보다 높은 게이트 전압을 인가시켜 채널(11)에 인가되는 전기장으로 인하여 p형 기판이 n채널로 반전되도록 한다.
- <17> 따라서 플로팅 게이트(14)에 전자가 저장되어 있을 경우 문턱전압이 증가하게 되며, 이때 전자가 저장되어 있지 않을 경우와 비교할 때 문턱전압에서 차이가 발생하게 된다.
- <18> 따라서, 상기 문턱전압의 차이 내에 포함되는 전압값을 플로팅 게이트(14)로 인가할 때 플로팅 게이트(14)에 전자가 저장되어 있으면 소스-드레인 사이에 전류가 흐르지 않게 되며 상기 메모리 소자는 이 값을 "0"로 읽어들이 수 있도록 동작하고, 전자가 저장되어 있지 않으면 소스-드레인 사이에 전류가 흐르게 되며 상기 메모리 소자는 이 값을 "1"로 읽어들이 수 있도록 동작한다.
- <19> 즉, 플로팅 게이트(14)에 전자를 저장하는 것이 곧 정보를 저장하는 것이며, 저장된 전자가 채널(11)이나 컨트롤 게이트 전극(18)으로 빠져나갈 경우 정보를 잃게 되는 것이다.
- <20> 상기와 같은 이유에서 현재 터널링 산화층(12)으로 사용하고 있는 SiO₂ 박막의 특성이 매우 중요하다. 하지만

SiO₂ 박막의 많은 결함들이 전류 누설 경로를 형성하여 플로팅 게이트(14)의 전자가 채널(11)로 새어나오는 것을 막기 어려운 실정이다.

- <21> 통상 비휘발성 메모리로 요구되는 정보 저장시간은 10년 이상으로 이 기간 동안 플로팅 게이트(14)에 전자를 저장하기 위해서는 터널링 산화막(12)의 두께를 얇게 해야 하는데, 그 한계가 있다. 현재 터널링 산화막(12)의 두께는 7~8nm로써 플로팅 게이트(14)에 직접 터널링으로 전자를 주입하거나 제거시킬 수 없는 두께이다.
- <22> 따라서, 플로팅 게이트(14)에 전자를 주입 또는 제거하기 위해서 F-N (Fowler-Nordheim) 터널링이나 CHE(channel hot-electron)을 이용하고 있기 때문에 높은 동작 전압이 필요하게 된다.
- <23> 이러한 문제점을 해결하기 위해 플로팅 게이트를 나노입자로 형성하는 소자가 나노 부유 게이트 메모리(NFGM)이다.
- <24> 상기와 같이 나노입자로 플로팅 게이트를 형성할 경우 산화막의 결함에 의한 전자의 누설을 막을 수 있다는 장점이 있다. 구체적으로 설명하면 기존 플로팅 게이트의 경우 터널링 산화막의 결함이 생길 경우 저장된 전하가 모두 새어나가게 된다.
- <25> 그러나 나노 부유 게이트 메모리(NFGM)의 경우 고립되어 있는 나노입자 사이로 전하가 이동할 수 없으므로 결함이 있는 나노입자에 저장된 전하만 새어나오며 그 외의 나노입자에 저장된 전하는 그대로 유지된다.
- <26> 따라서 터널링 산화막으로의 누설전류를 현저히 줄일 수 있기 때문에 터널링 산화막의 두께의 한계를 극복할 수 있게 된다. 또한, 낮은 전압에서의 직접 터널링을 통한 program/erase가 가능하므로, program/erase 속도도 현저히 개선될 수 있으며, 이 외에도 하나의 트랜지스터로 셀을 이루기 때문에 단위 셀의 크기가 작아서 집적도를 높일 수 있는 등 다양한 장점을 가지고 있다.
- <27> 현재 연구되고 있는 나노 부유 게이트 메모리 소자(NFGM)의 제작 공정에 대해 간단히 살펴보면 실리콘 웨이퍼를 thermal oxidation하여 표면에 SiO₂ 산화막(도1의 터널링 산화막(12)과 동일한 구성)을 수 나노 두께로 형성한다. 그 상부에 LPCVD(Low Pressure Chemical Vapor Deposition) 등의 기상 증착법을 이용하여 나노입자 층을 형성한다. 그 위에 CVD 등의 방법을 이용하여 SiO₂ 산화막(도1의 콘트롤 산화막(16)과 동일한 구성)을 형성하고 게이트 전극을 형성한다.
- <28> 상기와 같은 나노 부유 게이트 메모리 소자는 아직까지 실리콘 기판상에서 제작되었으나 현재까지 유리 또는 플라스틱 등의 다양한 기판상의 제작에 한계가 있다.

발명이 이루고자 하는 기술적 과제

- <29> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 창안된 것으로, 반도체 나노입자를 채널로 이용하고, 그 위에 반도체 또는 금속 나노입자를 나노 부유(floating : 플로팅) 게이트로 형성하여 기존의 나노 부유 게이트 메모리소자가 갖는 장점인 큰 문턱전압의 변화와, 높은 이동도를 가지도록 하며, 저온공정을 이용하여 실리콘, 유리 및 플라스틱 기판을 포함한 유연성(flexible) 기판 상에서의 집적화된 나노 부유 게이트 메모리 소자 및 제작 방법을 그 목적으로 한다.

발명의 구성 및 작용

- <30> 상기와 같은 기술적 과제를 해결하기 위하여 제안된 본 발명인 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법을 이루는 구성수단은, 기판 상에 친수성 물질로 버퍼층(buffer layer)을 증착 형성하는 단계, 상기 버퍼층 상에 나노입자 필름을 형성시키고 열처리 하는 단계, 상기 나노입자 필름에 소스 전극과 드레인 전극을 형성시키는 단계, 상기 소스와 드레인 전극이 형성된 나노입자 필름 상부에 절연물질을 증착시켜 터널링 게이트 절연막을 형성시키는 단계, 상기 터널링 게이트 절연막 상부에 나노입자를 증착시켜 나노 부유 게이트를 형성시키는 단계, 상기 나노 부유 게이트 상부에 절연물질을 증착시켜 콘트롤 게이트 절연막을 형성시키는 단계, 상기 콘트롤 게이트 절연막 상부에 전면 게이트 전극(topgate electrode)을 형성시키는 단계를 포함하여 이루어진 것을 특징으로 한다.
- <31> 또한, 상기 기판은 실리콘 기판, 유리 기판 및 플라스틱 기판 중 어느 하나인 것을 특징으로 하고, 상기 플라스틱 기판은 PET(Polyethylene Terephthalate), PEN(polyethylenaphtanate), PC(polycarbonate) 및 PES(polyethylen sulfone) 중 어느 하나인 것이 바람직하다.

- <32> 또한, 상기 버퍼층은 친수성의 무기물 또는 친수성의 유기물인 것을 특징으로 하고, 상기 친수성의 무기물은 Al_2O_3 , HfO_2 , Ta_2O_5 , La_2O_3 및 SiO_2 중 어느 하나인 것이 바람직하다.
- <33> 또한, 상기 친수성의 무기물은 원자층증착법(ALD) 또는 스퍼터링법(sputtering)을 이용하여 형성되는 것을 특징으로 한다.
- <34> 또한, 상기 유기물은 AIDCN, Polyaniline, Cd-AA, PVP, PVA 및 PEDOT 중 어느 하나인 것을 특징으로 하고, 상기 유기물은 반응가스로 O_3 를 사용한 자외선(UV) 공정 또는 반응가스로 O_2 를 사용한 플라즈마 공정을 통해 표면이 친수화되는 것을 특징으로 한다.
- <35> 또한, 상기 유기물은 스핀코팅법, 스프레이법 및 프린팅법 중 어느 하나를 이용하여 증착 형성되는 것을 특징으로 한다.
- <36> 또한, 상기 버퍼층의 두께는 2nm ~ 20nm 사이의 범위인 것을 특징으로 한다.
- <37> 또한, 상기 버퍼층은 100℃ ~ 150℃ 사이의 범위 온도에서 상기 기판 상에 증착되는 것을 특징으로 한다.
- <38> 또한, 상기 나노입자 필름을 형성시키는 단계는, 나노입자를 용매에 분산시켜 나노입자 용액을 마련하는 과정, 상기 나노입자 용액에 침전제를 혼합시키는 과정, 상기 침전제가 포함된 나노입자 용액을 상기 기판 상에 증착하는 과정을 포함하여 이루어진 것을 특징으로 한다.
- <39> 또한, 상기 나노입자는 HgTe, HgSe, HgS, CdTe, CdSe, CdS, ZnTe, ZnSe, ZnS, PbTe, PbSe, PbS 및 ZnO 중 어느 하나인 것을 특징으로 하고, 상기 침전제가 포함된 나노입자 용액을 상기 기판 상에 증착하는 방법은 스핀코팅, 딥 코팅, 스탬핑, 스프레이 및 프린팅 방법 중 어느 하나를 이용하는 것이 바람직하다.
- <40> 또한, 상기 열처리는 100℃ ~ 185℃ 사이에서 10분 내지 200분 동안 이루어진 것을 특징으로 한다.
- <41> 또한, 상기 터널링 게이트 절연막 및 콘트롤 게이트 절연막은 고 유전 상수의 절연물질을 증착하여 형성하는데, 이러한 절연물질로서는 Al_2O_3 , HfO_2 , Ta_2O_5 , La_2O_3 , SiO_2 와 같은 무기물이나 AIDCN, Polyaniline, Cd-AA, PVP, PVA, PEDOT과 같은 유기물 중 어느 하나가 증착되어 형성되는 것을 특징으로 한다.
- <42> 또한, 상기 고 유전상수의 절연물질을 증착할 때의 기판온도는 100℃ ~ 185℃ 사이의 범위인 것을 특징으로 한다.
- <43> 또한, 상기 터널링 게이트 절연막의 두께는 2nm ~ 20nm 사이의 범위인 것을 특징으로 한다.
- <44> 또한, 상기 콘트롤 게이트 절연막의 두께는 10nm ~ 500nm 사이의 범위인 것을 특징으로 한다.
- <45> 또한, 상기 나노 부유 게이트를 형성시키는 나노 입자는 반도체 나노 입자 또는 금속 나노 입자인 것을 특징으로 한다. 상기 반도체 나노 입자는 HgTe, HgSe, HgS, CdTe, CdSe, CdS, ZnTe, ZnSe, ZnS, PbTe, PbSe, PbS 및 ZnO 중 어느 하나인 것이 바람직하고, 상기 금속 나노 입자는 Au, Ag 및 Pt 중 어느 하나인 것이 바람직하다.
- <46> 또한, 상기 나노 부유 게이트는 상기 나노 입자를 상기 터널링 게이트 절연막 상에 스핀코팅하여 형성되는 것을 특징으로 한다.
- <47> 한편, 또 다른 본 발명인 나노입자를 이용한 나노 부유 게이트 메모리 소자를 이루는 구성수단은, 기판 상에 친수성 물질로 증착되어 형성되는 버퍼층(buffer layer)과, 상기 버퍼층 상에 증착되어 열처리되는 나노입자 필름과, 상기 나노입자 필름 상에 형성되는 소스 전극 및 드레인 전극과, 상기 소스와 드레인 전극이 형성된 나노입자 필름 상부에 절연물질이 증착되어 형성되는 터널링 게이트 절연막과, 상기 터널링 게이트 절연막 상부에 나노입자가 증착되어 형성되는 나노 부유 게이트와, 상기 나노 부유 게이트 상부에 절연물질이 증착되어 형성되는 콘트롤 게이트 절연막과, 상기 콘트롤 게이트 절연막 상부에 형성되는 전면 게이트 전극(topgate electrode)을 포함하여 이루어진 것을 특징으로 한다.
- <48> 이하, 첨부된 도면을 참조하여 상기와 같은 구성수단으로 이루어지는 본 발명인 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 방법에 관한 바람직한 실시예를 상세하게 설명한다.
- <49> 도 2a 내지 도 2g는 본 발명에 따른 나노입자를 이용한 나노 부유 게이트 메모리 소자의 제조 공정 단면도이다.
- <50> 먼저, 도 2a에 도시된 바와 같이, 실리콘 기판, 유리 기판 및 플라스틱 기판 중 어느 하나의 기판(20)의 상부에 친수성 물질로 버퍼층(buffer layer)(21)을 형성시킨다. 상기 플라스틱 기판(20)은 다양한 플렉시블(flexible)

플라스틱 기판을 사용할 수 있다.

- <51> 본 발명에 따른 나노 부유 게이트 메모리 소자는 저온의 공정에서 제조할 수 있기 때문에, 플라스틱 기판도 기판으로 사용할 수 있다. 상기 플라스틱 기판(20)으로 플렉시블(flexible)한 플라스틱 기판을 사용한다면, PET(Polyethylene Terephthalate), PEN(polyethylenapthanate), PC(polycarbonate) 및 PES (Polyethylen sulfone) 중 어느 하나를 사용할 수 있다.
- <52> 상기와 같은 플라스틱 기판(20) 상에 형성되는 버퍼층(21)은 친수성의 무기물 또는 친수성의 유기물을 이용하여 형성된다. 즉, 상기 버퍼층(21)은 무기물이나 유기물을 이용하여 형성할 수 있는데, 친수성인 물질로 형성되는 것이 바람직하다.
- <53> 상기 버퍼층(21)을 친수성의 무기물로 형성하는 경우에는, Al_2O_3 , HfO_2 , Ta_2O_5 , La_2O_3 및 SiO_2 중 어느 하나를 사용할 수 있다. 상기 친수성 무기물인 Al_2O_3 는 다양한 방법에 의하여 증착될 수 있는데, 본 발명에서는 원자층증착법(ALD)을 이용하여 상기 Al_2O_3 의 친수성 무기물을 상기 기판(20) 상에 증착함으로써 버퍼층(21)을 형성한다.
- <54> 상기 친수성 무기물 중 Al_2O_3 를 제외한 나머지, 즉 HfO_2 , Ta_2O_5 , La_2O_3 및 SiO_2 들은 다양한 방법에 의하여 증착될 수 있는데, 본 발명에서는 스퍼터링(sputtering)법을 이용하여 상기 HfO_2 , Ta_2O_5 , La_2O_3 및 SiO_2 의 친수성 무기물을 상기 플라스틱 기판(20) 상에 증착함으로써 버퍼층(21)을 형성한다.
- <55> 한편, 상기 버퍼층(21)을 친수성 유기물을 사용하는 경우에는, AIDCN, Polyaniline, Cd-AA, PVP, PVA 및 PEDOT 중 어느 하나를 사용한다. 상기 유기물들은 친수성을 띌 수 있도록 처리되어야 한다. 따라서, 상기 유기물들은 반응 가스로 O_3 를 사용한 자외선(UV) 공정 또는 반응 가스로 O_2 를 사용한 플라즈마 공정을 통해 표면이 친수화시킨다.
- <56> 상기 친수성의 유기물들은 다양한 방법에 의하여 증착 형성될 수 있는데, 본 발명에서는 스핀코팅법, 스프레이법 및 프린팅법 중 어느 하나를 사용하여 증착 형성될 수 있다.
- <57> 상기와 같은 버퍼층(21)은 다양한 두께로 형성될 수 있는데, 본 발명에서는 2nm 내지 20nm 사이의 범위 두께로 증착 형성되는 것이 바람직하다. 상기와 같은 두께로 상기 버퍼층(21)을 형성할 때는, 증착 온도로서는 비교적 낮은 온도인 100℃ 내지 150℃ 사이의 온도에서 상기 기판 상에 증착된다.
- <58> 상기와 같이 플라스틱 기판(20) 상에 버퍼층(21)을 형성함으로써, 다음과 같은 효과를 얻을 수 있다. 후술할 나노입자 용액이 친수성이기 때문에, 상기 플라스틱 기판(20)에 잘 증착되지 않는 단점을 극복할 수 있다.
- <59> 상기와 같이 기판(20) 상에 버퍼층(21)을 형성한 후에는, 도 2b에 도시된 바와 같이, 상기 버퍼층(21) 상에 나노입자 필름(22)을 형성시킨다.
- <60> 상기와 같은 버퍼층(21) 상에 나노입자 필름(22)을 형성시키는 과정을 구체적으로 설명하면 다음과 같다.
- <61> 먼저, 소정의 나노입자를 용매에 분산시켜 나노입자 용액을 마련한다. 이때 용매에 분산되는 나노입자의 농도는 0.01mg/ μ l 내지 1mg/ μ l인 것이 바람직하다. 상기와 같이 나노입자 용액이 마련된 후에는 2프로판올(2propanol)과 같은 침전제와 상기 나노입자 용액을 혼합시킨다.
- <62> 이때 혼합되는 부비피는 1:100 내지 1:1 로 혼합한다. 그런 다음, 상기 침전제가 포함된 나노입자 용액을 상기 버퍼층(21) 상에 증착시킴으로써, 상기 버퍼층(21) 상에 나노입자 필름(22)을 형성시키게 된다.
- <63> 상기 과정에서 사용되는 나노입자는 다양하게 구성될 수 있지만, 본 발명에서는 HgTe, HgSe, HgS, CdTe, CdSe, CdS, ZnTe, ZnSe, ZnS, PbTe, PbSe, PbS 및 ZnO 중 어느 하나를 나노입자로 선택하여 사용한다.
- <64> 또한, 상기 침전제가 포함된 나노입자 용액을 상기 버퍼층(21) 상에 증착하는 방법은 스핀코팅, 딥 코팅, 스텝핑, 스프레이, 프린팅 방법 및 다른 용액 처리 기술 중 어느 하나를 이용하여 상기 버퍼층(21) 상에 나노입자 필름(22)을 형성시킨다.
- <65> 상기와 같은 과정에 따라, 버퍼층(21) 상에 나노입자 필름(22)이 형성된 후에는 상기 나노입자 필름(22)을 소정 온도로 열처리하는 과정을 수행한다. 이와 같은 열처리 과정은 나노입자의 종류에 따라서 100℃ 내지 185℃에서 10분 내지 200분간 수행된다. 현재 사용중인 PES 유연성 기판의 녹는 온도는 185℃이기 때문에, 상기와 같은 범위의 낮은 온도에서 열처리를 할 수 있다.

- <66> 이러한 열처리 공정은 나노입자 필름의 결정성을 향상시켜 이동도 및 전도도를 향상시켜 주는 역할과 나노입자 필름과 버퍼층 사이의 접착력을 향상시켜 주는 역할을 한다.
- <67> 상기와 같이 나노입자 필름(22)에 열처리를 수행한 후에는, 도 2c에 도시된 바와 같이, 상기 나노입자 필름(22) 위에 소스 전극(23)과 드레인 전극(24)을 전자빔 또는 포토리소그래피 방법이나 금속 마스크를 이용하여 형성한다.
- <68> 상기와 같이 소스 전극(23)과 드레인 전극(24)을 상기 나노입자 필름(22) 상에 형성한 후에는, 도 2d에 도시된 바와 같이, 상기 소스 전극(23)과 드레인 전극(24)이 형성된 나노입자 필름(22) 상부에 절연물질을 증착시켜 터널링(tunneling) 게이트 절연막(25)을 형성시킨다.
- <69> 상기 터널링(tunneling) 게이트 절연막(25)은 고 유전상수의 절연물질을 상기 나노입자 필름(22) 상부에 증착하여 형성한다. 상기 고 유전 상수의 절연물질은 Al_2O_3 , HfO_2 , Ta_2O_5 , La_2O_3 , SiO_2 와 같은 무기물이나 AIDCN, Polyaniline, CdAA, PVP, PEDOT과 같은 유기물 중 어느 하나가 해당되는 것이 바람직하다.
- <70> 상기와 같은 고 유전 상수의 절연물질을 상기 나노입자 필름(22) 상부에 증착할 때의 기판의 온도는 상온($100^{\circ}C$ 이상) 내지 $185^{\circ}C$ 로 하고, 이 절연물질이 증착되어 형성되는 터널링 게이트 절연막의 두께는 2nm 내지 20nm로 하는 것이 바람직하다.
- <71> 상기와 같이 나노입자 필름(22) 상부에 절연물질을 증착시켜 터널링 게이트 절연막(25)을 형성시킨 후에는, 도 2e에 도시된 바와 같이, 상기 터널링 게이트 절연막(25) 상부에 나노입자를 증착시켜 나노 부유 게이트(26)를 형성시킨다.
- <72> 상기 나노 부유 게이트(26)는 나노 입자를 상기 터널링 게이트 절연막(25) 상에 증착시켜 형성하는데, 이때 사용되는 나노 입자는 반도체 나노 입자일 수도 있고 금속 나노 입자일 수도 있다.
- <73> 상기 나노 부유 게이트(26)를 형성시키기 위하여 반도체 나노 입자를 이용하는 경우에는, HgTe, HgSe, HgS, CdTe, CdSe, CdS, ZnTe, ZnSe, ZnS, PbTe, PbSe, PbS 및 ZnO 중 어느 하나를 이용한다. 상기 반도체 나노 입자 중 어느 하나를 상기 터널링 게이트 절연막(25) 상에 스핀코팅하여 상기 나노 부유 게이트(26)를 형성시킨다.
- <74> 상기 나노 부유 게이트(26)를 형성시키기 위하여 금속 나노 입자를 이용하는 경우에는, Au, Ag 및 Pt 중 어느 하나를 이용한다. 상기 금속 나노 입자 중 어느 하나를 상기 터널링 게이트 절연막(25) 상에 스핀코팅하여 상기 나노 부유 게이트(26)를 형성시킨다.
- <75> 상기와 같이 터널링 게이트 절연막(25) 상부에 나노입자를 증착시켜 나노 부유 게이트(26)를 형성시킨 후에는, 도 2f에 도시된 바와 같이, 상기 나노 부유 게이트(26) 상부에 절연물질을 증착시켜 콘트롤(control) 게이트 절연막(27)을 형성시킨다.
- <76> 상기 콘트롤(control) 게이트 절연막(27)은 고 유전상수의 절연물질을 상기 나노 부유 게이트(26) 상부에 증착하여 형성한다. 상기 고 유전 상수의 절연물질은 Al_2O_3 , HfO_2 , Ta_2O_5 , La_2O_3 , SiO_2 와 같은 무기물이나 AIDCN, Polyaniline, CdAA, PVP, PEDOT과 같은 유기물 중 어느 하나가 해당되는 것이 바람직하다.
- <77> 상기와 같은 고 유전 상수의 절연물질을 상기 나노 부유 게이트(26) 상부에 증착할 때의 기판의 온도는 상온($100^{\circ}C$ 이상) 내지 $185^{\circ}C$ 로 하고, 이 절연물질이 증착되어 형성되는 콘트롤 게이트 절연막(27)의 두께는 10nm 내지 500nm로 하는 것이 바람직하다.
- <78> 상기와 같이 나노 부유 게이트(26) 상부에 절연물질을 증착시켜 콘트롤 게이트 절연막(27)을 형성시킨 후에는, 도 2g에 도시된 바와 같이, 상기 콘트롤 게이트 절연막(27) 상부에 전자빔 또는 포토리소그래피 방법이나 금속 마스크를 이용하여 게이트 전극(28)을 형성시킨다.
- <79> 도 3은 본 발명에 따라 제조되는 나노 부유 게이트 메모리 소자의 게이트 전압을 변화시키는 경우 시간에 따른 문턱 전압 특성을 보여주는 그래프이다. 도 3에 도시된 바와 같이, 대체적으로 인가되는 게이트 전압이 높을수록 문턱전압이 높고, 일정 시간 동안 문턱전압이 유지됨을 알 수 있다. 이는 나노 입자가 일정시간 동안 전하저장을 함으로써 메모리특성을 갖는 것을 보여준다.
- <80> 도 4는 본 발명에 따라 제조된 나노 부유 게이트 메모리 소자로써 부유 게이트 층에 나노 입자 유무에 따른 메모리 소자의 특성을 보여주는 그래프이다.
- <81> 도 4에 도시된 바와 같이, 본 발명에 따라 나노 입자를 이용하여 나노 부유 게이트 메모리 소자를 제조한 경우

에는 나노 입자가 없는 소자보다 문턱전압이 높은 것을 알 수 있다.

발명의 효과

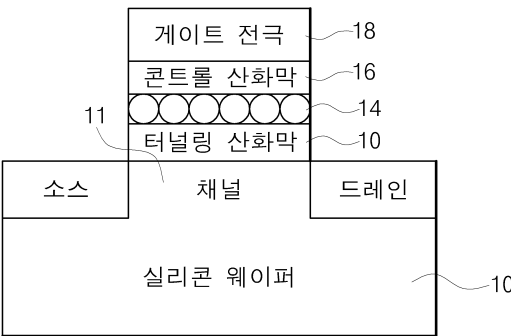
- <82> 상기와 같은 구성 및 작용 그리고 바람직한 실시예를 가지는 본 발명인 나노입자를 이용한 나노 부유 게이트 메모리 소자 및 그 제조 방법에 의하면, 반도체 나노입자를 채널로 이용하고, 그 위에 반도체 또는 금속 나노입자를 나노 부유(floating : 플로팅) 게이트로 형성한다. 이는 기존의 나노부유게이트 메모리소자가 갖는 장점인 큰 문턱전압의 변화와, 높은 이동도를 가지는 동시에, 저온공정을 이용하여 실리콘, 유리 및 플라스틱 기판을 포함한 flexible(유연성) 기판상에서의 집적화된 나노 부유 게이트 메모리 소자 및 제작이 가능하게 한다.
- <83> 기존의 실리콘 기판 위에 형성된 메모리 소자에 비해 플라스틱 기판 위에 형성된 메모리 소자는 다음과 같은 장점을 갖는다.
- <84> 본 발명에 의하면 투명하고 유연한 기판의 특성은 투명하고 유형 가능한 정보 저장 장치가 요구되는 상황에 적합한 메모리 소자가 제작 가능하며, 나노입자 증착과정에서 사용되는 상온에서의 스핀코팅을 이용한 방법은 메모리 소자 제작시 대면적이 가능하고, 제작 과정에서 소비되는 공정 시간을 줄일 수 있으며, 고가의 고진공 증착 장비를 필요로하지 않으므로 공정 비용을 줄일 수 있는 장점을 가지는 나노 부유 게이트 메모리 소자를 제조할 수 있는 장점이 있다.

도면의 간단한 설명

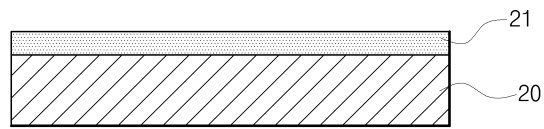
- <1> 도 1은 종래 기술의 나노 부유 게이트 메모리 소자의 단면 구조도이다.
- <2> 도 2a 내지 도 2g는 본 발명에 따른 나노입자를 이용한 나노 부유 게이트 메모리 소자 제조 공정을 설명하기 위한 절차도이다.
- <3> 도 3은 본 발명의 실시예에 따라, 게이트 전압을 변화시키는 경우 시간에 따른 문턱 전압 특성을 보여주는 그래프이다.
- <4> 도 4는 본 발명의 실시예에 따라, 나노 입자 유무에 따른 메모리 소자의 특성을 보여주는 그래프이다.
- <5> *** 도면의 주요 부분에 대한 부호의 설명 ***
- <6> 20 : 기판 21 : 버퍼층
- <7> 22 : 나노입자 필름 23, 24 : 드레인 및 소스 전극
- <8> 25 : 터널링 게이트 절연막 26 : 나노 부유 게이트
- <9> 27 : 콘트롤 게이트 절연막 28 : 게이트 전극

도면

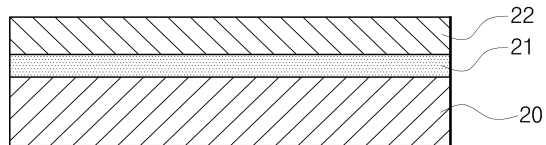
도면1



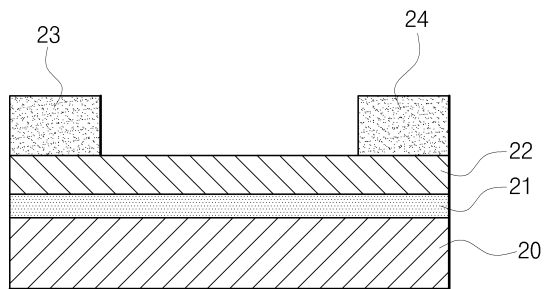
도면2a



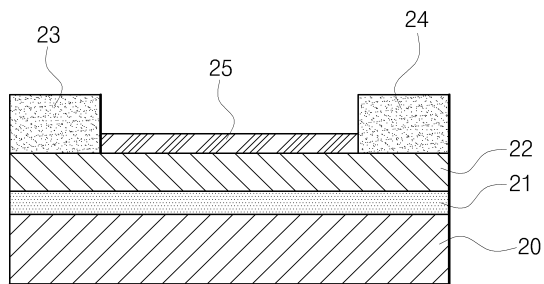
도면2b



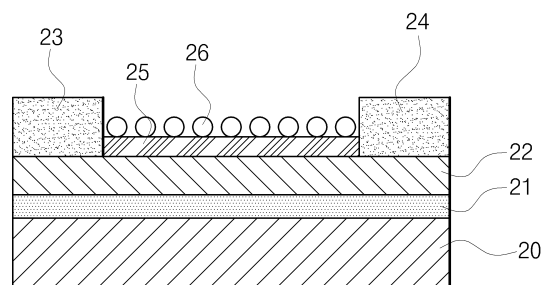
도면2c



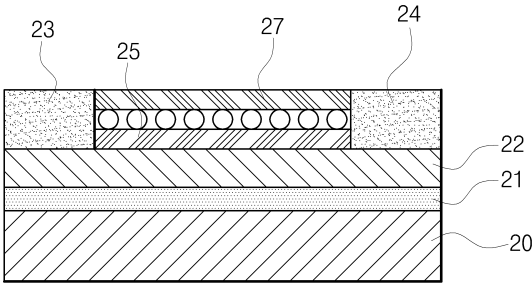
도면2d



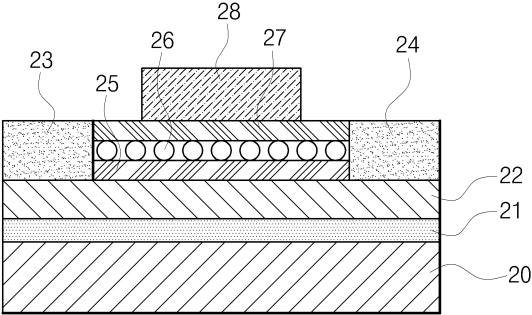
도면2e



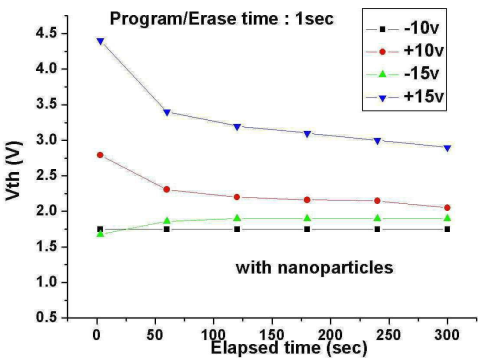
도면2f



도면2g



도면3



도면4

