



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년06월16일
(11) 등록번호 10-1528886
(24) 등록일자 2015년06월09일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G11C 16/34</i> (2006.01) <i>G11C 16/04</i> (2006.01)
 <i>G11C 16/10</i> (2006.01) <i>G11C 16/12</i> (2006.01)</p> <p>(21) 출원번호 10-2009-0030877
 (22) 출원일자 2009년04월09일
 심사청구일자 2014년04월09일
 (65) 공개번호 10-2010-0112389
 (43) 공개일자 2010년10월19일
 (56) 선행기술조사문헌
 US6046940 A
 US7394697 B2
 US20110235420 A1
 KR1020080089075 A</p> | <p>(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
 강상구
 경기도 수원시 영통구 영통로130번길 52-10, 주택
 207동 202호 (망포동, 조은빌)</p> <p>(74) 대리인
 특허법인 고려</p> |
|---|---|

전체 청구항 수 : 총 10 항

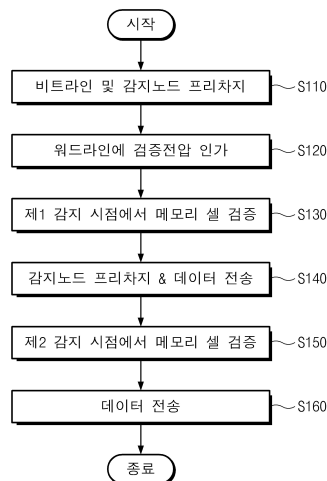
심사관 : 한선경

(54) 발명의 명칭 비휘발성 메모리 장치의 프로그램 방법

(57) 요약

본 발명의 실시 예에 따른 비휘발성 메모리 장치의 프로그램 방법은 워드 라인에 프로그램 전압을 인가하여 메모리 셀들을 프로그램하는 단계, 상기 워드 라인에 검증 전압을 인가하여 상기 메모리 셀들의 프로그램 여부를 판단하는 검증 단계를 포함하되, 상기 검증 단계는 감지 시점을 가변시켜 문턱 전압에 따른 메모리 셀들의 분포를 복수의 영역으로 구분한다.

대표도 - 도8



명세서

청구범위

청구항 1

워드 라인에 프로그램 전압을 인가하여 메모리 셀들을 프로그램하는 단계; 및
 상기 워드 라인에 검증 전압을 인가하여 상기 메모리 셀들의 프로그램 여부를 판단하는 검증 단계를 포함하되,
 상기 검증 단계는 감지 시점을 가변시켜 문턱 전압에 따른 메모리 셀들의 분포를 복수의 영역으로 구분하는 불휘발성 메모리 장치의 프로그램 방법.

청구항 2

제 1항에 있어서,
 상기 검증 단계는 워드 라인에 일정한 레벨의 검증 전압을 인가하는 불휘발성 메모리 장치의 프로그램 방법.

청구항 3

제 1항에 있어서,
 상기 복수의 영역으로 구분된 메모리 셀들의 워드 라인에 다른 프로그램 전압을 인가하는 불휘발성 메모리 장치의 프로그램 방법.

청구항 4

제 1항에 있어서,
 상기 복수의 영역으로 구분된 메모리 셀들의 비트 라인에 다른 비트 라인 전압을 인가하는 불휘발성 메모리 장치의 프로그램 방법.

청구항 5

제 1항에 있어서,
 상기 검증 단계는,
 감지 노드 및 비트 라인을 프리 차지 하는 단계;
 상기 감지 노드 및 상기 비트 라인이 커플링된 상태에서 상기 감지 노드 및 상기 비트 라인의 디벨로프를 수행하는 단계; 및
 상기 감지 노드의 전압을 인식하여 해당 메모리 셀의 데이터를 인식하는 단계를 포함하는 불휘발성 메모리 장치의 프로그램 방법.

청구항 6

제 5항에 있어서,
 상기 해당 메모리 셀의 데이터를 인식하는 단계는, 상기 디벨로프가 한 번 수행되는 과정에서 여러 번 감지 노드의 전압을 인식하는 불휘발성 메모리 장치의 프로그램 방법.

청구항 7

제 5항에 있어서,
 상기 해당 메모리 셀의 데이터를 인식하는 단계는, 상기 디벨로프가 한 번 수행될 때마다 한번 감지 노드의 전압을 인식하는 불휘발성 메모리 장치의 프로그램 방법.

청구항 8

제 5항에 있어서,

상기 감지 노드를 프리 차지하는 단계는 감지된 데이터를 전송하는 단계와 함께 수행되는 불휘발성 메모리 장치의 프로그램 방법.

청구항 9

선택된 워드 라인에 읽기 전압을 제공하는 단계;

상기 선택된 워드 라인에 연결된 선택된 메모리 셀들에 대응하는 비트 라인들을 각각 프리차지하는 단계; 및

상기 비트 라인들에 대응하는 감지 노드들을 각각 적어도 두 번 래치하는 단계를 포함하며,

상기 읽기 전압은 상기 감지 노드들을 각각 적어도 두 번 래치하는 동안에 일정한 전압 레벨을 유지하는 불휘발성 메모리 장치의 읽기 방법.

청구항 10

워드 라인들 및 비트 라인들에 연결된 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 워드 라인들 중 선택된 워드 라인을 구동하는 어드레스 디코더;

상기 비트 라인들에 각각 연결된 페이지 버퍼들을 포함하는 데이터 입출력 회로; 및

상기 어드레스 디코더 및 상기 데이터 입출력 회로를 제어하는 컨트롤 로직을 포함하며,

상기 컨트롤 로직은

상기 선택된 워드 라인에 검증 전압을 제공하고, 상기 선택된 워드 라인에 연결된 선택된 메모리 셀들에 대응하는 비트 라인들을 각각 프리차지하고, 상기 비트 라인들에 대응하는 감지 노드들을 각각 적어도 두 번 래치하고, 상기 검증 전압이 상기 감지 노드들을 각각 적어도 두 번 래치하는 동안에 일정한 전압 레벨을 유지하도록 상기 어드레스 디코더 및 상기 데이터 입출력 회로를 제어하는 불휘발성 메모리 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 불휘발성 메모리 장치에 관한 것으로, 좀 더 구체적으로는 플래시 메모리 장치의 프로그램 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치에는 DRAM, SRAM 등과 같은 휘발성 메모리와 EEPROM, FRAM, PRAM, MRAM, Flash Memory 등과 같은 비휘발성 메모리 등이 있다. 휘발성 메모리는 전원이 차단될 때 저장된 데이터를 잃지만, 비휘발성 메모리는 전원이 차단되더라도 저장된 데이터를 보존한다.

[0003] 최근 들어 비휘발성 메모리를 사용하는 장치들이 증가하고 있다. 예를 들면 MP3 플레이어, 디지털 카메라, 휴대전화, 캠코더, 플래시 카드 및 SSD(Solid State Disk) 등은 저장장치로 비휘발성 메모리를 사용하고 있다.

[0004] 저장장치로 비휘발성 메모리를 사용하는 장치들이 증가하면서, 비휘발성 메모리의 용량도 급속히 증가하고 있다. 메모리 용량을 증가시키는 방법들 중 하나는 하나의 메모리 셀(cell)에 다수의 비트들을 저장하는 방식인 이른바 멀티 레벨 셀(MLC:Multi Level Cell) 방식이다.

[0005] 멀티 레벨 셀에 저장되어 있는 데이터를 인식하기 위해서는, 충분한 읽기 마진이 확보되어야 한다. 충분한 읽기 마진을 확보하기 위한 프로그램 방법으로는 ISPP 방식에 의한 프로그램 동작이 일반적이다. 그러나 일반적인 ISPP 방식에서는 충분한 읽기 마진을 확보하기 위해서 스텝 전압 크기(ΔV)가 가능한 작게 설정되어야 한다. 이는 프로그램 루프의 증가로 인한 프로그램 시간의 증가를 야기한다.

발명의 내용

해결하고자하는 과제

[0006] 본 발명은 상술한 기술적 과제를 해결하기 위해 제안된 것으로, 본 발명의 목적은 프로그램 시간을 단축하는 프로그램 방법을 제공하는 데 있다.

과제 해결수단

[0007] 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 프로그램 방법은 워드 라인에 프로그램 전압을 인가하여 메모리 셀들을 프로그램하는 단계, 상기 워드 라인에 검증 전압을 인가하여 상기 메모리 셀들의 프로그램 여부를 판단하는 검증 단계를 포함하되, 상기 검증 단계는 감지 시점을 가변시켜 문턱 전압에 따른 메모리 셀들의 분포를 복수의 영역으로 구분한다.

[0008] 실시 예로서, 상기 검증 단계는 워드 라인에 일정한 레벨의 검증 전압을 인가한다.

[0009] 실시 예로서, 상기 복수의 영역으로 구분된 메모리 셀들의 워드 라인에 다른 프로그램 전압을 인가한다.

[0010] 실시 예로서, 상기 복수의 영역으로 구분된 메모리 셀들의 비트 라인에 다른 비트 라인 전압을 인가한다.

[0011] 실시 예로서, 상기 검증 단계는, 감지 노드 및 비트 라인을 프리 차지 하는 단계, 상기 감지 노드 및 상기 비트 라인이 커플링된 상태에서 상기 감지 노드 및 상기 비트 라인의 디벨로프를 수행하는 단계, 그리고 상기 감지 노드의 전압을 인식하여 해당 메모리 셀의 데이터를 인식하는 단계를 포함한다.

[0012] 실시 예로서, 상기 해당 메모리 셀의 데이터를 인식하는 단계는, 상기 디벨로프가 한 번 수행되는 과정에서 여러 번 감지 노드의 전압을 인식한다.

[0013] 실시 예로서, 상기 해당 메모리 셀의 데이터를 인식하는 단계는, 상기 디벨로프가 한 번 수행될 때마다 한번 감지 노드의 전압을 인식한다.

[0014] 실시 예로서, 상기 감지 노드를 프리 차지하는 단계는 감지된 데이터를 전송하는 단계와 함께 수행된다.

효과

[0015] 본 발명에 의하면, 검증 전압은 일정한 레벨로 유지되고, 감지 시점만을 달리하여 프로그램 동작을 수행되므로, 프로그램 시간이 단축된다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다.

[0017] 도 1은 본 발명의 실시 예에 따른 플래시 메모리를 보여주는 블록도이다. 도 1을 참조하면, 플래시 메모리(100)는 메모리 셀 어레이(Memory Cell Array)(110), 어드레스 디코더(Address Decoder)(120), 데이터 입출력 회로(Data input output circuit)(130), 프로그램 컨트롤 로직(PGM Control Logic)(140)을 포함한다.

[0018] 메모리 셀 어레이(110)는 복수의 메모리 셀들(도시되지 않음)을 포함한다. 각각의 메모리 셀은 워드라인(WL)을 통하여 어드레스 디코더(120)에 연결된다. 하나의 메모리 셀에 하나의 비트를 저장하는 방식인 단일 레벨 셀(SLC ; Single Level Cell) 방식에 있어서, 하나의 워드라인에 연결된 메모리 셀들의 집합은 페이지(page)를 구성한다. 그러나 MLC 방식에 있어서, 하나의 워드라인에 연결된 메모리 셀들의 집합은 복수의 페이지(page)들을 구성한다.

[0019] 어드레스 디코더(120)는 워드 라인들(WL1~WLm)을 통하여 메모리 셀 어레이(110)에 연결된다. 어드레스 디코더(120)는 프로그램 컨트롤 로직(PGM Control Logic)(140)에 의하여 제어된다. 어드레스 디코더(120)는 외부로부터 어드레스(ADDR)를 전달받는다. 예시적으로 어드레스(ADDR)는 행 어드레스(row address)와 열 어드레스(column address)를 포함한다. 어드레스 디코더(120)는 행 어드레스를 디코딩하여 워드 라인들(WL)을 선택한다. 어드레스 디코더(120)는 열 어드레스를 디코딩하여 데이터 입출력 회로(130)에 전달하고, 데이터 입출력 회로(130)는 디코딩된 열 어드레스에 응답하여 비트 라인들(BL)을 선택한다.

[0020] 데이터 입출력 회로(Data input/output circuit)(130)는 프로그램 컨트롤 로직(140)의 제어에 따른다. 데이터 입출력 회로(130)는 비트 라인(BL1~BLm)을 통하여 메모리 셀 어레이(110)에 연결된다. 데이터 입출력 회로(130)는 외부로부터 데이터(DATA)를 전달받는다. 데이터 입출력 회로(130)는 전달받은 데이터를 메모리 셀 어레이(110)에 저장한다. 데이터 입출력 회로(130)는 메모리 셀 어레이(110)에 저장된 데이터(DATA)를 읽는다. 데이터

입출력 회로(130)는 읽은 데이터를 외부에 전달한다.

- [0021] 예시적으로, 데이터 입출력 회로(130)는 열 선택 게이트, 페이지 버퍼, 데이터 버퍼 등과 같은 잘 알려진 구성 요소들을 포함할 것이다. 다른 예로써, 데이터 입출력 회로(130)는 열 선택 게이트, 쓰기 드라이버, 감지 증폭기, 데이터 버퍼 등과 같은 잘 알려진 구성 요소들을 포함할 것이다.
- [0022] 프로그램 컨트롤 로직(PGM control logic)(140)은 외부의 제어 신호에 따라동작한다. 프로그램 컨트롤 로직(140)은 데이터 입출력 회로(130)와 어드레스 디코더(120)를 제어한다. 본 발명에 따른 실시 예에서, 프로그램 컨트롤 로직(140)은 프로그램 검증 동작에서의 감지 시간을 제어한다.
- [0023] 일반적인 증가형 스텝 펄스 프로그램(Incremental Step Pulse Program; 이하 ISPP)에 따르면, ISPP가 수행되기 이전에 선택 워드 라인으로 스텝 형태의 전압을 인가하여, 셀들의 문턱 전압의 분포가 타깃 전압 부근까지 이동된다. 상술한 타깃 전압 부근까지 메모리 셀들의 문턱 전압을 이동시키는 프로그램 동작은 컨버전스 프로그램(Convergence Program)이라 칭해진다. 컨버전스 프로그램 이후에는 메모리 셀들의 문턱 전압들이 검증 전압 이상으로 프로그램하기 위한 ISPP가 진행된다.
- [0024] 상술한 컨버전스 프로그램 결과로 형성되는 메모리 셀들은 ISPP 결과로 형성되는 메모리 셀들에 비하여 확산된 형태의 문턱 전압의 분포를 갖는다. 확산된 형태의 메모리 셀들의 문턱 전압의 분포를 좁은 형태의 문턱 전압의 분포로 만들기 위하여 본격적인 ISPP가 진행된다. 이는 충분한 읽기 마진을 확보하기 위함이다.
- [0025] ISPP는 좁은 형태의 문턱 전압의 분포를 만들기 위하여 일정한 스텝(ΔV)으로 증가하는 프로그램 전압을 제공한다. 구체적으로, 먼저 프로그램 전압이 인가다. 프로그램 전압의 인가 후에는 메모리 셀들이 프로그램되었는지 여부를 판단하는 검증전압이 인가된다. 이후, 일정한 스텝(ΔV)으로 증가된 프로그램 전압이 인가되고 검증 전압이 인가되는 루프가 반복적으로 수행된다.
- [0026] 충분한 읽기 마진을 확보하기 위하여, 스텝 크기(ΔV)는 가능한 작아야한다. 그러나 스텝 크기(ΔV)를 감소시키는 경우, 메모리 셀들을 프로그램하기 위하여 공급되는 프로그램 전압의 수가 증가한다. 프로그램 전압의 수의 증가로 인하여 프로그램 루프 수 역시 증가하며, 이는 프로그램 속도의 저하를 야기한다. 상술한 문제점을 해결하기 위하여, 일반적으로 2 단계 검증 동작을 포함하는 ISPP 방식이 사용된다.
- [0027] 도 2는 일반적인 2 단계 검증 동작을 포함하는 ISPP의 프로그램 전압 및 검증 전압들을 나타낸다. 가로축은 시간을 나타내며, 세로축은 프로그램 전압들 및 검증 전압들의 전압 레벨을 나타낸다.
- [0028] 도 2를 참조하면, 먼저 프로그램 전압(V_{pgm1})이 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 이후 각기 다른 전압 레벨을 가지는 검증 전압들(V_{f1} , V_{f2})이 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 이후 일정한 스텝 크기(ΔV)로 증가된 프로그램 전압(V_{pgm2}) 및 검증 전압들(V_{f1} , V_{f2})이 메모리 셀들에 인가되는 루프가 반복적으로 수행된다.
- [0029] 일반적인 2단계 검증 동작을 포함하는 ISPP 방식에 의하여, 컨버전스 프로그램된 메모리 셀은 문턱 전압의 분포에 따라 세 영역으로 나누어진다. 이는 선택 워드 라인을 통하여 다른 전압 레벨을 갖는 검증 전압이 두 번 인가되기 때문이다.
- [0030] 세 영역으로 나누어진 메모리 셀들은 프로그램 전압의 스텝 크기(ΔV)를 감소시키지 않으면서도 충분한 읽기 마진을 갖도록 프로그램될 수 있다. 이는 이하 도 3을 참조하여 상세히 설명한다.
- [0031] 도 3은 일반적인 2단계 검증 동작을 포함하는 ISPP 동작을 보여주는 다이어그램이다. 가로축은 메모리 셀들의 문턱 전압의 분포를 나타내고, 세로축은 메모리 셀들의 개수를 나타낸다. 도 3(a)는 문턱 전압에 따른 메모리 셀들의 분포가 각각 다른 검증 전압의 인가로 인하여 세 영역으로 분할되는 것을 나타낸다. 도 3(b)는 프로그램 완료된 후의 메모리 셀들의 문턱 전압의 분포를 나타낸다.
- [0032] 도 3(a)를 참조하면, 각각 다른 전압 레벨을 갖는 검증전압들(V_{f1} , V_{f2})이 워드 라인을 통하여 메모리 셀들에 인가된다. 두 개의 검증 전압들(V_{f1} , V_{f2}) 중 상대적으로 낮은 전압 레벨을 갖는 검증 전압은 제 1 검증 전압(V_{f1})이라 칭해진다. 두 개의 검증 전압 중 상대적으로 높은 전압 레벨을 갖는 검증 전압은 제 2 검증 전압(V_{f2})이라 칭해진다.
- [0033] 제 1 검증 전압(V_{f1}) 보다 낮은 문턱 전압을 갖는 메모리 셀들의 영역은 제 1 영역(R1)이라 칭해진다. 제 1 검증 전압(V_{f1})보다 높고 제 2 검증 전압(V_{f2})보다 낮은 문턱 전압을 갖는 메모리 셀들의 영역은 제 2 영역(R2)이라 칭해진다. 제 2 검증 전압(V_{f2})보다 높은 문턱 전압을 갖는 메모리 셀들의 영역은 제 3 영역(R3)이라 칭해

진다.

- [0034] 본 발명을 설명하는데 있어서, 제 1 영역(R1)에 있는 메모리 셀들이 제 2영역(R2) 또는 제 3 영역(R3)에 있는 메모리 셀들과 구분하는 동작은 제 1 검증 동작이라 칭해진다. 제 1 검증 동작에 의하여 제 2 영역(R2) 또는 제 3 영역(R3)에 속하는 것으로 판별된 메모리 셀들을 제 2 영역(R2)과 제 3 영역(R3)으로 구분하는 동작은 제 2 검증 동작이라 칭해진다. 이하에서는 일반적인 2단계 검증 동작을 포함하는 ISPP 동작을 상세히 설명한다.
- [0035] 제 1 검증 동작에서는, 전원 전압(Vcc)이 각각의 메모리 셀들의 스트링에 대응하는 비트 라인에 인가된다. 전원 전압이 인가된 비트 라인은 플로팅된다. 이를 비트 라인 프리차지(BL pre_charge)라 한다. 또한, 제 1 검증 전압(Vf1)이 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 비선택 워드 라인에는 읽기 전압(Vread, 예시적으로 4.5V)이 인가된다.
- [0036] 메모리 셀들의 문턱 전압의 분포가 제 1 영역(R1)에 대응하면, 해당 메모리 셀들은 턴_온(turn on)될 것이다. 메모리 셀들의 문턱 전압의 분포가 제 2 영역(R2) 또는 제 3 영역(R3)에 대응하면, 해당 메모리 셀들은 턴_오프(turn off)될 것이다. 따라서, 제 1 검증 동작은 제 1 영역(R1)에 속하는 메모리 셀들을 식별할 수 있다.
- [0037] 제 2 검증 동작에서는, 제 1 검증 동작 결과에 의하여 제 2 영역(R2) 또는 제 3 영역(R3)에 속하는 것으로 식별된 메모리 셀들에 대하여 비트 라인 프리 차지 동작이 다시 수행된다. 또한, 제 2 검증 전압(Vf2)이 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 비선택 워드 라인에 연결된 메모리 셀들에는 읽기 전압(Vread)이 인가된다.
- [0038] 메모리 셀들의 문턱 전압의 분포가 제 2 영역(R2)에 속한다면, 해당 메모리 셀들은 턴_온(turn on)될 것이다. 메모리 셀들의 문턱 전압의 분포가 제 3 영역(R3)에 속한다면, 해당 메모리 셀들은 턴_오프(turn off)될 것이다. 따라서, 제 2 검증 동작은 제 2 영역(R2)에 속하는 메모리 셀들을 식별할 수 있다. 또한, 제 2 검증 동작은 제 3 영역(R3)에 속하는 메모리 셀들을 식별할 수 있다.
- [0039] 상술한 제 1 검증 동작 및 제 2 검증 동작에 의하여, 제 1 영역(R1), 제 2 영역(R2), 제 3 영역(R3)에 각각 대응하는 문턱 전압을 갖는 메모리 셀들이 식별될 수 있다. 각 영역에 대응하는 메모리 셀들은 각각 다른 비트 라인 전압을 공급받는다. 이는 각 영역에 속하는 메모리 셀들의 프로그램 속도를 선택적으로 조절하기 위함이다. 이하 상세히 설명한다.
- [0040] 먼저 비트 라인 바이어스(BL bias) 동작이 수행된다. 비트 라인 바이어스(BL bias) 동작에서, 제 1 영역(R1)에 속하는 메모리 셀들은 비트 라인을 통하여 접지 전압(0V)을 인가받는다. 제 2 영역(R2)에 속하는 메모리 셀들은 비트 라인을 통하여 프로그램 금지 전압보다 낮은 전압(예를 들어, 1V)을 인가받는다. 제 3 영역(R3)에 속하는 메모리 셀들은 비트 라인을 통하여 프로그램 금지 전압(Vcc)을 인가받는다.
- [0041] 비트 라인 바이어스(BL bias) 동작이 수행된 후에, 선택 워드 라인을 통하여 제 1, 제 2 그리고 제 3 영역에 속하는 메모리 셀들에 일정한 레벨의 프로그램 전압이 인가된다.
- [0042] 제 1 영역(R1)에 속하는 메모리 셀들에는 비트 라인을 통하여 접지 전압(0V)이 인가되고, 선택 워드 라인을 통하여 프로그램 전압이 인가된다. 따라서 많은 양의 전하가 F-N 터널링에 의하여 플로팅 게이트에 축적된다. 한 번의 프로그램 전압의 인가에 의하여 제 1 영역(R1)에 속하는 메모리 셀들의 문턱 전압의 분포의 움직임은 이하 살펴볼 제 2 영역(R2)에 속하는 메모리 셀들보다 크다. 이는 제 1 영역(R1)에 속하는 메모리 셀들은 비트 라인을 통하여 접지 전압을 인가받았기 때문이다. 따라서 제 1 영역(R1)에 속하는 메모리 셀들은 제 2 영역(R2)에 속하는 메모리 셀들보다 빠른(fast) 속도로 프로그램된다.
- [0043] 제 2 영역(R2)에 속하는 메모리 셀들에는 비트 라인을 통하여 프로그램 금지 전압보다 낮은 전압(예를 들어, 1V)을 인가되고, 선택 워드 라인을 통하여 프로그램 전압이 인가된다. 이는 메모리 셀의 채널(channel)과 컨트롤 게이트(control gate) 사이에 인가되는 전압이 작아지는 것과 동일한 효과를 야기한다.
- [0044] 이 경우, 한 번의 프로그램 전압의 인가에 의하여 제 2 영역(R2)에 속하는 메모리 셀들의 문턱 전압의 분포의 움직임은 제 1 영역(R1)에 속하는 메모리 셀들보다 작다. 따라서 제 2 영역(R2)에 속하는 메모리 셀들은 제 1 영역(R1)에 속하는 메모리 셀들보다 느린(slow) 속도로 프로그램된다.
- [0045] 제 3 영역(R3)에 속하는 메모리 셀들에는 비트 라인을 통하여 프로그램 금지 전압(Vcc)을 인가되고, 선택 워드 라인을 통하여 프로그램 전압이 인가된다. 따라서, 제 3 영역(R3)에 속하는 메모리 셀들은 프로그램되지 않는다.

- [0046] 상술한 프로그램 동작이 수행된 후, 메모리 셀들에는 다시 제 1 검증 전압(Vf1) 및 제 2 검증 전압(Vf2)이 인가된다. 제 1 검증 전압(Vf1) 및 제 2 검증 전압(Vf2)에 의하여 메모리 셀들은 문턱 전압의 분포에 따라 다시 세 영역으로 구분된다. 세 영역으로 구분된 메모리 셀들에는 각각 다른 비트 라인 전압이 인가되고, 이후 동일한 프로그램 전압이 인가된다. 이러한 루프는 모든 메모리 셀들이 제 2 검증 전압(Vf2) 이상의 문턱 전압을 갖을 때까지 반복된다.
- [0047] 도 3(b)를 참조하면, 제 1, 제 2 그리고 제 3 영역에 속하는 메모리 셀들이 모두 제 2 검증 전압(Vf2) 이상의 문턱 전압을 갖는 메모리 셀들로 프로그램된다.
- [0048] 상술한 프로그램 방법에 의하여 프로그램된 메모리 셀들은 일반적인 ISPP 방식과 마찬가지로 좁은 문턱 전압의 분포를 갖는다. 제 2 영역(R2)에 속하는 메모리 셀들이 느린(slow) 속도로 프로그램 되기 때문이다.
- [0049] 또한, 상술한 프로그램 방법에 의하여 프로그램된 메모리 셀들은 일반적인 ISPP 동작보다 빠른 속도로 프로그램된다. 상술한 프로그램 방법의 스텝 크기(ΔV)가 일반적인 ISPP의 스텝 크기(ΔV)보다 크기 때문에, 프로그램 루프의 총수가 일반적인 ISPP보다 작기 때문이다.
- [0050] 그러나 상술한 프로그램 방법은 각각 다른 검증 전압을 워드 라인에 인가하여야 한다. 따라서 검증 전압을 가변하는데 필요한 시간만큼의 시간이 증가한다. 이하에서는, 프로그램 루프를 증가시키지 않을 뿐만 아니라 검증 전압을 가변시키지 않기 때문에 시간 증가를 최소화할 수 있는 프로그램 방법이 제안된다.
- [0051] 도 4는 본 발명의 실시 예에 따른 2단계 검증 동작을 포함하는 ISPP의 프로그램 전압 및 검증 전압들을 나타낸다. 가로축은 시간을 나타내며, 세로축은 프로그램 전압들 및 검증 전압들의 전압 레벨을 나타낸다.
- [0052] 도 4를 참조하면, 먼저 프로그램 전압(Vp_{gm1})이 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 이후, 검증 전압(VFY)이 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 이때 검증 전압(VFY)은 일정한 전압 레벨을 유지한다.
- [0053] 검증 전압(VFY)이 일정한 전압 레벨로 유지되는 동안, 두 번의 검증 동작이 수행된다. 즉, 제 1 감지 시점(Ts1)에서 검증 동작이 수행되고 난 후, 일정한 시간 차이를 두고 제 2 감지 시점(Ts2)에서 검증 동작이 다시 수행된다. 이후 프로그램 전압(Vp_{gm2}) 및 검증 전압(VFY)이 메모리 셀들에 인가되는 과정이 반복적으로 수행된다.
- [0054] 본 발명의 실시 예에 따른 2단계 검증 동작을 포함하는 ISPP 동작에 의하면, 메모리 셀들은 문턱 전압의 분포에 따라 세 영역으로 구분될 수 있다. 또한, 본 발명은 일반적인 2단계 검증 동작을 포함하는 ISPP 동작과 달리 검증 전압을 가변시키지 않는다. 따라서 검증 전압 가변에 필요한 시간이 절약된다. 이하에서는 본 발명에 따른 프로그램 동작이 상세히 설명된다.
- [0055] 도 5는 본 발명의 실시 예에 따른 2단계 검증 동작을 포함하는 ISPP 방식을 보여주는 다이어그램이다. 가로축은 메모리 셀들의 문턱 전압의 분포를 나타내고, 세로축은 메모리 셀들의 개수를 나타낸다. 도 5(a)는 메모리 셀들이 각각 다른 감지 시점에 의하여 문턱 전압의 분포에 따라 세 영역으로 분할되는 것을 나타낸다. 도 5(b)는 프로그램 완료된 후의 메모리 셀들의 문턱 전압의 분포를 나타낸다.
- [0056] 도 5(a)를 참조하면, 메모리 셀들은 각각 다른 감지 시점에 의하여 제 1 영역(R1), 제 2 영역(R2) 그리고 제 3 영역(R3)으로 구분된다. 검증 전압(VFY)은 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 검증 전압은 계속해서 일정한 전압 레벨로 유지된다. 읽기 전압(V_{read})은 비선택 워드 라인을 통하여 메모리 셀들에 인가된다.
- [0057] 본 발명을 설명하는데 있어서, 제 1 영역(R1)에 있는 메모리 셀들이 제 2 또는 제 3 영역(R2, R3)에 있는 메모리 셀들과 구분하는 동작은 제 1 검증 동작이라 칭해진다. 제 1 검증 동작에서의 감지 시간은 제 1 감지 시점(Ts1)이라 한다. 검증 전압이 선택 워드 라인에 인가되었을 때, 문턱 전압이 V_{t1}인 메모리 셀들에 흐르는 전류는 제 1 감지 전류(Is1)라 한다.
- [0058] 제 1 검증 동작에 의하여 제 2 영역 또는 제 3 영역(R2 또는 R3)에 속하는 것으로 판별된 메모리 셀들을 제 2 영역(R2)과 제 3 영역(R3)으로 구분하는 동작은 제 2 검증 동작이라 칭해진다. 제 2 검증 동작에서의 감지 시간은 제 2 감지 시점(Ts2)이라 한다. 검증 전압이 선택 워드 라인에 인가되었을 때, 문턱 전압 V_{t2}인 메모리 셀들에 흐르는 전류는 제 2 감지 전류(Is2)라 한다.
- [0059] 본 발명은 워드 라인에 공급되는 검증 전압의 레벨을 가변시키지 않고, 감지 시점을 가변시킨다. 따라서 본 발명의 프로그램 동작은 도 2 및 도 3에서 설명한 프로그램 방법과 비교하여 검증 전압을 가변시키는데 필요한 시간만큼의 시간이 절약된다.

- [0060] 또한, 본 발명은 비트 라인 프리 차지 동작이 한 번만 수행된다. 반면, 도 2 및 도 3에서 설명한 프로그램 방법은 두 번의 비트 라인 프리 차지 동작이 수행된다. 따라서 본 발명은 비트 라인 프리 차지 동작이 수행되는 시간을 절약할 수 있다.
- [0061] 제 1 검증 동작에서, 비트 라인 프리 차지 동작이 수행된다. 검증 전압(VFY)은 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 검증 전압은 동일한 전압 레벨로 유지된다. 비선택 워드 라인에는 읽기 전압(Vread)이 인가된다.
- [0062] 먼저, 제 1 감지 시점에서 메모리 셀들에 흐르는 셀 전류가 측정된다. 검증 전압(VFY)이 고정되어 있기 때문에, 메모리 셀의 문턱 전압이 높을수록 해당 메모리 셀에 흐르는 전류는 작아진다.
- [0063] 만약 메모리 셀들의 문턱 전압의 분포가 제 1 영역(R1)에 속한다면, 해당 메모리 셀들에 흐르는 전류는 제 1 감지 전류(Is1) 보다 클 것이다. 만약 메모리 셀들의 문턱 전압의 분포가 제 2 영역(R2) 또는 제 3 영역(R3)에 속한다면, 해당 메모리 셀들에 흐르는 전류는 제 1 감지 전류(Is1)보다 작을 것이다. 따라서 제 1 감지 시간에서, 제 1 영역(R1)에 속하는 메모리 셀들은 제 2 영역(R2) 또는 제 3 영역(R3)에 속하는 메모리 셀들과 구별될 수 있다.
- [0064] 제 2 검증 동작에서는, 제 1 검증 동작에 의하여 제 2 영역(R2) 또는 제 3 영역(R3)에 속하는 것으로 판별된 메모리 셀들이 제 2 영역(R2)에 속하는지 또는 제 3 영역(R3)에 속하는지 여부가 판별된다. 검증 동작은 제 2 감지 시점(Ts2)에서 수행된다. 검증 전압(VFY)은 선택 워드 라인을 통하여 메모리 셀들에 인가된다. 검증 전압(VFY)은 계속해서 동일한 전압 레벨로 유지된다. 비선택 워드 라인에 연결된 메모리 셀들에는 읽기 전압(Vread)이 계속해서 인가된다.
- [0065] 제 2 감지 시점에서 메모리 셀들에 흐르는 전류가 측정된다. 검증 전압(VFY)이 고정되어 있기 때문에, 메모리 셀의 문턱 전압이 높을수록 해당 메모리 셀에 흐르는 전류는 작아진다.
- [0066] 만약 메모리 셀들의 문턱 전압의 분포가 제 2 영역(R2)에 속한다면, 해당 메모리 셀들에 흐르는 전류는 제 2 감지 전류(Is2)보다 클 것이다. 만약 메모리 셀들의 문턱 전압의 분포가 제 3 영역(R3)에 속한다면, 해당 메모리 셀들에 흐르는 전류는 제 2 감지 전류(Is2)보다 작을 것이다. 따라서 제 2 감지 시점에서, 제 2 영역(R2)에 속하는 메모리 셀들은 제 3 영역(R3)에 속하는 메모리 셀들과 구별될 수 있다.
- [0067] 상술한 제 1 검증 동작 및 제 2 검증 동작에 의하여, 메모리 셀들은 제 1 영역, 제 2 영역 그리고 제 3 영역으로 구분될 수 있다. 프로그램 동작 과정에서, 세 영역으로 구분된 메모리 셀들은 각각 다른 속도로 프로그램되도록 조절될 수 있다. 서로 다른 비트 라인 전압이 각 영역에 속하는 메모리 셀들에 인가되기 때문이다. 이는 도 3(a)에서 상세히 설명하였으므로 간략히 설명한다.
- [0068] 한편, 본 발명에 따른 실시 예에 있어서, 프로그램 속도의 조절 방법은 예시적인 것으로 이해되어야 한다. 예를 들어, 제 1 프로그램 전압(Vpgm1)이 제 2 프로그램 전압(Vpgm2)보다 크다고 가정한다. 제 1 영역(R1)에 속하는 메모리 셀들에는 선택 워드 라인을 통하여 제 1 프로그램 전압이 인가될 수 있다. 제 2 영역(R2)에 속하는 메모리 셀들에는 선택 워드 라인을 통하여 제 2 프로그램 전압이 인가될 수 있다. 이 경우, 제 1 영역(R1)에 속하는 메모리 셀들은 빨리 프로그램되고 제 2 영역(R2)에 속하는 메모리 셀들은 천천히 프로그램된다. 제 3 영역(R3)에 속하는 메모리 셀들은 프로그램되지 않는다.
- [0069] 도 5(b)를 참조하면, 상술한 프로그램 방법에 의하여 제 1 영역(R1), 제 2 영역(R2) 그리고 제 3 영역(R3)에 속하는 메모리 셀들은 모두 검증 전압(VFY) 이상의 문턱 전압을 갖는 메모리 셀들로 프로그램된다. 프로그램된 메모리 셀들은 일반적인 ISPP 방식과 마찬가지로 좁은 형태의 문턱 전압 분포를 갖는다. 이는 도 3(b)에서 상세히 설명하였으므로 생략한다.
- [0070] 본 발명에 의한 프로그램 동작에 의하여, 메모리 셀들은 도 2 및 도 3에서 설명한 프로그램 동작보다 빨리 프로그램된다. 본 발명은 검증 전압의 레벨을 일정하게 유지하면서 감지 시점을 달리하기 때문이다. 따라서 본 발명은 검증 전압의 레벨을 가변하는데 필요한 시간을 절약할 수 있다.
- [0071] 또한, 본 발명에 의한 프로그램 동작은 한 번의 프리 차지 동작만을 필요로 한다. 반면, 도 2 및 도 3의 프로그램 동작은 두 번의 프리 차지 동작을 필요로 한다. 따라서 본 발명에 의한 프로그램 동작은 프리 차지 동작을 다시 수행하는데 필요한 시간만큼 프로그램 시간을 절약할 수 있다.
- [0072] 도 6은 본 발명의 실시 예에 따른 페이지 버퍼의 구성을 보여주는 블록도이다. 도 6에서는, 감지 노드의 전압

레벨을 기준 전압과 비교하여 메모리 셀들의 데이터를 인식하는 동작이 상세히 설명된다.

- [0073] 도 6을 참조하면, 페이지 버퍼(200)는 비트 라인(BL), 프리 차지 회로(210), 그리고 감지 및 래치 회로(230)로 구성된다. 프리 차지 회로(210)와 감지 및 래치 회로(230) 사이에는 감지 노드(S0)가 구비된다. 감지 노드(S0)와 비트 라인(BL) 사이에는 스위치(230)가 구비된다. 스위치(230)는 트랜지스터인 경우를 포함한다.
- [0074] 프리 차지 회로(210)는 선택 메모리 셀들에 대한 검증 동작을 수행하기에 앞서 비트 라인(BL)과 감지 노드(S0)를 프리 차지 동작을 수행한다. 비트 라인(BL)과 감지 노드(S0)가 모두 프리 차지되고 나면, 비선택 워드 라인으로 읽기 전압(Vread)이 인가되고, 선택 워드 라인으로 검증 접압(VFY)이 인가된다.
- [0075] 이때 프리 차지 회로(210)는 비트 라인(BL)과 감지 노드(S0)로 제공되던 프리 차지 전원의 공급을 차단한다. 스위치(230)는 비트 라인(BL)과 감지 노드(S0) 사이의 전류 통로를 열어준다. 이는 마치 외부로부터의 전원 공급이 차단된 상태에서 비트 라인(BL)과 감지 노드(S0)가 서로 쇼트 된 것과 유사한 효과를 내게 된다. 이는 비트 라인(BL)과 감지 노드(S0)가 커플링된 상태라 칭해진다.
- [0076] 디벨로프(develop) 동작은 비트 라인(BL)과 감지 노드(S0)가 커플링된 상태에서 수행된다. 디벨로프(develop) 동작이 수행되는 과정에서, 비트 라인(BL)에 프리 차지된 전하는 메모리 셀의 채널을 통하여 접지 노드로 유출된다. 비트 라인(BL)과 감지 노드(S0)가 서로 쇼트 된 것과 유사하기 때문에, 비트 라인(BL)에 프리 차지된 전하가 접지 노드로 유출되면, 이에 대응하는 정도의 전하가 감지 노드(S0)에서 비트 라인으로 공급된다.
- [0077] 그러므로 디벨로프(develop) 동작이 수행되고 나면, 감지 노드(S0)의 전압 레벨을 기준 전압과 비교하여 메모리 셀들의 데이터가 인식된다. 접지 노드로 유출된 비트 라인(BL)의 전하에 대응하는 만큼의 전하가 감지 노드(S0)에서 비트 라인(BL)으로 공급되었기 때문에, 감지 노드(S0)의 전압 레벨이 변하였기 때문이다.
- [0078] 감지 노드(S0)의 전압 레벨을 감지하여 메모리 셀들의 데이터를 인식하는 동작은 비트 라인(BL)의 전압 레벨을 감지하여 메모리 셀들의 데이터를 인식하는 동작에 비하여 빠르게 수행된다. 감지 노드(S0)의 커패시터의 용량이 비트 라인(BL)의 커패시터의 용량보다 작기 때문에, 감지 노드(S0)의 전압 레벨이 비트 라인(BL)의 전압 레벨보다 빠르게 변화하기 때문이다. 이는 도 7에서 상세히 설명된다.
- [0079] 한편, 감지 노드(S0)의 전압 레벨을 기준 전압(Vref)과 비교하여 인식하는 경우에, 한 번의 디벨로프(develop) 동작에서 감지 시점을 달리하여 2단계 검증 동작을 수행하면 오류가 발생할 염려가 있다. 오류를 방지하기 위하여, 본 발명의 다른 실시 예에서는 감지 노드(S0) 프리 차지 동작이 두 번 수행될 수 있다. 이는 도 8에서 상세히 설명된다.
- [0080] 도 7은 본 발명의 실시 예에 따른 2단계 검증 동작을 포함하는 프로그램 동작의 타이밍도이다. 가로축은 시간을 나타내며, 세로축은 전압 레벨을 나타낸다.
- [0081] Va는 비트 라인에 프리 차지된 전압을 의미한다. Vb는 감지 노드(S0)에 프리 차지된 전압을 의미한다. Vref는 페이지 버퍼내의 기준 전압을 의미한다. t0는 프리차지가 완료된 후 디벨로프(develop)가 일어나는 시간을 의미한다. 메모리 셀 A는 도 5의 제 3 영역(R3)에 대응하는 문턱 전압을 갖는 메모리 셀을 나타낸다. 메모리 셀 B는 도 5의 제 2 영역(R2)에 대응하는 문턱 전압을 갖는 메모리 셀을 나타낸다. 메모리 셀 C는 도 5의 제 1 영역(R1)에 대응하는 문턱 전압을 갖는 메모리 셀을 나타낸다.
- [0082] 도 7을 참조하면, 디벨로프(develop) 동작이 수행되는 과정에서 비트 라인의 전압 변화 및 감지 노드(S0)의 전압 변화가 도시되어 있다.
- [0083] 먼저, 프리 차지 회로(210)에 의하여, 비트 라인(BL) 및 감지 노드(S0)가 프리 차지된다. 이 경우에 비트 라인(BL)에 프리 차지된 전압 레벨(V_{BL})은 감지 노드(S0)에 프리 차지된 전압 레벨(V_{S0})보다 낮을 것이다. 이 경우에 비트 라인(BL)의 커패시터의 용량은 감지 노드(S0)의 커패시터의 용량보다 클 것이다. 이 후, 선택 워드 라인을 통하여 검증 전압(VFY)이 선택 메모리 셀들에 인가된다. 검증 전압(VFY)은 디벨로프(develop) 동작 동안 일정한 레벨로 유지된다. 비선택 워드 라인을 통하여 읽기 전압(Vread)이 비선택 메모리 셀들에 인가된다.
- [0084] 먼저, t0에서 디벨로프(develop) 동작이 수행된다. 도 6에서 상술한 바와 같이, 디벨로프(develop) 동작은 비트 라인(BL)과 감지 노드(S0)가 커플링된 상태에서 수행된다. 디벨로프(develop) 동작이 수행되는 과정에서 비트 라인(BL)에 프리 차지된 전하가 유출되면, 이에 대응하는 정도의 전하가 감지 노드(S0)에서 비트 라인(BL)으로 공급될 것이다. 따라서, 감지 노드(S0)에 프리 차지된 전압의 레벨은 감지 노드(S0)에서 비트 라인(BL)으로 공급되는 전하에 비례하여 낮아질 것이다.

- [0085] 메모리 셀들에 흐르는 전류는 메모리 셀들의 문턱 전압의 분포에 따라 다르다. 문턱 전압이 낮은 메모리 셀들은 큰 셀 전류를 갖고, 문턱 전압이 높은 메모리 셀들은 낮은 셀 전류를 갖는다. 즉, 메모리 셀에 흐르는 전류의 크기는 문턱 전압의 크기에 반비례한다.
- [0086] 메모리 셀에 흐르는 전류의 크기가 클수록, 해당 메모리 셀의 비트 라인(BL)에 프리 차지된 전하는 빠르게 유출된다. 이 경우에 감지 노드(S0)에 프리 차지된 전하는 비트 라인(BL)으로 빠르게 공급된다. 감지 노드(S0)와 비트 라인(BL)이 커플링된 상태에서 디벨로프(develop) 동작이 수행되기 때문이다. 따라서, 감지 노드(S0)의 전압 레벨은 빠르게 낮아진다. 즉, 문턱 전압이 낮은 메모리 셀들의 감지 노드(S0)의 전압 레벨은 문턱 전압이 낮은 메모리 셀들의 감지 노드(S0)의 전압 레벨보다 빠르게 감소한다.
- [0087] 메모리 셀 A의 문턱 전압이 가장 높으므로, 메모리 셀 A에 대응하는 감지 노드(S0)에 프리 차지된 전압 레벨이 메모리 셀 B,C보다 천천히 감소한다.
- [0088] 메모리 셀 C의 문턱 전압이 가장 낮으므로, 메모리 셀 C에 대응하는 감지 노드(S0)에 프리 차지된 전압 레벨이 메모리 셀 B,C보다 빠르게 감소한다.
- [0089] 메모리 셀 B의 문턱 전압은 메모리 셀 A의 문턱 전압보다 낮고 메모리 셀 C의 문턱 전압보다 높으므로, 메모리 셀 B에 대응하는 감지 노드(S0)에 프리 차지된 전압 레벨은 메모리 셀 A보다 빠르고 메모리 C보다 천천히 감소한다.
- [0090] 먼저, 제 1 감지 시점(Ts1)에서 문턱 전압이 낮은 메모리 셀들의 턴_온 또는 턴_오프 여부가 판별될 수 있다. 문턱 전압이 낮은 메모리 셀들에서는, 감지 노드(S0)의 전압이 문턱 전압이 높은 메모리 셀들에 비하여 빠르게 감소하기 때문이다.
- [0091] 제 1 감지 시점에서, 메모리 셀 A 및 메모리 셀 B의 감지 노드(S0)의 전압은 기준 전압(Vref)보다 높다. 메모리 셀 C의 비트 라인 전압은 기준 전압(Vref)보다 낮다. 따라서 메모리 셀 A 및 B는 턴_오프로 판별되고, 메모리 셀 C는 턴_온으로 판별된다. 그러므로 메모리 셀 C는 메모리 셀 A, B 보다 낮은 문턱 전압(예를 들어 제 1 영역, 도 5(a)참조)을 갖는 것으로 판별된다.
- [0092] 제 2 감지 시점(Ts2)에서 문턱 전압이 높은 메모리 셀들의 턴_온 또는 턴_오프 여부가 판별될 수 있다. 문턱 전압이 높은 메모리 셀들에서는, 감지 노드(S0)의 전압이 문턱 전압이 낮은 메모리 셀들에 비하여 느리게 감소하기 때문이다.
- [0093] 제 2 감지 시점에서, 메모리 셀 A의 감지 노드(S0)의 전압은 기준 전압(Vref)보다 높다. 메모리 셀 B의 감지 노드(S0)의 전압은 기준 전압(Vref)보다 낮다. 따라서, 메모리 셀 A는 턴_오프로 판별되고, 메모리 셀 B는 턴_온으로 판별된다. 그러므로 메모리 셀 A는 메모리 셀 B보다 높은 문턱 전압(예를 들어 제 2 영역, 도 5(a)참조)을 갖는 것으로 판별된다. 메모리 셀 B는 메모리 셀 A보다 낮은 문턱 전압(예를 들어 제 3 영역)을 갖는 것으로 판별된다.
- [0094] 상술한 바와 같이, 본 발명은 감지 시점을 달리하여 메모리 셀들이 제 1 영역(R1), 제 2 영역(R2) 또는 제 3 영역(R3) 중 어느 영역에 속하는지 판별할 수 있다. 검증 전압(VFV)은 계속해서 일정한 레벨로 유지되기 때문에, 본 발명은 검증 전압을 가변시킬 필요가 없다. 따라서 본 발명은 검증 전압을 가변시키는데 소요되는 시간이 절약된다.
- [0095] 또한, 본 발명은 비트 라인 프리 차지 동작이 한 번 수행된다. 반면에, 도 2 및 도 3의 프로그램 방법은 비트 라인 프리 차지 동작이 두 번 수행된다. 따라서, 본 발명은 한 번의 비트 라인 프리 차지 동작이 수행되는데 소요되는 시간이 절약된다.
- [0096] 한편, 본 발명은 감지 노드(S0)와 비트 라인(BL)이 커플링된 상태에서 디벨로프(develop) 동작이 수행된다. 이 경우에 메모리 셀들의 문턱 전압의 상태를 검증하는데 소요되는 시간은 감지 노드(S0)와 비트 라인(BL)이 커플링되지 않은 상태에서 디벨로프(develop) 동작이 수행되는 경우보다 짧다. 이는 감지 노드(S0)의 커패시터의 용량이 비트 라인(BL)보다 작기 때문이다.
- [0097] 한편, 도 7에 따른 본 발명의 실시 예에서, 한 번의 비트 라인(BL) 및 감지 노드(S0)의 프리 차지 동작이 수행된 후에, 감지 시간을 달리하여 2단계 검증 동작이 수행되는 것으로 가정하였다. 다만, 이는 예시적인 것으로 본 발명에 따른 기술적 사상은 이에 한정되지 않는다. 예시적으로, 본 발명의 다른 실시 예는 감지 노드(S0) 프리 차지 동작이 두 번 수행될 수 있다. 이는 도 8에서 상세히 설명된다.

- [0098] 도 8은 본 발명의 다른 실시 예에 따른 2단계 검증 동작을 나타내는 순서도이다. 본 실시 예에 있어서, 데이터는 감지 노드(S0)의 전압 레벨을 기준 전압(Vref)과 비교하여 인식된다.
- [0099] S110 단계에서는, 비트 라인 프리 차지 동작 및 감지 노드(S0) 프리 차지 동작이 수행된다. 이는 도 6 및 도 7에서 상세히 설명하였으므로, 자세한 설명은 생략된다.
- [0100] S120 단계에서는, 선택 워드 라인을 통하여 검증 전압(VFY)이 선택 메모리 셀들에 인가된다. 검증 전압(VFY)은 제 1 검증 동작 및 제 2 검증 동작에서 계속해서 일정한 전압 레벨을 유지한다. 이는 도 5에서 상세히 설명하였으므로, 자세한 설명은 생략된다.
- [0101] S130 단계에서는, 제 1 감지 시점(Ts1)에서, 메모리 셀들의 턴_온 또는 턴_오프 여부가 판단된다. 이는 도 5에서 상세히 설명한 제 1 검증 동작과 유사하다. 다만, 도 6 및 도 7을 참조하면, 이 경우에는 감지 노드(S0)의 전압 레벨을 기준 전압(Vref)과 비교하여 메모리 셀들의 턴_온 또는 턴_오프 여부가 판별된다.
- [0102] S140 단계에서는, S130 단계에서 감지된 메모리 셀들의 데이터가 외부로 전송된다. 이와 동시에 감지 노드 프리 차지(S0 pre_charge) 동작이 수행된다.
- [0103] 즉, 제 1 영역(R1)에 속하는 것으로 판별된 메모리 셀들의 데이터와 제 2 영역(R2_ 또는 제 3 영역(R3)에 속하는 것으로 판별된 메모리 셀들의 데이터가 감지 및 래치 회로(220, 도 6 참조)를 통하여 외부로 전송된다. 이와 동시에, 프리 차지 회로(210)는 감지 노드(S0)를 프리 차지 시킨다.
- [0104] 도 6 및 도 7을 참조하면, 접지 노드로 유출된 비트 라인(BL)의 전하에 대응하는 만큼의 전하가 감지 노드(S0)로부터 비트 라인(BL)으로 공급된다. 따라서 비트 라인(BL)의 전압 레벨은 거의 일정하게 유지될 수 있다. 이 경우, 프리 차지 회로(210)는 비트 라인(BL)을 프리 차지시킬 필요가 없다. 그러나 비트 라인(BL)의 전압 레벨이 변하였다면, 프리 차지 회로(210)는 비트 라인(BL)과 감지 노드(S0)를 동시에 프리 차지시킬 수 있다.
- [0105] S150 단계에서는, 제 2 감지 시간에서, 메모리 셀들의 턴_온 또는 턴_오프 여부가 판단된다. 이는 도 5에서 상세히 설명한 제 2 검증 동작과 유사하다.
- [0106] 즉, S150 단계에서는, S130 단계에서 제 2 영역(R2) 또는 제 3 영역(R3)에 속하는 것으로 판별된 메모리 셀들이 제 2 영역(R2)에 속하는지 또는 제 3 영역(R3)에 속하는지 여부가 판별된다. 다만, 이 경우에는 감지 노드(S0)의 전압 레벨을 기준 전압(Vref)과 비교하여 메모리 셀들의 턴_온 또는 턴_오프 여부가 판별된다. 그리고 이 경우에는 한 번의 디벨로프(develop) 과정에서 한 번의 검증 동작만이 수행된다.
- [0107] S160 단계에서는, S150 단계에서 감지된 메모리 셀들의 데이터가 외부로 전송된다.
- [0108] 도 9는 상기 본 발명을 적용한 실시 예로서, 본 발명의 프로그램 방법을 반도체 메모리 장치에 적용한 예를 보여주는 블록도이다. 반도체 메모리 장치(300)는 메모리 컨트롤러(310) 및 플래시 메모리(320)를 포함한다. 반도체 메모리 장치(300)는 메모리 카드(예를 들면 SD, MMC 등)나 착탈 가능한 이동식 저장 장치(예를 들면, USB 메모리)와 같이 휘발성 메모리 또는 불휘발성 메모리를 포함하는 저장 장치를 모두 포함한다.
- [0109] 도 9를 참조하면 메모리 컨트롤러(310)는 중앙처리장치(CPU, 311), 호스트인터페이스(312), 랜덤 액세스 메모리(RAM, 313), 그리고 플래시 인터페이스(314)를 포함한다.
- [0110] 도 10은 본 발명을 적용한 실시 예로서, 본 발명의 프로그램 방법을 사용자 장치에 적용한 예를 보여주는 블록도이다. 사용자 장치(400)는 퍼스널 컴퓨터(PC)로 구현되거나, 노트북 컴퓨터, 휴대폰, PDA(Personal Digital Assistant), 그리고 카메라 등과 같은 휴대용 전자 장치로 구현될 수 있다.
- [0111] 도 10을 참조하면, 사용자 장치(400)는 버스 및 전원 라인(405), 메모리 시스템(410), 전원 장치(420), 중앙처리장치(430), 램(440), 그리고 사용자 인터페이스(450)를 포함한다. 메모리 시스템(410)은 비휘발성 메모리 장치(411) 및 컨트롤러(412)를 포함한다.
- [0112] 컨트롤러(412)는 호스트(Host) 및 불휘발성 메모리 장치(411)에 연결된다. 컨트롤러(412)는 불휘발성 메모리 장치(411)로부터 읽은 데이터를 호스트(Host)에 전달하고, 호스트(Host)로부터 전달되는 데이터를 불휘발성 메모리 장치(411)에 저장한다.
- [0113] 컨트롤러(412)는 램, 프로세싱 유닛, 호스트 인터페이스, 그리고 메모리 인터페이스와 같은 잘 알려진 구성 요소들을 포함할 것이다. 램은 프로세싱 유닛의 동작 메모리로서 이용될 것이다. 프로세싱 유닛은 컨트롤러(412)의 제반 동작을 제어할 것이다. 호스트 인터페이스는 호스트(Host) 및 컨트롤러(412) 사이의 데이터 교환을 수

행하기 위한 프로토콜을 포함할 것이다. 예시적으로, 컨트롤러(412)는 USB, MMC, PCI-E, ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI, ESDI, 그리고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(호스트)와 통신하도록 구성될 것이다. 메모리 인터페이스는 불휘발성 메모리 장치(411)와 인터페이싱할 것이다. 컨트롤러(412)는 오류 정정 블록을 추가적으로 포함할 수 있다. 오류 정정 블록은 불휘발성 메모리 장치(411)로부터 읽어진 데이터의 오류를 검출하고, 정정할 것이다.

- [0114] 불휘발성 메모리 장치(411)는 데이터를 저장하기 위한 메모리 셀 어레이, 메모리 셀 어레이에 데이터를 기입 및 독출하기 위한 읽기/쓰기 회로, 외부로부터 전달되는 어드레스를 디코딩하여 읽기/쓰기 회로에 전달하는 어드레스 디코더, 불휘발성 메모리 장치(411)의 제반 동작을 제어하기 위한 제어 로직 등을 포함할 것이다. 불휘발성 메모리 장치(411)는 도 2 및 3을 참조하여 더 상세하게 설명된다.
- [0115] 컨트롤러(412) 및 불휘발성 메모리 장치(411)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(412) 및 불휘발성 메모리 장치(411)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 것이다. 예를 들면, 컨트롤러(412) 및 불휘발성 메모리 장치(411)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM/SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD), 유니버설 플래시 기억장치(UFS) 등을 구성할 것이다.
- [0116] 다른 예로서, 컨트롤러(412) 및 불휘발성 메모리 장치(411)는 하나의 반도체 장치로 집적되어 반도체 디스크/드라이브(SSD, Solid State Disk/Drive)를 구성할 것이다. 메모리 시스템(410)이 반도체 디스크(SSD)로 이용되는 경우, 메모리 시스템(410)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선될 것이다.
- [0117] 다른 예로서, 메모리 시스템(410)은 PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 또는 정보를 무선 환경에서 송수신할 수 있는 장치들에 적용될 것이다.
- [0118] 다른 예로서, 불휘발성 메모리 장치(411) 또는 메모리 시스템(410)은 다양한 형태들의 패키지로 실장 될 수 있다. 예를 들면, 불휘발성 메모리 장치(411) 또는 메모리 시스템(410)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 것이다.
- [0119] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

도면의 간단한 설명

- [0120] 도 1은 본 발명의 실시 예에 따른 플래시 메모리를 보여주는 블록도이다.
- [0121] 도 2는 일반적인 2 단계 검증 동작을 포함하는 ISPP의 프로그램 전압 및 검증 전압들을 나타낸다.
- [0122] 도 3(a)는 문턱 전압에 따른 메모리 셀들의 분포가 각각 다른 검증 전압의 인가로 인하여 세 영역으로 분할되는 것을 나타낸다.
- [0123] 도 3(b)는 프로그램 완료된 후의 메모리 셀들의 문턱 전압의 분포를 나타낸다.
- [0124] 도 4는 본 발명의 실시 예에 따른 2단계 검증 동작을 포함하는 ISPP의 프로그램 전압 및 검증 전압들을 나타낸다.
- [0125] 도 5(a)는 메모리 셀들이 각각 다른 감지 시점에 의하여 문턱 전압의 분포에 따라 세 영역으로 분할되는 것을 나타낸다.
- [0126] 도 5(b)는 프로그램 완료된 후의 메모리 셀들의 문턱 전압의 분포를 나타낸다.
- [0127] 도 6은 본 발명의 실시 예에 따른 페이지 버퍼의 구성을 보여주는 블록도이다.

[0128] 도 7은 본 발명의 실시 예에 따른 2단계 검증 동작을 포함하는 프로그램 동작의 타이밍도이다.

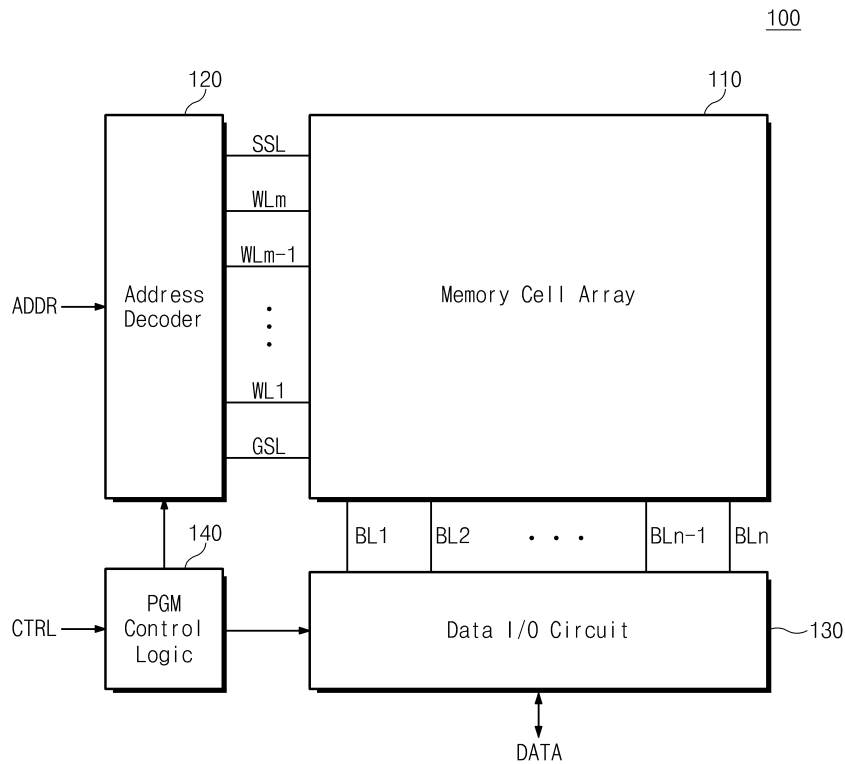
[0129] 도 8은 본 발명의 다른 실시 예에 따른 2단계 검증 동작을 나타내는 순서도이다.

[0130] 도 9는 상기 본 발명을 적용한 실시 예로서, 본 발명의 프로그램 방법을 반도체 메모리 장치에 적용한 예를 보여주는 블록도이다.

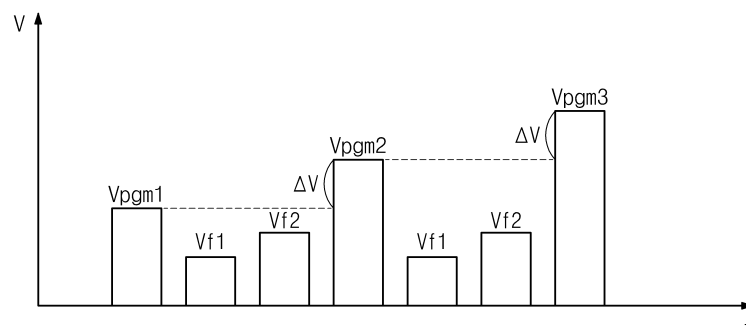
[0131] 도 10은 본 발명을 적용한 실시 예로서, 본 발명의 프로그램 방법을 사용자 장치에 적용한 예를 보여주는 블록도이다.

도면

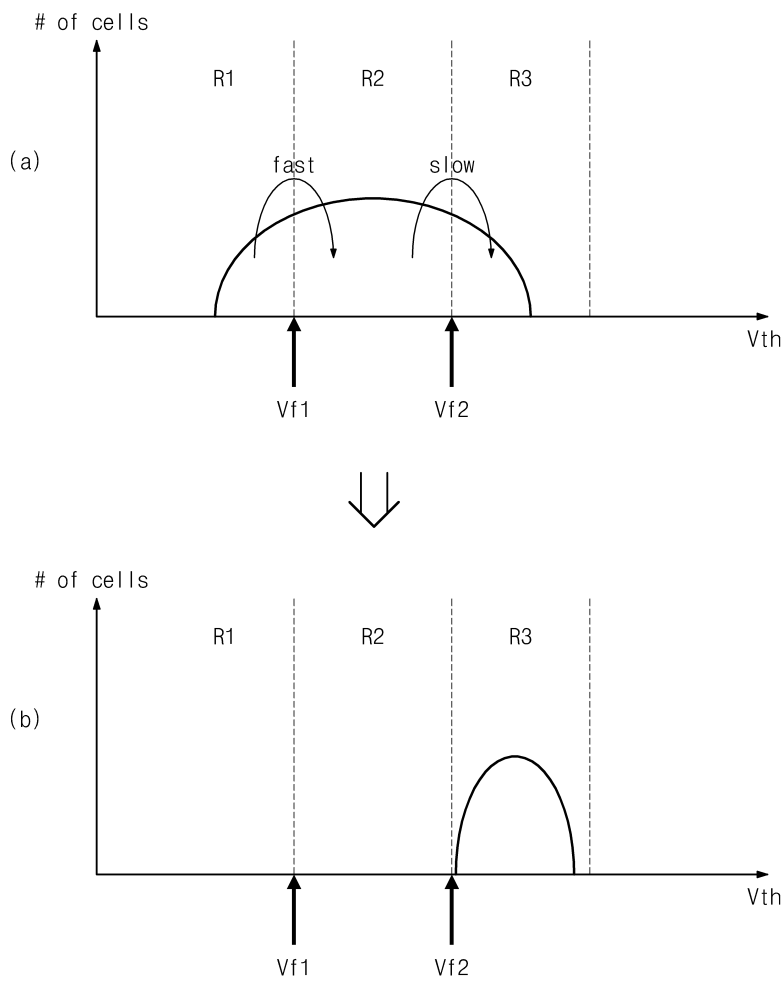
도면1



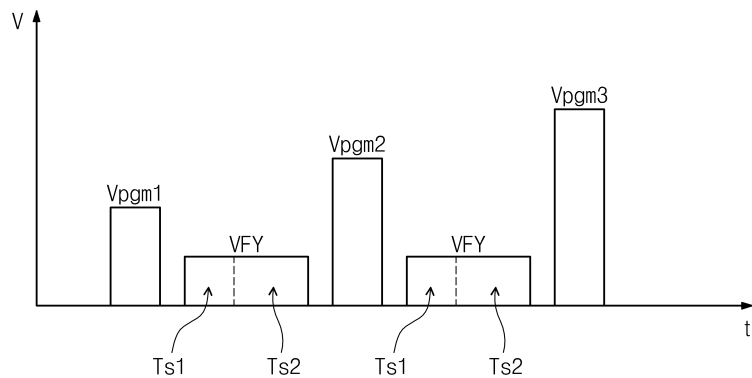
도면2



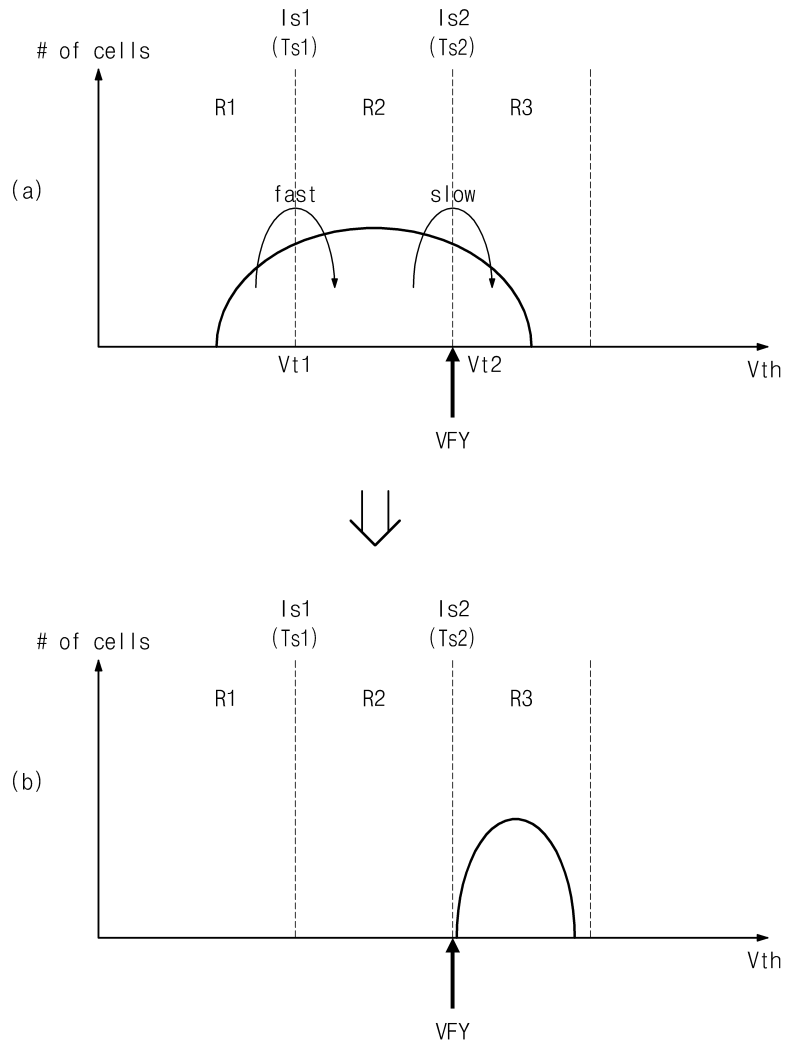
도면3



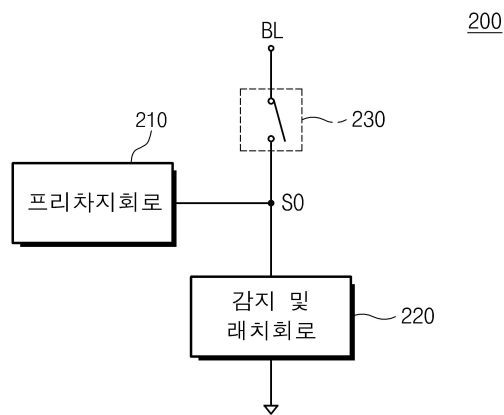
도면4



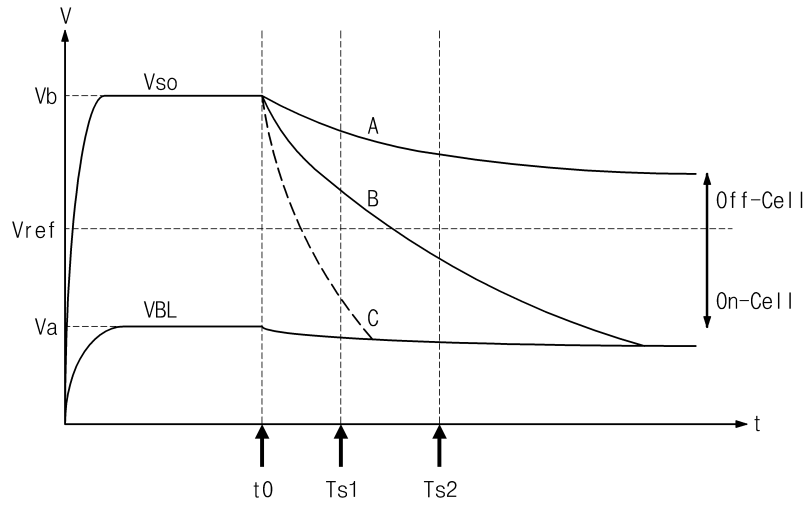
도면5



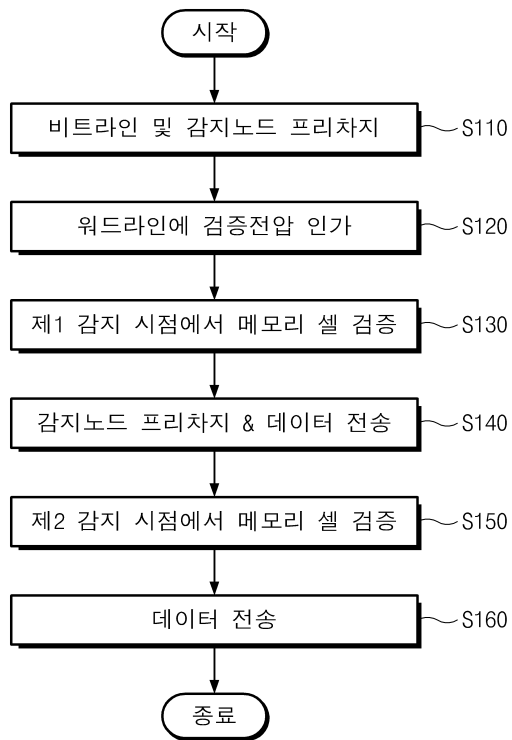
도면6



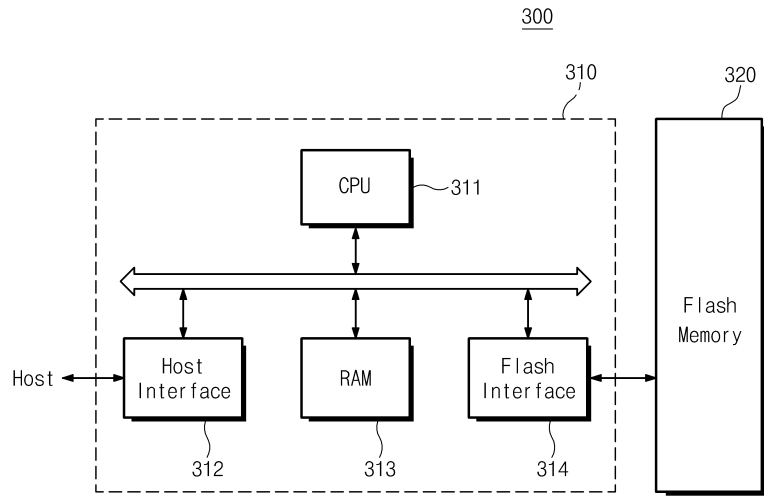
도면7



도면8



도면9



도면10

