

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-310334

(P2007-310334A)

(43) 公開日 平成19年11月29日(2007.11.29)

(51) Int. Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 111 書面 (全 200 頁)

(21) 出願番号 特願2006-166674 (P2006-166674)

(22) 出願日 平成18年5月19日 (2006.5.19)

(71) 出願人 501232056

三国電子株式会社

茨城県猿島郡五霞町原宿台1-5-5

(72) 発明者 田中 栄

茨城県水戸市元吉田町1745-33

(72) 発明者 鮫島 俊之

東京都小平市上水本町6-5-10-203

Fターム(参考) 2H092 GA14 GA25 GA29 GA42 HA04

HA12 JA26 JA29 JA40 JA44

JA46 JA47 JB14 JB24 JB33

JB57 JB63 JB68 KA12 KA18

KA22 KA24 KB04 KB13 KB23

KB24 KB25 KB26 MA14 MA17

NA01 NA27 PA02 PA06 QA06

(54) 【発明の名称】 ハーフトーン露光法を用いた液晶表示装置の製造法

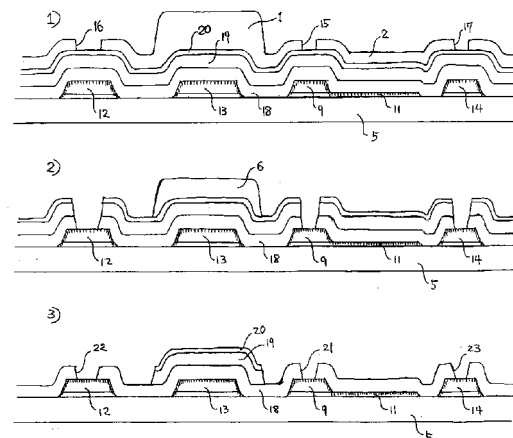
(57) 【要約】

【課題】 超大型広視野角超高速応答液晶表示装置を3回のホトリソグラフィ工程で製造する。

【解決手段】 Gate電極と共通電極と画素電極とコンタクトパッドをハーフトーン露光技術と窒素イオンドーピング技術を用いて形成した後a-si islandとコンタクトホールをハーフトーン露光技術を用いて形成する。ソース電極とドレイン電極と配向制御電極は、ノーマル露光技術を用いて形成する。

パッシベーション層は、マスキングデポジション法を用いてP-CVD装置で成膜するか、インクジェット塗布法を用いて保護層を局所領域に塗布することで、3回のホトマスク工程で超大型広視野角超高速応答液晶表示用TFTアレイ基板を製造することができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の 4 回のホトリソグラフィ工程を用いて製造することを特徴とする T N モード、M V A モード、I P S モード用アクティブマトリックス基板の製造方法。

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成……………（第 1 回ハーフトーン露光法）ハーフトーンホットマスク使用。
2. 薄膜半導体層素子分離，コンタクトホール形成……………（第 2 回ハーフトーン露光法）ハーフトーンホットマスク使用。
3. ソース電極，ドレイン電極，保持容量形成電極形成……………ノーマルホットマスク使用 10
4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホール形成……………ノーマルホットマスク使用

【請求項 2】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の 4 回のホトリソグラフィ工程を用いて製造することを特徴とする M V A モード用アクティブマトリックス基板の製造方法。

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成……………（第 1 回ハーフトーン露光法）ハーフトーンホットマスク使用。
2. 薄膜半導体層素子分離，コンタクトホール形成……………（第 2 回ハーフトーン露光法）ハーフトーンホットマスク使用。 20
3. ソース電極，ドレイン電極，配向方向制御電極形成……………ノーマルホットマスク使用
4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホール形成……………ノーマルホットマスク使用

【請求項 3】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の 4 回のホトリソグラフィ工程を用いて製造することを特徴とする F F S モード用アクティブマトリックス基板の製造方法。

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成……………（第 1 回ハーフトーン露光法）ハーフトーンホットマスク使用。
2. 薄膜半導体層素子分離，コンタクトホール形成……………（第 2 回ハーフトーン露光法）ハーフトーンホットマスク使用。 30
3. ソース電極，ドレイン電極，くし歯状共通電極形成……………ノーマルホットマスク使用
4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホール形成……………ノーマルホットマスク使用

【請求項 4】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の 3 回のホトリソグラフィ工程を用いて製造することを特徴とする T N モード、M V A モード、I P S モード用アクティブマトリックス基板の製造方法。

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成……………（第 1 回ハーフトーン露光法）ハーフトーンホットマスク使用。 40
 2. 薄膜半導体層素子分離，コンタクトホール形成……………（第 2 回ハーフトーン露光法）ハーフトーンホットマスク使用。
 3. ソース電極，ドレイン電極，保持容量形成電極形成……………ノーマルホットマスク使用
- 薄膜トランジスタのチャンネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いて P-C V D 装置で形成（ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。）

【請求項 5】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の 3 回のホトリソグラフィ工程を用いて製造することを特徴とする M V A モード用アクティブマトリックス基板の製造方法。

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成………（第1回ハーフトーン露光法）ハーフトーンホットマスク使用。
2. 薄膜半導体層素子分離，コンタクトホール形成………（第2回ハーフトーン露光法）ハーフトーンホットマスク使用。
3. ソース電極，ドレイン電極，配向方向制御電極形成………ノーマルホットマスク使用
薄膜トランジスタのチャンネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いてP-CVD装置で形成（ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。）

【請求項6】

アクティブマトリクス表示装置を構成しているアクティブマトリクス基板の製造方法に関して、下記の3回のホトリソグラフィ工程を用いて製造することを特徴とするFFSモード用アクティブマトリクス基板の製造方法。 10

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成………（第1回ハーフトーン露光法）ハーフトーンホットマスク使用。
2. 薄膜半導体層素子分離，コンタクトホール形成………（第2回ハーフトーン露光法）ハーフトーンホットマスク使用。
3. ソース電極，ドレイン電極，くし歯状共通電極形成………ノーマルホットマスク使用
薄膜トランジスタのチャンネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いてP-CVD装置で形成（ゲート電極端子部と、ソース電極端子部と、共通電極端子部には成膜しない。） 20

【請求項7】

アクティブマトリクス表示装置を構成しているアクティブマトリクス基板の製造方法に関して、下記のハーフトーン2重露光法を2回用いた、4回のホトリソグラフィ工程で製造することを特徴とするTNモード，MVAモード，IPSモード用アクティブマトリクス基板の製造方法。

はじめに、パルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 第1回ハーフトーン2重露光法（絶対基準アライメントマークにあわせて露光）
 - a. ゲート電極，共通電極，画素電極内コンタクトパッドをノーマルホットマスクを用いてアンダーハーフ露光する。 30
 - b. 画素電極，ゲート電極，共通電極をノーマルホットマスクを用いてノーマル露光する。
（a，bの多重露光で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成。）
2. 第2回ハーフトーン2重露光法
 - a. 薄膜半導体素子部をノーマルホットマスクを用いてアンダーハーフ露光する。
 - b. コンタクトホールをノーマルホットマスクを用いてノーマル露光する。
（a，bの多重露光で、薄膜半導体層素子分離，コンタクトホールを形成。）
3. ソース電極，ドレイン電極，保持容量形成電極をノーマルホットマスクを用いたノーマル露光法で形成する。
4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールをノーマルホットマスクを用いたノーマル露光法で形成。 40

【請求項8】

アクティブマトリクス表示装置を構成しているアクティブマトリクス基板の製造方法に関して、下記のハーフトーン2重露光法を2回用いた、4回のホトリソグラフィ工程で製造することを特徴とするMVAモード用アクティブマトリクス基板の製造方法。

はじめに、パルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 第1回ハーフトーン2重露光法（絶対基準アライメントマークにあわせて露光）
 - a. ゲート電極，共通電極，画素電極内コンタクトパッドを、ノーマルホットマスクを用いてアンダーハーフ露光する。 50

b. 画素電極，ゲート電極，共通電極をノーマルホトマスクを用いてノーマル露光する。
 (a, bの多重露光で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成)

2. 第2回ハーフトーン2重露光法

a. 薄膜半導体素子部をノーマルホトマスクを用いてアンダーハーフ露光する。

b. コンタクトホールをノーマルホトマスクを用いてノーマル露光する。(a, bの多重露光で、薄膜半導体層の素子分離，コンタクトホールを形成)

3. ソース電極，ドレイン電極，配向方向制御電極をノーマルホトマスクを用いたノーマル露光法で形成する。

4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールをノーマルホトマスクを用いたノーマル露光法で形成する。 10

【請求項9】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記のハーフトーン2重露光法を2回用いた、4回のホトリソグラフィ工程で製造することを特徴とするFFSモード用アクティブマトリックス基板の製造方法。

はじめに、パルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 第1回ハーフトーン2重露光法(絶対基準アライメントマークにあわせて露光)

a. ゲート電極，共通電極，画素電極内コンタクトパッドを、ノーマルホトマスクを用いてアンダーハーフ露光する。 20

b. 画素電極，ゲート電極，共通電極をノーマルホトマスクを用いてノーマル露光する。
 (a, bの多重露光で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成。)

2. 第2回ハーフトーン2重露光法

a. 薄膜半導体素子部をノーマルホトマスクを用いてアンダーハーフ露光する。

b. コンタクトホールをノーマルホトマスクを用いてノーマル露光する。(a, bの多重露光で、薄膜半導体層の素子分離，コンタクトホールを形成。)

3. ソース電極，ドレイン電極，くし歯状共通電極をノーマルホトマスクを用いたノーマル露光法で形成する。

4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールをノーマルホトマスクを用いたノーマル露光法で形成する。 30

【請求項10】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記のハーフトーン2重露光法を2回用いた、3回のホトリソグラフィ工程で製造することを特徴とするTNモード，MVAモード，IPSモード用アクティブマトリックス基板の製造方法。

はじめに、パルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 第1回ハーフトーン2重露光法(絶対基準アライメントマークにあわせて露光)

a. ゲート電極，共通電極，画素電極内コンタクトパッドを、ノーマルホトマスクを用いてアンダーハーフ露光する。 40

b. 画素電極，ゲート電極，共通電極をノーマルホトマスクを用いてノーマル露光する。
 (a, bの多重露光で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成。)

2. 第2回ハーフトーン2重露光法

a. 薄膜半導体素子部をノーマルホトマスクを用いてアンダーハーフ露光する。

b. コンタクトホールをノーマルホトマスクを用いてノーマル露光する。(a, bの多重露光で、薄膜半導体層の素子分離，コンタクトホールを形成。)

3. ソース電極，ドレイン電極，保持容量形成電極をノーマルホトマスクを用いたノーマル露光法で形成する。 50

薄膜トランジスタのチャネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いてP-CVD装置で形成（ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。）

【請求項11】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記のハーフトーン2重露光法を2回用いた、3回のホトリソグラフィ工程で製造することを特徴とするMVAモード用アクティブマトリックス基板の製造方法。
はじめに、パルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 第1回ハーフトーン2重露光法（絶対基準アライメントマークにあわせて露光） 10
 - a. ゲート電極，共通電極，画素電極内コンタクトパッドを、ノーマルホットマスクを用いてアンダーハーフ露光する。
 - b. 画素電極，ゲート電極，共通電極をノーマルホットマスクを用いてノーマル露光する。（a，bの多重露光で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成。）
2. 第2回ハーフトーン2重露光法
 - a. 薄膜半導体素子部をノーマルホットマスクを用いてアンダーハーフ露光する。
 - b. コンタクトホールをノーマルホットマスクを用いてノーマル露光する。（a，bの多重露光で薄膜半導体層の素子分離，コンタクトホールを形成。）
3. ソース電極，ドレイン電極，配向方向制御電極をノーマルホットマスクを用いたノーマル露光法で形成する。 20

薄膜トランジスタのチャネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いてP-CVD装置で形成（ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。）

【請求項12】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記のハーフトーン2重露光法を2回用いた、3回のホトリソグラフィ工程で製造することを特徴とするFFSモード用アクティブマトリックス基板の製造方法。
はじめに、パルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 第1回ハーフトーン2重露光法（絶対基準アライメントマークにあわせて露光） 30
 - a. ゲート電極，共通電極，画素電極内コンタクトパッドを、ノーマルホットマスクを用いて、アンダーハーフ露光する。
 - b. 画素電極，ゲート電極，共通電極をノーマルホットマスクを用いてノーマル露光する。（a，bの多重露光で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成。）
2. 第2回ハーフトーン2重露光法
 - a. 薄膜半導体素子部をノーマルホットマスクを用いてアンダーハーフ露光する。
 - b. コンタクトホールをノーマルホットマスクを用いてノーマル露光する。（a，bの多重露光で、薄膜半導体層の素子分離，コンタクトホールを形成。） 40
3. ソース電極，ドレイン電極，くし歯状共通電極をノーマルホットマスクを用いたノーマル露光法で形成する。

薄膜トランジスタのチャネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いてP-CVD装置で形成（ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。）

【請求項13】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記のDMD直接描画露光装置によるDMDハーフトーンマスクレス露光法を2回用いた、4回のホトリソグラフィ工程で製造することを特徴とするTNモード，MVAモード用アクティブマトリックス基板の製造方法。

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成……………第1回 DMD ハーフトーンマスクレス露光法
2. 薄膜半導体層素子分離，コンタクトホール形成……………第2回 DMD ハーフトーンマスクレス露光法
3. ソース電極，ドレイン電極，保持容量形成電極形成……………ノーマルホットマスク露光法または DMD ノーマルマスクレス露光法
4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホール形成……………ノーマルホットマスク露光法または DMD ノーマルマスクレス露光法

【請求項 14】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の DMD 直接描画露光装置による DMD ハーフトーンマスクレス露光法を 2 回用いた、4 回のホトリソグラフィー工程で製造することを特徴とする MVA モード用アクティブマトリックス基板の製造方法。 10

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成。……………第1回 DMD ハーフトーンマスクレス露光法
2. 薄膜半導体層素子分離，コンタクトホール形成……………第2回 DMD ハーフトーンマスクレス露光法
3. ソース電極，ドレイン電極，配向方向制御電極形成……………ノーマルホットマスク露光法または DMD ノーマルマスクレス露光法
4. ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホール形成……………20
…ノーマルホットマスク露光法または DMD ノーマルマスクレス露光法

【請求項 15】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の DMD 直接描画露光装置による DMD ハーフトーンマスクレス露光法を 2 回用いた、3 回のホトリソグラフィー工程で製造することを特徴とする TN モード，MVA モード用アクティブマトリックス基板の製造方法。

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成……………第1回 DMD ハーフトーンマスクレス露光法
2. 薄膜半導体層素子分離，コンタクトホール形成……………第2回 DMD ハーフトーンマスクレス露光法 30
3. ソース電極，ドレイン電極，保持容量形成電極形成……………ノーマルホットマスク露光法または DMD ノーマルマスクレス露光法

薄膜トランジスタのチャネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いて P-CVD 装置で形成（ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。）

【請求項 16】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の DMD 直接描画露光装置による DMD ハーフトーンマスクレス露光法を 2 回用いた、3 回のホトリソグラフィー工程で製造することを特徴とする MVA モード用アクティブマトリックス基板の製造方法。 40

1. ゲート電極，画素電極，共通電極，画素電極内コンタクトパッド形成……………第1回 DMD ハーフトーンマスクレス露光法
2. 薄膜半導体層素子分離，コンタクトホール形成……………第2回 DMD ハーフトーンマスクレス露光法
3. ソース電極，ドレイン電極，配向方向制御電極形成……………ノーマルホットマスク露光法または DMD ノーマルマスクレス露光法

薄膜トランジスタのチャネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜層をマスクデポジッション法を用いて P-CVD 装置で形成（ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。）

【請求項 17】

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）金属としてTiまたはZrの金属または合金を成膜した後、第2層（上層）金属を連続スパッター成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。

10

次に、ポジレジストが残っていない領域の第2層（上層）金属と第1層（下層）金属をエッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第2層（上層）金属のみを選択エッチングして除去して、第1層（下層）金属を露出させる。ポジレジストが最大に厚く残った領域のポジレジストを剥離した後、ゲート電極部と共通電極部と画素電極内部のコンタクトパッド部の第2層（上層）金属の表面と、露出した画素電極部の第1層（下層）金属表面に窒素イオンをドーピングして、ゲート電極表面と、共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理し、同時に、画素電極のTiまたはZrの金属または合金の薄膜を、窒素Tiまたは窒化Zrに変化させることで可視光の透過率を向上させる。

20

【請求項18】

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）透明導電体として、TiまたはZrの金属窒化物または合金の窒化物または金属酸窒化物または合金の酸窒化物を成膜した後、第2層（上層）金属を連続スパッター成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。

30

次に、ポジレジストが残っていない領域の第2層（上層）金属と第1層（下層）透明導電体をエッチングして除去してから、酸素プラズマ処理やオゾン処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第2層（上層）金属のみを選択エッチングして除去して、第1層（下層）透明導電体を露出させる。ポジレジストが最大に厚く残った領域のポジレジストを剥離した後、ゲート電極部と共通電極部と画素電極内部のコンタクトパッド部の第2層（上層）金属の表面に窒素イオンをドーピングして、ゲート電極表面と共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。

40

【請求項19】

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）透明導電体として金属酸化物のITOまたはIZOを成膜した後、第2層（上層）金属として、ITOやIZOよりも酸化還元電位の小さなMoまたはCrまたは銀合金または銅合金か、または、ニッケルやコバルトや鉄を0.5～7.0アトミック%含有するアルミニウム合金を連続スパッター成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DM D直接描画露光素子を用いるハーフトーンマスクレス露光

50

法を用いて現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。

次に、ポジレジストが残っていない領域の第2層（上層）金属と第1層（下層）透明導電体をエッチングして除去してから、酸素プラズマ処理やオゾン処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第2層（上層）金属のみを選択エッチングして除去して、第1層（下層）透明導電体を露出させる。ポジレジストが最大に厚く残った領域のポジレジストを剥離した後、ゲート電極部と共通電極部と画素電極内部のコンタクトパッド部の第2層（上層）金属の表面に窒素イオンをドーピングして、ゲート電極表面と共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。 10

【請求項20】

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィーの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）金属としてTiまたはZrの金属または合金を成膜した後、第2層（上層）金属を連続スパッター成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後に、ゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。 20

次に、ポジレジストが残っていない領域の第2層（上層）金属のみを選択エッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第2層（上層）金属をマスクに利用して、露出している第1層（下層）金属のみを選択エッチングして除去する。次に露出している第2層（上層）金属のみを選択エッチングして除去し、第1層（下層）金属を露出させてから、残ったポジレジストを剥離する。

ゲート電極部と共通電極部と画素電極内部のコンタクトパッド部の第2層（上層）金属の表面と、露出した画素電極部の第1層（下層）金属表面に窒素イオンをドーピングして、ゲート電極表面と、共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理し、同時に、画素電極のTiまたはZrの金属または合金の薄膜を、窒素Tiまたは窒化Zrに変化させることで可視光の透過率を向上させる。 30

【請求項21】

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィーの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）透明導電体として、TiまたはZrの金属窒化物または合金の窒化物または金属酸窒化物または合金の酸窒化物を成膜した後、第2層（上層）金属を連続スパッター成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。 40

次に、ポジレジストが残っていない領域の第2層（上層）金属のみを選択エッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第2層（上層）金属をマスクに利用して、露出している第1層（下層）透明導電体のみを選択エッチングして除去する。次に、露出している第2層（上層）金属のみを選択エッチングして除去し 50

、第1層（下層）透明導電体を露出させてから、残ったポジレジストを剥離する。ゲート電極部と共通電極部と画素電極内部のコンタクトパッド部の第2層（上層）金属の表面に窒素イオンをドーピングして、ゲート電極表面と、共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。

【請求項22】

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）透明導電体として金属酸化物のITOまたはIZOを成膜した後、第2層（上層）金属として、ITOやIZOよりも酸化還元電位の小さなMoまたはCrまたは銀合金または銅合金か、または、ニッケルやコバルトや鉄を0.5～7.0アトミック%含有するアルミニウム合金を連続スパッター成膜する。

ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露するハーフトーン2重露光法またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。次に、ポジレジストが残っていない領域の第2層（上層）金属のみを選択エッチングして除去してから、酸素プラズマ処理やオゾン処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。

パターンニングされ露出した第2層（上層）金属をマスクに利用して、露出している第1層（下層）透明導電体のみを選択エッチングして除去する。次に露出している第2層（上層）金属のみを選択エッチングして除去し、第1層（下層）透明導電体を露出させてから、残ったポジレジストを剥離する。ゲート電極部と共通電極部と画素電極内部のコンタクトパッド部の第2層（上層）金属の表面に窒素イオンをドーピングして、ゲート電極表面と、共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。

【請求項23】

請求項1から請求項16までの製造法に関して、1番はじめのホトリソグラフィの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）金属としてTiまたはZrの金属または合金を成膜した後、第2層（中層）金属としてアルミニウムまたはアルミニウム合金または、銅または銅合金または銀または銀合金を連続成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属のアルミニウムまたはアルミニウム合金または銅または銅合金または銀または銀合金と、第1層（下層）金属をエッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第3層（上層）金属と第2層（中層）金属を選択エッチングして除去して、第1層（下層）金属を露出させる。

ポジレジストが最大に厚く残った領域のポジレジストを剥離した後、露出した画素電極部の第1層（下層）金属表面に窒素イオンをドーピングして、窒化Tiまたは窒化Zrなどに変化させることで可視光の透過率を向上させる。

【請求項24】

請求項1から請求項16までの製造法に関して、1番はじめのホトリソグラフィの工程

10

20

30

40

50

に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）透明導電体として、TiまたはZrの金属窒化物または合金の窒化物または金属窒化物または合金の酸窒化物を成膜した後第2層（中層）金属としてアルミニウムまたはアルミニウム合金または、銅または銅合金または銀または銀合金を連続成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。 10

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属のアルミニウムまたはアルミニウム合金または銅または銅合金または銀または銀合金と、第1層（下層）透明導電体の窒化チタンまたは窒化ジルコニウムまたは酸窒化チタンまたは酸窒化ジルコニウムなどをエッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第3層（上層）金属と第2層（中層）金属を選択エッチングして除去して、第1層（下層）透明導電体を露出させる。最後にポジレジストが最大に厚く残った領域のポジレジストを剥離する。

【請求項25】

20

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィーの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）透明導電体として、金属酸化物のITOまたはIZOを成膜した後、第2層（中層）金属として、ITOやIZOよりも酸化還元電位の小さな、MoやCrを0.5～7.0アトミック%含有する銅合金や、銀合金、またはニッケルやコバルトや鉄を0.5～7.0アトミック%含有するアルミニウム合金を連続して成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。 30

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属の銅合金または銀合金またはアルミニウム合金と、第1層（下層）透明導電体のITOまたはIZOをエッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない薄くポジレジストが残っている領域のポジレジストを分解除去する。

露出した第3層（上層）金属と第2層（中層）金属を選択エッチングして除去して、第1層（下層）透明導電体を露出させる。最後にポジレジストが最大に厚く残った領域のポジレジストを剥離する。 40

【請求項26】

請求項1から請求項16までの製造法に関して、1番はじめのホトリソグラフィーの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）金属としてTiまたはZrの金属または合金を成膜した後、第2層（中層）金属としてアルミニウムまたはアルミニウム合金または銅または銅合金または銀または銀合金を連続成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法、またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電 50

極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属のアルミニウムまたはアルミニウム合金または銅または銅合金または銀または銀合金をエッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する、パターンニングされ露出した第3層（上層）金属と第2層（中層）金属をマスクに利用して、露出している第1層（下層）金属を選択エッチングする。次に露出している第3層（上層）金属と第2層（中層）金属のみを選択エッチングして除去し、第1層（下層）金属を露出させてから、残ったポジレジストを剥離する。露出している画素電極部の第1層（下層）金属表面に窒素イオンをドーピングして、窒化Tiまたは窒化Zrなどに変化させることで可視光の透過率を向上させる。

10

【請求項27】

請求項1から請求項16までの製造法に関して、1番はじめのホトリソグラフィの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層（下層）透明導電体として、TiまたはZrの金属窒化物または合金の窒化物または金属酸窒化物または合金の酸窒化物を成膜した後第2層（中層）金属としてアルミニウムまたはアルミニウム合金または銅または銅合金または銀または銀合金を連続成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属のアルミニウムまたはアルミニウム合金または銅または銅合金または銀または銀合金をエッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第3層（上層）金属と第2層（中層）金属をマスクに利用して露出している第1層（下層）透明導電体を選択エッチングする。次に露出している第3層（上層）金属と第2層（中層）金属のみを選択エッチングして除去し、第1層（下層）透明導電体を露出させてから、残ったポジレジストを剥離する。

20

30

【請求項28】

請求項1から請求項16までの製造方法に関して、1番はじめのホトリソグラフィの工程に下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

ガラス基板を洗浄した後、第1層透明導電体として、金属酸化物のITOまたはIZOを成膜した後、第2層（中層）金属として、ITOやIZOよりも酸化還元電位の小さな、MoやCrを0.5～7.0アトミック%含有する銅合金や銀合金、または、ニッケルやコバルトや鉄を0.5～7.0アトミック%含有するアルミニウム合金を連続して成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジスト塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極の一部に対応するポジレジストの厚みが薄くなるように調整する。

40

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属の銅合金または銀合金またはアルミニウム合金をエッチングして除去してか

50

ら酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第3層（上層）金属と第2層（中層）金属をマスクに利用して露出している第1層（下層）透明導電体を選択エッチングする。次に露出している第3層（上層）金属と、第2層（中層）金属のみを選択エッチングして除去し、第1層（下層）透明導電体を露出させてから、残ったポジレジストを剥離する。

【請求項29】

請求項17、20、23、26の製造方法に関して、第1層（下層）金属であるTiまたはZrまたはこれらの合金の膜厚が5～25nmの範囲であり、第1層（下層）金属を成膜後、第2層めの金属をスパッタリング法で成膜する時に、まずはじめにスパッタリング用の不活性ガスのアルゴンやクリプトンのガスに窒化性ガスとして窒素、アンモニア、ヒドラジン、ヒドラゾンなどのすくなくとも一種類以上の窒化性ガスを1～20%の範囲で混合して、放電し、第2層目の金属膜中に窒素原子をドーピングしながら1～10nm程度の厚みに第2層金属を成膜した後、窒化性ガスの混入を停止してスパッタリング用の不活性ガスのアルゴンやクリプトンだけで成膜することで、第1層（下層）金属との界面と、界面に近い領域の第2層金属のエッチングレートを窒素原子がドーピングされていない第2層金属領域よりも小さくすることができ、テーパー形状のエッチング加工を可能としたことを特徴とするアクティブマトリックス基板の製造方法。

10

【請求項30】

請求項18、19、21、22、24、25、27、28の製造方法に関して、第1層（下層）薄膜透明導電体の膜厚が10～100nmの範囲であり、第1層（下層）薄膜透明導電体を成膜後、第2層めの金属をスパッタリング法で成膜する時に、まずはじめにスパッタリング用の不活性ガスのアルゴンやクリプトンのガスに窒化性ガスとして窒素、アンモニア、ヒドラジン、ヒドラゾンなどのすくなくとも一種類以上の窒化性ガスを1～20%の範囲で混合して、放電し、第2層目の金属膜中に窒素原子をドーピングしながら1～10nm程度の厚みに第2層金属を成膜した後、窒化性ガスの混入を停止してスパッタリング用の不活性ガスのアルゴンやクリプトンだけで成膜することで、第1層（下層）透明導電体中に含有されている酸素原子が第2層金属に拡散移動することを防止し、かつ第1層（下層）透明導電体の界面と界面に近い領域の第2層金属のエッチングレートを窒素原子がドーピングされていない第2層金属領域よりも小さくすることができ、テーパー形状のエッチング加工を可能としたことを特徴とするアクティブマトリックス基板の製造方法。

20

30

【請求項31】

請求項17、20、23、26の製造方法に関して、第1層（下層）金属であるTiまたはZrまたはこれらの合金の膜厚が5～25nmの範囲であり、ポジレジストを剥離した後に基板に窒素イオンをドーピングするときの窒素イオンの加速エネルギーを1～20KeVの範囲でおこない、画素コンタクトパッド部のコンタクト抵抗値を100KΩ以下にしたことを特徴とするアクティブマトリックス基板の製造方法。

【請求項32】

請求項18、19、21、22の製造方法に関して、第1層（下層）透明導電体の膜厚が10～100nmの範囲であり、ポジレジストを剥離した後に基板に窒素イオンをドーピングするときの窒素イオンの加速エネルギーを0.5～10KeVの範囲でおこない、画素コンタクトパッド部のコンタクト抵抗値を100KΩ以下にしたことを特徴とするアクティブマトリックス基板の製造方法。

40

【請求項33】

請求項1から請求項16までの製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホトマスク

50

(透過露光量変調ホットマスク)を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部、共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから、酸素プラズマ処理やオゾンガス処理をおこないポジレジストが、薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。

10

この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した薄膜半導体層のみを選択エッチングして除去し、ゲート絶縁膜を露出させる。Gate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。次に薄膜トランジスタ素子部の薄膜半導体層の上に残っているポジレジストを剥離する。

【請求項34】

請求項1から請求項16までの製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

20

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布し、ハーフトーンホットマスク(透過露光量変調ホットマスク)を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部、共通電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから、酸素プラズマ処理やオゾンガス処理をおこない、ポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

30

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメタルとその下層に形成されている薄膜半導体層のみを選択エッチングして除去し、ゲート絶縁膜を露出させる。

40

Gate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。

次に薄膜トランジスタ素子部の薄膜半導体層の上に残っているポジレジストを剥離する。

【請求項35】

請求項1から請求項16までの製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトの

50

ための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部、共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲート絶縁膜を残しておく。次に酸素プラズマ処理やオゾンガス処理をおこない、ポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出し薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。このエッチングでは、コンタクトホール部の領域にわずかに残っているゲート絶縁膜の方が、露出している薄膜半導体層よりもはやく完全にエッチングされるように調整する。

コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなく、ゲート絶縁膜を露出させる。以上により、Gate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。

次に薄膜トランジスタ素子部の薄膜半導体層の上に残っているポジレジストを剥離する。

【請求項36】

請求項1から請求項16までの製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面に、ゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布し、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部や、Source電極端子部、共通電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。

次にポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲート絶縁膜を残しておく。次に酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。

この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメ

タルと耐酸化性バリアーメタルの下層に形成されている薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。このエッチングでは、コンタクトホール部の領域にわずかに残っているゲート絶縁膜の方が、ハーフトーン露光領域の薄膜半導体層よりもはやく完全にエッチングされるように調整する。

コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなく Gate 絶縁膜を露出させる。以上により Gate 電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて、完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。次に薄膜トランジスタ素子部の耐酸化性バリアーメタルの上に残っているポジレジストを剥離する。

10

【請求項 37】

請求項 1 から請求項 16 までの製造方法に関して、第 2 番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

第 1 番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを 2 種類用いて 2 回多重露光するハーフトーン 2 重露光法または、DMD 直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate 電極端子部や Source 電極端子部、共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域には、ポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから、酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているように、ハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

20

30

ハーフトーン露光領域のポジレジストが分解除去された後、露出した薄膜半導体層のみを選択エッチングして除去し、ゲート絶縁膜を露出させる。Gate 電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。

次に、イオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または、窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後、残っているポジレジストを剥離する。

【請求項 38】

請求項 1 から請求項 16 までの製造方法に関して、第 2 番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

40

第 1 番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布し、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを 2 種類用いて 2 回多重露光するハーフトーン 2 重露光法または、DMD 直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に、薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate 電極端子部や、Source 電極端子部、共通電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクト

50

ホールをあける部分のポジレジストを完全に除去し、それ以外の領域には、ポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから、酸素プラズマ処理やオゾンガス処理をおこない、ポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と、薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメタルとその下層に形成されている薄膜半導体層のみを選択エッチングして除去し、ゲート絶縁膜を露出させる。

G a t e 電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。

次にイオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後、残っているポジレジストを剥離する。

【請求項 39】

請求項 1 から請求項 16 までの製造方法に関して、第 2 番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

第 1 番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法またはノーマルホトマスクを 2 種類用いて 2 回多重露光するハーフトーン 2 重露光法または、D M D 直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、G a t e 電極端子部や S o u r c e 電極端子部、共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域には、ポジレジストの厚みが均一に薄く残るように調整する。

次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲート絶縁膜を残しておく。次に酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。このエッチングではコンタクトホール部の領域にわずかに残っているゲート絶縁膜の方が、露出している薄膜半導体層よりもはやく完全にエッチングされるように調整する。コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなくゲート絶縁膜を露出させる。

以上により、G a t e 電極と共通電極と画素電極を含む全領域を、コンタクトホール形成部分をのぞいて、完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。次にイオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後、残

10

20

30

40

50

っているポジレジストを剥離する。

【請求項 40】

請求項 1 から請求項 16 までの製造方法に関して、第 2 番めのホトリソグラフィ工程で下記の方法を用いたことを特徴とするアクティブマトリックス基板の製造方法。

第 1 番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法または、ノーマルホトマスクを 2 種類用いて 2 回多重露光するハーフトーン 2 重露光法または、DMD 直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate 電極端子部や Source 電極端子部、共通電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域には、ポジレジストの厚みが均一に薄く残るように調整する。

次にポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲート絶縁膜を残しておく。次に酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメタルと耐酸化性バリアーメタルの下層に形成されている薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。このエッチングでは、コンタクトホール部の領域にわずかに残っているゲート絶縁膜の方が、ハーフトーン露光領域の薄膜半導体層よりもはやく完全にエッチングされるように調整する。

コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなくゲート絶縁膜を露出させる。

以上により Gate 電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。

次にイオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後、残っているポジレジストを剥離する。

【請求項 41】

請求項 34, 36, 38, 40 の製造方法に関して、耐酸化性バリアーメタルの材料に、フッ素系のドライエッチングガスでエッチング可能なモリブデンやチタンやジルコニウムなどの高融点金属を用い、スパッタリング法を用いて 1 nm から 50 nm の膜厚で形成したことを特徴とするアクティブマトリックス基板の製造方法。

【請求項 42】

請求項 35, 36, 39, 40 の製造方法に関して、コンタクトホール部のゲート絶縁膜をハーフエッチングした後に、コンタクトホール部に残されたゲート絶縁膜の厚みが 5 nm から 200 nm の範囲であることを特徴とするアクティブマトリックス基板の製造方法。

【請求項 43】

請求項 37, 38, 39, 40 の製造方法に関して、薄膜トランジスタ素子部の薄膜半導体層の側壁をイオンドーピング法を用いて窒化処理する時窒素イオンの照射角度が基盤の

10

20

30

40

50

水平方向から5度～60度の範囲でかつ窒素イオンの加速エネルギーが1 KeV～10 KeVの範囲であることを特徴とするアクティブマトリックス基板の製造方法。

【請求項44】

請求項1から請求項43までのアクティブマトリックス基板の製造方法をすくなくともひとつ以上用いて製造されたアクティブマトリックス基板。

【請求項45】

請求項1から請求項43までのアクティブマトリックス基板の製造方法をすくなくともひとつ以上用いて製造されたアクティブマトリックス基板が組み込まれているアクティブマトリックス表示装置。

【請求項46】

請求項1から請求項16までの製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィ工程で形成された画素電極内部に薄膜画素電極とは別にゲート電極と同じ金属材料で形成されているコンタクトパッドがすくなくとも1個以上形成されており、2番めのホトリソグラフィ工程で形成されたコンタクトホールを通じて上記コンタクトパッドと薄膜トランジスタ素子の Drain 電極が3番めのホトリソグラフィ工程で電氣的に接続されていて、画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項47】

請求項1, 4, 7, 10, 13, 15の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィ工程でゲート電極と、ゲート電極に平行して近接した共通電極と、画素電極と、前記画素電極内部に薄膜画素電極とは別に、ゲート電極と同じ金属材料でコンタクトパッドがすくなくとも2個以上同時に同層に形成されている。2番めのホトリソグラフィ工程で形成されたコンタクトホールを通じて上記2個以上のコンタクトパッドのうち、すくなくとも1個は、3番めのホトリソグラフィ工程で形成される薄膜トランジスタ素子の Drain 電極と電氣的に接続され、残りのすくなくとも1個以上のコンタクトパッドは、3番めのホトリソグラフィ工程で形成される Cst (保持容量) 形成電極と電氣的に接続され、かつ、この Cst (保持容量) 形成電極は前記共通電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成しており、画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項48】

請求項2, 5, 8, 11, 14, 16の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィ工程で、ゲート電極と、ゲート電極に平行して近接した共通電極と、画素電極と、前記画素電極内部に薄膜画素電極とは別にゲート電極と同じ金属材料でコンタクトパッドがすくなくとも1個以上、同時に同層に形成されている。2番めのホトリソグラフィ工程で、上記共通電極と、上記コンタクトパッドに対応する位置に、それぞれ別々に1個以上のコンタクトホールを形成した後、3番めのホトリソグラフィ工程で薄膜トランジスタ素子の Drain 電極と液晶分子の配向方法を制御する配向制御電極が形成され、Drain 電極は、コンタクトホールを通してコンタクトパッドと電氣的に接続されている。配向制御電極は、コンタクトホールを通して共通電極と電氣的に接続され、かつ薄膜画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項49】

請求項1, 4, 7, 10, 13, 15の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィ工程でゲート電極と、くし歯状の画素電極と、くし歯状画素電極内部に2個以上のコンタクトパッドと、ゲート電極に平行に近接した共通電極と、前記共通電極から Source 電極の左右両側に近接して平行にのびている Source 信号シールド電極と、前記共通電極から同様にくし歯状画素電極に平行にのびているくし歯状共通電極が、同時に同一層に形成されており、2番めのホトリソグラフィ

10

20

30

40

50

ィー工程で形成されたコンタクトホールを通して前記くし歯状画素電極内部に形成された2個以上のコンタクトパッドのうちすくなくとも1個は、3番めのホトリソグラフィィー工程で形成される薄膜トランジスタ素子のD r a i n電極と電氣的に接続され、残りの1個以上のコンタクトパッドは、3番めのホトリソグラフィィー工程で形成されるC s t（保持容量）形成電極と電氣的に接続され、かつこのC s t（保持容量）形成電極は、ゲート電極に平行に近接されている共通電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。くし歯状画素電極とくし歯状共通電極と、S o u r c e信号シールド電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項50】

10

請求項1, 4, 7, 10, 13, 15の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィィー工程で、ゲート電極と、ゲート電極に平行して近接した共通電極と、画素電極と、前記画素電極内部に薄膜画素電極とは別にゲート電極と同じ金属材料でコンタクトパッドが少なくとも1個以上、同時に同層に形成されている。2番めのホトリソグラフィィー工程で、上記共通電極とコンタクトパッドに対応する位置にそれぞれ別々に1個以上のコンタクトホールを形成した後、3番めのホトリソグラフィィー工程で、薄膜トランジスタ素子のD r a i n電極とC s t（保持容量）形成電極が形成され、D r a i n電極はコンタクトホールを通してコンタクトパッドと電氣的に接続され、かつC s t（保持容量）形成電極はコンタクトホールを通して共通電極と電氣的に接続され、C s t（保持容量）形成電極は薄膜画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

20

【請求項51】

請求項1, 4, 7, 10, 13, 15の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィィー工程で、ゲート電極と共通電極と、前記共通電極によって2つの領域に分割された画素電極と、分割された画素電極のうちこれらの画素を駆動する薄膜トランジスタ素子に近接した画素電極の内部に2個以上のコンタクトパッドが形成され、もう一方の分割された画素電極内部には、1個以上のコンタクトパッドが形成される。2番めのホトリソグラフィィー工程でこれらのコンタクトパッドに対応する位置にコンタクトホールが形成される。3番めのホトリソグラフィィー工程で薄膜トランジスタ素子のD r a i n電極とC s t（保持容量）形成電極が形成され、前記D r a i n電極は、近接している画素電極のコンタクトパッドとコンタクトホールを通して電氣的に接続され、前記C s t（保持容量）形成電極は、分割された画素電極内部のコンタクトパッドのうち共通電極に近接している2つの別々の画素領域内部に形成された2つのコンタクトパッドとコンタクトホールを通して電氣的に接続されており、かつC s t（保持容量）形成電極はゲート絶縁膜をかいして共通電極とオーバーラップすることでコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

30

【請求項52】

請求項1, 4, 7, 10, 13, 15の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィィー工程で、基本の単位画素中に、2本のそれぞれ電氣的に独立した共通電極と、1本のゲート電極と、前記ゲート電極によって2つの領域に分割された画素電極と、前記2つの領域に分割された画素電極内部に、それぞれ別々に2個以上のコンタクトパッドが形成される。

40

2番めのホトリソグラフィィー工程でこれらのコンタクトパッドに対応する位置にコンタクトホールが形成される。3番めのホトリソグラフィィー工程でゲート電極によって2つの領域に分割されたそれぞれの画素電極に対応した2個のD r a i n電極と、それぞれの画素電極に対応した2個のC s t（保持容量）形成電極が形成され、前記2個のD r a i n電極はゲート電極によって2つに分割された画素電極内部に形成されたコンタクトパッドのうちのゲート電極に近接したコンタクトパッドとコンタクトホールを通して電氣的に接続

50

されており、前記 2 個の C s t（保持容量）形成電極は、分割された画素電極内部に形成された残りのコンタクトパッドとそれぞれ別々にコンタクトホールを通して電氣的に接続され、かつ前記 2 個の C s t（保持容量）形成電極はゲート絶縁膜をかいしてそれぞれ別々に 2 本の共通電極とオーバーラップすることで、独立したコンデンサーを形成している。2 つに分割された画素電極は、コンタクトホールをのぞいて、ゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項 5 3】

請求項 2, 5, 8, 11, 14, 16 の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィ工程で、基本の単位画素中に、2 本のそれぞれ電氣的に独立した共通電極と、1 本のゲート電極と、前記ゲート電極によって 2 つの領域に分割された画素電極と、前記 2 つの領域に分割された画素電極内部に、ゲート電極に近接した位置にそれぞれ別々に 1 個以上のコンタクトパッドが形成される。2 番めのホトリソグラフィ工程でこれらのコンタクトパッドと 2 本の共通電極に対応する位置にコンタクトホールが形成される。3 番めのホトリソグラフィ工程で 2 つの領域に分割されたそれぞれの画素電極に対応した薄膜トランジスタ素子の 2 個の D r a i n 電極と、それぞれ 2 つの画素電極に対応した液晶分子の配向方向を制御する 2 組の配向制御電極が形成され、前記 2 個の D r a i n 電極は、コンタクトホールを通してそれぞれ別に 2 つに分割された画素電極内部のコンタクトパッドと電氣的に接続されており、前記 2 組の配向制御電極は、2 本の共通電極とコンタクトホールを通して、それぞれ別々に独立して電氣的に接続され、かつ 2 組の配向制御電極はゲート絶縁膜をかいしてそれぞれ別々に 2 つの領域に分割された画素電極とオーバーラップすることで、独立したコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項 5 4】

請求項 1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16 の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィ工程で、基本の単位画素中に、2 本のそれぞれ電氣的に独立した共通電極と、1 本のゲート電極と、前記ゲート電極によって 2 つの領域に分割された画素電極と、前記 2 つの領域に分割された画素電極のうちの 1 方の画素電極にすくなくとも 2 個以上のコンタクトパッドを形成し、もう一方の残りの画素電極にはすくなくとも 1 個のコンタクトパッドを形成する。2 番めのホトリソグラフィ工程で、これらのコンタクトパッドと、すくなくとも 1 個のコンタクトパッドが形成された後者の画素電極に近接して配置されている共通電極の上にコンタクトホールを形成する。3 番めのホトリソグラフィ工程で、分割されたそれぞれの画素電極に対応した薄膜トランジスタ素子の 2 個の D r a i n 電極と、1 個の C s t（保持容量）形成電極と、液晶分子の配向方向を制御する 1 組の配向方向制御電極が形成される。

前記 2 個の D r a i n 電極は 2 つに分割された画素電極内部に形成されたコンタクトパッドとそれぞれ別々のコンタクトホールを通して電氣的に接続され、前記 1 組の配向方向制御電極は、2 つの共通電極のうち、コンタクトホールがつけられた方の共通電極とコンタクトホールを通して電氣的に接続され、前記 1 個の C s t（保持容量）形成電極は、すくなくとも 2 個以上のコンタクトパッドが形成されている画素電極の共通電極に近接しているコンタクトパッドとコンタクトホールを通して電氣的に接続されている。前記 1 組の配向方向制御電極は、ゲート絶縁膜をかいして、すくなくとも 1 個のコンタクトパッドが形成されている画素電極とオーバーラップすることでコンデンサーを形成しており、かつ前記 C s t（保持容量）形成電極は、ゲート絶縁膜をかいして、すくなくとも 2 個のコンタクトパッドが形成されているもう一方の画素電極とオーバーラップすることでコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項 5 5】

請求項 1, 4, 7, 10, 13, 15 の製造方法を用いて作られたアクティブマトリックス

ス基板に関して、最初のホトリソグラフィー工程でゲート電極と、くし歯状の画素電極と、画素電極内部に1個以上のコンタクトパッドと、ゲート電極に平行に近接した共通電極と、前記共通電極からSource電極の左右両側に近接して平行にのびているSource信号シールド電極と、前記共通電極からくし歯状画素電極に平行にのびているくし歯状共通電極が同時に同一層に形成され、2番めのホトリソグラフィー工程で、前記共通電極と、前記コンタクトパッドに対応する位置にそれぞれ別々に1個以上のコンタクトホールが形成された後、3番めのホトリソグラフィー工程で薄膜トランジスタ素子のDrain電極と、Cst（保持容量）形成電極が形成され、前記Drain電極は、コンタクトホールを通して前記コンタクトパッドと電気的に接続され、前記Cst（保持容量）形成電極は、ゲート電極に平行に近接している共通電極とコンタクトホールを通して電気的に接続され、かつ前記Cst（保持容量）形成電極は前記くし歯状画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。くし歯状画素電極とくし歯状共通電極とSource信号シールド電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

10

【請求項56】

請求項3，6，9，12の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィー工程でゲート電極と、ゲート電極に平行して近接した共通電極と、ベタ状画素電極と、ベタ状画素電極内部に透明画素電極とは別にゲート電極と同じ金属材料でコンタクトパッドが少なくとも1個、同時に同層に形成されている。

2番めのホトリソグラフィー工程で、前記共通電極と前記コンタクトパッドに対応する位置に、それぞれ別々に1個以上のコンタクトホールを形成した後、3番めのホトリソグラフィー工程で薄膜トランジスタ素子のDrain電極と、くし歯状共通電極が形成され、Drain電極はコンタクトホールを通して前記コンタクトパッドと電気的に接続され、くし歯状共通電極は、コンタクトホールを通して前記ゲート電極に平行して近接した共通電極と電気的に接続され、かつ、くし歯状共通電極は、前記ベタ状画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。ベタ状画素電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されていることを特徴とするアクティブマトリックス基板。

20

【請求項57】

請求項1，4，7，10，13，15の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィー工程で、直線状のゲート電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極内部には、液晶分子の配向方向を制御するための細長いスリットが複数周期的に形成されており、これらの複数の細長いスリットは、直線状のゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。画素電極は、2番めのホトリソグラフィー工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、完全にゲート絶縁膜で被覆されており、3番めのホトリソグラフィー工程で形成された直線状Source電極（映像信号電極）は、ゲート絶縁膜をかいしてゲート電極と直交して配置されていることを特徴とするアクティブマトリックス基板。

30

【請求項58】

請求項1，4，7，10，13，15の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィー工程で直線状のゲート電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極内部には、液晶分子の配向方向を制御するための細長いスリットがマトリックス状に形成されており、これらのマトリックス状の細長いスリットは、直線状のゲート電極に対して、平行または直交する方向に細長くのびている。画素電極は、2番めのホトリソグラフィー工程でコンタクトパッド部に形成されるコンタクトホールをのぞいて、完全にゲート絶縁膜で被覆されており、3番めのホトリソグラフィー工程で形成された直線状Source電極（映像信号電極）は、ゲート絶縁膜をかいしてゲート電極と直交して配置されていることを特徴とするアクティブマトリックス基板。

40

50

【請求項 59】

請求項 2, 5, 8, 11, 14, 16 の製造方法を用いて作られたアクティブマトリックス基板に関して、1 番めのホトリソグラフィ工程で、直線状のゲート電極と、共通電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極は 2 番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、完全にゲート絶縁膜で被覆されており、3 番めのホトリソグラフィ工程で、液晶分子の配向方向を制御する細長い配向方向制御電極と、直線状の S o u r c e 電極が形成され、配向方向制御電極は、直線状のゲート電極に対してプラスマイナス 45 度の方向に細長くのびており、画素電極の中央部付近で 90 度の角度で屈曲している。配向方向制御電極は、コンタクトホールを通して共通電極と電氣的に接続されており、直線状の S o u r c e 電極はゲート絶縁膜をかいしてゲート電極と直交配置されていることを特徴とするアクティブマトリックス基板。 10

【請求項 60】

請求項 2, 5, 8, 11, 14, 16 の製造方法を用いて作られたアクティブマトリックス基板に関して、1 番めのホトリソグラフィ工程で、直線状のゲート電極と共通電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極は、2 番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、完全にゲート絶縁膜で被覆されており、3 番めのホトリソグラフィ工程で、液晶分子の配向方向を制御する細長い配向方向制御電極と、直線状の S o u r c e 電極（映像信号電極）が形成され、配向方向制御電極は、直線状のゲート電極に対して平行または直交する方向に細長くのびており、マトリックス状の形状をなしている。配向方向制御電極は、コンタクトホールを通して共通電極と電氣的に接続されており、直線状の S o u r c e 電極はゲート絶縁膜をかいしてゲート電極と直交配置されていることを特徴とするアクティブマトリックス基板。 20

【請求項 61】

請求項 1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16 の製造方法を用いて作られたアクティブマトリックス基板に関して、最初のホトリソグラフィ工程で基本の単位画素中に、1 本のゲート電極と、1 本の共通電極と、1 枚の画素電極と、画素電極内部にすくなくとも 1 個のコンタクトパッドが形成され、画素電極の 3 分の 2 から 5 分の 4 の面積をしめる領域に液晶配向方向を制御する細長い複数のスリットが形成されている。これらの複数の細長いスリットは、ゲート電極に対してプラスマイナス 45 度の方向に細長くのびており、スリットが形成されている画素領域の中央部付近で 90 度の角度で屈曲している形状をしているか、または、マトリックス状の形状でゲート電極に対して平行または直交する方向に細長くのびた形状をしている。2 番めのホトリソグラフィ工程で前記共通電極とコンタクトパッドにそれぞれ別々に 1 個以上のコンタクトホールを形成する。前記画素電極はコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されている。3 番めのホトリソグラフィ工程でゲート電極に直交する直線状の S o u r c e 電極と、画素電極の 5 分の 1 から 3 分の 1 の面積をしめるスリットが形成されていない領域に、液晶分子の配向方向を制御する配向方向制御電極を形成する。配向方向制御電極は、共通電極とコンタクトホールを通して電氣的に接続されており、かつゲート電極に対してプラスマイナス 45 度の方向に細長くのびており、配向制御電極が形成されている画素領域の中央部付近で 90 度の角度で屈曲している形状をしているか、または、マトリックス状の形状でゲート電極に対して平行または直交する方向に細長くのびた形状をしている。配向制御電極が形成されている画素領域の方がスリットが形成されている画素領域よりも液晶駆動の T h r e s h o l d 電圧（閾値電圧）が小さいことを特徴とするアクティブマトリックス基板。 30 40

【請求項 62】

請求項 1, 4, 7, 10, 13, 15 の製造方法を用いて作られたアクティブマトリックス基板に関して、1 番めのホトリソグラフィ工程で、直線状のゲート電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極には、液晶分子の配向方向を 50

制御するための細長いスリットが複数周期的に形成されており、これら複数の細長いスリットは、直線状のゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。画素電極も同様に、直線状のゲート電極に対してプラスマイナス45度の方向に長くのびており、画素電極の中央部付近で90度の角度で屈曲している。2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、画素電極は完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で形成されるSource電極（映像信号電極）も、ゲート電極に対してプラスマイナス45度の方向に細長くのびており画素電極や画素電極に形成されている細長いスリットと同様に、画素電極の中央部付近で90度の角度で屈曲していることを特徴とするアクティブマトリックス基板。

10

【請求項63】

請求項2, 5, 8, 11, 14, 16の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で、直線状のゲート電極と、共通電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極は、直線状のゲート電極に対してプラスマイナス45度の方向に長くのびており、画素電極の中央部付近で90度の角度で屈曲している。2番めのホトリソグラフィ工程で、共通電極部とコンタクトパッド部にコンタクトホールが形成され、画素電極はこのコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で液晶分子の配向方向を制御する細長い配向方向制御電極と、Source電極（映像信号電極）が形成され、配向方向制御電極は直線状のゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。配向方向制御電極はコンタクトホールを通して共通電極と電気的に接続されており、ゲート絶縁膜をかいして画素電極とオーバーラップすることでコンデンサーを形成している。

20

Source電極もゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極や配向方向制御電極と同様に画素電極の中央部付近で90度の角度で屈曲していることを特徴とするアクティブマトリックス基板。

【請求項64】

請求項1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で基本の単位画素中に、直線状の1本のゲート電極と、1本の共通電極と、1枚の画素電極と、画素電極内部に少なくとも1個のコンタクトパッドが形成され、画素電極の3分の2から5分の4の面積をしめる領域に液晶配向方向を制御する細長い複数のスリットが形成されている。これらの複数の細長いスリットは、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で、90度の角度で屈曲している。画素電極も同様に直線状のゲート電極に対してプラスマイナス45度の方向に長くのびており、画素電極の中央部付近で90度の角度で屈曲している。2番めのホトリソグラフィ工程で、前記共通電極とコンタクトパッドにそれぞれ別々に1個以上のコンタクトホールを形成する。

30

40

前記画素電極はコンタクトホールををのぞいて完全にゲート絶縁膜で被覆されている。3番めのホトリソグラフィ工程で、Source電極（映像信号電極）と、画素電極の5分の1から3分の1の面積をしめるスリットが形成されていない画素領域に、液晶分子の配向方向を制御する配向方向制御電極を形成する。配向方向制御電極は、コンタクトホールを通して共通電極と電気的に接続されており、かつゲート電極に対してプラスマイナス45度の方向に細長くのびており画素電極の中央部付近で90度の角度で屈曲している。配向方向制御電極はゲート絶縁膜をかいして画素電極とオーバーラップすることでコンデンサーを形成している。

Source電極も、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極や、画素電極に形成された細長いスリットや、配向方向制御電極と同様に画

50

素電極の中央部付近で90度の角度で屈曲している。

配向方向制御電極が形成されている画素電極の5分の1から3分の1の面積をしめる領域の方が、細長いスリットが形成されている画素電極の3分の2から5分の4の面積をしめる残りの領域よりも液晶駆動のThreshold電圧（閾値電圧）が小さいことを特徴とするアクティブマトリックス基板。

【請求項65】

請求項1, 4, 7, 10, 13, 15の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で基本の単位画素中に、1本の直線状ゲート電極と、1本の共通電極と、1枚の画素電極と画素電極内部にコンタクトパッドがすくなくとも1個以上形成されている。画素電極は2つの領域に分けられており、画素電極の3分の2から5分の4の面積をしめる領域には、液晶分子の配向方向を制御する細長い複数のスリットが、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、それぞれのスリットは40～60ミクロンピッチで疎に平行に配列されていて、この疎に配列されている領域の中央部付近で、画素電極と細長い複数のスリットは90度に屈曲している。

10

画素電極の残りの5分の1から3分の1の面積をしめる領域には、液晶分子の配向方向を制御する細長い複数のスリットがゲート電極に対してプラスマイナス45度の方向に細長くのびており、それぞれのスリットは20～40ミクロンピッチで密に平行に配列されており、この密に配列されている領域の中央部付近で、画素電極と細長い複数のスリットは90度に屈曲している。

20

2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいて画素電極は完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で形成されるSource電極（映像信号電極）もゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極や細長いスリットと同様にスリットが疎に配列されている画素領域の中央部付近と、スリットが密に配列されている画素領域の中央部付近の2ヶ所ですくなくとも2回以上90度に屈曲していることを特徴とするアクティブマトリックス基板。

【請求項66】

請求項2, 5, 8, 11, 14, 16の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で基本の単位画素中に、1本の直線状のゲート電極と、1本の共通電極と、1枚の画素電極と、画素電極内部に少なくとも1個のコンタクトパッドが形成されている。2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、画素電極は完全にゲート絶縁膜で被覆されている。

30

3番めのホトリソグラフィ工程でSource電極（映像信号電極）と、液晶分子の配向方向を制御する細長い複数の配向方向制御電極が形成される。画素電極の3分の2から5分の4の面積をしめる領域には、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、それぞれの配向方向制御電極は40～60ミクロンのピッチで疎に平行に配列されている。この疎に配列されている領域の中央部付近で、画素電極と細長い複数の配向方向制御電極は、両方とも90度に屈曲している。

40

画素電極の残りの5分の1から3分の1の面積をしめる領域には、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長く複数本のびており、それぞれの配向方向制御電極は、20～40ミクロンピッチで密に平行に配列されている。この密に配列されている領域の中央部付近で、画素電極と細長い複数の配向方向制御電極は、両方ともに90度に屈曲している。

Source電極も、画素電極や、細長い配向方向制御電極と同様に、配向方向制御電極が疎に配列されている画素領域の中央部付近と、配向方向制御電極が密に配列されている画素領域の中央部付近の2か所ですくなくとも2回以上90度に屈曲している。

2つの画素領域に配列されている配向方向制御電極は領域の境界で連結されており、コンタクトホールを通して共通電極と電氣的に接続され、ゲート絶縁膜をかいして画素電極と

50

オーバーラップすることでコンデンサーを形成していることを特徴とするアクティブマトリックス基板。

【請求項 67】

請求項 1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16 の製造方法を用いて作られたアクティブマトリックス基板に関して、1 番めのホトリソグラフィ工程で基本の単位画素中に、1 本の直線状のゲート電極と、1 本の共通電極と、1 枚の画素電極と、画素電極内部に少なくとも 1 個のコンタクトパッドが形成されている。2 番めのホトリソグラフィ工程でコンタクトホールが共通電極部とコンタクトパッド部に形成される。コンタクトパッド部のコンタクトホールをのぞいて、画素電極は、完全にゲート絶縁膜で被覆されている。3 番めのホトリソグラフィ工程で Source 電極（映像信号電極）と液晶分子の配向方向を制御する細長い複数の配向方向制御電極が形成され、配向方向制御電極はコンタクトホールを通して共通電極と電氣的に接続されている。

10

画素電極は 2 つの領域に分けられており、画素電極の 3 分の 2 から 5 分の 4 の面積をしめる領域には、液晶配向方向を制御する細長い複数のスリットがゲート電極に対してプラスマイナス 45 度の方向に細長くのびており、それぞれのスリットは 40～60 ミクロンのピッチで疎に平行に配列されていて、この領域の中央部付近で画素電極と細長い複数のスリットは両方ともに 90 度の角度で屈曲している。

画素電極の残りの 5 分の 1 から 3 分の 1 の面積をしめる領域には、複数の配向方向制御電極がゲート電極に対してプラスマイナス 45 度の方向に細長くのびており、それぞれの配向方向制御電極は 20～40 ミクロンピッチで密に平行に配列されていて、この領域の中央部付近で、画素電極と細長い複数の配向方向制御電極は両方ともに 90 度の角度で屈曲している。

20

Source 電極も画素電極や細長いスリットや細長い配向方向制御電極と同様に、細長いスリットが疎に配列されている画素領域の中央部付近と、配向方向制御電極が密に配列されている画素領域の中央部付近の 2 か所で、少なくとも合計で 2 回以上 90 度に屈曲している。配向方向制御電極が密に平行に配列されている画素電極の 5 分の 1 から 3 分の 1 の面積をしめる領域の方が、細長いスリットが疎に平行に配列されている画素電極の 3 分の 2 から 5 分の 4 の面積をしめる領域よりも液晶駆動の Threshold 電圧（閾値電圧）が、小さいことを特徴とするアクティブマトリックス基板。

【請求項 68】

30

請求項 1, 4, 7, 10, 13, 15 の製造方法を用いて作られたアクティブマトリックス基板に関して、1 番めのホトリソグラフィ工程で、基本となる単位画素中に、1 本のゲート電極と 2 本の共通電極と、ゲート電極によって大面積領域と小面積領域の 2 つの領域に分断された 2 枚の画素電極と、2 つの領域に分断されたそれぞれの画素電極内部に少なくともそれぞれ 2 個以上、合計して 4 個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約 2 倍から 4 倍の大きさである。

大きい方の画素電極には、液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス 45 度の方向に細長くのびた形状に形成されており、それぞれのスリットは 40～60 ミクロンピッチで疎に互いに平行に配列されている。

40

大きい画素電極の中央部付近で細長いスリットは 90 度の角度で屈曲している。小さい方の画素電極にも液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス 45 度の方向に細長くのびた形状に形成されており、それぞれのスリットは、20～40 ミクロンピッチで密に互いに平行に配列されている。

小さい画素電極の中央部付近で細長いスリットは 90 度の角度で屈曲している。2 番めのホトリソグラフィ工程でコンタクトホールが、コンタクトパッド部に形成され、これらのコンタクトホールをのぞいて、大小 2 つに分断された画素電極は、完全にゲート絶縁膜で被覆されている。3 番めのホトリソグラフィ工程で基本となる単位画素中にゲート電極と直交している直線状の Source 電極（映像信号電極）と、大面積画素電極と小面積画素電極のそれぞれに対応する 2 つの Drain 電極と、2 つの Cst（保持容量）形

50

成電極が形成される。2つのD r a i n電極は、コンタクトホールを通して大小2つの画素電極と別々に電氣的に接続されている。2つのC s t（保持容量）形成電極は、コンタクトホールを通して大小2つの画素電極と別々に電氣的に接続され、かつゲート絶縁膜をかいてそれぞれに対応する2本の共通電極とオーバーラップすることで2つの独立したコンデンサーを形成していることを特徴とするアクティブマトリックス基板。

【請求項69】

請求項2，5，8，11，14，16の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小の2つの領域に分断された2枚の画素電極と、2つに分断されたそれぞれの画素電極内部に少なくとも1個のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約2倍から4倍の大きさである。2番めのホトリソグラフィ工程で、コンタクトホールが、大小2つの画素電極内部のコンタクトパッド部と大小の2つの画素電極に対応する2本の共通電極部に形成され、コンタクトホールをのぞいては、大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

10

3番めのホトリソグラフィ工程で、基本の単位画素中に、ゲート電極に直交する直線状のS o u r c e電極（映像信号電極）と、大小2つの画素電極に対応する2つのD r a i n電極と、大小2つの画素電極に対応する液晶分子の配向方向を制御するための細長い配向方向制御電極が形成される。2つのD r a i n電極は大小2つの画素電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。

20

大きい方の画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は、40～60ミクロンピッチで疎に互いに平行に配列されている。大きい画素電極の中央部付近で細長い配向方向制御電極は90度の角度で屈曲している。小さい方の画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は、20～40ミクロンピッチで密に互いに平行に配列されている。小さい画素電極の中央部付近で細長い配向方向制御電極は、90度の角度で屈曲している。大小2つの画素電極領域に配列されている、それぞれの配向方向制御電極は、それぞれに対応している2つの共通電極とコンタクトホールを通して電氣的に接続されており、ゲート絶縁膜をかいて、大小の画素電極とそれぞれオーバーラップすることで2つの独立したコンデン

30

【請求項70】

請求項1，2，4，5，7，8，10，11，13，14，15，16の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で基本となる単位画素中に、1本のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の画素電極が形成され、大きい面積の画素電極には、2個以上のコンタクトパッドが形成され、小さい面積の画素電極には、すくなくとも1個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約2倍から4倍の大きさであり、この大きい方の画素電極には、液晶分子の配向方向を制御する細長い複数のスリットが形成されている。これら複数のスリットはゲート電極に対してプラスマイナス45度の方向に細長くのびており、40～60ミクロンのピッチで疎に互いに平行に配列されている。大きい画素電極の中央部付近で細長い複数のスリットは90度の角度で屈曲している。

40

2番めのホトリソグラフィ工程で、コンタクトホールが大小2つの画素電極内部に形成されたコンタクトパッド部と、小さい画素電極に対応した1本の共通電極に形成され、これらのコンタクトホールをのぞいて大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で、基本となる単位画素中に、ゲート電極に直交する直線状のS o u r c e電極（映像信号電極）と、大小2つの画素電極に対応する2つのD r a i n電極と、大きい画素電極に対応するひとつのC s t（保持容量）形成電極と、小

50

い画素電極に対応する液晶分子の配向方向を制御するための細長い配向方向制御電極が形成される。2つのD r a i n電極は、大小2つの画電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。小さい方の画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびている。複数の配向方向制御電極は、20～40ミクロンピッチで密に互いに平行に配列されており、小さい画素電極の中央部付近で90度の角度で屈曲している。前記配向方向制御電極は小さい画素電極に対応する1本の共通電極とコンタクトホールを通して電氣的に接続されており、ゲート絶縁膜をかいして小さな画素電極とオーバーラップすることでコンデンサーを形成している。

前記C s t（保持容量）形成電極は、コンタクトホールを通して大きい画素電極と電氣的に接続され、かつゲート絶縁膜をかいして大きい画素電極に対応している1本の共通電極とオーバーラップすることでコンデンサーを形成している。配向方向制御電極が密に平行に配列されている小さい画素電極領域のほうが、細長い配向方向制御用スリットが疎に平行に配列されている大きい画素電極領域よりも液晶駆動のT h r e s h o l d電圧（閾値電圧）が小さいことを特徴とするアクティブマトリックス基板。

【請求項71】

請求項1，4，7，10，13，15の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で、基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の画素電極と、分断されたそれぞれの画素電極内部に少なくともそれぞれの2個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は小さい方の画素電極の面積の約2倍から4倍の大きさである。大きい方の画素電極には、液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス45度の方向に細長くのびた形状に形成されており、それぞれのスリットは40～60ミクロンピッチで疎に互いに平行に配列されている。大きい画素電極の中央部付近で、大きい画素電極と、細長い複数のスリットは、90度の角度で屈曲している。

小さい方の画素電極にも液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス45度の方向に細長くのびた形状に形成されており、それぞれのスリットは20～40ミクロンピッチで密に互いに平行に配列されている。小さい画素電極の中央部付近で小さい画素電極と細長い複数のスリットは90度の角度で屈曲している。2番めのホトリソグラフィ工程でコンタクトホールが、大小2つの画素電極内部のコンタクトパッド部に形成される。

これらのコンタクトホールをのぞいて大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で基本となる単位画素中にS o u r c e電極（映像信号電極）と、大面積画素電極と小面積画素電極のそれぞれに対応する2つのD r a i n電極と2つのC s t（保持容量）形成電極が形成される。前記S o u r c e電極はゲート電極に対してプラスマイナス45度の方向に細長くのびており、大小2つの画素電極と細長いスリットと同様に大きい画素電極の中央部付近と、小さい画素領域の中央部付近の2ヶ所ですくなくとも2回以上90度に屈曲している。

2つのD r a i n電極は、コンタクトホールを通して大小2つの画素電極とそれぞれ別々に電氣的に接続されている。2つのC s t（保持容量）形成電極はコンタクトホールを通して大小2つの画素電極とそれぞれ別々に電氣的に接続され、かつゲート絶縁膜をかいしてそれぞれのC s t形成電極に対応している2本の共通電極とオーバーラップすることで2つの独立したコンデンサーを形成していることを特徴とするアクティブマトリックス基板。

【請求項72】

請求項2，5，8，11，14，16の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で、基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の

10

20

30

40

50

画素電極と、分断されたそれぞれの画素電極内部にすくなくとも1個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約2倍から4倍の大きさである。大小2つの画素電極は、それぞれの画素電極の中央部付近で90度の角度で屈曲しており、ゲート電極に対してはプラスマイナス45度の角度で屈曲している。

2番めのホトリソグラフィ工程で、コンタクトホールが大小2つの画素電極内部のコンタクトパッド部と大小2つの画素電極に対応する2本の共通電極に形成され、コンタクトホールをのぞいては大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で基本の単位画素中にSource電極（映像信号電極）と、大小2つの画素電極にそれぞれ別々に対応する2つのDrain電極と、大小2つの画素電極にそれぞれ別々に対応する液晶分子の配向方向を制御するための細長い配向方向制御電極が形成される。2つのDrain電極は大小2つの画素電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。大きい方の画素電極領域では配向方向制御電極が、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は40～60ミクロンピッチで疎に互いに平行に配列されている。大きい画素電極の中央部付近で細長い配向方向制御電極は、大きい画素電極と同様に90度の角度で屈曲している。小さい画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は、20～40ミクロンピッチで密に互いに平行に配列されている。小さい画素電極の中央部付近で細長い配向方向制御電極は、小さい画素電極と同様に90度の角度で屈曲している。大小2つの画素電極領域に配列されているそれぞれの配向方向制御電極は、大小2つの画素電極に対応している2つの共通電極とコンタクトホールを通してそれぞれ別々に電氣的に接続されており、ゲート絶縁膜をかいして大小2つの画素電極とそれぞれオーバーラップすることで2つの独立したコンデンサーを形成している。前記Source電極はゲート電極に対してプラスマイナス45度の方向に細長くのびており、大小2つの画素電極と細長い配向方向制御電極と同様に大きい画素電極の中央部付近と小さい画素電極の中央部付近の2ヶ所ですくなくとも2回以上90度に屈曲していることを特徴とするアクティブマトリックス基板。

【請求項73】

請求項1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で、基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の画素電極が形成され、大きい面積の画素電極には、2個以上のコンタクトパッドが形成され、小さい面積の画素電極にはすくなくとも1個以上のコンタクトパッドが形成されている。

大きい画素電極の面積は、小さい画素電極の面積の約2倍から4倍の大きさであり、大きい画素電極には、液晶分子の配向方向を制御する細長い複数のスリットが形成されている。これら複数のスリットはゲート電極に対してプラスマイナス45度の方向に細長くのびており、40～60ミクロンのピッチで疎に互いに平行に配列され、大きい画素電極の中央部付近で90度の角度で屈曲している。

大小2つの画素電極はそれぞれの画素電極の中央部付近で90度の角度で屈曲しており、ゲート電極に対してはプラスマイナス45度の角度で屈曲している。

2番めのホトリソグラフィ工程でコンタクトホールが大小2つの画素電極内部に形成されたコンタクトパッド部と、小さい画素電極に対応した1本の共通電極に形成され、これらのコンタクトホールをのぞいて大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で、基本の単位画素中にSource電極（映像信号電極）と、大小2つの画素電極にそれぞれ別々に対応する2つのDrain電極と、大きい画素電極に対応するひとつのCst（保持容量）形成電極と、小さい画素電極に対応する液晶分子の配向方向を制御するための細長い配向方向制御電極が形成される。2つのDr

a i n電極は、大小2つの画素電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。

小さい画素電極領域では配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびている。これらの複数の配向方向制御電極は、20～40ミクロンのピッチで密に互いに平行に配列されており、小さい画素電極の中央部付近で90度の角度で屈曲している。

配向方向制御電極は、小さい画素電極に対応している1本の共通電極とコンタクトホールを通して電氣的に接続されており、ゲート絶縁膜をかいして小さい画素電極とオーバーラップすることでコンデンサーを形成している。

前記C s t（保持容量）形成電極は、コンタクトホールを通して大きい画素電極と電氣的に接続され、かつゲート絶縁膜をかいして大きい画素電極に対応している1本の共通電極とオーバーラップすることでコンデンサーを形成している。 10

前記S o u r c e電極はゲート電極に対してプラスマイナス45度の方向に細長くのびており、大きい画素電極の中央部付近と、小さい画素電極の中央部付近の2ヶ所ですくなくとも単位画素中で2回以上90度の角度で屈曲している。

配向方向制御電極が密に平行に配列されている小さい画素電極領域の方が、細長い配向方向制御用スリットが疎に平行に配列されている大きい画素電極領域よりも液晶駆動のT h r e s h o l d電圧（閾値電圧）が小さいことを特徴とするアクティブマトリックス基板。

【請求項74】

20

請求項1，4，7，10，13，15の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で基本となる単位画素中に1本のゲート電極と、くし歯状の画素電極と、くし歯状の画素電極内部に少なくとも2個以上のコンタクトパッドと、ゲート電極に平行に近接した1本の共通電極と、前記共通電極からS o u r c e電極（映像信号電極）の左右両側に近接して平行にのびているS o u r c e信号シールド電極と、前記共通電極から分岐しくし歯状画素電極に平行にのびているくし歯状共通電極が同時に同一層に形成されている。くし歯状画素電極とくし歯状共通電極の電極幅は2～6ミクロンで両者の電極間距離は6～18ミクロンで、S o u r c e信号シールド電極幅は10～20ミクロンと幅広くなっている。

くし歯状画素電極とくし歯状共通電極とS o u r c e信号シールド電極は、ゲート電極に対してプラスマイナス60度からプラスマイナス90度の方向に細長くのびており、単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。 30

2番めのホトリソグラフィ工程で、コンタクトホールがくし歯状画素電極内部のコンタクトパッド部に形成される。これらのコンタクトホールをのぞいてくし歯状画素電極と、くし歯状共通電極と、S o u r c e信号シールド電極は、完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で、基本となる単位画素中に、S o u r c e電極（映像信号電極）と、D r a i n電極と、C s t（保持容量）形成電極が形成される。S o u r c e電極はゲート電極に対してプラスマイナス60度からプラスマイナス90度の方向に細長くのびており単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。 40

D r a i n電極とC s t（保持容量）形成電極はコンタクトホールを通してくし歯状画素電極と電氣的に接続されている。C s t（保持容量）形成電極は、ゲート絶縁膜をかいして共通電極とオーバーラップすることでコンデンサーを形成していることを特徴とするアクティブマトリックス基板。

【請求項75】

請求項3，6，9，12の製造方法を用いて作られたアクティブマトリックス基板に関して、1番めのホトリソグラフィ工程で基本となる単位画素中に、ゲート電極と、ゲート電極に平行して近接した共通電極と、ベタ状画素電極と、ベタ状画素電極内部に少なくとも1個のコンタクトパッドが同時に同一層に形成されている。ベタ状画素電極は、ゲート 50

電極に対してプラスマイナス60度からプラスマイナス90度の方向に長くのびており、単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。2番めのホトリソグラフィ工程で、前記共通電極と前記コンタクトパッドに対応する位置にそれぞれ別々に1個以上のコンタクトホールを形成する。ベタ状画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されている。

3番めのホトリソグラフィ工程で基本となる単位画素中に、Source電極（映像信号電極）と、Drain電極と、くし歯状共通電極が形成される。Source電極とくし歯状共通電極はゲート電極に対してプラスマイナス60度からプラスマイナス90度の方向に細長くのびており、単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。Drain電極はコンタクトホールを通してベタ状画素電極と電氣的に接続されている。くし歯状共通電極はコンタクトホールを通して前記共通電極と電氣的に接続され、かつ前記ベタ状画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成していることを特徴とするアクティブマトリックス基板。

10

【請求項76】

請求項48、53、54、59、60、61、63、64、66、67、69、70、72、73の配向方向制御電極を有するアクティブマトリックス基板に関して、液晶分子の配向方向を制御する配向方向制御電極の下層に、薄膜半導体層が配向方向制御電極に密着してほぼ同じ形状で2番めのホトリソグラフィ工程で形成されており、配向方向制御電極は表示画素領域内では、パッシベーション膜によって完全に被覆されていることを特徴とするアクティブマトリックス基板。

20

【請求項77】

請求項48、53、54、59、60、61、63、64、66、67、69、70、72、73の配向方向制御電極を有するアクティブマトリックス基板に関して、液晶分子の配向方向を制御する配向方向制御電極の下層に、ゲート絶縁膜をかいしてゲート電極と同じ金属材料が、配向方向制御電極とほぼ同じ形状で1番はじめのホトリソグラフィ工程で形成されており、配向方向制御電極は、表示画素領域内ではパッシベーション膜によって完全に被覆されていることを特徴とするアクティブマトリックス基板。

【請求項78】

請求項48、53、54、59、60、61、63、64、66、67、69、70、72、73の配向方向制御電極を有するアクティブマトリックス基板に関して、液晶分子の配向方向を制御する配向方向制御電極の下層に、薄膜半導体層が配向方向制御電極に密着してほぼ同じ形状で2番めのホトリソグラフィ工程で形成されており、かつゲート絶縁膜をかいしてゲート電極と同じ金属材料が、配向方向制御電極とほぼ同じ形状か、または数ミクロン程度幅の太い形状で1番はじめのホトリソグラフィ工程で形成されており、かつ配向方向制御電極は、表示画素領域内では、パッシベーション膜によって完全に被覆されていることを特徴とするアクティブマトリックス基板。

30

【請求項79】

請求項46から請求項78までに記載されているアクティブマトリックス基板を用いて作られたアクティブマトリックス表示装置。

【請求項80】

請求項4、5、6、10、11、12、15、16の3回ホトリソグラフィ工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜と液晶配向膜が、同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、パッシベーション膜の成膜領域が液晶配向膜の成膜領域よりも、メインシールを塗布する領域のぶんだけオーバーサイズに局所成膜されていることを特徴とするアクティブマトリックス液晶表示装置。

40

【請求項81】

請求項4、5、10、11、15、16の3回ホトリソグラフィ工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜としてプラズマシリコン窒化膜（P-SiNx）が用いられ、液晶配向膜としてヘキサメチルジシリコンオキ

50

サイド（HMDSO）またはヘキサフェニルジシリコンオキサイド（HPDSO）またはヘキサメチルジシラザンまたはヘキサフェニルジシラザンの単一ガスまたは２種類以上の混合したガスを原料としたプラズマ重合膜が用いられており、これら２種類の膜が同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、シリコン窒化膜（P-SiNx）の方が、プラズマ重合配向膜よりもメインシールを塗布する領域のぶんだけオーバーサイズに局所成膜されていることを特徴とするアクティブマトリックス液晶表示装置。

【請求項 8 2】

請求項 4, 6, 10, 12 の 3 回ホトリソグラフィー工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜としてプラズマシリコン窒化膜（P-SiNx）が用いられ、液晶配向膜としてダイヤモンドライクカーボン膜（DLC）が用いられており、これら２種類の膜が同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、シリコン窒化膜（P-SiNx）の方が、DLC配向膜よりもメインシールを塗布する領域のぶんだけオーバーサイズに局所成膜されていることを特徴とするアクティブマトリックス液晶表示装置。 10

【請求項 8 3】

請求項 4, 6, 10, 12 の 3 回ホトリソグラフィー工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜としてプラズマシリコン窒化膜（P-SiNx）が用いられ、液晶配向膜としてダイヤモンドライクカーボン膜（DLC）が用いられており、これら２種類の膜が同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、シリコン窒化膜（P-SiNx）の方が、DLC配向膜よりもメインシールを塗布する領域のぶんだけオーバーサイズになっている。前記２種類の膜を成膜した後、真空をやぶらずに、イオン配向処理チェンバーで、DLC配向膜表面を配向処理したことを特徴とするアクティブマトリックス液晶表示装置。 20

【請求項 8 4】

請求項 4, 5, 10, 11, 15, 16 の 3 回ホトリソグラフィー工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜がシリコン窒化膜であり、液晶配向膜がユニダイン（ダイキン工業のフッ素系コーティング材）で構成されており、パッシベーション膜（P-SiNx）の領域のほうが液晶配向膜（ユニダイン）の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになっていることを特徴とするアクティブマトリックス液晶表示装置。 30

【請求項 8 5】

請求項 4, 6, 10, 12 の 3 回ホトリソグラフィー工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜がシリコン窒化膜（P-SiNx）であり、液晶配向膜がラダー構造（Ladder Structure）またはカゴ構造（Cage Structure-T₈, T₁₀, T₁₂）のシルセスキオキサンから構成されており、パッシベーション膜（P-SiNx）の領域のほうが、液晶配向膜（シルセスキオキサン）の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになっていることを特徴とするアクティブマトリックス液晶表示装置。

【請求項 8 6】

請求項 4, 6, 10, 12 の 3 回ホトリソグラフィー工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜がシリコン窒化膜（P-SiNx）であり、液晶配向膜がビスアリルナジイミドから構成されており、パッシベーション膜（P-SiNx）の領域のほうが、液晶配向膜（ビスアリルナジイミド）の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになっていることを特徴とするアクティブマトリックス液晶表示装置。 40

【請求項 8 7】

請求項 4, 6, 10, 12, の 3 回ホトリソグラフィー工程を用いて作られたアクティブマトリックス液晶表示装置に関して、パッシベーション膜がシリコン窒化膜（P-SiNx）であり、液晶配向膜がビシクロ〔2, 2, 2〕オクタンテトラカルボン酸からなるポ 50

リイミドで構成されており、パッシベーション膜（P-SiNx）の領域のほうが液晶配向膜の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになっていることを特徴とするアクティブマトリックス液晶表示装置。

【請求項 88】

請求項 1 から請求項 16 までの製造方法を用いて作られた液晶表示装置に関して、Gate 電極端子部とSource 電極端子部と共通電極端子部が、1 番はじめのホトリソグラフィ工程で形成された各電極端子部と3 番めのホトリソグラフィ工程で形成された各電極端子部とが2 番めのホトリソグラフィ工程で形成されたコンタクトホールを通して接合された2 層構造になっており、メインシールを塗布する領域におけるアクティブマトリックスガラス基板上に形成された各種電極やゲート絶縁膜やパッシベーション膜などの合計した膜厚が表示画面の周囲4 辺ですべてひとしいことを特徴とするアクティブマトリックス液晶表示装置。

【請求項 89】

IPS モードやFFS モードなどの横電界方式液晶表示装置用カラーフィルター基板に関して、カラーフィルター層が形成される面とは反対側の面にTi またはZr の薄膜を5 ~ 10 nm の膜厚で形成した後、イオンシャワードーピング装置を用いて窒素イオンをイオン注入してTiNx またはZrNx を形成するか、またはTi またはZr の金属ターゲットを用いてAr ガス中に窒素ガスを混入して反応スパッタリングしてTiNx またはZrNx 膜を5 ~ 10 nm の膜厚で形成した後、カラーフィルター層を形成する面に、BM（遮光膜）形成用ネガレジストを塗布し、DMD 素子を用いたマスクレス直接描画露光法で露光して、単位画素内でSource 電極に対応するBM パターンが、120 度から180 度の範囲ですくなくとも1 回以上屈曲しているBM パターンを形成する。その後インクジェット塗布法やオフセット印刷法を用いてR, G, B のカラーフィルター層を形成した後、シリコン含有平坦化膜を塗布し硬化させてから、ボールスパーサーをインクジェット塗布法やオフセット印刷法を用いてGate 電極と共通電極が近接して平行に配列されている領域に対応するBM（遮光膜）の中央部付近に定点配置したことを特徴とするカラーフィルター基板。

【請求項 90】

MVA モードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD 素子を用いたマスクレス直接描画露光法で露光して、単位画素内でSource 電極に対応するBM パターンが、90 度の角度ですくなくとも1 回以上Source 電極とほぼ同じ形状で屈曲しているように形成する。

次に、R, G, B のネガタイプの顔料ホトレジストカラーフィルターを塗布してから、DMD 素子を用いたマスクレス直接描画露光法で露光して単位画素内でBM（遮光膜）と同様に90 度の角度ですくなくとも1 回以上屈曲しているカラーフィルター層を形成する。次に透明導電膜を基板全面に成膜した後、ネガタイプのシリコン含有ホトレジストを塗布してからDMD 素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンプを形成した後、ボールスパーサーをインクジェット塗布法やオフセット印刷法を用いてGate 電極と共通電極が近接して平行に配列されている領域に対応するBM（遮光膜）の中央部付近に定点配置したことを特徴とするカラーフィルター基板。

【請求項 91】

MVA モードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD 素子を用いたマスクレス直接描画露光法で露光して単位画素内でSource 電極に対応するBM パターンが、90 度の角度ですくなくとも2 回以上Source 電極とほぼ同じ形状で屈曲しているように形成する。次に、R, G, B のネガタイプの顔料ホトレジストカラーフィルターを塗布してから、DMD 素子を用いたマスクレス直接描画露光法で露光して、単位画素内でBM（遮光膜）と同様に90 度の角度ですくなくとも2 回以上屈曲しているカラーフィルター層を形成する。次に透明導電膜を基板全面に成膜した後、ネガタイプのシリコン含有ホトレジストを塗布してか

らDMD素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンクを形成した後、ボールスペーサーをインクジェット塗布法やオフセット印刷法を用いて、単位画素内で、2本の共通電極が近接して平行に配置されている領域に対応するBM（遮光膜）の中央部付近に定点配置したことを特徴とするカラーフィルター基板。

【請求項92】

MVAモードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD素子を用いたマスクレス直接描画露光法で露光してSource電極に対応するBMパターンを直線状に形成する。次にインクジェット塗布法やオフセット印刷法を用いてR、G、Bのカラーフィルター層を形成したのち、透明導電膜を基板全面に成膜する。次にネガタイプのシリコン含有ホトレジストを塗布してからDMD素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンクを形成した後、ボールスペーサーをインクジェット塗布法やオフセット印刷法を用いてGate電極と共通電極が近接して平行に配列されている領域に対応するBM（遮光膜）の中央部付近に定点配置したことを特徴とするカラーフィルター基板。

10

【請求項93】

MVAモードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD素子を用いたマスクレス直接描画露光法で露光してSource電極に対応するBMパターンを直線状に形成する。次にインクジェット塗布法やオフセット印刷法を用いてR、G、Bのカラーフィルター層を形成したのち、透明導電膜を基板全面に成膜する。次にネガタイプのシリコン含有ホトレジストを塗布してからDMD素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンクを形成した後、ボールスペーサーをインクジェット塗布法やオフセット印刷法を用いて、単位画素内で2本の共通電極が近接して平行に配列されている領域に対応するBM（遮光膜）の中央部付近に定点配置したことを特徴とするカラーフィルター基板。

20

【請求項94】

横電界方式液晶表示装置に関して、請求項74、75に記載されているアクティブマトリックス基板と、請求項89に記載されているカラーフィルター基板を用いて液晶Cellを組み立てる時、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成したことを特徴とする横電界方式液晶表示装置。

30

【請求項95】

MVAモードの垂直配向方式液晶表示装置に関して、請求項63、64、65、66、67に記載されているアクティブマトリックス基板と、請求項90に記載されているカラーフィルター基板を用いて、液晶Cellを組み立てる時、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成したことを特徴とするMVAモードの垂直配向方式液晶表示装置。

【請求項96】

MVAモードの垂直配向方式液晶表示装置に関して、請求項71、72、73に記載されているアクティブマトリックス基板と請求項91に記載されているカラーフィルター基板を用いて液晶Cellを組み立てる時、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成したことを特徴とするMVAモード垂直配向方式液晶表示装置。

40

【請求項97】

MVAモードの垂直配向方式液晶表示装置に関して、請求項59、60、61に記載されているアクティブマトリックス基板と請求項92に記載されているカラーフィルター基板を用いて液晶Cellを組み立てる時、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成したことを特徴とするMVAモードの垂直配向方式液晶表示装置。

【請求項98】

50

MVAモードの垂直配向方式液晶表示装置に関して、請求項68, 69, 70に記載されているアクティブマトリックス基板と請求項93に記載されているカラーフィルター基板を用いて液晶Cellを組み立てる時、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成したことを特徴とするMVAモード垂直配向方式液晶表示装置。

【請求項99】

請求項1, 2, 3, 4, 5, 6に記載されている1番はじめのホトリソグラフィ工程で使用されるハーフトーン露光用ホットマスクに関して、一枚のホットマスクが、完全UV光遮断領域とUV光半透過領域とUV光透過領域の3種類の領域から構成されており、Gate電極部と共通電極部に対応する領域は完全UV光遮断領域で形成され、画素電極部に対応する領域はUV光半透過領域で形成され、画素電極内部のコンタクトパッド部に対応する領域は完全UV光遮断領域で形成され、かつ前記コンタクトパッド部に対応する領域が、基本単位画素電極部に対応する領域中に1個以上存在していることを特徴とするハーフトーン露光用ホットマスク。

10

【請求項100】

請求項1, 2, 3, 4, 5, 6に記載されている2番めのホトリソグラフィ工程で使用されるハーフトーン露光用ホットマスクに関して、一枚のホットマスクが、完全UV光遮断領域と、UV光半透過領域と、UV光透過領域の3種類の領域から構成されており、薄膜トランジスタ素子の薄膜半導体部に対応する領域が完全UV光遮断領域で形成され、画素電極内部のコンタクトホール部に対応する領域は、UV光透過領域で形成され、かつ前記コンタクトホール部に対応する領域が、基本単位画素電極部に対応する領域中に1個以上存在していることを特徴とするハーフトーン露光用ホットマスク。

20

【請求項101】

請求項1, 2, 3, 4, 5, 6に記載されている2番めのホトリソグラフィ工程で使用されるハーフトーン露光用ホットマスクに関して、一枚のホットマスクが、完全UV光遮断領域と、UV光半透過領域と、UV光透過領域の3種類の領域から構成されており、薄膜トランジスタ素子の薄膜半導体部に対応する領域が、完全UV光遮断領域で形成され、画素電極内部のコンタクトホール部と共通電極内部のコンタクトホール部に対応する領域はUV光透過領域で形成され、かつ前記コンタクトホール部に対応する領域が、基本単位画素電極部と基本単位共通電極部に対応する領域中にそれぞれ別々に1個以上存在していることを特徴とするハーフトーン露光用ホットマスク。

30

【請求項102】

請求項99と請求項100の2種類のハーフトーン露光用ホットマスクを用いて製造されたアクティブマトリックス基板。

【請求項103】

請求項99と請求項101の2種類のハーフトーン露光用ホットマスクを用いて製造されたアクティブマトリックス基板。

【請求項104】

請求項99と請求項100の2種類のハーフトーン露光用ホットマスクを用いて製造されたアクティブマトリックス表示装置。

【請求項105】

請求項99と請求項101の2種類のハーフトーン露光用ホットマスクを用いて製造されたアクティブマトリックス表示装置。

40

【請求項106】

請求項1から請求項16までの製造方法に関して、第3番めの、ソース電極やドレイン電極やCst（保持容量）形成電極や配向方向制御電極やくし歯状共通電極などを形成するホトリソグラフィ工程で下記の方法を用いることを特徴とするアクティブマトリックス基板の製造方法。

第2番めのホトリソグラフィ工程が完全に終了した後に、ソース電極やドレイン電極やCst（保持容量）形成電極や配向方向制御電極やくし歯状共通電極をアルミニウム合金の単層金属で形成するために、アルミニウム合金をスパッタリング法で成膜するとき、成

50

膜の開始時期に、スパッタリングするための不活性ガス（希ガス類…Ar, Krなど）中に窒化性ガス（窒素, アンモニア, ヒドラジン, ヒドラゾンなど）を1~20%程度混入し、薄膜トランジスタ素子のソース電極とドレイン電極部分の n^+a-si 層と接する下層の界面部分にコンタクト抵抗が100K Ω 以下、望ましくは10K Ω 以下のコンタクト抵抗値になるように窒素を含むアルミニウム合金を成膜した後、窒化性ガスの混入をやめ不活性ガス（希ガス類…Ar, Krなど）のみでアルミニウム合金層を成膜する。

次にポジレジストを塗布し、ノーマルホットマスクを用いて、ノーマル露光をおこない、現像し、アルミニウム合金をエッチングした後、ポジレジストを剥離する。

【請求項107】

請求項1から請求項16までの製造方法に関して、第3番めの、ソース電極やドレイン電極やCst（保持容量）形成電極や配向方向制御電極やくし歯状共通電極などを形成するホトリソグラフィ工程で下記の方法を用いることを特徴とするアクティブマトリックス基板の製造方法。 10

第2番めのホトリソグラフィ工程が完全に終了した後に、ただちに窒化ガス（窒素, アンモニア, ヒドラジン, ヒドラゾンなど）を水素や不活性ガス（希ガス類…He, Ne, Ar, Kr, Xeなど）に混入した混合ガスを用いて、素子分離化（island化）された薄膜半導体層の n^+a-si 表面と、薄膜半導体層の側壁をプラズマ窒化処理して、次にアルミニウム合金単層をスパッタリング成膜した時に、薄膜トランジスタ素子のソース電極とドレイン電極部分の n^+a-si 層とのコンタクト抵抗値が100K Ω 以下、望ましくは、10K Ω 以下のコンタクト抵抗値になるように薄膜半導体層の表面に窒素をプラズマドーピングする。 20

その次に、アルミニウム合金をスパッタリング法を用いて単層形成した後、ポジレジストを塗布し、ノーマルホットマスクを用いて、ノーマル露光をおこない、現像し、アルミニウム合金をエッチングした後、ポジレジストを剥離する。

【請求項108】

請求項1から請求項16までの製造方法に関して、第3番めのソース電極やドレイン電極やCst（保持容量）形成電極や配向方向制御電極やくし歯状共通電極などを形成するホトリソグラフィの工程で下記の方法を用いることを特徴とするアクティブマトリックス基板の製造方法。

第2番めのホトリソグラフィ工程が完全に終了した後に、素子分離化（islatio n化）された薄膜半導体層の n^+a-si 表面と、薄膜半導体層の側壁を、加速した窒素イオンを用いるイオンドーピング法により表面窒化して、次にアルミニウムイオン合金単層をスパッタリング成膜した時に、薄膜トランジスタ素子のソース電極とドレイン電極部分の n^+a-si 層とのコンタクト抵抗値が100K Ω 以下望ましくは10K Ω 以下のコンタクト抵抗値になるように薄膜半導体層の表面に窒素をイオンドーピングする。 30

その次に、アルミニウム合金をスパッタリング法を用いて単層形成した後、ポジレジストを塗布し、ノーマルホットマスクを用いて、ノーマル露光をおこない、現像し、アルミニウム合金をエッチングした後、ポジレジストを剥離する。

【請求項109】

請求項106の製造方法を用いて製造されたアクティブマトリックス型液晶表示装置。 40

【請求項110】

請求項107の製造方法を用いて製造されたアクティブマトリックス型液晶表示装置。

【請求項111】

請求項108の製造方法を用いて製造されたアクティブマトリックス型液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はハーフトーン露光法を用いて液晶表示用アクティブマトリックス基板を製造する方法に関する。

【背景技術】

【0002】

ホトマスクに完全UV光遮断領域とUV光半透過領域とUV光透過領域の3領域が存在しているハーフトーン露光用ホトマスクを用いて厚さが異なるポジレジストパターンを成作するホトリソグラフィ工程は特開昭61-181130(1986年8月13日公開)と特開平10-163174(1998年6月19日公開)にすでに開示されている技術である。ハーフトーン露光用ホトマスクを用いてTFTアレ基板の製造工程でのホトリソグラフィ工程の回数を低減するものとしては、特開2000-066240(2000年3月3日公開)や特開2000-206571(2000年7月28日公開)が公開されている。アモルファスシリコン薄膜半導体層の素子分離とSource電極とDrain電極の形成と薄膜トランジスタ素子のチャネル部のオーミックコンタクト層を除去することをハーフトーン露光用ホトマスクを用いて1回のホトリソグラフィ工程でおこなっている。

10

【0003】

特開2001-221992, 特開2001-228493, 特開2001-235763では、2層の透明導電層と金属層を用いて、ゲート電極と、共通電極とカウンター画素電極をハーフトーン露光法により1回のホトリソグラフィ工程で同時に形成している。

【0004】

特開2001-201756(2001年7月21日公開)では、2層の金属や合金を用いて横電界方式表示装置のGate電極と共通電極と液晶駆動用くし歯状共通電極をハーフトーン露光法により1回のホトリソグラフィ工程で同時に形成している。さらに同様に2層の金属や合金を用いてSource電極とDrain電極と液晶駆動用くし歯状画素電極をハーフトーン露光法を用いて1回のホトリソグラフィ工程で同時に形成している。

20

【0005】

特開2001-311965(2001年11月9日公開)では、ハーフトーン露光法を用いてGate電極と薄膜半導体層の素子分離を1回のホトリソグラフィ工程で同時におこない、さらにハーフトーン露光法を用いて薄膜半導体素子のチャネル保護膜のコンタクトホールと画素電極を1回のホトリソグラフィ工程で同時に形成している。2回のハーフトーン露光法と、1回の通常のノーマル露光法をあわせて3回のホトリソグラフィ工程でTFTアレ基板を完成させている。

30

【0006】

特開2002-107762(2002年4月10日公開)では、2層の透明導電膜と金属を用いて、Gate電極と透明画素電極をハーフトーン露光法により1回のホトリソグラフィ工程で同時に形成している。この最初のホトリソグラフィ工程後には、透明画素電極の上には他の金属は、まったく存在しておらず透明画素電極は完全に露出している。

そして次に、薄膜半導体層の素子分離と透明画素電極の完全露出を、ハーフトーン露光法を用いて1回のホトリソグラフィ工程で同時におこなっており、次の3回めの通常ノーマル露光法を用いたホトリソグラフィ工程で、完全に露出している透明画素電極とDrain電極とを直接接合させて透明画素電極を薄膜トランジスタ素子に電氣的に接続している。Cst(保持容量)形成に関しては論じられていない。

40

【0007】

特開2002-141512(2002年5月17日公開)は、特開2002-107762とほぼ同じ工程であるが、ハーフトーン露光法は1回しか用いていない。2層の透明導電膜と金属を用いて、Gate電極部と画素電極部を最初の通常ノーマル露光法を用いたホトリソグラフィ工程で形成する。

この最初の工程終了後には、透明画素電極の上には不透明な金属が存在している。次のハーフトーン露光用ホトマスクを用いたホトリソグラフィ工程で、薄膜半導体層の素子分離と透明画素電極の完全露出を同時におこなっている。次の3回めの通常ノーマル露光法を用いたホトリソグラフィ工程で完全露出した透明画素電極とDrain電極とを直接

50

接合させて透明画素電極を薄膜トランジスタ素子に電氣的に接続している。

【0008】

特開2003-057673(2003年2月26日公開)に公開されているものは、2層の透明導電膜と金属や合金を用いて横電界方式液晶表示装置のGate電極と共通電極と、液晶駆動用透明共通電極または、液晶駆動用くし歯状共通電極を、ハーフトーン露光法を用いて1回のホトリソグラフィ工程で同時に形成している。

【0009】

特開2004-038130(2004年2月5日公開)に公開されているものは、薄膜半導体層の素子分離と端子部のコンタクトホール形成と静電気保護回路形成用のコンタクトホール形成をハーフトーン露光法を用いて1回のホトリソグラフィ工程で同時に起こっている。特開2002-107762や特開2002-141512と同様に薄膜半導体層の素子分離と端子部の露出にハーフトーン露光法を用いているが、横電界方式液晶表示装置のためのプロセスなので、表示画素領域での開口部は、まったく形成されていない。液晶駆動用くさび状画素電極は、3回めのホトリソグラフィ工程で、Source電極とDrain電極を形成する時に、通常ノーマル露光法を用いて、同時に形成されている。

10

【0010】

特開2004-281687に公開されているものは、順スタガー型TFT素子基板の製造に関するもので、Source電極とDrain電極と薄膜半導体層の素子分離をハーフトーン露光法を用いて1回のホトリソグラフィ工程で同時に形成している。

20

【0011】

特開2004-319655に公開されているものは、特開2002-141512とほぼ同じ工程を用いている。2層の透明導電膜と金属を用いて、Gate電極部と画素電極部を最初に通常ノーマル露光法を用いて形成した後、次に薄膜半導体層の素子分離と透明画素電極の完全露出をハーフトーン露光法を用いて1回のホトリソグラフィ工程で同時に実現している。次の3番めのホトリソグラフィ工程で通常ノーマル露光法を用いて、完全に露光した透明画素電極とDrain電極とを直接接合している。

【0012】

ハーフトーン露光法とマスクデポジッションP-CVD法を組みあわせることでホトリソグラフィ工程を大幅に低減することが可能なことが特開2000-066240、特開2001-311965、特開2002-107762で論じられている。

30

【0013】

MVAモード垂直配向方式液晶表示装置において、液晶分子の配向方向を制御する機構として、配向方向制御電極が、特開平07-230097(1995年8月29日公開)と特開平11-109393(1999年4月23日公開)と、特開2001-042347(2001年2月16日公開)が開示されている。

特開平07-230097では配向方向制御電極は、Gate電極から分岐しておりGate電極に対して45度の角度で一方向に細長くのびている。配向方向制御電極の電位はGate電極と同電位に設定されている。配向方向制御電極と画素電極は垂直配向膜と直接接触している。配向方向制御電極は、Gate電極と同じ材質でGate電極形成時に同時に形成されている。配向方向制御電極と同じパターンで配向方向制御電極の下層にGate絶縁膜と薄膜半導体層が存在している。

40

【0014】

特開平11-109393での実施例2では、TFTは順スタガ構造で、基板側から画素電極(ITO層)、Source電極とDrain電極(クロム層)、アモルファスシリコン薄膜半導体層、窒化珪素絶縁層、Gate電極(クロム層)、と積層されている。この構成から判断すると特開平11-109393の図2に記載されている配向方向制御電極は、Gate電極と同時に同層に形成されていることになる。配向方向制御電極は、Gate電極とは独立しており、対向電極とは異なる電位に設定されている。垂直配向膜は配向方向制御電極と、直接接触しているが画素電極の全面はGate絶縁膜(窒化珪素絶

50

縁層)で被覆されているので垂直配向膜と画素電極とは、直接接触をしていない。

【0015】

特開2001-042347では、TFT逆スタガ構造で、透明画素電極(ITO膜)の下層にゲート絶縁膜が存在し、透明画素電極の上層に凸型に加工された絶縁体が存在し、凸型絶縁体上に配向方向制御電極が形成されている。この構造では6回のマスクステップが必要になると記述されている。配向方向制御電極に印加される電圧は共通電極に印加される電圧と同じである。垂直配向膜は、配向方向制御電極と透明画素電極の両方と直接接触をしている。

【0016】

アルミ合金でGate電極やSource電極, Drain電極を形成した後に、コンタクトホールをあけて透明電極(ITO膜などの酸化物透明導電体)を接続する場合、接続界面に酸化アルミニウム層が形成され接続抵抗が時間とともに増加していく問題がある。特開2001-174848では、アルミ合金のスパッタリング成膜の最後に窒化性ガスとアルゴンガスを混合して、反応スパッタリングをおこなうことで窒素がドーピングされたアルミ合金層をアルミ合金の表面に形成している。このプロセスによりアルミ合金と酸化物透明導電体との接合問題を解決している。

【0017】

カラーフィルター基板の製造法として大型基板用ではホットマスクを用いたホトリソグラフィ工程でCell Gapを決定するスペーサーを形成している。コントラストの高い画像を実現する場合には、従来のTNモードで使用されていたボールスペーサーのランダム散布では、ボールスペーサーの周囲からの光ぬけを完全に防止することができなかったため、スペーサーの形成位置を精密にコントロールできるホトリソグラフィ工程でスペーサーをBM(遮光膜)の領域内に形成しなければならなかった。

【0018】

カラーフィルター基板のBM(遮光膜)やR, G, Bの三色のカラーフィルター層の形成にはそれらの専用のネガレジストをスリットコーターで基板に塗布した後、ホットマスクを用いたホトリソグラフィ工程でそれぞれのパターンを形成していた。液晶TV用パネルの場合も基板が超大型化してもホットマスクを用いてホトリソグラフィ工程でBM, R, G, Bのパターンを形成した後MVAモードの垂直配向用カラーフィルター基板では、透明導電膜(ITO膜)を成膜した後液晶分子の配向方向を制御するための細長いバンプをホトリソグラフィ工程で形成していた。Cell Gap形成用スペーサーも含めると、MVAモード液晶パネルのカラーフィルター基板ではホトリソグラフィ工程が6回必要となり、ホットマスクもそれぞれに対応して必要であった。

【発明の開示】

【発明が解決しようとする課題】

【0019】

2層の酸化物透明導電膜と金属膜を用いてハーフトーン露光法により、Gate電極と透明画素電極を同時に形成する従来の方法では、一番はじめに酸化物透明導電膜を成膜する時に、酸素ガスとArガスを用いる反応性スパッター法が用いられている。

ITOやIZOなどの酸化物ターゲットは、粉末粒子を焼結したものでターゲット表面や防着板表面に形成される絶縁性酸化物による異常放電が発生しやすい。Gate電極形成時に異常放電が発生した場合、基板表面に溶融したパーティクルが焼きついてしまい洗浄工程でも洗い落とすことは不可能である。このためGate電極とSource電極(映像信号電極)との交差部でショートが多発し、歩留りが大幅に低下してしまう。

【0020】

さらに2層の酸化物透明導電膜(ITO, IZO)と金属膜をホトリソグラフィ技術を用いてWetエッチング加工すると、金属膜がアルミニウム系合金の場合には、酸化物透明導電膜と局部電池反応がおき、酸化物透明導電膜が環元されて黒化したり、異常エッチングが生じてしまう。Wetエッチングによる加工ではこの反応をさけられない。ドライエッチング法を用いる加工では加工時間が長くなり、大気中にもどした時にコロージョン

が多発してしまうことをさけられない。従来の場合には金属膜としてMoやCrやMoTaなどの高融点金属しか用いることができなかった。

MoやCrやMoTaの膜では抵抗が高く30インチ以上の大型液晶TVをつくることは不可能であった。

【0021】

2層の窒化物透明導電膜(ITO, IZO)とMoやCrなどの金属膜を用いた場合でも特開2002-107762や特開2002-141512や特開2004-319655に開示されているように画素電極(ITO, IZO)が完全に露出されている場合には、Source電極とDrain電極にアルミ系の合金を用いると、アルミ系合金と透明画素電極との間で局部電池反応が生じてしまいアルミ系の合金のパターンニングは不可能である。アルミ系合金単層ではなくMoやCrのバリアーメタル層の上にアルミ系合金を成膜する構成でもバリアーメタル層にピンホールがあると現像中に局部電池反応が生じてしまい異常エッチングの発生を完全におさえることは不可能である。

【0022】

特開2003-057673では、2層の窒化物透明導電膜と金属膜を用いてハーフトーン露光法によってGate電極と透明共通電極を形成しているが、この構成ならば金属膜にアルミ系の合金を用いても局部電池反応は生じない。しかしこの2層構成では、特開2002-107762や、特開2002-141512や特開2004-319655に開示されているプロセスで画素電極を形成することはできない。窒化物透明導電膜を画素電極として使用する場合には膜厚は10~15nm(100~150オングストローム)程度と非常に薄くしなければならないのと、ゲート絶縁膜として用いられるシリコン窒化膜(P-SiNx)と窒化物透明導電膜(TiNxやZrNx)とのドライエッチングの選択比が大きくないためである。

窒化物透明導電膜の上のシリコン窒化膜をフッ素系のガスを用いてドライエッチングする時に、窒化物透明導電膜のみを残すことは不可能である。

【0023】

特開2003-057673では、2層の窒化物透明導電膜とアルミ系の合金を用いて局部電池反応をおさえることに成功しているがアルミ系の合金の場合シリコン窒化膜(P-SiNx)をゲート絶縁膜として用いている。Gate端子部などのコンタクトホールをあける場合フッ素系のガスを用いるがポジレジスト剥離前にポジレジストの表面に形成されたフッ素化合物を除去するために酸素プラズマでアッシング処理をおこなう。この時にアルミ系合金の表面に酸化アルミニウムが形成される。特に特開2002-107762、特開2002-141512、特開2004-038130、特開2004-319655などのハーフトーン露光法を用いる場合、ハーフ露光されレジスト膜厚が薄くなっている領域のポジレジストを完全に酸素プラズマで除去しなければならないので、長時間アルミ系合金の表面が酸素プラズマにさらされることになり、表面に酸化アルミニウムがどうしても形成されてしまう。このためにGate電極の端子部のコンタクトホール領域のコンタクト抵抗値が大きくなってしまふことをさけられなかった。

【0024】

特開2001-174848では、アルミニウム合金の表面に窒素原子をドーピングすることで酸素プラズマ処理や酸素原子の熱拡散による酸化アルミニウムの形成を防止できることを開示しており、すでにこのプロセスは実用化され量産に用いられている。しかしこのプロセスでは、窒素原子がドーピングされた領域のアルミニウム合金のウェットエッチングレートがアルミニウム合金よりも小さいために、エッチングパターンは逆テーパー形状になりやすいという問題があった。

Gate電極が逆テーパー形状の場合、Source電極(映像信号電極)やDrain電極が断線したりGate絶縁膜の被覆が完全でないためにGate電極とSource電極やDrain電極がシートしやすくなり、ライン欠陥や点欠陥などの表示不良の原因となっていた。

【0025】

10

20

30

40

50

カラーフィルターのBMパターンの絶対寸法とTFT基板のパターンの絶対寸法とが合わない場合、BMパターンの設計寸法をTFT基板の完成後の実際の寸法にあわせなおしていた。プロキシミティーモードの露光方法の場合には、ホトマスクを作りなおすことになり修正作業の時間は2～3ヶ月間必要となり、ホトマスク代金も数千万円以上するため修正コストの問題を無視できなくなってきました。

最悪の場合、MVAモードでは6種類のホトマスク（BM，R，G，B，配向制御用バンブ，ホトスペーサー）を全数作りかえなければならない場合も発生しました。一番大きな問題は、ホトマスクを作りなおす場合、納期が非常に長いという点です。修正作業の期間中生産がストップしてしまうからです。

【0026】

TFT基板とCF基板の寸法あわせが完了しても大型液晶Cell組み立て工程で液晶滴下量の変動誤差とホトリソグラフィー工程を用いて形成したスペーサーの高さの変動誤差が大きい場合には、残留気泡の発生や重力によるムラの発生をおさえることができません。特に液晶分子の応答速度を早めるために液晶Cell Gapを3ミクロン以下に設計しなければならない場合、スペーサーの高さの変動幅が10%以上になってしまいます。スペーサーの高さが小さくなるにつれて、スペーサーの弾性変形量の絶対値が小さくなることをさけることができません。

そのため残留気泡の発生と重力ムラの発生は、Cell Gapが小さくなるにつれ、増加する傾向にあります。

【0027】

特開2002-107762や特開2002-141512や、特開2004-319655に開示されているように画素電極（ITO，IZO）が露出している場合には、導電性の微粒子がCell内にまぎれこんだ場合CF基板側の透明導電膜とTFT基板側の画素電極（ITO，IZO）との上下ショートが発生することをさけることができません。液晶Cell Gapが小さくなるにつれて、導電性異物による上下ショートの発生確率も増加する傾向にあります。

【0028】

横電界方式のIPSモードやFFSモードにくらべてMVAモード垂直配向方式の場合、配向膜の塗布工程でポリイミド配向膜のはじき現象が発生しやすくピンホールが多発していた。フレキシゴム版を用いたオフセット印刷法では、ポリイミドの溶液を大量に消費するため、ランニングコストも無視できなくなってきた。

有毒な有機溶剤も大量に使用するためメンテナンス作業中でのクリーンルーム内の大気汚染の問題も基盤が大きくなるにつれ無視できない状況になってきている。

【0029】

液晶表示パネルのCell組み立て工程で高価なポリイミドを使用することをやめ、プラズマCVD法やスパッタリング法を用いてDLC膜（ダイヤモンドライクカーボン膜）を形成する方法が用いられはじめているが、基板全面にDLC膜を形成しているためにメインシールの接着力が弱くシールはがれが発生しやすく、TABやCOFの接着不良也多発していた。

【0030】

40インチ以上の大型液晶パネルを製造するためのホトマスクは、寸法が1メートル以上になり重力による曲がりをおさえるために、ホトマスク基板の板厚が1cm以上になり非常に高価なものになってきました。分割露光の方法を用いるとホトマスクは小さくなるが、スループットがおそくなり生産効率が低下してしまう。

大型のハーフトーンホトマスクを作る場合にはホトマスク製造工程が複雑になり製造歩留りも悪くなるのでハーフトーンホトマスクのコストは非常に高くなってしまいなかなか量産で用いることができなかった。そのためにノートブック用液晶パネルやPCモニター用液晶パネルの製造方法を大型液晶パネルでも用いており製造時間の短縮や製造コストの削減がほとんどおこなわれないうま大型液晶TV用パネルの生産がおこなわれている。

【0031】

10

20

30

40

50

本発明の目的は、T F Tアクティブマトリックス型液晶表示装置の製造においてT F Tアクティブマトリックス基板とカラーフィルター基板のフォトリソグラフィー工程の回数を低減し、製造工程を短縮化することで製造コストを低減しかつ歩留りを向上させることである。

【課題を解決するための手段】

【0032】

本発明は上記課題を解決するために下記的手段を用いる。

〔手段1〕T Nモード，M V Aモード，I P Sモード用液晶表示装置のアクティブマトリックス基板を製造する時に下記の4回のホトリソグラフィー工程を用いる。

1. ハーフトーンホットマスクを用いる第1回めのハーフトーン露光法で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成する。 10
2. ハーフトーンホットマスクを用いる第2回めのハーフトーン露光法で、薄膜半導体層素子分離，コンタクトホールを形成する。
3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極，ドレイン電極，保持容量形成電極を形成する。
4. 通常のノーマルホットマスクを用いるノーマル露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

【0033】

〔手段2〕M V Aモード用液晶表示装置のアクティブマトリックス基板を製造する時に下記の4回のホトリソグラフィー工程を用いる。 20

1. ハーフトーンホットマスクを用いる第1回めのハーフトーン露光法で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成する。
2. ハーフトーンホットマスクを用いる第2回めのハーフトーン露光法で、薄膜半導体層素子分離，コンタクトホールを形成する。
3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極，ドレイン電極，配向方向制御電極を形成する。
4. 通常のノーマルホットマスクを用いるノーマル露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

【0034】

〔手段3〕F F Sモード用液晶表示装置のアクティブマトリックス基板を製造する時に下記の4回のホトリソグラフィー工程を用いる。 30

1. ハーフトーンホットマスクを用いる第1回めのハーフトーン露光法で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成する。
2. ハーフトーンホットマスクを用いる第2回めのハーフトーン露光法で、薄膜半導体層素子分離，コンタクトホールを形成する。
3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極，ドレイン電極，くし歯状共通電極を形成する。
4. 通常のノーマルホットマスクを用いるノーマル露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

【0035】

〔手段4〕T Nモード，M V Aモード，I P Sモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記の3回のホトリソグラフィー工程を用いる。 40

1. ハーフトーンホットマスクを用いる第1回めのハーフトーン露光法で、ゲート電極，画素電極，共通電極，画素電極内コンタクトパッドを形成する。
2. ハーフトーンホットマスクを用いる第2回めのハーフトーン露光法で、薄膜半導体層素子分離，コンタクトホールを形成する。
3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極，ドレイン電極，保持容量形成電極を形成する。

次に薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いてP-CV 50

D装置で表示画素領域に形成する。ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0036】

〔手段5〕MVAモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記の3回のホトリソグラフィ工程を用いる。

1. ハーフトーンホットマスクを用いる第1回めのハーフトーン露光法で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。
2. ハーフトーンホットマスクを用いる第2回めのハーフトーン露光法で、薄膜半導体層素子分離、コンタクトホールを形成する。
3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極、ドレイン電極、配向方向制御電極を形成する。

10

次に薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いてP-CVD装置で表示画素領域に形成する。

ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0037】

〔手段6〕FFSモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記の3回のホトリソグラフィ工程を用いる。

1. ハーフトーンホットマスクを用いる第1回めのハーフトーン露光法で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。
2. ハーフトーンホットマスクを用いる第2回めのハーフトーン露光法で、薄膜半導体層素子分離、コンタクトホールを形成する。
3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極、ドレイン電極、くし歯状共通電極を形成する。

20

次に薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いてP-CVD装置で表示画素領域に形成する。

ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0038】

〔手段7〕TNモード、MVAモード、IPSモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のハーフトーン2重露光法を2回用いた、4回のホトリソグラフィ工程で製造する。

30

はじめにパルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第1回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて、絶対基準アライメントマークにあわせてゲート電極、共通電極、画素電極内コンタクトパッドをアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いて、絶対基準アライメントマークにあわせて画素電極、ゲート電極、共通電極をノーマル露光する。上記の多重露光で、ゲート電極、画素電極、共通電極、画素電極内コンパクトパッドを形成する。)

40

2. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第2回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて薄膜半導体素子部をアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いてコンタクトホールをノーマル露光する。上記の多重露光で、薄膜半導体層の素子分離、コンタクトホールを形成する。)

3. 通常のノーマルホットマスクを用いるノーマル露光法でソース電極、ドレイン電極、保持容量形成電極を形成する。

4. 通常のノーマルホットマスクを用いるノーマル露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

50

【0039】

〔手段8〕MVAモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のハーフトーン2重露光法を2回用いた、4回のホトリソグラフィ工程で製造する。
はじめにパルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第1回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて、絶対基準アライメントマークにあわせてゲート電極、共通電極、画素電極内コンタクトパッドをアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いて絶対基準アライメントマークにあわせて画素電極、ゲート電極、共通電極をノーマル露光する。上記の多重露光で、ゲート電極、画素電極、共通電極、画素電極内コンパクトパッドを形成する。)

2. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第2回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて薄膜半導体素子部をアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いてコンタクトホールをノーマル露光する。上記の多重露光で、薄膜半導体層の素子分離、コンタクトホールを形成する。)

3. 通常のノーマルホットマスクを用いるノーマル露光法でソース電極、ドレイン電極、配向方向制御電極を形成する。

4. 通常のノーマルホットマスクを用いるノーマル露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

【0040】

〔手段9〕FFSモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のハーフトーン2重露光法を2回用いた、4回のホトリソグラフィ工程で製造する。
はじめにパルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第1回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて絶対基準アライメントマークにあわせて、ゲート電極、共通電極、画素電極内コンタクトパッドをアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いて絶対基準アライメントマークにあわせて画素電極、ゲート電極、共通電極をノーマル露光する。上記の多重露光で、ゲート電極、画素電極、共通電極、画素電極内コンパクトパッドを形成する。)

2. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第2回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて薄膜半導体素子部をアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いてコンタクトホールをノーマル露光する。上記の多重露光で、薄膜半導体層の素子分離、コンタクトホールを形成する。)

3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極、ドレイン電極、くし歯状共通電極を形成する。

4. 通常のノーマルホットマスクを用いるノーマル露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

【0041】

〔手段10〕TNモード、MVAモード、IPSモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のハーフトーン2重露光法を2回用いた3回のホトリソグラフィ工程で製造する。

はじめにパルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

10

20

30

40

50

1. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第1回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて絶対基準アライメントマークにあわせてゲート電極、共通電極、画素電極内コンタクトパッドをアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いて絶対基準アライメントマークにあわせて画素電極、ゲート電極、共通電極をノーマル露光する。上記の多重露光で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。)

2. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第2回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて薄膜半導体素子部をアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いてコンタクトホールをノーマル露光する。上記の多重露光で薄膜半導体層の素子分離、コンタクトホールを形成する。)

3. 通常のノーマルホットマスクを用いるノーマル露光法でソース電極、ドレイン電極、保持容量形成電極を形成する。

次に薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いてP-CVD装置で表示画素領域に形成する。

ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0042】

〔手段11〕MVAモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のハーフトーン2重露光法を2回用いた3回のホトリソグラフィ工程で製造する。

はじめにパルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第1回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて絶対基準アライメントマークにあわせてゲート電極、共通電極、画素電極内コンタクトパッドをアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いて絶対基準アライメントマークにあわせて画素電極、ゲート電極、共通電極をノーマル露光する。上記の多重露光で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。)

2. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第2回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて薄膜半導体素子部をアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いてコンタクトホールをノーマル露光する。上記の多重露光で、薄膜半導体層の素子分離、コンタクトホールを形成する。)

3. 通常のノーマルホットマスクを用いるノーマル露光法でソース電極、ドレイン電極、配向方向制御電極を形成する。

次に薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いて、P-CVD装置で表示画素領域に形成する。

ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0043】

〔手段12〕FFSモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のハーフトーン2重露光法を2回用いた3回のホトリソグラフィ工程で製造する。

はじめにパルスレーザーを用いてガラス基板内部に絶対基準アライメントマークを形成する。

1. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第1回めのホトリソグラフィ工程をおこなう。

10

20

30

40

50

(まずはじめにノーマルホットマスクを用いて絶対基準アライメントマークにあわせてゲート電極、共通電極、画素電極内コンタクトパッドをアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いて絶対基準アライメントマークにあわせて画素電極、ゲート電極、共通電極をノーマル露光する。上記の多重露光で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。)

2. 2種類の異なるノーマルホットマスクを用いてアンダー露光するハーフトーン2重露光法で第2回めのホトリソグラフィ工程をおこなう。

(まずはじめにノーマルホットマスクを用いて薄膜半導体素子部をアンダーハーフ露光した後、次に別の異なるノーマルホットマスクを用いてコンタクトホールをノーマル露光する。上記の多重露光で薄膜半導体層の素子分離、コンタクトホールを形成する。)

10

3. 通常のノーマルホットマスクを用いるノーマル露光法で、ソース電極、ドレイン電極、くし歯状共通電極を形成する。

次に薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いて、P-CVD装置で表示画素領域に形成する。ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0044】

〔手段13〕TNモード、MVAモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のDMD直接描画露光装置によるDMDハーフトーンマスクレス露光法を2回用いた、4回のホトリソグラフィ工程で製造する。

20

1. DMD直接描画露光装置を用いる第1回めのDMDハーフトーンマスクレス露光法で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。

2. DMD直接描画露光装置を用いる第2回めのDMDハーフトーンマスクレス露光法で、薄膜半導体層の素子分離、コンタクトホールを形成する。

3. 通常のノーマルホットマスクを用いるノーマル露光法または、DMD直接描画露光装置を用いるDMDノーマルマスクレス露光法でソース電極、ドレイン電極、保持容量形成電極を形成する。

4. 通常のノーマルホットマスクを用いるノーマル露光法または、DMD直接描画露光装置を用いるDMDノーマルマスクレス露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

30

【0045】

〔手段14〕MVAモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のDMD直接描画露光装置によるDMDハーフトーンマスクレス露光法を2回用いた、4回のホトリソグラフィ工程で製造する。

1. DMD直接描画露光装置を用いる第1回めのDMDハーフトーンマスクレス露光法で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。

2. DMD直接描画露光装置を用いる第2回めのDMDハーフトーンマスクレス露光法で、薄膜半導体層素子分離、コンタクトホールを形成する。

3. 通常のノーマルホットマスクを用いるノーマル露光法または、DMD直接描画露光装置を用いるDMDノーマルマスクレス露光法でソース電極、ドレイン電極、配向方向制御電極を形成する。

40

4. 通常のノーマルホットマスクを用いるノーマル露光法またはDMD直接描画露光装置を用いるDMDノーマルマスクレス露光法で、ゲート電極端子部とソース電極端子部と共通電極端子部のコンタクトホールを形成する。

【0046】

〔手段15〕TNモード、MVAモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のDMD直接描画露光装置によるDMDハーフトーンマスクレス露光法を2回用いた、3回のホトリソグラフィ工程で製造する。

1. DMD直接描画露光装置を用いる第1回めのDMDハーフトーンマスクレス露光法で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。

50

2. DMD直接描画露光装置を用いる第2回めのDMDハーフトーンマスクレス露光法で、薄膜半導体層素子分離、コンタクトホールを形成する。

3. 通常のノーマルホットマスクを用いるノーマル露光法または、DMD直接描画露光装置を用いるDMDノーマルマスクレス露光法でソース電極、ドレイン電極、保持容量形成電極を形成する。

次に、薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いて、P-CVD装置で表示画素領域に形成する。

ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0047】

〔手段16〕MVAモード用液晶表示装置のアクティブマトリックス基板を製造する時に、下記のDMD直接描画露光装置によるDMDハーフトーンマスクレス露光法を2回用いた、3回のホトリソグラフィ工程で製造する。

1. DMD直接描画露光装置を用いる第1回めのDMDハーフトーンマスクレス露光法で、ゲート電極、画素電極、共通電極、画素電極内コンタクトパッドを形成する。

2. DMD直接描画露光装置を用いる第2回めのDMDハーフトーンマスクレス露光法で、薄膜半導体層素子分離、コンタクトホールを形成する。

3. 通常のノーマルホットマスクを用いるノーマル露光法または、DMD直接描画露光装置を用いるDMDノーマルマスクレス露光法でソース電極、ドレイン電極、配向方向制御電極を形成する。

次に、薄膜トランジスタ素子のチャネル部のオーミックコンタクト層をドライエッチングした後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いて、P-CVD装置で表示画素領域に形成する。

ゲート電極端子部とソース電極端子部と共通電極端子部には成膜しない。

【0048】

〔手段17〕手段1から手段16までに記載されている製造方法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に、第1層（下層）金属としてTiまたはZrまたはTiやZrの合金または、TiやZrの金属シリサイド化合物を5～25nmの膜圧で成膜した後、真空をやぶらずに連続して第2層（上層）金属としてMoやアルミニウム系合金や純銅や銅系合金や純銀や銀系合金を成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、露光し現像後に、ゲート電極部と共通電極部と画素電極部内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞいた画素電極領域と共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。

次にポジレジストが残っていない領域の第2層（上層）金属と第1層（下層）金属をエッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第2層（上層）金属のみを選択エッチングして除去して、第1層（下層）金属を露出させる。

次にポジレジストが最大に厚く残った領域のポジレジストを剥離してから、基板全面に窒素イオンを加速エネルギー1～20KeVの範囲で照射し、ゲート電極表面と、共通電極表面と、画素電極内コンタクトパッド部の表面を酸化防止すると同時に、露出した画素電極部の第1層（下層）金属であるTiまたはZrまたはTiやZrの合金または、TiやZrの金属シリサイド化合物の薄膜層を窒化Tiまたは窒化Zrなどの金属窒化物に変化させることで可視光の透過率を向上させる。

【0049】

〔手段18〕手段1から手段16までに記載されている製造法で1番はじめのホトリソグ

10

20

30

40

50

ラフイー工程で下記の方法を用いる。

ガラス基板に、第1層（下層）透明導電体としてTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物などの窒化物または酸窒化物を5～25nmの膜厚で成膜した後、真空をやぶらずに連続して第2層（上層）金属としてMoやアルミニウム系

合金や純銅や銅系合金や純銀や銀系合金を成膜する。次に

ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、露光し現像後に、ゲート電極部と共通電極部と画素電極部内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞいた画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。

次にポジレジストが残っていない領域の第2層（上層）金属と第1層（下層）透明導電体をエッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第2層（上層）金属のみを選択エッチングして除去して、第1層（下層）透明導電体を露出させる。

次にポジレジストが最大に厚く残った領域のポジレジストを剥離してから、基板全面に窒素イオンを加速エネルギー0.5～10KeVの範囲で照射し、ゲート電極表面と共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。

【0050】

〔手段19〕手段1から手段16までに記載されている製造法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に第1層（下層）透明導電体として金属酸化物のITOまたはIZOを成膜した後、第2層（上層）金属として、ITOやIZOよりも酸化還元電位の小さなMoまたはCrまたは銀合金または銅合金または、ニッケルやコバルトや鉄を0.5～7.0アトムミック%の範囲で含有するアルミニウム合金を連続スパッター成膜する。

ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、露光し現像後に、ゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞいた画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。

次にポジレジストが残っていない領域の第2層（上層）金属と第1層（下層）透明導電体をエッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第2層（上層）金属のみを選択エッチングして除去して、第1層（下層）透明導電体を露出させる。次にポジレジストが最大に厚く残った領域のポジレジストを剥離してから、基板全面に窒素イオンを加速エネルギー0.5～10KeVの範囲で照射し、ゲート電極表面と共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。

【0051】

〔手段20〕手段1から手段16までに記載されている製造方法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に、第1層（下層）金属としてTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物を5～25nmの膜厚で成膜した後、真空をやぶらずに連続して第2層（上層）金属としてMoやアルミニウム系合金や純銅や銅系合金や純銀や銀系合金を成膜する。ポジレジストを塗布した後、ハーフトーン露光法または、ノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光

10

20

30

40

50

するハーフトーン2重露光法またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて露光し現像後に、ゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞいた画素電極領域と共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。次にポジレジストが残っていない領域の第2層（上層）金属のみを選択エッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露光した第2層（上層）金属をマスクに利用して、露出している第1層（下層）金属のみを選択エッチングして除去する。次に露出している第2層（上層）金属のみを選択エッチングし、第1層（下層）金属を露出させてから、残ったポジレジストを剥離する。

10

次に基板全面に窒素イオンを加速エネルギー1～20 KeVの範囲で照射し、ゲート電極表面と共通電極表面と画素電極内コンタクトパッド部の表面を酸化防止すると同時に、露出した画素電極部の第1層（下層）金属であるTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物の薄膜層を窒化Tiまたは窒化Zrなどの金属窒化物に変化させることで可視光の透過率を向上させる。

【0052】

〔手段21〕手段1から手段16までに記載されている製造法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に、第1層（下層）透明導電体としてTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物などの窒化物または酸窒化物を5～25 nmの膜厚で成膜した後、真空をやぶらずに連続して第2層（上層）金属としてMoやアルミニウム系合金や純銅や銅系合金や純銀や銀系合金を成膜する。次にポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光するハーフトーン2重露光法またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて露光し現像後に、ゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。次にポジレジストが残っていない領域の第2層（上層）金属のみを選択エッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第2層（上層）金属をマスクに利用して、露出している第1層（下層）透明導電体のみを選択エッチングして除去する。次に露出している第2層（上層）金属のみを選択エッチングして除去し、第1層（下層）透明導電体を露出させてから残ったポジレジストを剥離する。

20

30

次に基板全面に窒素イオンを加速エネルギー0.5～10 KeVの範囲で照射し、ゲート電極表面と共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。

【0053】

〔手段22〕手段1から手段16までに記載されている製造法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に第1層（下層）透明導電体として金属酸化物のITOまたはIZOを成膜した後、第2層（上層）金属としてITOやIZOよりも酸化還元電位の小さなMoまたはCrまたは銀合金または銅合金またはニッケルやコバルトや鉄を0.5～7.0アトミック%の範囲で含有するアルミニウム合金を連続スパッター成膜する。次にポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光するハーフトーン2重露光法またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて露光し現像後に、ゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタ

40

50

クトパッドをのぞいた画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。次にポジレジストが残っていない領域の第2層（上層）金属のみを選択エッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない薄くポジレジストが残っている領域のポジレジストを分解除去する。

パターンニングされ露出した第2層（上層）金属をマスクに利用して、露出している第1層（下層）透明導電体のみを選択エッチングして除去する。次に露出している第2層（上層）金属のみを選択エッチングして除去し、第1層（下層）透明導電体を露出させてから残ったポジレジストを剥離する。

次に基板全面に窒素イオンを加速エネルギー0.5～10 KeVの範囲で照射し、ゲート電極表面と共通電極表面と画素電極内部のコンタクトパッドの表面を酸化防止処理する。

【0054】

〔手段23〕手段1から手段16までに記載されている製造方法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に、第1層（下層）金属としてTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物を5～25nmの膜厚で成膜した後、第2層（上層）金属としてアルミニウムまたはアルミニウム合金または純銅や銅合金や純銀や銀合金を連続成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。

次にポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法または、ノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて露光し現像後に、ゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞいた画素電極領域と共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと第2層（中層）金属のアルミニウムまたはアルミニウム合金または純銅または銅合金または純銀または銀合金と、第1層（下層）金属をエッチングして除去してから、酸素プラズマ処理や、オゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第3層（上層）金属と第2層（中層）金属を選択エッチングして除去して、第1層（下層）金属を露出させる。

ポジレジストが最大に厚く残った領域のポジレジストを剥離した後、基板全面に窒素イオンを加速エネルギー1～20 KeVの範囲で照射し、露出した画素電極部の第1層（下層）金属であるTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物の薄膜層を窒化Tiまたは窒化Zrなどの金属窒化物に変化させることで可視光の透過率を向上させる。

【0055】

〔手段24〕手段1から手段16までに記載されている製造法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に、第1層（下層）透明導電体としてTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物などの窒化物または、酸窒化物を5～25nmの膜厚で成膜した後、真空をやぶらずに連続して第2層（中層）金属としてアルミニウムまたはアルミニウム合金または、純銅または銅合金または純銀または銀合金を成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。次

にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属のアルミニウムまたはアルミニウム合金または純銅または銅合金または純銀または銀合金と、第1層（下層）透明導電体の窒化チタンまたは窒化ジルコニウムまたは酸窒化チタンまたは酸窒化ジルコニウムなどをエッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第3層（上層）金属と第2層（中層）金属を選択エッチングして除去して、第1層（下層）透明導電体を露出させる。最後にポジレジストが最大に厚く残った領域のポジレジストを剥離する。

【0056】

〔手段25〕手段1から手段16までに記載されている製造法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。 10

ガラス基板に、第1層（下層）透明導電体として、金属酸化物のITOまたはIZOを成膜した後、第2層（中層）金属として、ITOやIZOよりも酸化還元電位の小さな、MoやCrを0.5～7.0アトミック%含有する銅合金または、MoやCrを0.5～7.0アトミック%含有する銀合金、または、ニッケルやコバルトや鉄を0.5～7.0アトミック%含有するアルミニウム合金を連続して成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッドをのぞく画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。 20

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと、第2層（中層）金属の銅合金または銀合金またはアルミニウム合金と、第1層（下層）透明導電体のITOまたはIZOをエッチングして除去してから、酸素プラズマ処理やオゾンガス処理をおこない薄くポジレジストが残っている領域のポジレジストを分解除去する。露出した第3層（上層）金属と第2層（中層）金属を選択エッチングして除去して、第1層（下層）透明導電体を露出させる。最後にポジレジストが最大に厚く残った領域のポジレジストを剥離する。 30

【0057】

〔手段26〕手段1から手段16までに記載されている製造法で、1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に、第1層（下層）金属としてTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物を5～25nmの膜厚で成膜した後、第2層（中層）金属としてアルミニウムまたはアルミニウム合金または純銅や銅合金や純銀や銀合金を連続成膜し、さらに第3層（上層）金属としてMoまたはCrを連続成膜する。

次にポジレジストを塗布した後、ハーフトーンホットマスク（透過露光量変調ホットマスク）を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いてアンダーハーフ露光とノーマル露光を連続して2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて露光し、現像後に、ゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素領域と共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。 40

次にポジレジストが残っていない領域の第3層（上層）金属のMoまたはCrと第2層（中層）金属のアルミニウムまたはアルミニウム合金または純銅または銅合金または純銀または銀合金をエッチング除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第3層（上層）金属と第2層（中層）金属をマスクに利用して、露出している第1層（下層）金属を選択エッチングする。次に露出している第3層（上層）金属と第2層（ 50

中層) 金属のみを選択エッチングして除去し、第1層(下層) 金属を露出させてから残ったポジレジストを剥離する。次に基板全面に窒素イオンを加速エネルギー1~20 KeVの範囲で照射し、露出した画素電極部の第1層(下層) 金属を窒化Tiや窒化Zrなどの金属窒化物に変化させることで可視光の透過率を向上させる。

【0058】

〔手段27〕手段1から手段16までに記載されている製造法で、1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に、第1層(下層) 透明導電体としてTiまたはZrまたはTiやZrの合金またはTiやZrの金属シリサイド化合物などの窒化物または、酸窒化物を5~25nmの膜厚で成膜した後、真空をやぶらずに連続して第2層(中層) 金属として、アルミニウムまたはアルミニウム合金または純銅または銅合金または純銀または銀合金を成膜し、さらに第3層(上層) 金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク(透過露光量変調ホットマスク)を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが、薄くなるように調整する。次にポジレジストが残っていない領域の第3層(上層) 金属のMoまたはCrと、第2層(中層) 金属のアルミニウムまたはアルミニウム合金または純銅または銅合金または純銀または銀合金をエッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない、薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第3層(上層) 金属と第2層(中層) 金属をマスクに利用して露出している第1層(下層) 透明導電体を選択エッチングする。次に露出している第3層(上層) 金属と第2層(中層) 金属のみを選択エッチングして除去して、第1層(下層) 透明導電体を露出させてから、残ったポジレジストを剥離する。

【0059】

〔手段28〕手段1から手段16までに記載されている製造法で1番はじめのホトリソグラフィ工程で下記の方法を用いる。

ガラス基板に第1層(下層) 透明導電体として、金属酸化物のITOまたはIZOを成膜した後、第2層(中層) 金属として、ITOやIZOよりも酸化還元電位の小さな、MoやCrを0.5~7.0アトミック%含有する銅合金または、MoやCrを0.5~7.0アトミック%含有する銀合金または、ニッケルやコバルトや鉄を0.5~7.0アトミック%含有するアルミニウム合金を連続して成膜し、さらに第3層(上層) 金属としてMoまたはCrを連続成膜する。ポジレジストを塗布した後、ハーフトーンホットマスク(透過露光量変調ホットマスク)を用いるハーフトーン露光法またはノーマルホットマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後にゲート電極部と共通電極部と画素電極内のコンタクトパッド部に対応するポジレジストの厚みを最大に厚くし、コンタクトパッド部をのぞく画素電極領域と、共通電極から分岐している共通電極の一部の領域に対応するポジレジストの厚みが薄くなるように調整する。

次にポジレジストが残っていない領域の第3層(上層) 金属のMoまたはCrと、第2層(中層) 金属の銅合金または銀合金またはアルミニウム合金をエッチングして除去してから酸素プラズマ処理やオゾンガス処理をおこない薄くポジレジストが残っている領域のポジレジストを分解除去する。パターンニングされ露出した第3層(上層) 金属と第2層(中層) 金属をマスクに利用して露出している第1層(下層) 透明導電体を選択エッチングする。次に露出している第3層(上層) 金属と第2層(中層) 金属のみを選択エッチングして除去して、第1層(下層) 透明導電体を露出させてから、残ったポジレジストを剥離する。

【0060】

〔手段 29〕手段 17, 20, 23, 26 において、第 1 層（下層）金属である Ti または Zr または Ti と Zr の合金を成膜後、第 2 層めの金属をスパッタリング法で成膜する時に、まずはじめにスパッタリング用の不活性ガスであるアルゴンやクリプトンのガスに窒素、アンモニア、ヒドラジン、ヒドラゾンなどのすくなくとも一種類以上の窒化性ガスを 1～20% の範囲で混合して放電し、第 2 層めの金属膜中に窒素原子をドーピングしながら 1～10 nm 程度の厚みに第 2 層金属を成膜した後、窒化性ガスの混入を停止して、スパッタリング用の不活性ガスのアルゴンやクリプトンだけで成膜することで第 1 層（下層）金属との界面と、界面に近い領域の第 2 層金属のエッチングレートを窒素原因がドーピングされていない第 2 層金属よりも小さくし、順テーパー形状のエッチング加工が可能になるようにした。

10

【0061】

〔手段 30〕手段 18, 19, 21, 22, 24, 25, 27, 28 において、第 1 層（下層）薄膜透明導電体の膜厚が 10～100 nm の範囲であり、第 1 層（下層）薄膜透明導電体を成膜後、第 2 層めの金属をスパッタリング法で成膜する時に、まずはじめにスパッタリング用の不活性ガスのアルゴンやクリプトンのガスに、窒素、アンモニア、ヒドラジン、ヒドラゾンなどのすくなくとも一種類以上の窒化性ガスを 1～20% の範囲で混合して放電し、第 2 層めの金属膜中に、窒素原子をドーピングしながら 1～10 nm 程度の厚みに第 2 層金属を成膜した後、窒化性ガスの混入を停止してスパッタリング用の不活性ガスのアルゴンやクリプトンだけで成膜することで、第 1 層（下層）透明導電体中に含有されている酸素原子が第 2 層金属に拡散移動することを防止し、かつ第 1 層（下層）透明導電体の界面と界面に近い領域の第 2 層金属のエッチングレートを窒素原因がドーピングされていない第 2 層金属領域よりも小さくし、順テーパー形状のエッチング加工が可能になるようにした。

20

【0062】

〔手段 31〕手段 17, 20, 23, 26 において、第 1 層（下層）金属である Ti または Zr またはこれらの合金の膜厚が 5～25 nm の範囲であり、ポジレジストを剥離した後に基板に窒素イオンをドーピングするときの加速エネルギーを第 1 層（下層）金属の膜厚に応じて 1～20 keV の範囲とし、可視光透過率が最も高くなるように調整しかつ画素電極内のコンタクトパッド部のコンタクト抵抗値が 100 k Ω 以下になるようにドーズ量を調整する。

30

【0063】

〔手段 32〕手段 18, 19, 21, 22 において、第 1 層（下層）透明導電体の膜厚が 10～100 nm の範囲であり、ポジレジストを剥離した後に、基板に窒素イオンをドーピングするときの加速エネルギーを 0.5～10 keV の範囲とし画素電極内のコンタクトパッド部のコンタクト抵抗値が 100 k Ω 以下になるようにドーズ量を調整する。

【0064】

〔手段 33〕手段 1 から手段 16 までに記載された製造方法に関して、第 2 番めのホトリソグラフィ工程で下記の方法を用いる。

第 1 番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法または、ノーマルホトマスクを 2 種類用いて 2 回多重露光するハーフトーン 2 重露光法または、DM D 直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate 電極端子部や Source 電極端子部や共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから、酸素プラズマ処理やオゾンガス処理をおこないポジレジストが、

40

50

薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した薄膜半導体層のみを選択エッチングして除去し、ゲート絶縁膜を露出させる。Gate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。次に薄膜トランジスタ素子部の薄膜半導体層の上に残っているポジレジストを剥離する。

【0065】

10

〔手段34〕手段1から手段16までに記載された製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いる。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法またはノーマルホトマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部、共通電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから、酸素プラズマ処理やオゾンガス処理をおこない、ポジレジストが薄く均一な膜厚で残っているハーフトーン露出領域のポジレジストを分解除去する。

20

この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメタルとその下層に形成されている薄膜半導体層のみを選択エッチングして除去しゲート絶縁膜を露出させる。Gate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。

30

次に薄膜トランジスタ素子部の薄膜半導体層の上に残っているポジレジストを剥離する。

【0066】

〔手段35〕手段1から手段16までに記載された製造方法に関して第2番めのホトリソグラフィ工程で下記の方法を用いる。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法またはノーマルホトマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露出素子を用いるハーフトーンマスクレス露出法を用いて現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部、共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。

40

次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲ

50

ート絶縁膜を残しておく（5～200nm程度の厚みが残っていれば十分である。）。次に酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。このエッチングでは、コンタクトホール部の領域にわずかに残っているゲート絶縁膜の方が、露出している薄膜半導体層よりもはやく完全にエッチングされるように調整する。

コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなくゲート絶縁膜を露出させる。

以上によりGate電極と共通電極と画素電極を含む全領域を、コンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。次に薄膜トランジスタ素子部の薄膜半導体層の上に残っているポジレジストを剥離する。

【0067】

〔手段36〕手段1から手段16までに記載された製造方法に関して第2番めのホトリソグラフィ工程で下記の方法を用いる。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面に、ゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法またはノーマルホトマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に、薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲート絶縁膜を残しておく（5～200nm程度の厚みが残っていれば十分である。）。

次に酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメタルと耐酸化性バリアーメタルの下層に形成されている薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。このエッチングでは、コンタクトホール部の領域にわずかに残っているゲート絶縁膜の方がハーフトーン露光領域の薄膜半導体層よりもはやく完全にエッチングされるように調整する。

コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し、露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなくGate絶縁膜を露出させる。

以上によりGate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて、完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。

10

20

30

40

50

次に薄膜トランジスタ素子部の耐酸化性バリアーメタルの上に残っているポジレジストを剥離する。

【0068】

〔手段37〕手段1から手段16までに記載された製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いる。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法または、ノーマルホトマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部や共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域には、ポジレジストの厚みが均一に薄く残るように調整する。

次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから、酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているように、ハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した薄膜半導体層のみを選択エッチングして除去し、ゲート絶縁膜を露出させる。Gate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。

次にイオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後、残っているポジレジストを剥離する。

【0069】

〔手段38〕手段1から手段16までに記載された製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いる。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布しハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法または、ノーマルホトマスクを2種類用いて2回多重露光するハーフトーン2重露光法または、DMD直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて現像後に、薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部、共通電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域には、ポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層とゲート絶縁膜をエッチングして完全に除去してから酸素プラズマ処理やオゾンガス処理をおこない、ポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域ポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメタルとその下層に形成されている薄膜半導体層のみを選択エッチングして除去し、ゲート

10

20

30

40

50

絶縁膜を露出させる。

G a t e 電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。

次にイオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後残っているポジレジストを剥離する。

【0070】

〔手段39〕手段1から手段16までに記載された製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いる。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と、不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、ポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法またはノーマルホトマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光法を用いて、現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、G a t e 電極端子部やS o u r c e 電極端子部や共通電極端子部ならびに静電気保護回路部や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域にはポジレジストの厚みが均一に薄く残るように調整する。次にポジレジストが完全に除去されたコンタクトホール部の薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲート絶縁膜を残しておく（5～200nm程度の厚みが残っていれば十分である。）。

次に酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。このエッチングではコンタクトホール部の領域にわずかに残っているゲート絶縁膜の方が露出している薄膜半導体層よりもはやく完全にエッチングされるように調整する。コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなくゲート絶縁膜を露出させる。

以上によりG a t e 電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて、完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の薄膜半導体層をパターンニングする。次にイオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後、残っているポジレジストを剥離する。

【0071】

〔手段40〕手段1から手段16までに記載された製造方法に関して、第2番めのホトリソグラフィ工程で下記の方法を用いる。

第1番めのホトリソグラフィ工程が完全に終了した後に、基板全面にゲート絶縁膜を形成し、次にノンドープ薄膜半導体層と不純物をドーピングしたオーミックコンタクトのための薄膜半導体層を連続成膜した後、耐酸化性バリアーメタルを成膜する。

次にポジレジストを塗布し、ハーフトーンホトマスク（透過露光量変調ホトマスク）を用いるハーフトーン露光法またはノーマルホトマスクを2種類用いて2回多重露光するハーフトーン2重露光法またはDM D直接描画露光素子を用いるハーフトーンマスクレス露光

10

20

30

40

50

法を用いて、現像後に薄膜トランジスタ素子を形成する領域でポジレジストの厚みを最大に厚くし、Gate電極端子部やSource電極端子部や共通電極端子部ならびに静電気保護回路や画素電極領域に形成されているコンタクトパッド部などのコンタクトホールをあける部分のポジレジストを完全に除去し、それ以外の領域には、ポジレジストの厚みが均一に薄く残るように調整する。

次に、ポジレジストが完全に除去されたコンタクトホール部の耐酸化性バリアーメタルと薄膜半導体層を完全にエッチング除去した後、コンタクトホール部のゲート絶縁膜をハーフエッチングしてわずかにゲート絶縁膜を残しておく（5～200nm程度の厚みが残っていれば十分である。）。次に酸素プラズマ処理やオゾンガス処理をおこないポジレジストが薄く均一な膜厚で残っているハーフトーン露光領域のポジレジストを分解除去する。この処理後でも薄膜トランジスタ素子領域のポジレジストは残っているようにハーフトーン露光領域のポジレジスト膜厚と薄膜トランジスタ素子領域の未露光領域のポジレジスト膜厚を調整しておく。

ハーフトーン露光領域のポジレジストが分解除去された後、露出した耐酸化性バリアーメタルと耐酸化性バリアーメタルの下層に形成されている薄膜半導体層をエッチングすると同時に、コンタクトホール部の領域にわずかに残っているゲート絶縁膜もエッチングする。

このエッチングでは、コンタクトホール部の領域にわずかに残っているゲート絶縁膜の方が、ハーフトーン露光領域の薄膜半導体層よりもはやく完全にエッチングされるように調整する。

コンタクトホール部の領域に残されたゲート絶縁膜が完全にエッチング除去された後、エッチング条件を変更し露出している薄膜半導体層のみを選択エッチングし、ハーフトーン露光領域のゲート絶縁膜にダメージをあたえることなくゲート絶縁膜を露出させる。

以上によりGate電極と共通電極と画素電極を含む全領域をコンタクトホール形成部分をのぞいて完全にゲート絶縁膜で被覆した状態を維持しながら薄膜トランジスタ素子部の耐酸化性バリアーメタルと薄膜半導体層をパターンニングする。

次にイオンドーピング法を用いて基板に対してななめ方向から窒素イオンを照射するか、または窒化性ガスを用いて基板をプラズマ処理することで薄膜トランジスタ素子部の薄膜半導体層の側壁を窒化処理する。その後残っているポジレジストを剥離する。

【0072】

〔手段41〕手段34，36，38，40で用いられる耐酸化性バリアーメタルの材料として、フッ素系のドライエッチングガスでエッチング可能な、モリブデンやチタンやジルコニウムやタンタルやニオブなどの高融点金属を用い、スパッタリング法で1～50nmの膜厚に成膜する。

【0073】

〔手段42〕手段37，38，39，40で薄膜トランジスタ素子部の薄膜半導体層の側壁をイオンドーピング法を用いて窒化処理する時、窒素イオンの照射角度が基板の水平方向から5度～60度の範囲でかつ窒素イオンの加速エネルギーを1keV～10keVの範囲に設定する。

【0074】

〔手段43〕手段1から手段16までに記載された製造方法に関して、第1番めのホトリソグラフィ工程で、画素電極内部に薄膜画素電極とは別にゲート電極と同じ金属材料で形成されているコンタクトパッドを少なくとも1個以上形成し、第2番めのホトリソグラフィ工程でコンタクトパッド部にコンタクトホールを形成し、第3番めのホトリソグラフィ工程でコンタクトホールを通してコンタクトパッドと薄膜トランジスタ素子のDrain電極が電氣的に接続され、画素電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0075】

〔手段44〕手段1，4，7，10，13，15に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、ゲート電極と、ゲート電極に平行して近接した共通電極

10

20

30

40

50

と、画素電極と、前記画素電極内部に薄膜画素電極とは別に、ゲート電極と同じ金属材料でコンタクトパッドを少なくとも2個以上同時に同層に形成する。第2番めのホトリソグラフィ工程で形成されたコンタクトホールを通して、上記2個以上のコンタクトパッドのうちすくなくとも1個は、第3番めのホトリソグラフィ工程で形成される薄膜トランジスタ素子のD r a i n電極と電氣的に接続され、残りのすくなくとも1個以上のコンタクトパッドは、第3番めのホトリソグラフィ工程で形成されるC s t（保持容量）形成電極と電氣的に接続され、かつこのC s t（保持容量）形成電極を、前記共通電極とゲート絶縁膜をかいしてオーバーラップさせることで、コンデンサーを形成し、画素電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0076】

〔手段45〕手段2，5，8，11，14，16に記載された製造方法に関して、第1回目のホトリソグラフィ工程で、ゲート電極と、ゲート電極に平行して近接した共通電極と、画素電極と、前記画素電極内部に薄膜画素電極とは別にゲート電極と同じ金属材料でコンタクトパッドを少なくとも1個以上同時に同層に形成する。

第2番めのホトリソグラフィ工程で、上記共通電極と、上記コンタクトパッドに対応する位置に、それぞれ別々に1個以上のコンタクトホールを形成した後、3番めのホトリソグラフィ工程で薄膜トランジスタ素子のD r a i n電極と液晶分子の配向方向を制御する配向方向制御電極を形成し、D r a i n電極はコンタクトホールを通してコンタクトパッドと電氣的に接続されている。配向方向制御電極はコンタクトホールを通して共通電極と電氣的に接続され、かつ薄膜画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0077】

〔手段46〕手段1，4，7，10，13，15に記載された製造方法に関して、第1回目のホトリソグラフィ工程で、ゲート電極と、くし歯状の画素電極と、くし歯状画素電極内部に2個以上のコンタクトパッドと、ゲート電極に平行に近接した共通電極と、前記共通電極からS o u r c e電極の左右両側に近接して平行にのびているS o u r c e信号シールド電極と、前記共通電極から同様にくし歯状画素電極に平行にのびているくし歯状共通電極が、同時に同一層に形成されており、第2番めのホトリソグラフィ工程で形成されたコンタクトホールを通して前記くし歯状画素電極内部に形成された2個以上のコンタクトパッドのうちすくなくとも1個は、3番めのホトリソグラフィ工程で形成される薄膜トランジスタ素子のD r a i n電極と電氣的に接続され、残りの1個以上のコンタクトパッドは、3番めのホトリソグラフィ工程で形成されるC s t（保持容量）形成電極と、電氣的に接続され、かつこのC s t（保持容量）形成電極は、ゲート電極に平行に近接している共通電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。くし歯状画素電極と、くし歯状共通電極と、S o u r c e信号シールド電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0078】

〔手段47〕手段1，4，7，10，13，15に記載された製造方法に関して、第1番めのホトリソグラフィ工程でゲート電極と、ゲート電極に平行して近接した共通電極と、画素電極と、前記画素電極内部に薄膜画素電極とは別にゲート電極と同じ金属材料でコンタクトパッドが少なくとも1個以上、同時に同層に形成されている。第2番めのホトリソグラフィ工程で前記共通電極とコンタクトパッドに対応する位置にそれぞれ別々に1個以上のコンタクトホールを形成した後、第3番めのホトリソグラフィ工程で、薄膜トランジスタ素子のD r a i n電極とC s t（保持容量）形成電極が形成され、D r a i n電極はコンタクトホールを通してコンタクトパッドと電氣的に接続され、かつC s t（保持容量）形成電極は、コンタクトホールを通して共通電極と電氣的に接続され、C s t（保持容量）形成電極は、薄膜画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

10

20

30

40

50

【0079】

〔手段48〕手段1, 4, 7, 10, 13, 15に記載された製造方法に関して、第1番めのホトリソグラフィ工程でゲート電極と共通電極と、前記共通電極によって2つの領域に分割された画素電極と、分割された画素電極のうちこれらの画素を駆動する薄膜トランジスタ素子に近接した画素電極の内部に2個以上のコンタクトパッドが形成され、もう一方の分割された画素電極内部には、1個以上のコンタクトパッドが形成される。第2番めのホトリソグラフィ工程でこれらのコンタクトパッドに対応する位置にコンタクトホールが形成される。3番めのホトリソグラフィ工程で薄膜トランジスタ素子のD r a i n電極とC s t（保持容量）形成電極が形成され、前記D r a i n電極は近接している画素電極のコンタクトパッドとコンタクトホールを通して電氣的に接続され、前記C s t（保持容量）形成電極は、分割された画素電極内部のコンタクトパッドのうち共通電極に近接している2つの別々の画素領域内部に形成された2つのコンタクトパッドとコンタクトホールを通して電氣的に接続されており、かつC s t（保持容量）形成電極はゲート絶縁膜をかいして共通電極とオーバーラップすることでコンデンサーを形成している。画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0080】

〔手段49〕手段1, 4, 7, 10, 13, 15に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、基板の単位画素中に、2本のそれぞれ電氣的に独立した共通電極と、1本のゲート電極と、前記ゲート電極によって2つの領域に分割された画素電極と、前記2つの領域に分割された画素電極内部に、それぞれ別々に2個以上のコンタクトパッドが形成される。次に第2番めのホトリソグラフィ工程でこれらのコンタクトパッドに対応する位置にコンタクトホールが形成される。次に第3番めのホトリソグラフィ工程でゲート電極によって2つの領域に分割されたそれぞれの画素電極に対応した2個のD r a i n電極とそれぞれの画素電極に対応した2個のC s t（保持容量）形成電極が形成され、前記2個のD r a i n電極は、ゲート電極によって2つに分割された画素電極内部に形成されたコンタクトパッドのうちのゲート電極に近接したコンタクトパッドとコンタクトホールを通して電氣的に接続されており、前記2個のC s t（保持容量）形成電極は、分割された画素電極内部に形成された残りのコンタクトパッドとそれぞれ別々にコンタクトホールを通して電氣的に接続され、かつ前記2個のC s t（保持容量）形成電極はゲート絶縁膜をかいしてそれぞれ別々に2本の共通電極とオーバーラップすることで、独立したコンデンサーを形成している。2つに分割されている画素電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0081】

〔手段50〕手段2, 5, 8, 11, 14, 16に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、基本の単位画素中に、2本のそれぞれ電氣的に独立した共通電極と、1本のゲート電極と、前記ゲート電極によって2つの領域に分割された画素電極と、前記2つの領域に分割された画素電極内部に、ゲート電極に近接した位置にそれぞれ別々に1個以上のコンタクトパッドが形成される。次に第2番めのホトリソグラフィ工程でこれらのコンタクトパッドと2本の共通電極に対応する位置にコンタクトホールが形成される。

3番めのホトリソグラフィ工程で2つの領域に分割されたそれぞれの画素電極に対応した薄膜トランジスタ素子の2個のD r a i n電極と、それぞれ2つの画素電極に対応した液晶分子の配向方向を制御する2組の配向制御電極が形成され、前記2個のD r a i n電極はコンタクトホールを通してそれぞれ別々に2つに分割された画素電極内部のコンタクトパッドと電氣的に接続されており、前記2組の配向方向制御電極は、2本の共通電極とコンタクトホールを通してそれぞれ別々に独立して電氣的に接続され、かつ2組の配向制御電極はゲート絶縁膜をかいしてそれぞれ別々に2つの領域に分割された画素電極とオーバーラップすることで、それぞれ独立したコンデンサーを形成している。2つに分割されている画素電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0082】

〔手段51〕手段1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16に記載されている製造方法に関して、第1番めのホトリソグラフィ工程で、基本の単位画素中に2本のそれぞれ電氣的に独立した共通電極と、1本のゲート電極と、前記ゲート電極によって2つの領域に分割された画素電極と、前記2つの領域に分割された画素電極のうちの1方の画素電極にすくなくとも2個以上のコンタクトパッドを形成し、もう一方の残りの画素電極にはすくなくとも1個のコンタクトパッドを形成する。第2番めのホトリソグラフィ工程で、これらのコンタクトパッドと、すくなくとも1個のコンタクトパッドが形成された後者の画素電極に近接して配置されている共通電極の上にコンタクトホールを形成する。第3番めのホトリソグラフィ工程で、分割されたそれぞれの画素電極に対応した薄膜トランジスタ素子の2個のD r a i n電極と、1個のC s t（保持容量）形成電極と、液晶分子の配向方向を制御する1組の配向方向制御電極が形成される。前記2個のD r a i n電極は2つに分割された画素電極内部に形成されたコンタクトパッドとそれぞれ別々のコンタクトホールを通して電氣的に接続され、前記1組の配向方向制御電極は、2つの共通電極のうちコンタクトホールがつけられた方の共通電極とコンタクトホールを通して電氣的に接続され、前記1個のC s t（保持容量）形成電極は、すくなくとも2個以上のコンタクトパッドが形成されている画素電極の共通電極に近接しているコンタクトパッドとコンタクトホールを通して電氣的に接続されている。

前記1組の配向方向制御電極は、ゲート絶縁膜をかいして、すくなくとも1個のコンタクトパッドが形成されている画素電極とオーバーラップすることでコンデンサーを形成しており、かつ前記C s t（保持容量）形成電極は、ゲート絶縁膜をかいして、すくなくとも2個のコンタクトパッドが形成されているもう一方の画素電極とオーバーラップすることでコンデンサーを形成している。2つに分割されている画素電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0083】

〔手段52〕手段1, 4, 7, 10, 13, 15に記載された製造方法に関して、第1番めのホトリソグラフィ工程でゲート電極と、くし歯状の画素電極と、画素電極内部に1個以上のコンタクトパッドと、ゲート電極に平行に近接した共通電極と、前記共通電極からS o u r c e電極の左右両側に近接して平行にのびているS o u r c e信号シールド電極と、前記共通電極からくし歯状画素電極に平行にのびているくし歯状共通電極が同時に同一層に形成され、第2番めのホトリソグラフィ工程で、前記共通電極と、前記コンタクトパッドに対応する位置に、それぞれ別々に1個以上のコンタクトホールが形成された後、第3番めのホトリソグラフィ工程で薄膜トランジスタ素子のD r a i n電極と、C s t（保持容量）形成電極が形成され、前記D r a i n電極は、コンタクトホールを通して前記コンタクトパッドと電氣的に接続され、前記C s t（保持容量）形成電極は、ゲート電極に平行に近接している共通電極とコンタクトホールを通して電氣的に接続され、かつ前記C s t（保持容量）形成電極は、前記くし歯状画素電極と、ゲート絶縁膜をかいしてオーバーラップすることで、コンデンサーを形成している。くし歯状画素電極とくし歯状共通電極とS o u r c e信号シールド電極は、コンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0084】

〔手段53〕手段3, 6, 9, 12に記載された製造方法に関して、第1番めのホトリソグラフィ工程でゲート電極と、ゲート電極に平行して近接した共通電極と、ベタ状画素電極と、ベタ状画素電極内部に透明画素電極とは別にゲート電極と同じ金属材料でコンタクトパッドがすくなくとも1個、同時に同層に形成される。次に第2番めのホトリソグラフィ工程で前記共通電極と前記コンタクトパッドに対応する位置にそれぞれ別々に1個以上のコンタクトホールを形成した後、第3番めのホトリソグラフィ工程で薄膜トランジスタ素子のD r a i n電極と、くし歯状共通電極が形成され、D r a i n電極は、コンタクトホールを通して前記コンタクトパッドと電氣的に接続され、くし歯状共通電極は、コンタクトホールを通して前記ゲート電極に平行して近接した共通電極と電氣的に接続され

、かつくし歯状共通電極は、前記ベタ状画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。ベタ状画素電極はコンタクトホールをのぞいてゲート絶縁膜で完全に被覆されるようにした。

【0085】

〔手段54〕手段1, 4, 7, 10, 13, 15に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、直線状のゲート電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極内部には、液晶分子の配向方向を制御するための細長いスリットが複数周期的に形成されており、これらの複数の細長いスリットは、直線状のゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。画素電極は、第2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、完全にゲート絶縁膜で被覆されており、第3番めのホトリソグラフィ工程で形成された直線状Source電極（映像信号電極）は、ゲート絶縁膜をかいしてゲート電極と直交して配置するようにした。

10

【0086】

〔手段55〕手段1, 4, 7, 10, 13, 15に記載された製造方法に関して、第1番めのホトリソグラフィ工程で直線状のゲート電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極内部には、液晶分子の配向方向を制御するための細長いスリットがマトリックス状に形成されており、これらのマトリックス状の細長いスリットは、直線状のゲート電極に対して、平行または直交する方向に細長くのびている。画素電極は、第2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されており、3番めのホトリソグラフィ工程で形成された直線状Source電極（映像信号電極）は、ゲート絶縁膜をかいしてゲート電極と直交して配置するようにした。

20

【0087】

〔手段56〕手段2, 5, 8, 11, 14, 16に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、直線状のゲート電極と、共通電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極は第2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、完全にゲート絶縁膜で、被覆されており、第3番めのホトリソグラフィ工程で、液晶分子の配向方向を制御する細長い配向方向制御電極と、直線状のSource電極が形成され、配向方向制御電極は直線状のゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。配向方向制御電極は、コンタクトホールを通して共通電極と電氣的に接続されており、直線状のSource電極はゲート絶縁膜をかいしてゲート電極と直交して配置するようにした。

30

【0088】

〔手段57〕手段2, 5, 8, 11, 14, 16に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、直線状のゲート電極と共通電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極は、第2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、完全にゲート絶縁膜で被覆されており、3番めのホトリソグラフィ工程で、液晶分子の配向方向を制御する細長い配向方向制御電極と、直線状のSource電極（映像信号電極）が形成され、前記配向方向制御電極は直線状のゲート電極に対して平行または直交する方向に細長くのびており、マトリックス状の形状をなしている。配向方向制御電極はコンタクトホールを通して共通電極と電氣的に接続されており、直線状のSource電極は、ゲート絶縁膜をかいしてゲート電極と直交して配置するようにした。

40

【0089】

〔手段58〕手段1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16に記載された製造方法に関して、第1番めのホトリソグラフィ工程で基本の単位画素中に、1本のゲート電極と、1本の共通電極と、1枚の画素電極と、画素電極内部に少なくとも1

50

個のコンタクトパッドが形成され、画素電極の3分の2から5分の4の面積をしめる領域に液晶配向方向を制御する細長い複数のスリットが形成されている。これらの複数の細長いスリットは、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、スリットが形成されている画素領域の中央部付近で90度の角度で屈曲している形状をしているか、またはマトリックス状の形状でゲート電極に対して平行または直交する方向に細長くのびた形状をしている。

次に第2番めのホトリソグラフィ工程で前記共通電極とコンタクトパッドにそれぞれ別々に1個以上のコンタクトホールを形成する。

前記画素電極はコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィ工程でゲート電極に直交する直線状のSource電極と、画素電極の5分の1から3分の1の面積をしめるスリットが形成されていない領域に、液晶分子の配向方向を制御する配向方向制御電極を形成する。配向方向制御電極は共通電極とコンタクトホールを通して電氣的に接続されており、かつゲート電極に対してプラスマイナス45度の方向に細長くのびており、配向制御電極が形成されている画素領域の中央部付近で90度の角度で屈曲している形状をしているか、またはマトリックス状の形状でゲート電極に対して平行または直交する方向に細長くのびた形状をしている。配向制御電極が形成されている画素領域の方がスリットが形成されている画素領域よりも液晶駆動のThreshold電圧（閾値電圧）が小さくなるようにした。

【0090】

〔手段59〕手段1, 4, 7, 10, 13, 15に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、直線状のゲート電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極には、液晶分子の配向方向を制御するための細長いスリットが複数周期的に形成されており、これらの複数の細長いスリットは、直線状のゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。画素電極も同様に、直線状のゲート電極に対してプラスマイナス45度の方向に長くのびており、画素電極の中央部付近で90度の角度で屈曲している。第2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、画素電極は完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィ工程で形成されるSource電極（映像信号電極）も、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極や画素電極に形成されている細長いスリットと同様に、画素電極の中央部付近で90度の角度で屈曲している構造にした。

【0091】

〔手段60〕手段2, 5, 8, 11, 14, 16に記載された製造方法に関して、第1番めのホトリソグラフィ工程で、直線状のゲート電極と、共通電極と、画素電極と、画素電極内部のコンタクトパッドが形成され、画素電極は、直線状のゲート電極に対してプラスマイナス45度の方向に長くのびており、画素電極の中央部付近で90度の角度で屈曲している。第2番めのホトリソグラフィ工程で、共通電極部とコンタクトパッド部にコンタクトホールが形成され、画素電極は、コンタクトホールをのぞいて完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィ工程で液晶分子の配向方向を制御する細長い配向方向制御電極と、Source電極（映像信号電極）が形成され、配向方向制御電極は直線状のゲート電極に対して、プラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。配向方向制御電極は、コンタクトホールを通して共通電極と電氣的に接続されており、ゲート絶縁膜をかいして画素電極とオーバーラップすることでコンデンサーを形成している。Source電極もゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極や配向方向制御電極と同様に画素電極の中央部付近で90度の角度で屈曲している構造にした。

【0092】

〔手段61〕手段1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16に記載

10

20

30

40

50

された製造方法に関して、第1番めのホトリソグラフィ工程で基本の単位画素中に、直線状の1本のゲート電極と、1本の共通電極と、1枚の画素電極と、画素電極内部に少なくとも1個のコンタクトパッドが形成され、画素電極の3分の2から5分の4の面積をしめる領域に液晶配向方向を制御する細長い複数のスリットが形成されている。これらの複数の細長いスリットは、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で、90度の角度で屈曲している。画素電極も同様に直線状のゲート電極に対してプラスマイナス45度の方向に長くのびており、画素電極の中央部付近で90度の角度で屈曲している。

第2番めのホトリソグラフィ工程で前記共通電極と、コンタクトパッドにそれぞれ別々に1個以上のコンタクトホールを形成する。前記画素電極はコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されている。第3番めのホトリソグラフィ工程で、Source電極（映像信号電極）と、画素電極の5分の1から3分の1の面積をしめるスリットが形成されていない画素領域に、液晶分子の配向方向を制御する配向方向制御電極を形成する。配向方向制御電極は、コンタクトホールを通して共通電極と電氣的に接続されており、かつゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極の中央部付近で90度の角度で屈曲している。配向方向制御電極はゲート絶縁膜をかいして画素電極とオーバーラップすることでコンデンサーを形成している。

Source電極も、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極や、画素電極に形成された細長いスリットや、配向方向制御電極と同様に画素電極の中央部付近で90度の角度で屈曲している。

配向方向制御電極が形成されている画素電極の5分の1から3分の1の面積をしめる領域の方が、細長いスリットが形成されている画素電極の3分の2から5分の4の面積をしめる残りの領域よりも液晶駆動のThreshold電圧（閾値電圧）が小さくなるようにした。

【0093】

〔手段62〕手段1, 4, 7, 10, 13, 15に記載された製造方法に関して、第1番めのホトリソグラフィ工程で基本の単位画素中に、1本の直線状ゲート電極と、1本の共通電極と、1枚の画素電極と画素電極内部にコンタクトパッドがすくなくとも1個以上形成されている。画素電極は2つの領域に分けられており、画素電極の3分の2から5分の4の面積をしめる領域には、液晶分子の配向方向を制御する細長い複数のスリットが、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、それぞれのスリットは40～60ミクロンメートルピッチで疎に平行に配列されていて、この疎に配列されている領域の中央部付近で、画素電極と細長い複数のスリットは、90度に屈曲している。

画素電極の残りの5分の1から3分の1の面積をしめる領域には、液晶分子の配向方向を制御する細長い複数のスリットが、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、それぞれのスリットは20～40ミクロンメートルピッチで密に平行に配列されており、この密に配列されている領域の中央部付近で、画素電極と細長い複数のスリットは、90度に屈曲している。

第2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいて画素電極は完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィ工程で形成されるSource電極（映像信号電極）もゲート電極に対してプラスマイナス45度の方向に細長くのびており、画素電極や細長いスリットと同様にスリットが疎に配列されている画素領域の中央部付近と、スリットが密に配列されている画素領域の中央部付近の2ヶ所で、すくなくとも2回以上90度に屈曲している構造にした。

【0094】

〔手段63〕手段2, 5, 8, 11, 14, 16に記載の製造方法に関して、第1番めのホトリソグラフィ工程で基本の単位画素中に、1本の直線状のゲート電極と、1本の共通電極と、1枚の画素電極と、画素電極内部に少なくとも1個のコンタクトパッドが形成

されている。第2番めのホトリソグラフィ工程でコンタクトパッド部に形成されるコンタクトホールをのぞいては、画素電極は完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィ工程でSource電極（映像信号電極）と、液晶分子の配向方向を制御する細長い複数の配向方向制御電極が形成される。画素電極の3分の2から5分の4の面積をしめる領域には、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、それぞれの配向方向制御電極は40～60ミクロンメートルのピッチで疎に平行に配列されている。この疎に配列されている領域の中央部付近で、画素電極と細長い複数の配向方向制御電極は、両方ともに90度に屈曲している。画素電極の残り5分の1から3分の1の面積をしめる領域には、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長く複数本のびており、それぞれの配向方向制御電極は、20～40ミクロンメートルピッチで密に平行に配列されている。この密に配列されている領域の中央部付近で、画素電極と細長い複数の配向方向制御電極は、両方ともに90度に屈曲している。

Source電極も、画素電極や、細長い配向方向制御電極と同様に、配向方向制御電極が疎に配列されている画素領域の中央部付近と、配向方向制御電極が密に配列されている画素領域の中央部付近の2か所ですくなくとも2回以上90度に屈曲している。

2つの画素領域に配列されている配向方向制御電極は、領域の境界で連結されており、コンタクトホールを通して共通電極と電気的に接続され、ゲート絶縁膜をかいして画素電極とオーバーラップすることでコンデンサーを形成するようにした。

【0095】

〔手段64〕手段1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16に記載の製造方法に関して、第1番めのホトリソグラフィ工程で基本の単位画素中に、1本の直線状のゲート電極と、1本の共通電極と、1枚の画素電極と、画素電極内部にすくなくとも1個のコンタクトパッドが形成されている。第2番めのホトリソグラフィ工程でコンタクトホールが共通電極部とコンタクトパッド部に形成される。

コンタクトパッド部のコンタクトホールをのぞいて画素電極は、完全にゲート絶縁膜で被覆されている。第3番めのホトリソグラフィ工程でSource電極（映像信号電極）と液晶分子の配向方向を制御する細長い複数の配向方向制御電極が形成され、配向方向制御電極は、コンタクトホールを通して共通電極と電気的に接続されている。

画素電極は2つの領域に分けられており、画素電極の3分の2から5分の4の面積をしめる領域には、液晶配向方向を制御する細長い複数のスリットがゲート電極に対して、プラスマイナス45度の方向に細長くのびており、それぞれのスリットは40～60ミクロンメートルのピッチで疎に平行に配列されていて、この領域の中央部付近で画素電極と細長い複数のスリットは両方ともに90度の角度で屈曲している。

画素電極の残り5分の1から3分の1の面積をしめる領域には、複数の配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、それぞれの配向方向制御電極は、20～40ミクロンメートルピッチで密に平行に配列されていて、この領域の中央部付近で、画素電極と細長い複数の配向制御電極は両方ともに90度の角度で屈曲している。

Source電極も画素電極や細長いスリットや細長い配向方向制御電極と同様に、細長いスリットが疎に配列されている画素領域の中央部付近と、配向方向制御電極が密に配列されている画素領域の中央部付近の2か所で少なくとも合計で2回以上90度に屈曲している。

配向方向制御電極が密に平行に配列されている画素電極の5分の1から3分の1の面積をしめる領域の方が、細長いスリットが疎に平行に配列されている画素電極の3分の2から5分の4の面積をしめる領域よりも液晶駆動のThreshold電圧（閾値電圧）が小さくなるようにした。

【0096】

〔手段65〕手段1, 4, 7, 10, 13, 15に記載の製造方法に関して、第1番めのホトリソグラフィ工程で、基本となる単位画素中に、1本のゲート電極と2本の共通電

極とゲート電極によって大面積領域と小面積領域の2つの領域に分断された2枚の画素電極と、2つの領域に分断されたそれぞれの画素電極内部に少なくともそれぞれ2個以上、合計して4個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は小さい方の画素電極の面積の約2倍から4倍の大きさである。

大きい方の画素電極には、液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス45度の方向に細長くのびた形状に形成されており、それぞれのスリットは、40～60ミクロンメートルのピッチで疎に互いに平行に配列されている。

大きい画素電極の中央部付近で細長いスリットは90度の角度で屈曲している。小さい方の画素電極にも液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス45度の方向に細長くのびた形状に形成されており、それぞれのスリットは20～40ミクロンメートルピッチで密に互いに平行に配列されている。小さい画素電極の中央部付近で細長いスリットは、90度の角度で屈曲している。第2番めのホトリソグラフィ工程でコンタクトホールが、コンタクトパッド部に形成され、これらのコンタクトホールをのぞいて、大小2つに分断された画素電極は、完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィ工程で基本となる単位画素中にゲート電極と直交している直線状のSource電極（映像信号電極）と、大面積画素電極と小面積画素電極のそれぞれに対応する2つのDrain電極と、2つのCst（保持容量）形成電極が形成される。

2つのDrain電極は、コンタクトホールを通して大小2つの画素電極と別々に電氣的に接続されている。2つのCst（保持容量）形成電極はコンタクトホールを通して大小2つの画素電極と別々に電氣的に接続され、かつゲート絶縁膜をかいしてそれぞれに対応する2本の共通電極とオーバーラップすることで、2つの独立したコンデンサーを形成するようにした。

【0097】

〔手段66〕手段2, 5, 8, 11, 14, 16に記載の製造方法に関して、第1番めのホトリソグラフィ工程で基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小の2つの領域に分断された2枚の画素電極と、2つに分断されたそれぞれの画素電極内部に少なくとも1個のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約2倍から4倍の大きさである。2番めのホトリソグラフィ工程で、コンタクトホールが大小2つの画素電極内部のコンタクトパッド部と大小2つの画素電極に対応する2本の共通電極部に形成され、コンタクトホールをのぞいては、大小2つの画素電極は完全にゲート絶縁膜で被覆されている。3番めのホトリソグラフィ工程で、基本の単位画素中に、ゲート電極に直交する直線状のSource電極（映像信号電極）と、大小2つの画素電極に対応する2つのDrain電極と、大小2つの画素電極に対応する液晶分子の配向配向を制御するための細長い配向方向制御電極が形成される。2つのDrain電極は大小2つの画素電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。大きい方の画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は40～60ミクロンピッチで疎に互いに平行に配列されている。大きい画素電極の中央部付近で細長い配向方向制御電極は90度の角度で屈曲している。小さい方の画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は、20～40ミクロンピッチで密に互いに平行に配列されている。小さい画素電極の中央部付近で細長い配向方向制御電極は、90度の角度で屈曲している。

大小の2つの画素電極領域に配列されているそれぞれの配向方向制御電極は、それぞれに対応している2つの共通電極とコンタクトホールを通して電氣的に接続されており、ゲート絶縁膜をかいして大小の画素電極とそれぞれオーバーラップすることで2つの独立したコンデンサーを形成するようにした。

10

20

30

40

50

【0098】

〔手段67〕手段1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15, 16に記載の製造方法に関して、第1番めのホトリソグラフィ工程で基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の画素電極が形成され、大きい面積の画素電極には、2個以上のコンタクトパッドが形成され、小さい面積の画素電極には、すくなくとも1個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約2倍から4倍の大きさであり、この大きい方の画素電極には、液晶分子の配向方向を制御する細長い複数のスリットが形成されている。これら複数のスリットはゲート電極に対してプラスマイナス45度の方向に細長くのびており、40～60ミクロンのピッチで疎に互いに平行に配列されている。大きい画素電極の中央部付近で細長い複数のスリットは90度の角度で屈曲している。 10

2番めのホトリソグラフィ工程で、コンタクトホールが大小2つの画素電極内部に形成されたコンタクトパッド部と、小さい画素電極に対応した1本の共通電極に形成され、これらのコンタクトホールをのぞいて大小2つの画素電極は、完全にゲート絶縁膜で被覆されている。

3番めのホトリソグラフィ工程で、基本となる単位画素中に、ゲート電極と直交する直線状のSource電極（映像信号電極）と、大小2つの画素電極に対応する2つのDrain電極と、大きい画素電極に対応するひとつのCst（保持容量）形成電極と、小さい画素電極に対応する液晶分子の配向方向を制御するための細長い配向方向制御電極が形成される。2つのDrain電極は、大小2つの画素電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。小さい方の画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびている。複数の配向方向制御電極は、20～40ミクロンピッチで密に互いに平行に配列されており、小さい画素電極の中央部付近で90度の角度で屈曲している。前記配向方向制御電極は小さい画素電極に対応する1本の共通電極とコンタクトホールを通して電氣的に接続されており、ゲート絶縁膜をかいして小さな画素電極とオーバーラップすることで、コンデンサーを形成している。 20

前記Cst（保持容量）形成電極は、コンタクトホールを通して大きい画素電極と電氣的に接続され、かつゲート絶縁膜をかいして大きい画素電極に対応している1本の共通電極とオーバーラップすることでコンデンサーを形成している。配向方向制御電極が密に平行に配列されている小さい画素電極領域のほうが、細長い配向方向制御用スリットが疎に平行に配列されている大きい画素電極領域よりも液晶駆動のThreshold電圧（閾値電圧）が小さくなるようにした。 30

【0099】

〔手段68〕手段1, 4, 7, 10, 13, 15に記載の製造方法に関して、第1番めのホトリソグラフィ工程で、基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の画素電極と、分断されたそれぞれの画素電極内部に少なくともそれぞれ2個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約2倍から4倍の大きさである。 40

大きい方の画素電極には、液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス45度の方向に細長くのびた形状に形成されており、それぞれのスリットは40～60ミクロンのピッチで疎に互いに平行に配列されている。大きい画素電極の中央部付近で大きい画素電極と細長い複数のスリットは、90度の角度で屈曲している。

小さい方の画素電極にも液晶分子の配向方向を制御するための複数の細長いスリットがゲート電極に対してプラスマイナス45度の方向に細長くのびた形状に形成されており、それぞれのスリットは20～40ミクロンピッチで密に互いに平行に配列されている。

小さい画素電極の中央部付近で小さい画素電極と細長い複数のスリットは90度の角度で 50

屈曲している。

第2番めのホトリソグラフィー工程でコンタクトホールが、大小2つの画素電極内部のコンタクトパッド部に形成される。これらのコンタクトホールをのぞいて大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィー工程で基本となる単位画素中にSource電極（映像信号電極）と、大面積画素電極と、小面積画素電極のそれぞれに対応する2つのDrain電極と2つのCst（保持容量）形成電極が形成される。前記Source電極はゲート電極に対してプラスマイナス45度の方向に細長くのびており、大小2つの画素電極と細長いスリットと同様に大きい画素電極の中央部付近と、小さい画素領域の中央部付近の2か所ですくなくとも2回以上90度に屈曲している。

10

2つのDrain電極は、コンタクトホールを通して大小2つの画素電極とそれぞれ別々に電氣的に接続されている。2つのCst（保持容量）形成電極はコンタクトホールを通して大小2つの画素電極とそれぞれ別々に電氣的に接続され、かつゲート絶縁膜をかいしてそれぞれのCst形成電極に対応している2本の共通電極とオーバーラップすることで2つの独立したコンデンサーを形成するようにした。

【0100】

〔手段69〕手段2，5，8，11，14，16に記載の製造方法に関して、第1番めのホトリソグラフィー工程で基本となる単位画素中に1本のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の画素電極と、分断されたそれぞれの画素電極内部に少なくとも1個以上のコンタクトパッドが形成されている。大きい方の画素電極の面積は、小さい方の画素電極の面積の約2倍から4倍の大きさである。大小2つの画素電極は、それぞれの画素電極の中央部付近で90度の角度で屈曲しており、ゲート電極に対しては、プラスマイナス45度の角度で屈曲している。

20

第2番めのホトリソグラフィー工程で、コンタクトホールが大小2つの画素電極内部のコンタクトパッド部と大小2つの画素電極に対応する2本の共通電極に形成され、コンタクトホールをのぞいては大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィー工程で基本の単位画素中にSource電極（映像信号電極）と、大小2つの画素電極にそれぞれ別々に対応する2つのDrain電極と、大小2つの画素電極にそれぞれ別々に対応する液晶分子の配向方向を制御するための細長い配向方向制御電極が形成される。2つのDrain電極は大小2つの画素電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。大きい方の画素電極領域では配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は40～60ミクロンピッチで疎に互いに平行に配列されている。

30

大きい画素電極の中央部付近で、細長い配向方向制御電極は、大きい画素電極と同様に90度の角度で屈曲している。

小さい画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびており、複数の配向方向制御電極は、20～40ミクロンピッチで密に互いに平行に配列されている。小さい画素電極の中央部付近で細長い配向方向制御電極は、小さい画素電極と同様に90度の角度で屈曲している。大小2つの画素電極領域に配列されているそれぞれの配向方向制御電極は、大小2つの画素電極に対応している2つの共通電極とコンタクトホールを通してそれぞれ別々に電氣的に接続されており、ゲート絶縁膜をかいして大小2つの画素電極とそれぞれオーバーラップすることで2つの独立したコンデンサーを形成している。前記Source電極はゲート電極に対してプラスマイナス45度の方向に細長くのびており、大小2つの画素電極と細長い配向方向制御電極と同様に、大きい画素電極の中央部付近と小さい画素電極の中央部付近の2ヶ所ですくなくとも2回以上90度に屈曲するようにした。

40

【0101】

〔手段70〕手段1，2，4，5，7，8，10，11，13，14，15，16に記載の製造方法に関して、第1番めのホトリソグラフィー工程で基本となる単位画素中に1本

50

のゲート電極と、2本の共通電極と、ゲート電極によって大小2つの領域に分断された2枚の画素電極が形成され、大きい面積の画素電極には、2個以上のコンタクトパッドが形成され、小さい面積の画素電極には、すくなくとも1個以上のコンタクトパッドが形成されている。

大きい画素電極の面積は、小さい画素電極の面積の約2倍から4倍の大きさであり、大きい画素電極には、液晶分子の配向方向を制御する細長い複数のスリットが形成されている。これら複数のスリットはゲート電極に対してプラスマイナス45度の方向に細長くのびており、40～60ミクロンピッチで疎に互いに平行に配列され、大きい画素電極の中央部付近で90度の角度で屈曲している。

大小2つの画素電極はそれぞれの画素電極の中央部付近で90度の角度で屈曲しており、ゲート電極に対してはプラスマイナス45度の角度で屈曲している。 10

2番めのホトリソグラフィー工程でコンタクトホールが大小2つの画素電極内部に形成されたコンタクトパッド部と、小さい画素電極に対応した1本の共通電極に形成され、これらのコンタクトホールをのぞいて大小2つの画素電極は完全にゲート絶縁膜で被覆されている。

第3番めのホトリソグラフィー工程で、基本の単位画素中にSource電極（映像信号電極）と、大小2つの画素電極にそれぞれ別々に対応する2つのDrain電極と、大きい画素電極に対応するひとつのCst（保持容量）形成電極と、小さい画素電極に対応する液晶分子の配向方向を制御するための細長い配向方向制御電極が形成される。2つのDrain電極は、大小2つの画素電極に形成されたコンタクトパッドとコンタクトホールを通して電氣的に接続されている。 20

小さい画素電極領域では、配向方向制御電極がゲート電極に対してプラスマイナス45度の方向に細長くのびている。これらの複数の配向方向制御電極は20～40ミクロンのピッチで密に互いに平行に配列されており、小さい画素電極の中央部付近で90度の角度で屈曲している。配向方向制御電極は、小さい画素電極に対応している1本の共通電極とコンタクトホールを通して電氣的に接続されており、ゲート絶縁膜をかいして小さい画素電極とオーバーラップすることでコンデンサーを形成している。

前記Cst（保持容量）形成電極は、コンタクトホールを通して大きい画素電極と電機的に接続され、かつゲート絶縁膜をかいして大きい画素電極に対応している1本の共通電極とオーバーラップすることでコンデンサーを形成している。 30

前記Source電極は、ゲート電極に対してプラスマイナス45度の方向に細長くのびており、大きい画素電極の中央部付近と、小さい画素電極の中央部付近の2ヶ所ですくなくとも単位画素中で2回以上90度の角度で屈曲している。

配向方向制御電極が密に平行に配列されている小さい画素領域の方が、細長い配向方向制御電極スリットが疎に平行に配列されている大きい画素電極領域よりも液晶駆動のThreshold電圧（閾値電圧）が小さくなるようにした。

【0102】

〔手段71〕手段1，4，7，10，13，15に記載の製造方法に関して、第1番めのホトリソグラフィー工程で基本となる単位画素中に1本のゲート電極と、くし歯状の画素電極と、くし歯状の画素電極内部に少なくとも2個以上のコンタクトパッドと、ゲート電極に平行に近接した1本の共通電極と、前記共通電極からSource電極（映像信号電極）の左右両側に近接して平行にのびているSource信号シールド電極と、前記共通電極から分岐し、くし歯状画素電極に平行にのびているくし歯状共通電極が、同時に同一層に形成されている。くし歯状の画素電極とくし歯状共通電極の電極幅は2～6ミクロンで両者の電極間距離は6～18ミクロンで、Source信号シールド電極幅は10～20ミクロンと幅広くなっている。くし歯状画素電極とくし歯状共通電極とSource信号シールド電極は、ゲート電極に対してプラスマイナス60度からプラスマイナス90度の方向に細長くのびており、単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。 40

2番めのホトリソグラフィー工程で、コンタクトホールがくし歯状画素電極内部のコンタ 50

クトパッド部に形成される。これらのコンタクトホールをのぞいて、くし歯状画素電極と、くし歯状共通電極と、Source 信号シールド電極は、完全にゲート絶縁膜で被覆されている。

3 番めのホトリソグラフィ工程で基本となる単位画素中に、Source 電極（映像信号電極）と、Drain 電極と、Cst（保持容量）形成電極が形成される。Source 電極はゲート電極に対してプラスマイナス60度からプラスマイナス90度の方向に細長くのびており単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。

Drain 電極とCst（保持容量）形成電極は、コンタクトホールを通してくし歯状画素電極と電氣的に接続されている。Cst（保持容量）形成電極は、ゲート絶縁膜をかい 10
して共通電極とオーバーラップすることで、コンデンサーを形成するようにした。

【0103】

〔手段72〕手段3，6，9，12に記載の製造方法に関して、第1番めのホトリソグラフィ工程で、基本となる単位画素中に、ゲート電極と、ゲート電極に平行して近接した共通電極と、ベタ状画素電極と、ベタ状画素電極内部に少なくとも1個のコンタクトパッドが同時に同一層に形成される。ベタ状画素電極は、ゲート電極に対してプラスマイナス60度からプラスマイナス90度の方向に長くのびており、単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。

2 番めのホトリソグラフィ工程で、前記共通電極と前記コンタクトパッドに対応する位置にそれぞれ別々に1個以上のコンタクトホールを形成する。ベタ状画素電極は、コンタ 20
クトホールをのぞいてゲート絶縁膜で完全に被覆されている。

3 番めのホトリソグラフィ工程で基本となる単位画素中に、Source 電極（映像信号電極）と、Drain 電極と、くし歯状共通電極が形成される。

Source 電極とくし歯状共通電極はゲート電極に対してプラスマイナス60度からプラスマイナス90度の方向に細長くのびており、単位画素中ですくなくとも1回以上120度から180度の角度の範囲で屈曲している。

Drain 電極はコンタクトホールを通してベタ状画素電極と電氣的に接続されている。くし歯状共通電極はコンタクトホールを通して前記共通電極と電氣的に接続され、かつ前記ベタ状画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成 30
するようにした。

【0104】

〔手段73〕手段45，50，51，56，57，58，60，61，63，64，66，67，69，70に記載の製造方法に関して、液晶分子の配向方向を制御する配向方向制御電極の下層に、薄膜半導体層が配向方向制御電極に密着してほぼ同じ形状で2番めのホトリソグラフィ工程で形成され、かつ配向方向制御電極は表示画素領域内ではパッシベーション膜によって完全に被覆されるようにした。

【0105】

〔手段74〕手段45，50，51，56，57，58，60，61，63，64，66，67，69，70に記載の製造方法に関して、液晶分子の配向方向を制御する配向方向制御電極の下層に、ゲート絶縁膜をかいしてゲート電極と同じ金属材料が配向方向制御電 40
極とほぼ同じ形状で1番はじめのホトリソグラフィ工程で形成されており、かつ配向方向制御電極は表示画素領域内ではパッシベーション膜によって完全に被覆されるようにした。

【0106】

〔手段75〕手段45，50，51，56，57，58，60，61，63，64，66，67，69，70に記載の製造方法に関して、液晶分子の配向方向を制御する配向方向制御電極の下層に、薄膜半導体層が配向方向制御電極に密着してほぼ同じ形状で2番めのホトリソグラフィ工程で形成されており、かつゲート絶縁膜をかいしてゲート電極と同じ金属材料が、配向方向制御電極とほぼ同じ形状か、または数ミクロン程度幅の太い形状で1番はじめのホトリソグラフィ工程で形成されており、かつ配向方向制御電極は、表 50

示画素領域内では、パッシベーション膜によって完全に被覆されるようにした。

【0107】

〔手段76〕手段4, 5, 6, 10, 11, 12, 15, 16の3回ホトリソグラフィ工程を用いる製造方法に関して、パッシベーション膜と液晶配向膜が、同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、パッシベーション膜の成膜領域が、液晶配向膜の成膜領域よりもメインシールを塗布する領域のぶんだけオーバーサイズに局所成膜されるようにした。

【0108】

〔手段77〕手段4, 5, 10, 11, 15, 16の3回ホトリソグラフィ工程を用いる製造方法に関して、パッシベーション膜としてプラズマシリコン窒化膜（P-SiNx）が用いられ、液晶配向膜としてヘキサメチルジシリコンオキサイド（HMDSO）またはヘキサフェニルジシリコンオキサイド（HPDSO）またはヘキサメチルジシラザンまたはヘキサフェニルジシラザンの単一ガスまたは、2種以上の混合したガスを原料としたプラズマ重合膜が用いられており、これら2種類の膜が同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、シリコン窒化膜（P-SiNx）の方が、プラズマ重合配向膜よりもメインシールを塗布する領域のぶんだけオーバーサイズに局所成膜されるようにした。

10

【0109】

〔手段78〕手段4, 6, 10, 12, の3回ホトリソグラフィ工程を用いる製造方法に関して、パッシベーション膜としてプラズマシリコン窒化膜（P-SiNx）が用いられ、液晶配向膜としてダイヤモンドライクカーボン膜（DLC）が用いられており、これら2種類の膜が同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、シリコン窒化膜（P-SiNx）の方がDLC配向膜よりもメインシールを塗布する領域のぶんだけオーバーサイズに局所成膜されるようにした。

20

【0110】

〔手段79〕手段4, 6, 10, 12, の3回ホトリソグラフィ工程を用いる製造方法に関して、パッシベーション膜としてプラズマシリコン窒化膜（P-SiNx）が用いられ、液晶配向膜としてダイヤモンドライクカーボン膜（DLC）が用いられており、これら2種類の膜が同一のプラズマCVD装置で真空をやぶらずに連続成膜されており、シリコン窒化膜（P-SiNx）の方が、DLC配向膜よりもメインシールを塗布する領域のぶんだけオーバーサイズになっている。そしてさらに前記2種類の膜を成膜した後、真空をやぶらずにイオン配向処理チェンバーで、DLC配向膜表面を配向処理するようにした。

30

【0111】

〔手段80〕手段4, 5, 10, 11, 15, 16の3回ホトリソグラフィ工程を用いた製造方法に関して、パッシベーション膜がシリコン窒化膜（P-SiNx）であり、液晶配向膜がユニダイン（ダイキン工業のフッ素系コーティング材）で構成されており、パッシベーション膜（P-SiNx）の領域のほうが、液晶配向膜（ユニダイン）の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになるようにした。

【0112】

〔手段81〕手段4, 6, 10, 12, の3回ホトリソグラフィ工程を用いた製造方法に関して、パッシベーション膜がシリコン窒化膜（P-SiNx）であり、液晶配向膜がラダー構造（Ladder Structure）またはカゴ構造（Cage Structure-T₈, T₁₀, T₁₂）のシルセスキオキサンから構成されており、パッシベーション膜の領域のほうが、液晶配向膜（シルセスキオキサン）の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになるようにした。

40

【0113】

〔手段82〕手段4, 6, 10, 12の3回ホトリソグラフィ工程を用いた製造方法に関して、パッシベーション膜がシリコン窒化膜（P-SiNx）であり、液晶配向膜がビスアリルナジイミドから構成されており、パッシベーション膜（P-SiNx）の領域の

50

ほうが液晶配向膜（ビスアリルナジイミド）の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになるようにした。

【0114】

〔手段83〕手段4、6、10、12の3回ホトリソグラフィ工程を用いた製造方法に関して、パッシベーション膜がシリコン窒化膜（P-SiNx）であり、液晶配向膜がビシクロ〔2, 2, 2〕オクタンテトラカルボン酸からなるポリイミドで構成されており、パッシベーション膜（P-SiNx）の領域のほうが液晶配向膜の領域よりもメインシールを塗布する領域のぶんだけオーバーサイズになるようにした。

【0115】

〔手段84〕手段1から手段16までに記載された製造方法において、Gate電極端子部とSource電極端子部と共通電極端子部が、1番はじめのホトリソグラフィ工程で形成された各電極端子部と3番めのホトリソグラフィ工程で形成された各電極端子部とが、2番めのホトリソグラフィ工程で形成されたコンタクトホールを通して接合された2層構造になっており、メインシールを塗布する領域におけるアクティブマトリックスガラス基板上に形成された各種電極やゲート絶縁膜やパッシベーション膜などの合計した膜厚が、表示画面の周辺4辺ですべてひとしくなるようにした。

【0116】

〔手段85〕IPSモードやFFSモードなどの横電界方式液晶表示装置用カラーフィルター基板に関して、カラーフィルター層が形成される面とは反対側の面にTiまたはZrの薄膜を5～10nmの膜厚で形成した後、イオンシャワードーピング装置を用いて窒素イオンをイオン注入してTiNxまたはZrNxを形成するか、またはTiまたはZrの金属ターゲットを用いてArガス中に窒素ガスを混入して反応スパッタリングしてTiNxまたはZrNx膜を5～10nmの膜厚で形成した後、カラーフィルター層を形成する面にBM（遮光膜）形成用ネガレジストを塗布し、DMD素子を用いたマスクレス直接描画露光法で露光して、単位画素内でSource電極に対応するBMパターンが120度から180度の範囲ですくなくとも1回以上屈曲しているBMパターンを形成する。その後インクジェット塗布法やオフセット印刷法を用いてR、G、Bのカラーフィルター層を形成した後、シリコン含有平坦化膜を塗布し硬化させてからボールスパーサーをインクジェット塗布法やオフセット印刷法を用いてGate電極と共通電極が近接して平行に配列されている領域に対応するBM（遮光膜）の中央部付近に、定点配置するようにした。

【0117】

〔手段86〕MVAモードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD素子を用いたマスクレス直接描画露光法で露光して、単位画素内でSource電極に対応するBMパターンが90度の角度ですくなくとも1回以上Source電極とほぼ同じ形状で屈曲しているように形成する。

次に、R、G、Bのネガタイプの顔料ホトレジストカラーフィルターを塗布してから、DMD素子を用いたマスクレス直接描画露光法で露光して、単位画素内でBM（遮光膜）と同様に90度の角度ですくなくとも1回以上屈曲しているカラーフィルター層を形成する。次に透明導電膜を基板全面に成膜した後、ネガタイプのシリコン含有ホトレジストを塗布してからDMD素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンクを形成した後、ボールスパーサーをインクジェット塗布法やオフセット印刷法を用いてGate電極と共通電極が近接して平行に配列されている領域に対応するBM（遮光膜）の中央部付近に、定点配置するようにした。

【0118】

〔手段87〕MVAモードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD素子を用いたマスクレス直接描画露光法で露光して、単位画素内でSource電極に対応するBMパターンが90度の角度ですくなくとも2回以上Source電極とほぼ同じ形状で屈曲しているように形成する。次に、R、G、Bのネガタイプの顔料ホトレジストカラーフィルターを塗布してから

、DMD素子を用いたマスクレス直接描画露光法で露光して、単位画素内でBM（遮光膜）と同様に90度の角度ですくなくとも2回以上屈曲しているカラーフィルター層を形成する。次に透明導電膜を基板全面に成膜した後、ネガタイプのシリコン含有ホトレジストを塗布してからDMD素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンプを形成した後、ボールスペーサーをインクジェット塗布法やオフセット印刷法を用いて、単位画素内で2本の共通電極が近接して平行に配列されている領域に対応するBM（遮光膜）の中央部付近に、定点配置するようにした。

【0119】

〔手段88〕MVAモードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD素子を用いたマスクレス直接描画露光法で露光してSource電極に対応するBMパターンを直線状に形成する。次にインクジェット塗布法やオフセット印刷法を用いてR、G、Bのカラーフィルター層を形成したのち、透明導電膜を基板全面に成膜する。次にネガタイプのシリコン含有ホトレジストを塗布してからDMD素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンプを形成した後、ボールスペーサーをインクジェット塗布法やオフセット印刷法を用いてGate電極と共通電極が近接して平行に配置されている領域に対応するBM（遮光膜）の中央部付近に定点配置するようにした。

10

【0120】

〔手段89〕MVAモードの垂直配向方式液晶表示装置用カラーフィルター基板に関して、BM（遮光膜）形成用ネガレジストを塗布し、DMD素子を用いたマスクレス直接描画露光法で露光してSource電極に対応するBMパターンを直線状に形成する。次にインクジェット塗布法やオフセット印刷法を用いてR、G、Bのカラーフィルター層を形成したのち、透明導電膜を基板全面に成膜する。次にネガタイプのシリコン含有ホトレジストを塗布してからDMD素子を用いたマスクレス直接描画露光法で露光して液晶分子の配向方向を制御する配向方向制御用バンプを形成した後、ボールスペーサーをインクジェット塗布法やオフセット印刷法を用いて、単位画素内で2本の共通電極が近接して平行に配置されている領域に対応するBM（遮光膜）の中央部付近に定点配置するようにした。

20

【0121】

〔手段90〕横電界方式液晶表示装置に関して、手段71、72に記載された方法で作られたアクティブマトリックス基板と、手段85に記載された方法で作られたカラーフィルター基板を用いて液晶Cellを組み立てる時に、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成するようにした。

30

【0122】

〔手段91〕MVAモードの垂直配向方式液晶表示装置に関して、手段60、61、62、63、64に記載された方法で作られたアクティブマトリックス基板と、手段86に記載された方法で作られたカラーフィルター基板を用いて液晶Cellを組み立てる時に、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成するようにした。

40

【0123】

〔手段92〕MVAモードの垂直配向方式液晶表示装置に関して、手段68、69、70に記載された方法で作られたアクティブマトリックス基板と、手段87に記載された方法で作られたカラーフィルター基板を用いて液晶Cellを組み立てる時に、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成するようにした。

【0124】

〔手段93〕MVAモードの垂直配向方式液晶表示装置に関して、手段56、57、58に記載された方法で作られたアクティブマトリックス基板と、手段88に記載された方法で作られたカラーフィルター基板を用いて液晶Cellを組み立てる時に、定点配置されたボールスペーサーの上に配向膜をプラズマCVD法で形成するようにした。

【0125】

50

〔手段 94〕MVA モードの垂直配向方式液晶表示装置に関して、手段 65, 66, 67 に記載された方法で作られたアクティブマトリックス基板と、手段 89 に記載された方法で作られたカラーフィルター基板を用いて液晶 Cell を組み立てる時に、定点配置されたボリスパーサーの上に配向膜をプラズマ CVD 法で形成するようにした。

【0126】

〔手段 95〕手段 1, 2, 3, 4, 5, 6 に記載されている 1 番はじめのホトリソグラフィ工程で使用されるハーフトーン露光用ホトマスクに関して、一枚のホトマスクが、完全 UV 光遮断領域と、UV 光半透過領域と UV 光透過領域の 3 種類の領域から構成されており、Gate 電極部と共通電極部に対応する領域は完全 UV 光遮断領域で形成され、画素電極部に対応する領域は UV 光半透過領域で形成され、画素電極内部のコンタクトパッド部に対応する領域は完全 UV 光遮断領域で形成され、かつ前記コンタクトパッド部に対応する領域が、基本単位画素電極部に対応する領域中に 1 個以上存在するようにした。

10

【0127】

〔手段 96〕手段 1, 2, 3, 4, 5, 6 に記載されている 2 番めのホトリソグラフィ工程で使用されるハーフトーン露光用ホトマスクに関して、一枚のホトマスクが、完全 UV 光遮断領域と、UV 光半透過領域と、UV 光透過領域の 3 種類の領域から構成されており、薄膜トランジスタ素子の薄膜半導体部に対応する領域が完全 UV 光遮断領域で形成され、画素電極内部のコンタクトホール部に対応する領域は UV 光透過領域で形成され、かつ前記コンタクトホール部に対応する領域が、基本単位画素電極部に対応する領域中に 1 個以上存在するようにした。

20

【0128】

〔手段 97〕手段 1, 2, 3, 4, 5, 6 に記載されている 2 番めのホトリソグラフィ工程で使用されるハーフトーン露光用ホトマスクに関して、一枚のホトマスクが、完全 UV 光遮断領域と、UV 光半透過領域と、UV 光透過領域の 3 種類の領域から構成されており、薄膜トランジスタ素子の薄膜半導体部に対応する領域が完全 UV 光遮断領域で形成され、画素電極内部のコンタクトホール部と共通電極部のコンタクトホール部に対応する領域は、UV 光透過領域で形成され、かつ前記コンタクトホール部に対応する領域が、基本単位画素電極部と基本単位共通電極部に対応する領域中にそれぞれ別々に 1 個以上存在するようにした。

30

【発明の効果】

【0129】

手段 1～16 を用いて、薄膜トランジスタ・アレイ基板を作ること、ホトマスク工程を低減しても図 36, 図 169, 図 212 にあるように表示領域の周囲に静電気対策用保護回路を形成する薄膜トランジスタ素子 (68) を同時に薄膜トランジスタ・アレイ基板に作りこむことが可能である。さらに図 169 にあるように静電気対策用保護回路は、共通電極 (65) や Gate 電極 (13) や Source 電極 (29) と同じ電極材料を用いて構築されているために大容量の静電気が流れても電極が発熱して溶断するような問題は発生しない。

静電気対策用保護回路を画素電極などの透明薄膜電極材料で構築すると接触抵抗が高くなり発熱し溶断する問題が発生していた。

40

【0130】

手段 1～16 を用いた場合、画素電極に Ti や Zr やこれらの金属の窒化物や酸窒化物を用いることが可能となる。

図 84, 図 85, 図 86 にある従来のプロセスでは、図 85 の薄膜半導体素子分離と画素電極上の半導体層とゲート絶縁膜 (P-SiNx) をエッチング除去する時にフッ素系のガスを用いてドライエッチングの方法を用いている。この従来のプロセスでは画素電極に Ti や Zr などの金属の窒化物や酸窒化物を用いることはできない。

その理由は、Ti や Zr などの金属の窒化物や酸窒化物と、ゲート絶縁膜 (P-SiNx) とのドライエッチングの選択比が大きくないためである。手段 1～16 を用いた場合、図 3, 図 4, 図 5, 図 8, 図 9, 図 27, 図 28, 図 29 にあるように画素電極領域内に

50

コンタクトパッド部（９）が形成されており、コンタクトパッド部の金属材料がアルミニウム合金系の場合にはゲート絶縁膜（ $P-SiN_x$ ）とのドライエッチング選択比を大きくできるため画素電極に、 Ti や Zr やこれらの金属の窒化物や酸窒化物を $5\text{ nm} \sim 15\text{ nm}$ と非常に薄くして用いることができる。手段１～１６にあるように、画素電極内部にコンタクトパッドを形成しておくことで窒化チタンや窒化ジルコニウムの $5 \sim 15\text{ nm}$ の薄膜にダメージをあたえることなくコンタクトホールをあけることができるので、 ITO や IZO などの透明導電膜を画素電極に用いる必要がなくなり、スパッターターゲットにコストの安価な Ti や Zr を使用できるようになった。図１０にあるように窒化チタンの $5 \sim 10\text{ nm}$ の薄膜は可視光領域で 80% 以上の透過率を得ることができる。図１１にあるように $5 \sim 10\text{ nm}$ の窒化チタン薄膜のシート抵抗値は、 $30\text{ K}\Omega$ 以下であるので十分に透明画素電極として使用することができる。

10

【０１３１】

手段１７，１８，２０，２１，２３，２４，２６，２７を用いることで、 Ti や Zr などの溶融金属ターゲットを使用するために、 ITO や IZO などの金属酸化物の粉末焼結ターゲットで発生しやすい異常放電の発生を大幅に低減することができ、歩留りを向上することができる。

ITO や IZO などの酸化物導電体膜は、膜表面の凹凸が大きくその上に金属膜を成膜した場合表面の凹凸はさらに増幅されやすくなるために、下地に ITO や IZO を用いた $Gate$ 電極では、 $Source$ 電極とショートしやすくなり、静電気に対する耐電圧も低下しやすかった。 Ti や Zr などの金属ターゲットを用いてスパッタリング法で成膜した膜は、膜表面の凹凸は非常に小さく鏡面が得られ、るので $Gate$ 電極と $Source$ 電極との静電気によるショートの確率が低下するので歩留りを高くすることができる。

20

【０１３２】

手段１７，１８，１９，２０，２１，２２，２３，２４，２５，２６，２７，２８，３３，３４，３５，３６を用いることで、 ITO とアルミニウム系合金で発生していた局部電池反応のような化学反応は、ほとんど生じなくなるので $Gate$ 電極と画素電極を同層に形成しても異常エッチング反応は発生しない。図８４，図８５，図８６にあるような従来のプロセスのように、画素電極を完全に露出させてしまうと $Source$ 電極や $Drain$ 電極にアルミニウム系合金を使用することができなくなってしまう、大型の液晶パネルを作ることができなくなってしまう。

30

本発明のように ITO などの透明画素電極にコンタクトパッドを形成し、コンタクトホール以外の透明画素電極を完全にゲート絶縁膜で被覆してしまえば、 $Source$ と $Drain$ 電極にどのような電極材料を用いても局部電池反応などの化学反応の発生を抑制することが可能である。

【０１３３】

手段２９，３０を用いることで、図１２２にあるような第２層（上層）金属の成膜はじめの領域に窒素原子をドーピングすることで、図１１２，図１１３，図１１４にあるように、ハーフトーン露光工程で第２層（上層）金属を順テーパー形状に加工することが可能となる。順テーパー加工できないと、 $Source$ 電極や $Drain$ 電極が断線したり、 $Gate$ 電極と $Source$ 電極や $Drain$ 電極がショートしてしまう不良が多発し歩留りが低下してしまうが、本発明を用いることで第１層（下層）金属または第１層（下層）薄膜透明導電体と第２層（上層）金属を積層した構造でも２層の界面領域のエッチング速度をコントロールすることができ、歩留り低下を防止できる。

40

【０１３４】

手段１７，１８，１９，２０，２１，２２，２３，２６，３１，３２を用いることでアルミニウム系合金を $Gate$ 電極に用いても、コンタクトホールを形成した後、ハーフトーンプロセスによるポジレジストのアッシング処理でアルミニウム系合金の表面が酸化されることが抑制される。

本発明では、パターンを加工した後に、イオンドーピング装置で窒素イオンをアルミニウム系合金の表面にインプランテーションするため、従来の日本国特開２００１－１７４８

50

48で開示されているように、アルミ系合金のスパッタリング成膜の最後に窒化性ガスとアルゴン不活性ガスを混合して、反応スパッタリングすることでアルミニウム系合金の表面に窒素原子をドーピングする方法と異なり逆テーパ形状になることはない。従来のアルミ系合金の表面酸化防止処理をおこなった場合アルミ系合金のパターンの断面図は図105のようになりやすい。本発明では、図1, 図2, 図42, 図43, 図106, 図112, 図113, 図114, 図176にあるように、アルミニウム系合金のパターンの側壁部分も表面窒化処理することができる点と、基板全領域に、均一な濃度で、均一な深さで表面窒化処理できるため、再現性が非常に良い点と、順テーパ形状を形成できる点に優位性がある。従来のアルミニウム系合金の酸化防止法では基板全面での均一窒化処理は非常に難しく、逆テーパエッチング形状になりやすいため量産に適用するとSource電極やDrain電極の断線が多発し歩留り低下をさけられなかった。

【0135】

手段17, 手段20, 手段31を用いることで、アルミニウム系合金の表面窒化処理と、画素電極の窒化処理を同時におこなうことが可能である。本発明の窒素イオンドーピング法による表面窒化処理は、純銅, 銅系合金, 純銀, 銀系合金にも適用可能である。本発明によれば、酸化物透明導電材料を用いることなくすべて金属材料のみでGate電極, 共通電極, 画素電極, コンタクトパッドなどを形成できるため材料コストを大幅に低減でき、スパッタリング成膜時の異常放電も低減でき、ハーフトーン露光プロセスを用いてパターンニングする時の局部電池反応も生じないので、安定した量産をおこなうことができる。

【0136】

手段20, 21, 22を用いることで大面積基板でも均一なアッシング処理ができる。図42, 図43, 図44, 図45, 図106, 図112, 図113, にあるようにハーフトーン露光で不完全露光された領域で現像後にポジレジストが薄く残っている部分を酸素プラズマ処理でアッシング除去する時、基板全面に第1層(下層)金属または薄膜透明導電体が基板全面に残っていると、プラズマと基板に発生する電界にみだれが生じないため均一なアッシング処理がおこなえる。図235は従来のハーフトーン露光を用いた加工工程の説明図である。図236は本発明でのハーフトーン露光を用いた加工工程の説明図である。パターン加工精度も向上する。

【0137】

手段23, 24, 25, 26, 27, 28を用いることで、ハーフトーン露光工程を用いて薄膜半導体素子分離とコンタクトホールを同時に形成しても第3層(上層)金属が存在するためSourceやDrain電極との接続不良は発生しない。第3層(上層)金属とゲート絶縁膜P-SiNxとのドライエッチングの選択比が大きくとれない場合でも図239にあるように、第3層(上層)金属の側壁とDrain電極との接続で十分なコンタクトが得られるからである。

【0138】

手段7, 8, 9, 10, 11, 12を用いることで、高価なハーフトーン露光用ホットマスクを用いずに通常のノーマルホットマスクを用いてハーフトーン露光プロセスを実施することが可能である。

露光装置の台数が2倍必要になるが、ハーフ露光領域の紫外線照射量調整をやりやすいのでパターン寸法の精度をハーフトーンホットマスクを用いる場合よりも向上させることができる。

【0139】

手段13, 14, 15, 16を用いることで、高価なホットマスクを用いなくても、ハーフトーン露光プロセスを実施することが可能である。カラーフィルター基板との寸法あわせをおこなう場合でも1回めの寸法ずれを計測し、そのデータをもとにCADデータを補正するだけで寸法あわせができるので、生産ラインの立ち上げ時間が極限にまで短縮することができる。DMDの個数を増加させるだけで基板サイズの拡大に対応できるので超大型基板の露光装置を安いコストで製造することができる。

【0140】

手段33, 34, 35, 36を用いることで、第1回めのハーフトーン露光工程で形成された画素電極領域内のコンタクトパッド部分にコンタクトホールを形成することができる。本発明では、薄膜半導体素子分離とコンタクトパッド部分のコンタクトホール形成を同時におこなっており、透明画素電極は、コンタクトホールをのぞいてゲート絶縁膜によって完全に被覆されている。このため液晶パネルにセルギャップが3ミクロンメートル以下になっても、導電性異物が混入してもカラーフィルター側の共通電極とTFTアレイ基板側の画素電極とが上下でショートすることは完全に防止できる。動画対応の高速応答液晶パネルではセルギャップが2ミクロンメートル以下になる場合もあり、本発明のプロセスを採用することで画素欠陥の発生を低減できるので歩留りを向上することが可能である。 10

【0141】

手段35, 36を用いることで、コンタクトパッド電極の表面の酸化を大幅に低減することができる。図182, 図184にあるようにコンタクトホールを完全にあけずに、わずかにゲート絶縁膜を残した状態で、不完全露光され薄く残っているポジレジストを酸素プラズマアッシング除去するため、コンタクトパッド金属の表面は酸素プラズマに直接さらされることがない。本発明を用いると、コンタクトパッド金属の表面に窒素原子をドーピングしなくても良好な抵抗の低いオートミック接合が可能である。特にアルミニウム系合金の場合Niを4アトミック%以上含有させた合金は、良好なオートミック接合を得ることができる。 20

【0142】

手段37, 38, 39, 40, 41, 42を用いることでバックライトの光量が増加しても薄膜トランジスタ素子のOFF電流の増加を抑制することができる。図183, 図185にあるように素子分離する時に、Gate電極からはみ出さないように薄膜半導体層をパターンニングすることで、バックライトの光が直接薄膜半導体層に照射されることがなくなる。しかし薄膜半導体層の側壁をイオンドーピング処理またはプラズマドーピング処理してシリコン窒化物にかえておかないとGate電位が負にバイアスされた時にゲート絶縁膜に接するノンドープ薄膜半導体の界面にプラスに帯電したホールが集まり抵抗が低くなり、この抵抗が低くなった界面付近の半導体層とSource電極とDrain電極とが直接接合してしまうので大きなOFF電流が流れてしまうことになる。 30

薄膜半導体層の側壁をイオンドーピング処理やプラズマドーピング処理してリンをドーピングした n^+ アモルファスシリコン膜が窒化シリコンに変化してもチャンネル部分の n^+ アモルファスシリコン膜をドライエッチングする時に同時にエッチングされてしまうので問題はない。 30

【0143】

手段43を用いることで、本発明の基本的な液晶表示デバイス用の薄膜トランジスタ素子が完成する。本発明で用いられる手段1~16には第1番めのハーフトーン露光工程でゲート電極、画素電極、画素電極内コンタクトパッド、共通電極を形成することになっているが、必ずしも共通電極は必要ではない。超大形液晶パネルでは画素電極とカラーフィルター基板側の共通電極とで形成される容量が非常に大きくなり、保持容量(Cst)を形成する必要がない場合もある。垂直配向モード(MVAモード)では、図14, 図16, 図18にあるようにTFT基板側の表示画素領域に保持容量(Cst)を形成するための共通電極が必要でない構造が可能である。この構造を採用すると、開口率の大きな基板を作れるので消費電力を低減することができる。 40

【0144】

手段1, 4, 7, 10, 13, 15と手段44, 47, 48を用いることで、Cst(保持容量)形成電極を基本単位画素中に設置することができるのでPCモニター用表示装置など高精細な液晶表示装置にも本発明を適応できるようになる。図12, 図13, 図129, 図130にあるように、TNモード用のTFTアレイ基板を4回または3回のホットマスク工程で製造することが可能になり大幅なコストダウンを実施することができる。本発明は日本国の公開特許特開2000-066240や特開2000-206571などの 50

ように薄膜トランジスタ部のチャネル部形成にハーフトーン露光プロセスを用いていないのでチャネル長のバラツキが発生しないし再現性も非常に良好なため、量産時の寸法管理が非常にやりやすい。そのためにS X G A, U X G Aなどの高精細液晶パネルの生産に適している。

【0145】

手段2, 5, 8, 11, 14, 16と手段45を用いることで、C s t (保持容量)形成電極を基本単位画素中に設置する必要なく、超高精細垂直配向液晶表示装置を作ることができる。

本発明を用いると、図15, 図17, 図19, 図53, にあるように、S o u r c e電極やD r a i n電極を形成する時に同時に垂直配向された液晶分子のたおれる方向を制御する配向方向制御電極を設置することができる。

本発明の配向方向制御電極の電極幅は露光装置の解像力で決定される。量産用で使用されている投影露光装置の解像力は、3~4ミクロンメートルであり、この値で配向方向制御電極の幅は設計される。従来の垂直配向液晶表示パネルで用いられていたスリット電極やバンプではパターン幅は6~10ミクロンメートルと本発明の配向方向制御電極の2倍以上の幅になっている。

従来の配向方向制御のためのスリットやバンプの領域は光を透過しないため本発明の配向方向制御電極を用いることで光の透過率を向上することができる。本発明では図23, 図24にあるように画素電極(11)と配向方向制御電極(46)はゲート絶縁膜(18)をかいしてコンデンサーを形成しているので、C s t (保持容量)形成電極を必要としない。画素電極(11)と配向方向制御電極(46)は、0.3~0.5ミクロンメートルとセルギャップの値2~4ミクロンメートルとくらべて非常に近接しているために、強い電界を発生させることができる。そのために従来のスリットやバンプを用いた垂直配向液晶パネルよりも液晶分子を高速で応答させることができるので動画表示でも画像がぼやけることがない。

【0146】

手段1, 4, 7, 10, 13, 15と手段46, 52, 71を用いることで横電界方式(I P Sモード)液晶表示装置のT F Tアレイ基板をホットマスク工程3回または4回で製造することができる。

図30, 図152, 図233, 図27, 図28にあるように本発明では液晶分子を駆動するのに必要となるくし歯状画素電極(60)とくし歯状共通電極(59)とS o u r c e電極信号シールド用共通電極(58)がすべて同一層に同時に形成され、上記3つの電極がゲート絶縁膜(18)とパッシベーション膜(30)によってコンタクトパッドをのぞいて完全に被覆されているため、横電界方式特有の残像問題が発生しにくい。I P Sモードでは上記3つの電極に必ずしも透明電極を用いる必要がないため、本発明ではアルミニウム系合金と局部電池反応をおこさないで、かつアルミニウム系合金と選択エッチング可能な金属であればどのような金属でも使用することができるので材料選択の自由度が非常に大きい。

本発明ではアルミニウム系合金の酸化防止処理のために窒素イオン照射する時に可視光透過率が高くなりかつ抵抗値が低くなるT iやZ rを第1層(下層)金属材料に選定した。これによりT F Tアレイ基板の製造を3回または4回のホトリソグラフィ工程でおこなっても可視光透過率の高い横電界方式液晶パネルを量産することが可能となる。

【0147】

手段3, 6, 9, 12と手段53, 72を用いることで横電界方式の一種類であるF F Sモード液晶表示装置のT F Tアレイ基板をホットマスク工程3回または4回で製造することができる。図31, 図29にあるように本発明では透明画素電極に窒化チタンや窒化ジルコニウムを用いることができ、ゲート電極や共通電極やコンタクトパッドの第2層(上層)金属材料にアルミニウム系合金を用いても局部電池反応は生じない。F F Sモードでは、画素電極(43)とくし歯状共通電極(59)とで大きな容量を形成することができるので画素サイズが小さくなくても容量不足になることはないため超高精細液晶表示装置を

作ることが可能になる。

【0148】

手段1, 4, 7, 10, 13, 15と手段49, 50, 51を用いることでTNモード液晶パネルや垂直配向モード(MVA)液晶パネルの視野角を拡大し、R, G, Bのガンマ補正をすることができる。

本発明における基本単位画素の回路モデルは図210にあるように基本単位画素中には、2つのSub Pixelが存在し、2つのTFTによって2つのSub Pixelが駆動されている。2つのCOM電極には図211にあるような極性の異なる矩形波信号電圧が印加されることで2つのSub Pixelの液晶駆動のThreshold電圧(閾値電圧)が異なるようにすることができる。これによりTNモードや垂直配向モードで問題となっていた視野角の問題を改善することができ高いコントラストを広い視野角で実現できる。

10

【0149】

手段1, 4, 7, 10, 13, 15と手段54, 55, 59, 62を用いることで、垂直配向モードの液晶パネルの負の誘電率異方性液晶分子を、4つの異なる方向に倒すことが可能となり、広視野角表示を実現できる。図14, 図16, 図100, 図101, 図240, 図241にあるようなTFTアレイ基板と、図20, 図21にあるようなカラーフィルター基板を組みあわせることで、液晶セル断面図の図25や図26にあるような構造を作ることができ液晶分子の倒れる方向を決定することができる。

Source電極(映像信号線)を画素の中央部付近で90度に屈曲させた場合の平面図が図18, 図102, 図242である。これらのTFTアレイ基板に対応するカラーフィルター基板が図22である。

20

Source電極が直線構造の場合でも、90度に屈曲している場合でも、本発明の場合液晶分子の倒れる方向はゲート電極に対して ± 45 度, ± 135 度の4方向に設定されている。これにより偏光板の偏光軸はゲート電極ののびている方向と平行かまたは直交している方向のどちらかになり偏光板の有効利用効率が向上する。

本発明により4ドメインタイプの垂直配向液晶モード用のTFTアレイ基板を3回または4回のホトリソグラフィ工程で製作することができ、製造コストを低減することが可能である。

【0150】

30

手段2, 5, 8, 11, 14, 16と手段56, 57, 60, 63を用いることで、垂直配向モードの液晶パネルの負の誘電率異方性液晶分子を、4つの異なる方向に倒すことが可能となり、広視野角化と高速応答表示を実現できる。図15, 図17にあるようなTFTアレイ基板と図20, 図21にあるようなカラーフィルター基板を組みあわせることで、液晶セル断面図の図23や図24にあるような構造を作ることができ、液晶分子の倒れる方向を決定することができる。

Source電極(映像信号線)と同層に同時に形成される配向方向制御電極(46)と画素電極(11)とはゲート絶縁膜の厚みしかはなれていないため配向方向制御電極の近傍には強力な電界を発生させることができるので液晶分子の高速応答を実現できる。

画素電極(11)にスリットを形成する場合には液晶セルギャップの約2倍の大きさのスリット幅が必要であるが、本発明の配向方向制御電極(46)の場合には、液晶セルギャップとほぼ等しい電極幅で十分な効果が発生するため、実質的な開口率を向上することができる。

40

Source電極(映像信号線)を画素の中央部付近で90度に屈曲させた場合の平面図が図19, 図53である。これらのTFTアレイ基板に対応するカラーフィルター基板が図22である。図53のTFTアレイ基板と図22のカラーフィルター基板を組みあわせて作った液晶セルの断面構造図が、図54, 図55, 図56である。

垂直配向モード液晶表示装置において、液晶分子の配向方向を制御する配向方向制御電極を用いた液晶パネルは、特開平07-230097と特開平11-109393と特開2001-042347に開示されている。これらの従来例は、図107, 図108, 図1

50

09, 図110, 図111にあるように、配向方向制御電極は、TFTアレイ基板の表面に露出しており、垂直配向膜と直接接触する構造になっている。画素電極もTFTアレイ基板の表面に一部または全面が露出しており、垂直配向膜と直接接触する構造になっている。

このような構造の場合には配向方向制御電極の平均電位がTFTアレイ基板と対向するカラーフィルター基板の共通電極の電位とわずかな差が生じれば残像現象が発生してしまう。

図107と図108では、配向方向制御電極を共通電極と同じ電位にしてあるが、画素電極の平均電位が共通電極の電位とわずかでも差が生じれば、残像現象が発生してしまう。本発明では、画素電極と配向方向制御電極の両方を完全にパッシベーション膜で被覆して

10

いるため垂直配向膜との接触がない。このために残像現象は発生しにくい。本発明の場合、Source電極が直線構造でも、90度に屈曲している構造の場合でも、液晶分子の倒れる方向はゲート電極に対して±45度と±135度の4方向に設定されており、4ドメインタイプの垂直配向液晶モード用のTFTアレイ基板を3回または4回のホトリソグラフィ工程で製作することができ、製造コストを低減することができる。

【0151】

手段1, 2, 4, 5, 7, 8, 10, 11, 13, 14, 15と手段58, 61, 64を用いることで、垂直配向モードの液晶パネルの負の誘電率異方性液晶分子を、4つの異なる方向に倒すことが可能となり広視野角化と、R, G, B3色のガンマ補正をすることができる。

20

TFTアレイ基板のSource電極（映像信号線）がゲート電極に対して直線状に直交している例として図87, 図88, 図189があり、Source電極（映像信号線）がゲート電極に対して±45度方向に屈曲している例として図89, 図197, 図218, 図222, 図223, 図227がある。本発明の場合、図90にあるように電素電極の3分の2から5分の4の面積をしめる領域（B領域）には、画素電極に細長いスリットが形成されており、残りの画素電極の5分の1から3分の1の面積をしめる領域（A領域）には、配向方向制御電極が画素電極の上にゲート絶縁膜をかいて形成されており、図91にあるようにA領域の垂直配向されている液晶分子の駆動のThreshold電圧（閾値電圧）はB領域のThreshold電圧（閾値電圧）よりも小さくなっておりガンマ特性の視野角依存性を小さくすることが可能である。本発明の場合、駆動回路によって、Threshold電圧をコントロールしているのではないので、駆動回路は従来のものを使用できるためコストの上昇をおさえることが可能である。

30

図243, 図244にあるように本発明では画素電極と配向方向制御電極の両方を完全にパッシベーション膜（P-SiNx）で被覆しているため垂直配向膜と画素電極や配向方向制御電極との直接接触はない。配向膜と画素電極が直接接触している場合、カラーフィルター基板側の共通電極とTFTアレイ基板側の画素電極の平均電位に差が生じた場合、配向膜にほとんどの電圧がかかることになり残像現象が発生しやすい。画素電極が完全にゲート絶縁膜で被覆されている場合、ゲート絶縁膜と配向膜に電圧がかかるようになるため配向膜にはほんのわずかな電圧しか分配されないために残像現象は発生しにくくなる。

【0152】

手段1, 4, 7, 10, 13, 15と手段65, 68を用いることで垂直配向モードの液晶パネルの負の誘電率異方性液晶分子を4つの異なる方向に倒すことが可能となり広視野角化と、R, G, B3色のガンマ補正をすることができる。本発明の基本単位画素の回路モデルは図210にあるように一本のゲート電極で2つのTFTを制御しており、画素電極はSub Pixel (A)とSub Pixel (B)の2つから構成されており、それぞれのSub Pixelに対応した2本の共通電極とゲート絶縁膜をかいて2つの保持容量（Cs aとCs b）が形成されている。駆動信号波形は図211にあるように2つの共通電極には、位相が180度異なる信号波形が印加されSub Pixel (A)とSub Pixel (B)に書きこまれる映像信号電圧の実効電圧に差が生じるようにしてある。これによりSub Pixel (A)のほうがSub Pixel (B)よ

40

50

りも *Threshold* 電圧（閾値電圧）が小さくできるのでガンマ特性の視野角依存性を大きく改善することができる。本発明では画素電極に形成されたスリットによって液晶分子の倒れる方向を制御しており、*Source* 電極（映像信号線）がゲート電極に対して直線状に直交している例として図 200、図 201 があり、これらに対応するカラーフィルターは図 202、図 203 である。

Source 電極（映像信号線）がゲート電極に対して ± 45 度方向に屈曲している例として図 228 がある。本発明では基本単位画素中に存在している 2 本の互いに独立した共通電極に印加される信号電圧を変化させることで *Sub Pixel* (A) と *Sub Pixel* (B) の *Threshold* 電圧（閾値電圧）を自由に変化させることができる。

映像を見る角度に応じて共通電極の電圧を調整することで最も良好な画像を表示することが可能となる。

【0153】

手段 2、5、8、11、14、16 と手段 66、69 を用いることで垂直配向モードの液晶パネルの負の誘電率異方性液晶分子を 4 つの異なる方向に倒すことが可能となり広視野角化と、R、G、B 3 色のガンマ補正をすることができ、かつ動画表示のための高速応答化を実現できる。本発明の基本単位画素の回路モデルは図 210 にあるように一本のゲート電極で 2 つの TFT を制御しており、画素電極は *Sub Pixel* (A) と *Sub Pixel* (B) の 2 つから構成されており、それぞれの *Sub Pixel* に対応した 2 本の共通電極に連結されている配向方向制御電極（46）とゲート絶縁膜をかいして 2 つの保持容量（*Csa* と *Csb*）が形成されている。駆動信号波形は図 211 にあるように 2 つの共通電極には位相が 180 度異なる信号波形が印加され、*Sub Pixel* (A) と *Sub Pixel* (B) に書きこまれる映像信号電圧の実効電圧に差が生じるようにしてある。これにより *Sub Pixel* (A) の方が *Sub Pixel* (B) よりも *Threshold* 電圧（閾値電圧）が小さくできるのでガンマ特性の視野角依存性を大きく改善することができる。本発明では画素電極を被覆しているゲート絶縁膜の上に形成された配向方向制御電極によって液晶分子の倒れる方向を制御しており、*Source* 電極（映像信号線）がゲート電極に対して直線状に直交している例として図 231、図 232 があり、*Source* 電極（映像信号線）がゲート電極に対して ± 45 度方向に屈曲している例として図 208、図 229 がある。画素電極と配向方向制御電極はゲート絶縁膜をかいして近接しておりわずかな電圧でも強電界を発生させることができるので垂直配向された液晶分子を高速駆動させることが可能である。

【0154】

手段 1、2、4、5、7、8、10、11、13、14、15、16 と手段 67、70 を用いることで垂直配向モードの液晶パネルの負の誘電率異方性液晶分子を、4 つの異なる方向に倒すことが可能となり広視野角化と、R、G、B 3 色のガンマ補正をすることができる。

TFT アレイ基板の *Source* 電極（映像信号線）がゲート電極に対して直線状に直交している例として図 204、図 205 があり、*Source* 電極（映像信号線）がゲート電極に対して ± 45 度方向に屈曲している例として図 208、図 207、図 230 がある。本発明では基本単位画素の回路モデルは図 210 にあるように一本のゲート電極で 2 つの TFT を制御しており、画素電極は *Sub Pixel* (A) と *Sub Pixel* (B) の 2 つの領域にゲート電極によって完全に分断されており、2 つの *Sub Pixel* にそれぞれ対応する 2 つの共通電極が基本単位画素中に存在している。*Sub Pixel* (A) に対応している共通電極に連結されている配向方向制御電極は、ゲート絶縁膜をかいして画素電極と保持容量（*Csa*）を形成しており、*Sub Pixel* (B) に対応している共通電極と画素電極に連結されている保持容量形成電極はゲート絶縁膜をかいして保持容量（*Csb*）を形成している。駆動信号波形は図 211 にあるように 2 つの共通電極には、位相が 180 度異なる信号波形が印加され *Sub Pixel* (A) と *Sub Pixel* (B) に書きこまれる映像信号電圧の実効電圧に差が生じるようにして

10

20

30

40

50

ある。これによりSub Pixel (A)のほうがSub Pixel (B)よりもThreshold電圧（閾値電圧）が小さくできるのでガンマ特性の視野角依存性を大きく改善することができる。本発明では、Sub Pixel (A)では、画素電極を被覆しているゲート絶縁膜の上に形成された配向方向制御電圧によって液晶分子の倒れる方向を制御しており、Sub Pixel (B)では画素電極に形成されているスリットによって液晶分子の倒れる方向を制御している。本発明の場合Sub Pixel (A)の方が強い電界が作用するため、Sub Pixel (B)よりもSub Pixel (A)の方がThreshold電圧（閾値電圧）がもともと小さいために2つの共通電極に印加する信号電圧がほんのわずかでもガンマ特性の視野角依存性を大きく改善することができる。

10

【0155】

手段13, 14, 15, 16と手段85, 86, 87, 88, 89を用いることで、超大型液晶表示パネル生産工場を短期間で立ち上げることができるようになると同時に、動画対応の高速応答液晶表示パネルを安価に歩留り良く製造できるようになる。大型ガラス基板を用いて液晶表示パネルを生産する時に問題となるのは、TFT基板とカラーフィルター基板の絶対寸法あわせである。TFT基板やカラーフィルター基板を露光する時に使用する大型ホトマスクの価格は非常に高価なものでしかも発注してから納入までの期間が1〜2ヶ月程度かかるために、TFT基板とカラーフィルター基板の絶対寸法があわない場合大型ホトマスクの作りなおしに数ヶ月間かかってしまい、工場の立ち上げが遅れてしまう問題があった。本発明を用いると、大型ホトマスクを用いなくて、DMD直接描画露光装置を用いるため、絶対寸法あわせはすべてコンピューターのCADデータを調整するだけでおこなうことができる。このために、絶対寸法測定器を基準としてDMD直接描画露光装置の露光特性を調整するここが簡単にでき、露光装置の特性差を短時間で完全になくすことができる。

20

本発明ではさらにDMD直接描画露光装置を用いてハーフトーン露光をおこなうことができるために、大型基板の全領域で、ハーフトーン露光領域のポジレジスト膜厚を自由に調整することができる。ポジレジストアッシング装置のアッシングムラが大きくてもアッシングムラに応じてポジレジストの膜厚を調整することで加工寸法精度のバラツキを低減することができ歩留りを向上することができると同時にTFT基板を3〜4回のホトリソグラフィ工程で作ることが可能となり生産コストの大幅な低減が実現できる。

30

本発明のように、TFT基板とCF基板の露光工程にDMD直接描画露光装置を用いることで、露光装置の特性差を短時間で完全になくすことができ、かつ生産品種が異なってもコンピューターのCADデータを変更するだけで対応できるため少量多品種生産を生産効率を低下させることなくおこなうことができる。本発明のTFTアレイプロセスではゲート電極と共通電極が近接して配置されているためこの部分に対応するカラーフィルター基板のBM（遮光膜）はパターン幅が広いのでボールスパーサーをインクジェット塗布法やオフセット印刷法を用いて定点配置しやすい構造になっているのでホトリソグラフィ工程を用いたホトスパーサー形成にくらべて大幅にコストダウンでき、液晶分子の高速応答をはかるためにCell Gapを3ミクロンメートル以下にしてもボールスパーサーの弾性変形量が大きいために残量気泡や重力ムラの発生を防止できるのでODF工程での歩留り低下が発生しない。

40

【0156】

手段2, 5, 8, 11, 14, 16と手段45, 50, 51, 56, 57, 58, 60, 61, 63, 64, 66, 67, 69, 70と手段73, 74, 75を用いることでTFTアレイ基板の画素電極と配向方向制御電極と、カラーフィルター基板の共通電極とで形成される電界分布を配向方向制御電極の高さを調整することで変化させることが可能である。図23, 図54, 図55, 図56にあるように配向方向制御電極の下層にいろいろな層を設置することができ、配向方向制御電極の高さを変化させることができる。図56のようにすべての層を積層した場合には配向方向制御電極の高さは1ミクロンメートル以上にもなり、カラーフィルター基板側に形成されている配向方向制御用のバンプ(50)と

50

同じような機能を断面形状を最適化することで自然に持たせることが可能である。

従来例として図107、図108があげられているが、図107はホトリソグラフィー工程数が6回必要であり、図108ではホトリソグラフィー工程数が5回必要である。本発明では図23、図54、図55、図56ともにホトリソグラフィー工程数は3回または4回でTFTアレイ基板を完成させることができコスト低減が可能である。

従来例の図107、図108、図245では、配向方向制御電極と画素電極の両方ともに直接配向膜に接触しておりこの場合では配向方向制御電極のエッジ部分に電界が集中するために配向膜が分極したり電気分解されたりし残像が発生しやすく信頼性に問題があったが、本発明では、図23、図54、図55、図56すべてにおいて画素電極と配向方向制御電極は絶縁膜に完全に被覆されているために配向膜への電界集中をさけることができ残像問題の発生を低減でき信頼性を向上させることができる。さらに従来例の図109、図110、図245では画素電極に対向している共通電極には配向方向制御用のスリットやバンプが形成されていないため画素電極が大きくなった場合には液晶分子の応答速度が遅くなったり液晶分子の配向方向を正確に制御できなくなるため表示ムラが多発してしまう。

そのために従来例の図109、図110、図245の構造を用いては、大型の液晶TV用表示装置を製作することは不可能であるが、本発明の場合には図23、図24、図54、図55、図56にあるように画素電極に対向している共通電極に配向方向制御用のスリットやバンプを形成しているため、画素電極に配置された配向方向制御電極と組みあわせることで液晶分子の配向方向を正確に制御することが可能となりディスクリネーションラインの発生を防止できるので表示ムラの発生を完全に防止することができる。

本発明を用いることで信頼が高く、表示ムラのない大型液晶TVパネルを低コストで歩留り良く生産することができる。

【0157】

手段4、5、6、10、11、12、15、16と手段76、77、78を用いることで、TFTアレイ工程を3回目のホトリソグラフィーで完成させることができるだけでなく、従来は、液晶Cell工程に含まれていた配向膜形成プロセスをTFTアレイ工程に移動させることができ、工程を大幅に省略することができる。

従来の配向膜形成プロセスはTFT基板を洗浄した後ポリイミド配向膜をフレキソ印刷法で塗布してから220～230度で数十分間焼成した後、MVAモードでは純水洗浄をおこない乾燥した後、真空加熱による脱水処理を数十分間おこなってからODF工程にとりかかっていた。本発明ではTFTアレイ工程の最後のパッシベーション膜(P-SiNx)をマスキング成膜法でプラズマCVD装置を用いて局所成膜した後、同じプラズマCVD装置を用いて真空をやぶらずに配向膜をプラズマ重合法により成膜しているために大幅な工程の省略化と短縮化ができる。

本発明で使用するプラズマCVD装置は図59にあるように、パッシベーション膜(P-SiNx)とプラズマ重合配向膜とは、別々のチェンバーで成膜するようになっている。真空をやぶらずに連続成膜することで配向膜の表面エネルギーを均一化できるので、配向ムラが生じにくくなり歩留りを向上することができる。MVA用の垂直配向膜としては、図60にあるヘキサメチルジシロキサイド(HMDSO)やヘキサフェニルジシロキサイド(HPDSO)または図61にあるヘキサメチルジシラザンやヘキサフェニルジシラザンなどの単一ガスまたはこれらの2種類以上の混合ガスを原料として真空チェンバー内でプラズマ放電させることで簡単に垂直配向用プラズマ重合膜を合成することができる。TNモードやIPSやFSSモード用の配向膜としては、メタン、エタン、エチレン、アセチレン、ベンゼンやトルエンなどのガスを原料としてダイヤモンドライクカーボン(DLC)膜を真空チェンバー内で簡単に成膜することができる。配向膜としての膜厚は数ナノメートルあれば十分に機能を発現することができるので従来のポリイミド配向膜のコストをくらべると安価な原料ガスを用いることによりランニングコストを約100分の1に低減することが可能である。図37にあるようにパッシベーション(P-SiNx)膜を成膜する領域をプラズマ重合配向膜を成膜する領域よりもメインシールを塗布

する領域だけ大きくすることで、メインシールの接着不良問題の発生を防止することができる。

本発明のプラズマ重合法をもちいた場合 3 メーター角のガラス基板でもピンホールやムラのない配向膜を短時間に成膜できしかもプラズマ C V D 装置にセルフクリーニング機能を持たせることで長期間メンテナンスフリーで再現性よくプラズマ重合膜を成膜できる。

【0158】

手段 4, 6, 10, 12 と手段 79 を用いることで T N モードや I P S モード, F S S モード用の T F T アレイ工程を 3 回のホトリソグラフィで完成させることができるだけでなく、従来は液晶 C e l l 工程に含まれていた配向膜形成プロセスと配向処理プロセスを T F T アレイ工程に移動させることができ、工程を大幅に省略することができる。従来の T N モードや I P S モード, F S S モード用配向膜形成プロセスと配向処理プロセスは、T F T 基板を洗浄した後、ポリイミド配向膜をフレキシソ印刷法で塗布してから 220 ~ 230 度で数十分間焼成した後、ラビング法による配向処理をおこなってから再度洗浄して乾燥した後真空加熱による脱水処理を数十分間おこない十分に脱気してから O D F 工程にとりかかっていた。本発明では、T F T アレイ工程の最後のパッシベーション膜 (P - S i N x) をマスキング成膜法でプラズマ C V D 装置を用いて局所成膜した後、同じプラズマ C V D 装置を用いて真空をやぶらずに配向膜をプラズマ重合法により成膜してから真空をやぶらずにイオン配向処理用真空チェンバーでイオン配向処理するために大幅な工程の省略化と短縮化ができる。本発明で使用するプラズマ C V D 装置とイオン配向処理装置は、図 58 にあるように上記 2 つの装置が合体した複合真空装置になっている。パッシベーション膜 (P - S i N x) とプラズマ重合配向膜とは、別々のチェンバーで成膜されており、イオン配向処理も独立した別のチェンバーでおこなわれる。

T N モード, I P S モード, F S S モード用の配向膜としては、メタン, エタン, エチレン, アセチレン, ベンゼン, トルエンなどの炭化水素系のガスを原料としたダイヤモンドライクカーボン (D L C) 膜が用いられている。

配向膜としての膜厚は数ナノメートルあれば十分に機能を再現することができるので従来のポリイミド配向膜のコストとくらべると安価な原料ガスを用いることによりランニングコストを約 100 分の 1 に低減することが可能である。図 37 にあるようにパッシベーション膜 (P - S i N x) を成膜する領域を、プラズマ重合配向膜を成膜する領域よりもメインシールを塗布する領域だけ大きくすることでメインシールの接着不良の問題発生を防止することができる。

本発明ではプラズマ重合配向膜を成膜した後に真空をやぶらずにただちにイオン配向処理チェンバーでイオン配向処理をおこなった後すぐに O D F 工程にとりかかることが可能であるため従来おこなっていたラビング処理後の洗浄, 乾燥, 真空による脱水脱気処理はすべて必要なくなる。イオン配向処理は、ラビング配向処理と異なり配向膜表面の不純物汚染や発塵の問題がなく、配向ムラが発生しにくいので歩留りと信頼性を大幅に向上できる。ラビング配向処理では、ベルベット布を頻繁に交換しなければならずベルベット布を交換する間製造ラインを停止してしまうためにラビング処理装置の稼働率はあまり高くないが、本発明で使用しているイオン配向処理装置は 700 時間以上連続稼働させることができこの間は、ほとんどメンテナンスフリーなため安定した配向処理を再現性良くおこなえる。

イオン配向処理法の場合には、ラビング配向処理法とくらべて配向膜材料の制限が非常にゆるいためにいろいろな種類の材料を用いることができ、配向膜に作用する機能的な力がほとんどないために配向膜が剥離したり破れたりするような不良が発生しない。このためイオン配向処理法を用いる場合、配向膜の膜厚を、ピンホールが発生しない限界まで薄くすることができるので、材料コストを大幅に低減できる。

【0159】

手段 4, 5, 6, 10, 11, 12, 15, 16 と手段 80, 81, 82, 83 を用いることで新しい安価な耐熱性材料を液晶用の配向膜として使用することになり、ランニングコストを大幅に低減することができる。特に T N モードや I P S モード, F F S モードに

関しては、イオン配向処理を用いることで、従来のラビング処理では配向機能を発現させることができなかった材料にも、配向機能を持たせることができるようになり、材料選択の自由度が大幅に拡大されることになった。T F Tの信頼性を確保するためには、アルカリイオンの遮蔽特性の高いP-S i N xやP-S i C N x膜をパッシベーション膜として用いなければならない。図37にあるようにパッシベーション膜を成膜する領域を、配向膜を塗布形成する領域よりもメインシールを塗布する領域だけ大きくすることでメインシールの接着不良による剥離問題の発生を防止できる。

T Nモードや、I P Sモード、F F Sモードでは、T F T基板の表面の凹凸が配向処理に悪影響を与えやすいので配向膜はできるだけ厚く塗布し、T F T基板の表面の凹凸を平坦化することが高いコントラストを実現するためには必要である。本発明では配向膜をイン
10 クジェット塗布法やオフセット印刷法を用いて局所塗布する時に基板の表面はパッシベーションで被覆されているために表面エネルギーはほとんど均一な状態になっている。そのため塗布液がはじかれたりすることがないので、ピンホール発生が低減する。

【0160】

手段77、78、79と手段90、91、92、93、94を用いることでボールスパーサーの周辺部のシミやムラの発生を防止することができる。プラズマ重合法で配向膜を形成する場合表面の凹凸に関係なくどのような面にも均一な重合膜を形成することができは
じきが原因のピンホールなどは発生しない。

プラズマ重合法では乾式法であるので従来の塗布法のように有害な有機溶剤を大量に使用することはない。クリーンルーム内の大気汚染の問題はほとんど発生しない。本発明では
20 T NモードやI P Sモード、F F Sモードの配向処理にイオン配向処理法を用いるため定点配置されたボールスパーサーに機能的な力が作用しないので、ボールスパーサーの剥離現象が生じない。

プラズマ重合膜を形成した後にボールスパーサーを定点配置するプロセスでは、ボールスパーサーを分散させている液体の乾燥あとがシミとなって残りやすく配向ムラが生じやすい。さらにプラズマ重合膜とボールスパーサーの接着力は弱いためにO D F工程でT F T基板とカラーフィルター基板を合着する時にボールスパーサーに機能的な力が作用するためにボールスパーサーが配向膜から剥離してしまう。本発明を用いることでこのような問題の発生をほぼ完全に防止できる。

【0161】

手段1~16と手段84を用いることで、T F Tアレイ基板を3~4回のホトリソグラフィ工程で製造しても、均一なC e l l G a pを形成することができるのでC e l l G a p異常が原因となる液晶表示ムラの発生を防止することができる。本発明では図32、図33、図170がM V Aモードの液晶パネルの接続端子とメインシール部分の断面図であり、図167、図168がT Nモードの液晶パネルの接続端子とメインシール部分の断面図であり、図34、図35、図171がI P Sモードの液晶パネルの接続端子とメインシール部分の断面図である。どの液晶モードでもG a t e端子部とS o u r c e端子部はメインシールの領域ではG a t e電極とS o u r c e電極は積層構造になっており、メインシールの領域を境とした液晶セルの内部と外部でコンタクトホールを通じて2重に接
40 合されている。G a t e電極よりもS o u r c e電極は太く設計されておりG a t e電極をS o u r c e電極が完全に被覆するようになっている。G a t e電極やS o u r c e電極の外部接続端子が形成されていないメインシール領域では、図170や図171にあるようにダミーのG a t e電極やS o u r c e電極が設置されておりメインシール領域のメインシール厚みが表面画面の4辺ですべて均一になるようにしてある。T F T基板上に形成されたパッシベーション膜(P-S i N x)とメインシールは接触しておりT F T基板のG a t e電極やS o u r c e電極とは完全に電氣的に絶縁されている。この構造によりT F Tアレイ工程を簡略化しても液晶パネルのC e l l G a p不良の発生を防止し液晶パネルの信頼性を確保することができる。

【0162】

手段95、96、97を用いて作られたハーフトーン露光用ホットマスクを用いてT F Tア
50

レイ基板を製造することでポジレジストを露光する回数を3～4回まで低減することができ、大幅な製造工程の短縮とコストダウンが実現できる。

DMDを用いた直接描画露光法でも同様なことを実現できるが、DMD素子の解像力は7～8ミクロンメートルが限界となっている。本発明のハーフトーン露光用ホトマスクを用いた場合、投影露光光学系の装置の限界である3～4ミクロンメートルの解像力を実現できるので医療用表示装置などの大画面超高精細液晶表示装置を低価格で実現できる。

本発明のホトマスクを用いることで露光装置の台数を増加させなくても従来と同じスループットで露光することができ初期投資の金額とクリーンルームのスペースを低減することが可能である。

【実施例1】

10

【0163】

図1、図2、図3、図4、図5が本発明の実施例1のアクティブマトリックスTFT基板のプロセスフローの断面説明図である。

図1では、ガラス基板上に5～25nm程度のTi薄膜やZr薄膜を成膜した後、アルミニウム合金（Al-C-NiまたはAl-Nd-Ni）や銅または銅合金（Cu-NiまたはCu-Cr）や銀合金などを200～800nm程度成膜してから、図249や図250にあるようにポジレジストを基板全面に塗布してからハーフトーン露光法を用いて露光した後現像して図1の1）にあるような形状のポジレジストパターンを作ります。図1の2）ではこのパターンを利用して下層の金属薄膜と上層の金属層とを同時にエッチングして同じ形状に加工します。次に酸素プラズマアッシング処理でポジレジストの薄い領域を完全にアッシングして上層の金属層をむき出しにします。次に露出した上層金属層のみを選択エッチングします。コンタクトパッド部に残っているポジレジストを剥離して図1の5）にあるような形状に加工します。次に図2にあるように基板全面に窒素イオンをイオンシャワードーピング法を用いて、打ち込みコンタクトパッド部の金属表面と露出している下層金属薄膜を金属窒化物に変化させる。以上のプロセスは、図46の（Ia）型プロセスに分類される。コンタクトパッドの表面に形成されたアルミニウムの窒化物層はコンタクトパッドの表面の耐酸化機能を向上させ、コンタクト不良の発生を防止することが可能になる。図247の白丸の範囲であれば良好なコンタクトが得られる。下層のTi薄膜やZr薄膜は窒素イオンをドーピングすることで窒化物となり図10にあるように良好な可視光透過率が得られ、図11にあるように窒化チタンの薄膜は5nmでも30KΩ以上のシート抵抗値を得ることができ、アクティブマトリックス基板の画素電極として十分なシート抵抗値を得ることができる。図1、図2の工程で同時にゲート電極や共通電極が形成される。

20

30

【0164】

図3は、本発明の実施例1の薄膜半導体層の素子分離とコンタクトホールを同時にひとつのホトリソグラフィ工程でおこなうためのプロセスフローの断面説明図である。図47にあるようにゲート絶縁膜（P-SiNx）とノンドープ薄膜半導体層と、オーミックコンタクトのための不純物がドーピングされている薄膜半導体層の三層をプラズマCVD法を用いて連続形成した後、図249や図250にあるようにポジレジストを基板全面に塗布してからハーフトーン露光法を用いて露光してから現像し図3の1）にあるような形状のポジレジストパターンを作ります。画素電極領域に形成されているコンタクトパッド部とゲート電極端子部や共通電極部のCst電極との接合部にはコンタクトホールを形成するためにポジレジストは無くなっている。薄膜トランジスタ素子を形成するための領域には、UV露光はまったくおこなわれないので最も厚くポジレジストが残されている。それ以外の領域はハーフトーン露光領域となっており現像後には薄くポジレジストが残っている。図3の2）にあるようにコンタクトホールをドライエッチングによりあけた後酸素プラズマ処理によりハーフトーン露光領域の薄いポジレジストをアッシングして除去し、ポジレジストを薄膜トランジスタ素子形成領域のみに残す。次に露出した薄膜半導体層をドライエッチングして除去した後、ポジレジストを剥離したものが図3の3）である。

40

【0165】

50

図4は、本発明の実施例1のソース電極とドレイン電極とCst（保持容量）形成電極を形成するためのホトリソグラフィ工程の断面説明図である。図175がこの工程のプロセスフロー説明図である。通常のノーマルホトマスクを用いたホトリソグラフィ工程が用いられる。この工程で薄膜トランジスタ素子のドレイン電極と画素領域内に形成されているコンタクトパッドがコンタクトホールを通して電極的に接続される。Cst（保持容量）形成電極も共通電極に形成されたコンタクトホールを通して共通電極と電氣的に接続される。本工程において図36や図169にあるように有効表示領域の周辺に静電気保護回路が形成される。図4では、ソース電極とドレイン電極は図175にあるように、バリアーメタル層を用いた2層金属構造となっているが、直接、不純物をドーピングしたオーミックコンタクト半導体層に接合可能な場合には、図48にあるような単層金属構造でソース電極やドレイン電極を形成するプロセスを用いることができる。

不純物をドーピングしたオーミックコンタクト半導体層に直接接合した場合に、基板温度が高くなると相互拡散しやすい金属の場合でも、図179にあるようにオーミックコンタクト半導体層の表面にスパッタ法でアルミニウム合金をデポする時に、Arガス中に窒素ガスなどの窒化性ガスを混入して成膜初期の界面領域に窒素がドーピングされているアルミニウム合金を成膜することで、図123にあるような構造を作ることができる。このように界面に窒素がドーピングされているアルミ合金を用いることで相互拡散を防止でき単層金属構造でも大型液晶パネルを作ることが可能となる。図120、図121が、アルミニウム合金の単層構造を用いたTFTEレイ基板の断面図である。

純アルミニウムをソース電極とドレイン電極に用いる場合には、図181にあるようにアルミニウムのヒロック発生を防止したり良好なオーミックコンタクトを得るためにアルミニウムを上下からバリアーメタルでサンドイッチした3層金属構造を採用すれば良い。

【0166】

図5は、本発明の実施例1のアクティブマトリックスTFTE基板のパッシベーション膜をマスクデポジション法を用いたPCVD装置で外部電極接続端子部領域をのぞいた領域には成膜した断面図である。図5の2）、図32、図33、図34、図35、図36、図37、図167、図168、図169、図170、図171にあるようにパッシベーション膜の成膜領域の方が配向膜の成膜領域よりもメインシール塗布領域だけ広がっている。本発明のようにマスクデポジション法を用いることで端子部のコンタクトホールを形成するホトリソグラフィ工程を1回省略することができる。

【0167】

実施例1のアクティブマトリックス基板を製造する工程を露光方法の種類にわけて分類したものが、図38、図38、図40と、図77、図78、図79と、図82、図83、図103、図104である。

本発明の工程を用いることで、ホトリソグラフィ工程を3回おこなうことでアクティブマトリックス基板を製造することができる。

本発明と類似したプロセスの従来例は図84、図85、図86にあるように透明画素電極にITOやIZOなどのインジウム系の酸化物透明導電体を用いている。図84の工程を用いた場合、下層にインジウム系透明導電膜、上層にアルミニウム合金を用いると、局部電池反応が生じてしまい透明導電膜が還元され黒化してしまう。同様に図86の工程でも、ソース電極とドレイン電極にアルミニウム合金を用いると局部電池反応が生じてしまうため透明導電膜が黒化してしまうことをさけられない。

従来例の図84、図86の工程を用いる場合には、現状では上層金属にモリブデンかクロムしか用いることができない。

モリブデンやクロムの金属は比抵抗値が大きく、大型の液晶TV用パネルには従来の図84、図86のプロセスを用いることができない。

図84、図86の工程で上層金属にアルミニウム合金を用いる場合に、透明導電膜として窒化チタンや窒化ジルコニウムを採用すれば局部電池反応は発生しないが図85の2）の工程で、ゲート絶縁膜をドライエッチングするときに窒化チタンや窒化ジルコニウムも同時にドライエッチングされてしまう。ゲート絶縁膜として用いられるP-SiNx膜と窒

化チタンや窒化ジルコニウムには選択比の高いドライエッチングガスが存在しないからである。本発明では大型液晶TVパネルを実現するために比抵抗の小さなアルミニウム合金を採用した場合に発生する局部電池反応をおさえるために画素電極にチタンやジルコニウムの薄膜（5～25nmの膜厚）を用いている。さらにドレイン電極と画素電極とのコンタクトを取るためにゲート絶縁膜にコンタクトホールをドライエッチングであけるとときにドライエッチングの選択比を大きくするためにコンタクトホールをあける画素電極の部分に、アルミニウム合金のコンタクトパッドを設置した。アルミニウム合金のコンタクトパッドの表面が、コンタクトホールをあけてから、ハーフトーン露光され薄く残っているポジレジストを酸素プラズマ処理により除去する時に、酸素プラズマにさらされるために酸化されにくくする必要がある。そのため本発明では図2にあるように窒素イオンシャワードーピング処理をおこなっている。図247にあるように白丸の範囲内であれば良好なコンタクトを実現できる。画素電極にチタン薄膜を採用した場合には、窒素イオンシャワードーピング処理により窒化チタン薄膜が形成され可視光の透過率が図10にあるように向上する。画素電極のシート抵抗値は図11にあるように5nm以上の膜厚が存在すれば30KΩ以下のシート抵抗値が得られるので問題はない。

【実施例2】

【0168】

図248は、本発明の実施例2のハーフトーン露光法を用いて画素電極を形成するプロセスフローの断面説明図である。実施例1の場合には図1の2)にあるように2層の金属膜を同一パターンにエッチングして加工している。本発明の実施例2では図248の2)にあるようにまず上層の金属膜のみを選択エッチングしてから、図248の3)にあるようにハーフトーン露光され薄くポジレジストが残っている領域を酸素プラズマアッシング処理して除去してから下層の金属薄膜を上層の金属パターンをマスクとして利用しドライエッチングでパターンニングしている。次に露出している上層金属を選択エッチングしてから、窒素イオンシャワードーピング処理をおこないコンタクトパッド部の上層金属表面に窒素原子をドーピングして耐酸化機能をもたせると同時に下層の金属薄膜画素電極を金属窒化物に変化させることで可視光透過率を大幅に改善している。

【0169】

本発明の実施例2の図248のプロセスは図46の(Ib)型プロセスに分類されるものであり、このプロセスの利点は図236の2)にあるように酸素プラズマアッシング処理工程でのポジレジストのパターン幅変形が少ない点である。実施例1の場合には図46の(Ia)型プロセスに分類され、図235の2)にあるように酸素プラズマアッシング処理工程でのポジレジストのパターン幅変化が大きくなる。

【実施例3】

【0170】

図42は、本発明の実施例3のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。本発明は図46の(IIa)型プロセスに分類されるものである。

ヒロックの発生しないアルミニウム系合金（Al-C-NiやAl-Nd-Ni）や純銅または銅合金（Cu-MoやCu-Cr）または銀合金（Ag-CuやAg-Pd）を上層金属として用いている。液晶TV用超大型TFTアレ基板のゲート電極や共通電極には上記の3系統の金属が用いられている。本発明では下層透明導電電極として窒化チタンや窒化ジルコニウムが用いられているが、その理由として上記2種類の窒化物材料とアルミニウム系合金とは、ガルバニック反応（局部電池反応）が生じない点があげられる。さらに、エッチングの選択性がWetエッチングとDryエッチングで大きくとれる点も重要である。上層金属材料の表面が、酸素プラズマアッシング処理で酸化されるのを防止するために本発明では窒素イオンシャワードーピング処理をおこないコンタクトパッド表面に窒素原子をドーピングしている。これにより良好なコンタクトが得られる。

【実施例4】

【0171】

図44は、本発明の実施例4のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。実施例3の場合には図42の2)にあるように2層の電極材料を同一パターンにエッチングして加工している。本発明では図44の2)にあるようにまず上層のアルミニウム系合金(A1-C-NiやA1-Nd-Ni)や純銅または銅合金(Cu-MoやCu-Cr)または銀合金(Ag-CuやAg-Pd)を選択エッチングしてから、図44の3)にあるようにハーフトーン露光され薄くポジレジストが残っている領域を酸素プラズマアッシング処理して除去してから下層の窒化チタンや窒化ジルコニウムなどの窒化物透明導電材料を上層の金属パターンをマスクとして利用しドライエッチングで加工してパターンニングしている。

次に露出している上層金属を選択エッチングしてから窒素イオンシャワードレーピング処理をおこないコンタクトパッド部の上層金属表面に窒素原子をドレーピングして耐酸化機能をもたせている。

【0172】

本発明の実施例4の図4のプロセスは図46の(IIb)型プロセスに分類されるものであり、このプロセスの利点は図236の2)にあるように酸素プラズマアッシング処理工程でのポジレジストのパターン幅変化が実施例3よりも少ない点である。

【実施例5】

【0173】

図176は、本発明の実施例5のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。

本発明は図172の(IVa)型プロセスに分類されるものである。

3層構造の電極は、下層金属にはチタンやジルコニウムが用いられ中間金属には純アルミニウム、純銅、純銀などが用いられ、上層金属にはモリブデンが用いられている。本発明の3層構造では、純アルミニウムや純銅や純銀などを用いられるために、超大型液晶TV用のTFTEI基板のゲート電極や共通電極の抵抗を最も低くすることができる。本発明では合金系の金属ターゲットを用いる必要がないので金属ターゲットの価格をおさえることができ、スパッタリング成膜時の異常放電をおさえることができるので歩留りを大きく向上させることが可能である。

画素電極になる下層金属のチタンやジルコニウムの膜厚は5~25nmで、中間金属の厚みは200~600nm程度で、上層金属は30~60nmあれば十分である。本発明の金属の組みあわせならばガルバニック反応(局部電池反応)は生じないし、上層金属としてモリブデンを用いているので酸素プラズマにさらされても、コンタクト不良を生じることではない。図176の5)にあるように窒素イオンシャワードレーピング処理をおこなうことでチタンが窒化チタンになり可視光透過率は大幅に向上する。シート抵抗値も5nm以上の窒化チタンの膜厚があれば30KΩ以下のシート抵抗値となり問題にはならない。

【実施例6】

【0174】

図43は、本発明の実施例6のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。実施例5の場合には、図176の2)にあるように3層の金属を同一パターンにエッチング加工している。本発明では図43の2)にあるように、まず上層のモリブデンと中間層の純アルミニウムや純銅やは純銀を同時にエッチングしてから図43の3)にあるようにハーフトーン露光され薄くポジレジストが残っている領域を酸素プラズマアッシング処理して除去してから下層のチタンやジルコニウムを上層と中間層の金属パターンをマスクとして利用し、ドライエッチングで加工しパターンニングしている。図43の4)では、上層の露出しているモリブデンがドライエッチングで膜厚が減少しているが、完全に上層の露出しているモリブデンをドライエッチングしてしまっても良い。次に図43の5)にあるように残っていたポジレジストを剥離した後、全面に窒素イオンシャワードレーピング処理をおこない下層のチタンやジルコニウムを窒化物にかえることで良好な可視光透過率が得られるようになる。

【0175】

本発明の実施例 6 の図 4 3 のプロセスは図 1 7 2 の (I V b) 型プロセスに分類されるものであり、このプロセスの利点は図 2 3 6 の 2) にあるように酸素プラズマアッシング処理工程でのポジレジストのパターン幅変化が、実施例 5 よりも少ない点である。

【実施例 7】

【0176】

図 1 7 7 は、本発明の実施例 7 のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。本発明は図 1 7 3 の (V a) 型プロセスに分類されるものである。

3 層構造の電極は、下層透明電極材料には窒化チタンや窒化ジルコニウムなどの金属窒化物透明電極材料が用いられ、中間層金属には、純アルミニウム、純銅、純銀などが用いられ、上層金属には、モリブデンが用いられている。 10

3 層構造の場合には、純アルミニウムを使用してもヒロックの発生を防止できるし、純銅を用いても基板に対する接着力が低下することがないし、純銀を用いても基板への銀の拡散を防止できるので、金属材料の選定の自由度を広げることができる。

純金属を使用できると、スパッタリングターゲットの品質のバラツキがなくなり再現性のよい成膜とスパッタリング成膜時の異常放電の発生をいちじるしく低減できるようになり、歩留りを向上できる。

下層の金属窒化物透明電極材料は、図 1 0 , 図 1 1 にあるように窒化チタンの場合には、5 nm 以上の膜厚があれば十分なシート抵抗値と可視光透過率が得られている。窒化チタン薄膜を成膜するにはスパッタリングターゲットに窒化チタンを用いてアルゴンガス中に窒化性ガスを少量 (1 ~ 5 % 程度) 混入させてスパッタリング法で成膜する方法と、スパッタリングターゲットにチタンを用いて、アルゴンガス中に窒化性ガスを 1 0 ~ 3 0 % 程度混入させて、リアクティブスパッタリング法で成膜する方法とがある。窒化性ガスとしては、 N_2 , NH_3 , ヒドラジン、ヒドラゾンなどが用いられる。本発明の実施例 7 では、図 1 7 7 の 5) にあるように、コンタクトパッドの表面にモリブデンが存在しているので中間層金属の表面酸化は側壁部分だけになり、ドレイン電極とのコンタクト不良問題は生じないので窒素イオンシャワードレーピング処理をおこなう必要はない。 20

【0177】

本発明の図 1 7 7 のプロセスを用いて作った T F T アレイ基板の断面図が図 9 である。図 9 ではコンタクトホール部分のモリブデンは、ドライエッチングされ薄くなっているが、コンタクトホール部分のモリブデンを完全にドライエッチングしても図 2 3 9 にあるようにモリブデンの側壁とドレイン電極とが接続できるのでコンタクト不良は発生しない。 30

【実施例 8】

【0178】

図 4 5 は、本発明の実施例 8 のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。実施例 7 の場合には図 1 7 7 の 2) にあるように 3 層の金属窒化物と金属を同一パターンにエッチング加工している。本発明では図 4 5 の 2) にあるようにまず上層のモリブデンと中間層の純アルミニウムや純銅やは純銀を同時にエッチングしてから、図 4 5 の 3) にあるようにハーフトーン露光され薄くポジレジストが残っている領域を酸素プラズマアッシング処理して除去してから下層の金属窒化物を上層と中間層の金属パターンをマスクとして利用し、ドライエッチングで加工しパターンニングしている。図 4 5 の 4) では、上層の露出しているモリブデンがドライエッチングで膜厚が減少しているが完全に上層の露出しているモリブデンをドライエッチングしてしまっても良い。 40

本発明の実施例 8 では図 4 5 の 5) にあるようにコンタクトパッドの表面にモリブデンが存在しているので中間層金属の表面酸化は側壁部分だけになり、ドレイン電極とのコンタクト不良問題は生じないので窒素イオンシャワードレーピング処理をおこなう必要はない。

【0179】

本発明の実施例 8 の図 4 5 のプロセスは図 1 7 3 の (V b) 型プロセスに分類されるものであり、このプロセスの利点は図 2 3 6 の 2) にあるように酸素プラズマアッシング処理 50

工程でのポジレジストのパターン幅変化が実施例 7 よりも少ない点である。本発明を用いても実施例 7 と同じように図 9 の断面構造を持つ T F T アレイ基板を作ることができる。図 9 ではコンタクトホール部分のモリブデンがドライエッチングされ薄くなっているが、コンタクトホール部分のモリブデンを完全にドライエッチングしてもコンタクト不良にはならない。

図 2 3 9 にあるようにモリブデンの側壁とドレイン電極とが接続できるからである。

【実施例 9】

【0180】

図 1 0 6 は、本発明の実施例 9 のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。本発明は図 4 6 の (I a) 型プロセスに分類されるものである。実施例 1 とほぼ同じプロセスであるが上層金属を成膜する時にスパッタリングさせるための不活性ガス中に窒化性ガスを数 % 程度混入させ下層金属と上層金属の界面領域に窒素原子をドーピングさせている点が異なっている。界面に数 n m の厚みで窒素をドーピングすることで界面領域のエッチングレートを低減することができ上層金属パターンを順テーパ形状に加工することができる。一般的に異なる種類の金属を積層した場合に、接合界面領域は互いの金属が相互拡散しておりエッチングレートが大きくなる傾向にある。接合界面領域のエッチングレートを小さくおさえないと、パターンは逆テーパ形状になってしまう。逆テーパ形状に加工されたゲート電極や共通電極は、ソース電極やドレイン電極とシートしやすくブレイクダウン電圧がいちじるしく低下してしまい、歩留が悪く量産することができなくなる。接合界面に窒素原子をドーピングすることで簡単にエッチングレートを小さく制御することができ、最適な順テーパ形状に加工することができるようになる。下層金属にチタンやジルコニウムを用いているので可視光透過率を向上させるために、パターンニングが完了した後窒素イオンシャワードーピング処理をおこなっているが、同時にコンタクトパッドの表面も窒化処理がおこなわれ耐酸化機能を持たせることができる。

【実施例 10】

【0181】

図 1 1 2 は、本発明の実施例 10 のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。本発明は図 4 6 の (I b) 型プロセスに分類されるものである。実施例 2 とほぼ同じプロセスであるが、上層金属を成膜する時にスパッタリングさせるための不活性ガス中に窒化性ガスを数 % 程度混入させ、下層金属と上層金属の界面領域に窒素原子をドーピングさせている点が異なっている。界面に数 n m の厚みで窒素をドーピングすることで界面領域のエッチングレートを低減することができ、図 1 1 2 の 2) にあるように上層金属のみを選択エッチングする時に順テーパ形状に加工することができる。下層金属にチタンやジルコニウムを用いているので可視光透過率を向上させるために、パターンニングが完了した後、窒素イオンシャワードーピング処理をおこなっているが、同時にコンタクトパッドの表面も窒化処理がおこなわれ耐酸化機能を持たせることができる。実施例 9 にくらべて実施例 10 の利点は図 2 3 6 の 2) にあるように酸素プラズマアッシング処理工程でのポジレジストのパターン幅変化が少ない点である。

【実施例 11】

【0182】

図 1 1 4 は本発明の実施例 11 のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。本発明は図 4 6 の (I I a) 型プロセスに分類されるものである。

実施例 3 とほぼ同じプロセスであるが、上層金属を成膜する時にスパッタリングさせるための不活性ガス中に窒化性ガスを数 % 程度混入させ下層の金属窒化物透明導電体と上層金属の界面領域に窒素原子をドーピングさせている点が異なっている。界面に数 n m の厚みで窒素をドーピングすることで界面領域のエッチングレートを低減することができ上層金属パターンを順テーパ形状に加工することができる。

ゲート電極や共通電極は、順テーパ形状に加工することで、ソース電極やドレイン電極とショートしにくくなり、ブレイクダウン電圧を向上させることができ歩留りを高めることができる。接合界面に窒素原子をドーピングすることで簡単にエッチングレートを小さく制御することができ、最適な順テーパ形状に加工することができるようになる。パターンニングが完了した後、窒素イオンシャワードーピング処理をおこなうことでコンタクトパッドの表面を窒化処理し、耐酸化機能を持たせることができる。

【実施例 1 2】

【0 1 8 3】

図 1 1 3 は、本発明の実施例 1 2 のハーフトーン露光法を用いて画素電極とコンタクトパッドを形成するプロセスフローの断面図である。本発明は図 4 6 の (I I b) 型プロセスに分類されるものである。実施例 4 とほぼ同じプロセスであるが、上層金属を成膜する時にスパッタリングさせるための不活性ガス中に窒化性ガスを数 % 程度混入させ、下層の金属窒化物透明導電体と上層金属の界面領域に窒素原子をドーピングさせている点が異なっている。界面に数 nm の厚みで窒素をドーピングすることで界面領域のエッチングレートを低減することができ図 1 1 3 の 2) にあるように上層金属のみを選択エッチングする時に順テーパ形状に加工することができる。パターンニングが完了した後、窒素イオンシャワードーピング処理をおこなうことでコンタクトパッドの表面を窒化処理し、耐酸化機能を持たせることができる。実施例 1 1 に比べて実施例 1 2 の利点は、図 2 3 6 の 2) にあるように酸素プラズマアッシング処理でのポジレジストのパターン幅変化が少ない点である。

【0 1 8 4】

実施例 3, 実施例 4, 実施例 1 1, 実施例 1 2 では上層のアルミニウム合金を成膜する時に成膜の最後に不活性ガス中に窒化性ガスを混入させてスパッタリングすることで、アルミニウム合金中に窒素原子をドーピングさせ耐酸化機能を成膜表面に持たせることができる。しかしこの工程を持ちいた場合図 1 0 5 にあるように窒素原子をドーピングされた表面領域のエッチングレートが小さくなっているために逆テーパ形状に加工されてしまう。逆テーパ形状に加工されたゲート電極や共通電極は、ソース電極やドレイン電極とショートしやすくブレイクダウン電圧がいちじるしく低下してしまい、歩留りが悪くなる量産することができなくなる。この問題を対策するために本発明の実施例 3, 4, 1 1, 1 2 では、順テーパ加工が完了した後に、窒素イオンシャワードーピング処理をおこない上層のアルミニウム合金表面に耐酸化機能を持たせている。

【実施例 1 3】

【0 1 8 5】

図 7 が本発明の実施例 1 3 のハーフトーン露光法を用いて作られたコンタクトパッドを有する画素電極の断面図である。

本発明は図 1 7 2 の (I I I a) 型プロセスや (I I I b) 型プロセスに分類されるプロセスか、図 4 6 の (I I a) 型プロセスや (I I b) 型プロセスに分類されるプロセスを用いている。コンタクトパッドにモリブデンを用いている。

ゲート電極や共通電極もモリブデン金属が使用されるため液晶 T V 用の大型液晶パネルには抵抗の問題があり用いられないが 1 5 インチ程度の P C モニター用には十分に用いることができる。

I T O や I Z O などのインジウム系酸化物透明導電体とモリブデンは積層してウェットエッチングしてもガルバニック反応 (局部電池反応) は生じないのと選択エッチングがおこなえるので、安定した量産をおこなうことが可能である。図 8 が本発明を用いて作られた T F T 基板の断面図である。図 7, 8 にあるように画素電極の領域にモリブデンのコンタクトパッドが存在しているためにドレイン電極とコンタクトパッドのコンタクト不良の発生は生じない。透明画素電極材料に窒化チタンや窒化ジルコニウムを用いても膜厚の厚いモリブデンのコンタクトパッドが存在しているのでコンタクトホールを形成してもつきぬけるような不良は発生しない。

【実施例 1 4】

【0186】

図178と図182、図183は、本発明の実施例14のプロセスフロー説明図とプロセスフロー断面図である。

実施例1の場合図38、図39、図40、図77、図78、図79、図82、図83などの、3回のホトリソグラフィ工程のうち2番めのホトリソグラフィ工程で、シリコン半導体素子分離と画素電極内のコンタクトパッドにコンタクトホールを形成しているが、実施例1では図47にあるようにドライエッチングによりコンタクトホールを完全にあけている。コンタクトホールを完全にあけてしまうと、コンタクトパッド部の金属表面が露出してしまふので、次の工程でポジレジストが薄く残っている領域を酸素プラズマでアッシング除去する時に、コンタクトパッド部の露出している金属表面も同時に長時間酸素プラズマに、さらされることになる。アルミニウム合金などの酸化されやすく酸化によって表面に形成された金属酸化物の抵抗が高くなる金属の場合には、図47のプロセスフローでは、コンタクト不良が多発してしまう。

アルミニウム合金からなるコンタクトパッドの場合、耐酸化特性を向上させるために、窒素イオンシャワードーピング処理をおこないアルミニウム合金コンタクトパッドの表面に窒素原子をドーピングしている。しかしすべてのアルミニウム合金に対して上記の方法が有効というわけではなく、酸素プラズマでアッシング処理の条件によっては、コンタクト不良が発生してしまう場合がある。本発明では図178のプロセスフローにあるようにコンタクトホール部を完全にドライエッチングしないでゲート絶縁膜(P-SiNx)をわずかに残しておくことで、コンタクトパッドの表面が、酸素プラズマアッシング処理で酸化されることを防止している。図183の1)にあるように、コンタクトパッド部の上層に残っているゲート絶縁膜(P-SiNx)は、ゲート絶縁膜の上に形成されているノンドーブ半導体層と不純物をドーピングしたオーミックコンタクトをとるための半導体層をドライエッチングする時に同時にドライエッチングされ除去されてしまう。この時のドライエッチング方法として、図182の4)にあるように露出している半導体層と露出しているコンタクトホール部のゲート絶縁膜のエッチングレートにほとんど差のないフッ素系ガスをはじめに用い、コンタクトホール部のゲート絶縁膜が基板の全領域で完全にドライエッチングされた後、ドライエッチングガスをフッ素系ガスと塩素系ガスを混合した選択性の高いガスに切り換えて、半導体層のみをエッチングする2ステップドライエッチング法を用いると良い。上記のドライエッチング法により図138の1)が得られる。

【0187】

液晶TV用のアクティブマトリックスTFT基板では、バックライトの光量が非常に増大するために図4の2)にあるように、ゲート電極から薄膜半導体層がはみ出しているような場合には、光によって薄膜トランジスタ素子がOFFしている時のリーク電流が急増しやすい。この現象を抑制するための方法としては図183の1)にあるようにゲート電極から薄膜半導体層をはみ出さないように設計することで大きな効果が得られるが、薄膜半導体層の側壁を絶縁物化しておかないと薄膜半導体層とソース電極とドレイン電極とがショットキー接合状態となり薄膜トランジスタ素子がOFFしてもリーク電流は減少しなくなる。

本発明では、図183の2)にあるように左右のななめ方向から窒素イオンをドーピングすることで薄膜半導体層の側壁に窒化シリコン層を形成している。窒化性のガスを用いて薄膜半導体層の側壁をプラズマ窒化させても良い。上記の側壁窒化処理により、リーク電流を低減させることができ高輝度の液晶TVを実現できる。

【実施例15】

【0187】

図180と図184、図185は、本発明の実施例15のプロセスフロー説明図とプロセスフロー断面図である。

本発明ではゲート絶縁膜、ノンドーブ半導体層、オーミックコンタクトを取るために不純物をドーピングした半導体層、キャップメタル層の上記4層を成膜している点が実施例14と異なっている。図174でも4層を成膜しているが、図174では、コンタクトホー

10

20

30

40

50

ルを完全にドライエッチングであけてしまっているのも、表面が酸化されやすいアルミニウム合金のコンタクトパッドの場合には、酸素プラズマアッシング処理により、表面に絶縁物の酸化アルミニウムが形成されコンタクト不良をひきおこしやすくなる。図180では、図178と同様に完全にコンタクトホールをあけないで、コンタクトパッドの上にゲート絶縁膜を5~200nm程度残しておく点に特徴がある。

実施例14では図183の2)にあるようにポジレジストを剥離する前に窒素イオンシャワードーピング処理をおこなって薄膜半導体層の側壁を窒化処理しているため、ポジレジストを剥離するのが大変むずかしいが、本発明では図185の2)にあるようにポジレジストを剥離してから窒素イオンシャワードーピング処理をおこなうことができるためにポジレジストの残渣になやまされることはない。キャップメタルにチタンやジルコニウムやモリブデンを用いているので金属窒化物が表面に形成されてもソース電極やドレイン電極との接合不良が生じることはない。

10

【実施例16】

【0188】

図37, 図36, 図169は本発明の実施例16の全体平面図とメインシール周辺部の拡大平面図である。TF T基板のパッシベーションP-SiNx膜の内側に液晶Cellを形成するためのメインシール塗布領域があり、メインシールの内側に配向膜が形成されている。本発明では、静電気対策用保護回路もメインシールの内側に設置されているが、必ずしもメインシールの内側に設置しなければならないわけではなく、メインシール領域をさけてメインシールの外側でかつパッシベーション膜に完全に被覆される領域であればどこに設置しても良い。

20

【0189】

図36のメインシール部分と端子部の拡大断面図が図32, 図33, 図34, 図35, 図167, 図168である。図169のメインシール部分とダミー端子部の拡大断面図が図170, 図171である。

液晶CellのCell Gapが表示領域全面で均一な値になるようにメインシールの塗布領域の薄膜積層構造が同一になるようにしてある。図34, 図35では、IPSモード用のカラーフィルター基板には、静電気シールド用透明導電膜として窒化チタンや窒化ジルコニウムが用いられている。チタンやジルコニウムの薄膜(5~20nm程度)をスパッタリング法で成膜してから窒素イオンシャワードーピング法を用いて金属窒化物に変えて透明度を向上させる方法と反応スパッタリング法を用いて直接金属窒化物を成膜させても良い。

30

【0190】

図37にあるようにパッシベーションP-SiNx膜を局所領域に成膜する方法としてマスクデポジッション法が用いられる。

MVAモードの液晶Cell工程のプロセスフロー説明図として図49, 図51がある。図49にあるようにパッシベーション膜と垂直配向膜をP-CVD法を用いて成膜する場合図59にあるようなマルチチェンバータイプの装置を用いることで真空をやぶらずに連続成膜が可能となる。配向膜をP-CVD法で成膜すると図49にあるように、溶剤の乾燥と加熱処理による本硬化と熱硬化後の洗浄処理が必要なくなり工程の短縮化を実現できる。P-CVD法による配向膜形成では、ピンホールの発生もなく、成膜ムラによる表示ムラの発生もなくしかも原料ガスの材料コストが安いので大幅な歩留り向上とコストダウンを実現できる。垂直配向膜形成用の原料ガスとして、図60, 図61にあるような化学構造式の化合物が用いられる。垂直配向膜形成用の塗布型材料として図234の構造をした高分子化合物を用いることができる。

40

【0191】

IPSモード, FFSモード, TNモードの液晶Cell工程のプロセスフロー説明図として図50, 図52がある。図50にあるようにパッシベーション膜と配向膜と配向処理を図58にあるような真空処理装置で真空をやぶらずに連続して成膜と配向処理をおこなうことで大幅な工程の簡略化を実現できる。

50

本発明では、配向ムラが生じにくくメンテナンスがほとんど必要ないイオン配向処理法を用いている。従来のベルベット布を用いるラビング処理ではベルベット布を頻繁に交換しなければならないし、ラビングムラの発生を完全に防止することはIPSモードやFFSモードでは非常にむずかしく高い歩留りを維持しつづけることができなかったが、イオン配向処理ではイオン源のフィラメント交換を1ヶ月に1回おこなう程度で、メンテナンスのためにラインをストップすることがほとんどなくラインの稼働率をあげることが可能である。イオン配向処理では従来のラビング処理法では、配向機能を発現させることができなかったような材料でも簡単に配向機能を発現させることが可能である。図62, 図63, 図64, 図65, 図66にあるような高分子化合物を用いてカラーフィルター基板やTF基板の平坦化膜と液晶分子の配向膜の機能を兼用させることが可能である。さらに弱いアンカリングエネルギーの配向膜でも良好な配向特性を維持できる液晶分子を用いれば、パッシベーションP-SiNxの表面にイオン配向処理することで十分に良好な配向特性を得ることが可能である。この場合には、TF基板のパッシベーション膜と配向膜の兼用が可能となり大幅な工程短縮が実現できる。

【実施例17】

【0192】

図41は本発明の実施例17のIPSモードまたはFFSモード用カラーフィルター基板の製造プロセスフローの断面説明図である。

静電気対策用の導電材料のバックコーティングには、チタンやジルコニウムの薄膜（5～20nmの膜厚）をスパッタリング法で成膜した後、窒素イオンシャワードレーピング法を用いて透明窒化処理をおこなっている。窒素イオンの加速電圧は膜厚に応じて1keV～20keVの範囲で調整すれば良い。反応スパッタリング法で窒化チタンや窒化ジルコニウムを5～20nmの膜厚で成膜しても良い。材料コストの高いITOにくらべて安価なチタンやジルコニウムを用いることができ耐蝕性も高めることができる。本発明のカラーフィルターのBM（遮光膜）は、図80にあるDMDマスクレス直接描画露光装置を用いて露光しており高価な大型ホットマスクを用いていない。DMDマスクレス直接描画露光装置を用いる場合、TFTアレイ基板との絶対寸法があわない時でも寸法ズレ量を計測してDMDマスクレス直接描画露光装置のCADデータを修正して、ただちに寸法ズレのないBMを露光することが可能である。

【0193】

図41の4)では、R、G、Bのカラーフィルター層をインクジェット塗布法で形成しているが、グラビアオフセット印刷法でも良い。図41の3)でBMを露光するのに用いたDMDマスクレス直接描画露光法を用いれば直線状のカラーフィルター層だけでなく画素単位で屈曲したIPSモードのカラーフィルター層もホットマスクを用いずに露光することができる。

図41の6)では、液晶CellのGapを精密に均一化するためのボールスペーサーをインクジェット塗布法を用いてBMの上に定点配置している。グラビアオフセット印刷法を用いてもボールスペーサーを定点配置させることは可能である。動画表示の時に残像現象により解像度が劣化するのを防止するために液晶パネルを高速応答化しなければならない。この問題の対策のうち最も有効なのは、液晶の粘度を下げ、液晶Cell Gapを小さくすることである。

液晶Cell Gapを3μm以下にする場合、従来用いられてきたホトリソグラフィを用いて形成したホトスペーサーでは、スペーサーに応力がくわわった時に弾性変形する変形量が小さいために液晶Cellを形成するODF工程で気泡が発生する不良が多発しやすくなる。ボールスペーサーの場合には、弾性変形量がホトスペーサーの2倍以上大きいので、気泡発生の問題は激減する。

【0194】

図41の6)にあるように本発明では、配向膜にプラズマ重合配向膜を用いる場合にはボールスペーサーの定点配置が完了した後に、プラズマ重合配向膜を真空チェンバー内で形成している。IPSモードやFFSモードではプラズマ重合配向膜としてDLC（ダイヤ

モンドライクカーボン) が用いられている。D L C は、従来のベルベット布を用いたラビング処理では良好な配向機能が発現しないが、イオン配向処理を用いれば十分な配向機能を発現させることができる。プラズマ重合配向膜形成とイオン配向処理を真空をやぶらずに連続しておこなうことで工程の短縮化がはかれる。イオン配向処理を用いた場合には、従来ラビング処理後におこなわれていた基板洗浄と乾燥と脱気処理が必要なくなるのでクリーンルームのスペースを大幅に縮小できランニングコストを低減できる。

【実施例 18】

【0195】

図 128 は、本発明の実施例 18 の M V A モード用カラーフィルター基板の製造プロセスフローの断面説明図である。実施例 17 と同様に B M (遮光膜) は図 80 にある D M D マスクレス直接描画露光装置を用いて露光している。この露光装置を用いると基板のタイトルも同時に露光して形成できるのと、生産品種を変える場合も、ホトマスクの交換作業などは必要ないので少量多品種生産をおこなっても装置の稼働率が低下することはない。さらに M V A モードのカラーフィルター基板では、横電界モード (I P S や F F S) よりも、配向制御用パンプや配向制御用スリットがよけいに必要となるために、T F T 基板との絶対寸法あわせをするための作業量が増大するので、ホトマスクの設計変更をおこなう時には、より多くのコストがかかってしまう。本発明で用いている D M D マスクレス直接描画露光法を用いれば、C A D データの修正だけで設計変更に対応できるため、大幅なコストの低減と補正作業の時間短縮を実現できる。

【0196】

図 128 の 2) では、カラーフィルター層をインクジェット塗布法やマルチディスペンサー塗布法を用いて形成しているが、グラビアオフセット印刷法を用いて形成することも可能である。画素単位で、90 度に屈曲した M V A モードのカラーフィルター層は上記の 3 種類の方法では形成できないので、B M (遮光膜) 形成で用いた D M D マスクレス直接描画露光装置を用いて形成する。さらに図 128 の 4) では、配向制御用パンプを D M D マスクレス直接描画露光装置を用いて形成している。配向制御用スリットも同様に D M D マスクレス直接描画露光装置を用いて形成できる。

M V A モード用のカラーフィルター基板では、カラーフィルター層を直線状に形成しても、配向制御用パンプや配向制御用スリットは、単位画素内部で 90 度に屈曲させた形状に設計しなければならないのでホトリソグラフィーの技術を用いなければ生産することができない。

【0197】

図 128 の 5) では、実施例 17 と同様にボールスペーサーをインクジェット塗布法を用いて定点配置させているが、グラビアオフセット印刷法を用いて定点配置させても良い。ボールスペーサーの定点配置が完了してからプラズマ重合法を用いて垂直配向膜を形成している。図 37 にあるようにプラズマ重合配向膜は、メインシールの内側の領域のみに形成しなければならない。

プラズマ重合配向膜は、基板を加熱せずに室温のままで成膜しても十分な配向機能を発現することができるのでカラーフィルターの顔料の選定の自由度が大きく広がり透過率が高く、色純度のすぐれたカラーフィルターレジストを用いることができる。プラズマ重合配向膜はピンホールや表示ムラが発生しにくいため大型液晶 T V に適している。

【実施例 19】

【0198】

図 129, 図 130 が本発明の実施例 19 の T N モード用アクティブマトリックス T F T 基板の平面図である。図 130 の断面図が図 138, 図 139 である。図 130 では画素電極内に形成されたコンタクトパッドにコンタクトホールをかいして電氣的に接続されている C s t (保持容量) 形成電極と共通電極とがゲート絶縁膜をかいしてコンデンサーを形成している。図 129 では、画素電極内に形成されたコンタクトパッドにコンタクトホールをかいして電氣的に接続されている C s t (保持容量) 形成電極とゲート電極とがゲート絶縁膜をかいしてコンデンサーを形成している。図 12, 図 13 は本発明の実施例 1

9に属するTNモード用アクティブマトリックスTFT基板である。図12ではゲート電極に電氣的に接続されたCst（保持容量）形成電極が画素電極とゲート絶縁膜をかいしてコンデンサーを形成している。図13では、共通電極に電氣的に接続されたCst（保持容量）形成電極が画素電極とゲート絶縁膜をかいしてコンデンサーを形成している。

【0199】

図12、図13、図129、図130は、図38にあるA型プロセスで作られており3回のホトリソグラフィ工程でTFTアレイ基板を完成することが可能である。第1回めと第2回めのホトリソグラフィ工程でハーフトーンホトマスクを用いたハーフトーン露光法をおこなって、ホトリソグラフィの回数を低減している。図12、図13、図129、図130は、図77の2重露光法を用いたA型プロセスや図82のDMDを用いたA型プロセスや図103のDMDを用いたa型プロセスを用いてもホトリソグラフィ工程を3回用いることでTFTアレイ基板を完成することが可能である。

10

【0200】

図12、図13にあるような薄膜トランジスタ素子の形状ではGate電極とドレイン電極のアライメント精度が悪いと画像表示にムラが出やすいので実際の大型液晶表示パネル用の薄膜トランジスタ素子の形状は図159、図160にあるような形状が用いられる。櫛歯状のソース電極とドレイン電極を採用するとアライメント精度が多少悪くても表示ムラは生じにくくなる。

薄膜半導体層の素子分離とコンタクトホールをおこなった直後の平面図は図161、図162にあるような形状になっている。Source電極（映像信号線）の下層には、薄膜半導体層がSource電極よりも細くSource電極にそって配置されている。薄膜半導体層は、完全には分離されていない本発明の構造を用いるとSource電極の断線が生じにくくなり、さらにSource電極とGate電極のショートの発生確率が激減する。図163、図164、図165、図166が、櫛歯型トランジスタ素子の断面図である。

20

【実施例20】

【0201】

図30、図152、図233が本発明の実施例20のIPSモード用アクティブマトリックスTFT基板の平面図である。図27、図28、図251、図252が本発明の実施例20のIPSモード用TFT基板の断面図である。Cst（保持容量）形成電極の接続方法に2通りあるが図152のように液晶駆動用くし歯状画素電極に形成されたコンタクトパッドにCst（保持容量）形成電極を接続させる方式の方が、開口率をあげられ、大きな容量を形成できる。

30

IPSモードでは図237、図238にあるように単位画素内で液晶分子の配向方向に対して液晶駆動用くし歯状共通電極と液晶駆動用くし歯状画素電極を屈曲させることで液晶分子の回転方向を左回りと右回りの2種類作り出すことができる。これにより視野角を拡大すると同時に、カラーシフトの問題も解決できる。

図30、図152では、単位画素内で1回屈曲した電極構造となっているが、図233では、単位画素内で2回屈曲した電極構造となっている。屈曲回数に制限はないが屈曲回数が多くなるとディスクリネーションが屈曲部分に発生するため光の透過率が低下してしまう。通常は1～3回の屈曲構造が採用される。

40

カラーフィルター基板も同様にBM（遮光膜）とカラーフィルター層もTFT基板のソース電極の屈曲形状にあわせて屈曲した形状になる。

【0202】

本発明のIPSモードTFT基板は図38にあるハーフトーンホトマスクを用いたA型プロセスや、図77にある2重露光法を用いたA型プロセスを用いて3回のホトリソグラフィ工程で作ることができる。

液晶駆動用くし歯状共通電極と液晶駆動用くし歯状画素電極の電極幅が通常4～8μmと細いので、現在のDMDの解像力（10μm）では、図82のA型プロセスや図103のa型プロセスを用いてIPSモードのTFT基板を製造することはできない。将来DMD

50

の解像力が向上してくれば図 8 2 の A 型プロセスや図 1 0 3 の a 型プロセスを用いて I P S モードの T F T 基板を 3 回のホトリソグラフィ工程で作ることが可能となる。

【0203】

本発明の I P S モードでは、液晶駆動用くし歯状共通電極と液晶駆動用くし歯状画素電極と S o u r c e 信号電極シールド共通電極は必ずしも透明である必要はないので、図 4 6 の (I a) 型プロセス, (I b) 型プロセスや図 1 7 2 の (I V a) 型プロセス, (I V b) 型プロセスで下層電極のチタンやジルコニウムの薄膜を可視光透過率が上がるまで窒素イオンシャワードーピングする必要はない。図 1 7 2 の (I V a) 型プロセス, (I V b) 型プロセスでは、窒素イオンシャワードーピング処理をまったくしなくても良い。しかしバックライトの消費電力をさげるためには下層電極のチタンやジルコニウムを窒化処理しなければならない。図 3 8, 図 7 7 の第 1 回めのホトリソグラフィ工程が完了した後、図 5 7 にあるような装置を用いることで、下層電極とコンタクトパッドの表面を窒化処理した後、真空をやぶらずにゲート絶縁膜と薄膜半導体層を成膜することができる。図 5 7 では、リンをドーピングした薄膜半導体層は、別の真空チェンバーで成膜しているが、この真空チェンバーを省略して左右の 2 つの真空チェンバーを用いて、ゲート絶縁膜と薄膜半導体層の 3 層を同一チェンバーで成膜する方法を採用しても良い。図 3 8, 図 7 7 の 3 番めのホトリソグラフィ工程が完了した後図 5 8 の装置を用いて P - S i N x パッシベーション膜を成膜してから真空をやぶらずに連続してプラズマ重合配向膜を数オングストロームから数 1 0 0 オングストローム成膜する。その後真空をやぶらずにただちにイオン配向処理チェンバーでイオン配向処理をおこなうことで従来のプロセスを大幅に短縮でき歩留りを大幅に向上することが可能である。

【実施例 2 1】

【0204】

図 3 1, 図 2 1 6, 図 2 9, 図 2 5 3 が本発明の実施例 2 1 の F F S モード用アクティブマトリックス T F T 基板の平面図と断面図である。F F S モードは図 3 1 にあるように本発明では、大きなベタ状の画素電極と液晶駆動用くし歯状共通電極とをゲート絶縁膜をかいてかさねあわせることで、横方向の電界を発生させて液晶分子を回転させている。I P S モードと原理的には、まったく同じ液晶分子の回転動作を利用している。単位画素中で液晶駆動用くし歯状共通電極が 1 回屈曲している形状を図 3 1 では採用しているが多数回屈曲していても良い。上記の屈曲した電極構造により I P S モードと同じく液晶分子を左回りと右回りの異なる方向に回転動作させることが可能となる。これにより視野角の拡大と、カラーシフトの現象を改善することができる。

【0205】

本発明の F F S モード T F T 基板は、図 4 0 にあるハーフトーンホトマスクを用いた C 型プロセスを用いて 3 回のホトリソグラフィ工程で作ることができる。図 7 9 にある 2 重露光法を用いた C 型プロセスを用いて 3 回のホトリソグラフィ工程で作ることができる。D M D 素子を用いた直接描画露光法を用いることは第 1 回めと第 2 回めのホトリソグラフィ工程までは可能であるが第 3 回めのホトリソグラフィ工程では、液晶駆動用くし歯状共通電極を露光するのに D M D の解像力が低いために用いることはできない。

【0206】

F F S モードは図 2 9 にあるようにベタ状の画素電極と液晶駆動用くし歯状共通電極とがゲート絶縁膜をかえてオーバーラップしているために、大きな保持容量を簡単に作ることができるので、超高精細モニターなどの画素が小さいタイプの液晶表示に適している。しかし超大型液晶表示パネルのように画素が非常に大きい場合には、逆に保持容量が大きくなりすぎてアモルファスシリコン薄膜トランジスタ素子で駆動することが難しくなってしまう。この問題を解決するために、本発明では図 2 1 6 にあるような I P S モードと F F S モードの両方の電極構造が単位画素内に存在する構造を採用している。図 2 5 3 がこの構造の断面図である。

この構造であれば最適な保持容量を自由に設計することができるので従来の F F S モードでは実現できなかった超大型液晶 T V を製作することができる。

I P S モードよりも F F S モードは、強電界を発生しやすいので液晶分子を高速に運動させることができるので動画対応の残像のすくない良好な画像を実現できる。

【実施例 22】

【0207】

図 14, 図 16, 図 100, 図 101, 図 240, 図 241 が本発明の実施例 22 の M V A モード用のアクティブマトリックス型 T F T 基板の平面図である。

S o u r c e 電極（映像信号線）は、直線状で、画素電極には 1 個以上のコンタクトパッドが配置されており、垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために、画素電極には配向方向制御スリットがつけられている。これらの T F T 基板に対応するカラーフィルターが図 20, 図 21 である。図 20, 図 21 ではカラーフィルター層 10

の上に、配向方向制御用バンパが形成されている。
上記のカラーフィルター基板と T F T 基板をはりあわせた液晶パネルの断面図が図 25 である。配向方向制御用バンパを用いずにカラーフィルター基板側に T F T 基板の画素電極と同様な配向方向制御スリットを設置することも可能であり、このカラーフィルター基板と T F T 基板をはりあわせた液晶パネルの断面図が図 26 である。

【0208】

図 240, 図 241 では画素電極内に形成されたコンタクトパッドにコンタクトホールをかいして電氣的に接続されている C s t （保持容量）形成電極と共通電極とがゲート絶縁膜をかいしてコンデンサーを形成している。図 100, 図 101 では、共通電極に電氣的に接続された C s t （保持容量）形成電極が画素電極とゲート絶縁膜をかいしてコンデン 20
サーを形成している。大型液晶 T V では画素電極とカラーフィルター側の共通電極とで液晶をかいして形成される画素容量が大きくなるために図 14 や図 16 のように C s t （保持容量）形成電極を必要としない場合もある。この場合には最大の開口率が得られる。画素電極は、コンタクトパッド部のコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されているために画素電極材料に I T O や I Z O を用いた場合、ソース電極やドレイン電極に、アルミニウム系のどのような金属材料を用いてもガルバニック反応が生じることはない。本発明のこの点が従来の構造とはまったく異なっており、材料の選択の自由度が非常に大きい。

【0209】

図 14, 図 16, 図 100, 図 101, 図 240, 図 241 は図 38 にある A 型プロセス 30
で作られており、3 回のホトリソグラフィ工程で、T F T アレイ基板を完成することが可能である。第 1 回めと第 2 回めのホトリソグラフィ工程でハーフトーンホトマスクを用いたハーフトーン露光法をおこなってホトリソグラフィの回数を低減している。本発明は図 77 の 2 重露光法を用いた A 型プロセスや図 82 の D M D を用いた A 型プロセスや図 103 の D M D を用いた a 型プロセスを用いてもホトリソグラフィ工程を 3 回用いることで T F T アレイ基板を完成することが可能である。

【実施例 23】

【0210】

図 15, 図 17 が本発明の実施例 23 の M V A モード用のアクティブマトリックス T F T 基板の平面図である。S o u r c e 電極（映像信号線）は、直線状で、画素電極には、1 40
個以上のコンタクトパッドが配置されており、ゲート絶縁膜にけられたコンタクトホールをどうして薄膜トランジスタ素子のドレイン電極と電氣的に接続されている。

画素電極は、コンタクトホールをのぞいて完全にゲート絶縁膜で被覆されており、上記ゲート絶縁膜の上には垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために、配向方向制御電極が形成されている。配向方向制御電極は、ゲート絶縁膜にけられたコンタクトホールをどうして共通電極と電氣的に接続されている。これらの T F T 基板に対応するカラーフィルター基板が図 20, 図 21 である。図 20, 図 21 ではカラーフィルター層の上に配向方向制御用バンパが形成されている。

上記カラーフィルター基板と T F T 基板をはりあわせた液晶パネルの断面図が図 23 である。カラーフィルター基板側の共通電極に配向方向制御スリットを形成したカラーフィル 50

ター基板とT F T基板をはりあわせた液晶パネルの断面図が図24である。

【0211】

垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために、配向方向制御電極を画素電極や共通電極の上に絶縁物をかいして設置した従来例が図245、図246、図107、図108、図109、図110、図111である。

これらの従来例は、T F T基板側に配向方向制御電極を設置してあるがT F T基板側に対向している対向基板側の共通電極には、配向方向制御スリットや配向方向制御のためのバンプなどがまったく配置されていない。このような構造は携帯電話用のT F T液晶パネルのように画素サイズが非常に小さい場合のみに、画素電極の周辺領域の電界の歪を利用して液晶分子を動作させることが可能であるが、画素サイズが100ミクロンメートル以上のサイズになると上記の従来例の電極構造では、液晶分子の動作速度が非常に遅くなってしまい実用化することは不可能である。大型液晶TVパネルのように画素サイズが150ミクロンメートル以上の場合には、本発明の図23、図24のように、配向方向制御電極が形成されているT F T基板側に対向している対向基板の共通電極に、配向方向制御スリットや配向方向制御用バンプを形成しなければ、液晶分子の高速応答化をはかれず良好な動画表示を実現できない。

【0212】

本発明の図15、図17は、図39にあるB型プロセスで作られており、3回のホトリソグラフィ工程でT F T基板を完成することが可能である。第1回めと第2回めのホトリソグラフィ工程でハーフトーンホトマスクを用いたハーフトーン露光法をおこなってホトリソグラフィ工程の回数を低減している。本発明は図78の2重露光法を用いたB型プロセスや、図83のDMDを用いたB型プロセスや図104のDMDを用いたb型プロセスを用いてもホトリソグラフィ工程を3回用いることで、T F Tアレイ基板を完成することが可能である。本発明の工程では画素電極はコンタクトホールをのぞいて完全にゲート絶縁膜によって被覆されているためにソース電極やドレイン電極にどのような金属材料を用いてもガルバニック反応（局部電池反応）は、完全に防止することができるが、従来例の場合には、図245、図246、図107、図109、図110、図111では、画素電極は絶縁膜によって完全に被覆されていないのでガルバニック反応を完全に防止することは不可能である。さらに図107、図108ともにホトリソグラフィ工程の回数が5～6回必要となるのでコスト低減をおこなうことができない。

【0213】

図15、図17にあるように本発明では配向方向制御電極は、ゲート絶縁膜にあけられたコンタクトホールを通して共通電極に電氣的に接続されている。図23、図24の断面図にあるように配向方向制御電極は画素電極とゲート絶縁膜をかいしてオーバーラップしておりコンデンサーを形成している。このコンデンサーはC s t（保持容量）として作用するため実施例22の場合のようにC s t（保持容量）形成電極を必要としない。実施例22くらべて本実施例の場合には、配向方向制御電極と画素電極間で強い電界を発生させることができるためにF F Sモードと同様に液晶分子の高速応答化を実現しやすい。本発明では図23、図24の断面図にあるようにカラーフィルター基板側の透明共通電極とT F T基板側の配向方向制御電極とは電氣的に接続されているが、従来例の図245、図246では、配向方向制御電極は透明共通電極と同電位になっていることは図の中には示されていない。さらに従来例の図245では、配向方向制御電極の下層領域のみに絶縁膜が存在しており他の領域は、画素電極の上層には絶縁膜は存在しておらず直接配向膜と画素電極とは接触している構造となっている。この構造では画素電極の平均電位と配向方向制御電極の平均電位とが等しくない場合、2つの電極間に直流電流が流れることになり、配向膜が電気分解され残像の原因となりやすい。本発明の場合、画素電極はコンタクトホール以外は完全にゲート絶縁膜で被覆されていて、かつ配向方向制御電極も図23、図24の断面図にあるようにパッシベーション膜（P-S i N x）によって完全に被覆されているために、画素電極の平均電位と配向方向制御電極の平均電位が完全に等しくなくても2つの電極に直流電流が流れることはない。このために配向膜が電気分解されるような現象

は生じないため残像の発生は生じにくい。

【実施例 24】

【0214】

図18、図102、図242が本発明の実施例24のMVAモード用アクティブマトリックスTFT基板の平面図である。Source電極（映像信号線）は、画素の中央部付近で90度に屈曲しており、Gate電極に対して±45度の角度で配置されている。画素電極もSource電極とほぼ同じ形状で屈曲している。画素電極の内部には、1個以上のコンタクトパッドが配置されており、コンタクトホールを通して薄膜トランジスタ素子のDrain電極と接続されている。

画素電極の内部には、垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために配向方向制御スリットが細長くあけられておりSource電極とほぼ同じ形状で画素の中央付近で90度に屈曲しており、Gate電極に対して±45度の角度で細長くあけられている。これらのTFT基板に対応するカラーフィルター基板が図22である。図22ではカラーフィルター層の上に、配向方向制御用バンプが形成されており、Source電極に対応するBMと同様に画素の中央付近で90度に屈曲しており、Gate電極に対応するBMに対して±45度方向に細長く配置されている。上記のカラーフィルター基板と図18、図102、図242のTFT基板をはりあわせた液晶パネルの断面図が図25である。配向方向制御用バンプを用いずにカラーフィルターの共通電極にTFT基板の画素電極と同様な配向方向制御スリットを設置することも可能であり、このカラーフィルター基板と図18、図102、図242のTFT基板をはりあわせた液晶パネルの断面図が図26である。

【0215】

図242では、画素電極内に形成されたコンタクトパッドにコンタクトホールをかいして電氣的に接続されているCst（保持容量）形成電極と共通電極とがゲート絶縁膜をかいしてコンデンサーを形成している。図102では、共通電極にコンタクトホールを通して接続されているCst（保持容量）形成電極が画素電極とゲート絶縁膜をかいしてコンデンサーを形成している。大型液晶TVでは、画素電極とカラーフィルター側の共通電極とで液晶をかいして形成される画素容量が大きくなるために図18にあるようにCst（保持容量）形成電極を必要としない場合もある。

本発明では画素電極はコンタクトパッド部のコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されているために、画素電極にITOやIZOを用いた場合、ソース電極やドレイン電極に、アルミニウム系のいかなる金属材料を用いてもガルバニック反応が生じることはない。本発明のこの点が従来の構造とは、まったく異なっており、材料の選択の自由度が非常に大きい。

【0216】

図18、図102、図242は、図38にあるA型プロセスで作られており、3回のホトリソグラフィ工程でTFTアレイ基板を完成させることが可能である。第1回めと第2回めのホトリソグラフィ工程でハーフトーンホトマスクを用いたハーフトーン露光法をおこなってホトリソグラフィの回数を低減している。本発明は、図77の2重露光法を用いたA型プロセスや図82のDM Dを用いたA型プロセスや図103のDM Dを用いたa型プロセスを用いてもホトリソグラフィ工程を3回用いることで、TFTアレイ基板を完成させることが可能である。

【実施例 25】

【0217】

図19、図53が本発明の実施例25のMVAモード用のアクティブマトリックスTFT基板の平面図である。Source電極（映像信号線）は、画素の中央付近で90度に屈曲しており、Gate電極に対して±45度の角度で配置されている。画素電極もSource電極とほぼ同じ形状で画素の中央部付近で90度に屈曲している。画素電極の内部には、1個以上のコンタクトパッドが配置されており、コンタクトホールを通して薄膜トランジスタ素子のDrain電極と接続されている。画素電極は、コンタクトホールをの

10

20

30

40

50

ぞいて完全にゲート絶縁膜で被覆されており、上記ゲート絶縁膜の上には垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために、配向方向制御電極が形成されている。本発明では上記配向方向制御電極も S o u r c e 電極とほぼ同じ形状で画素の中央部付近で 90 度に屈曲しており、G a t e 電極に対して ± 45 度の角度で配置されている。配向方向制御電極は、ゲート絶縁膜にあげられたコンタクトホールをとうして共通電極に接続されている。図 19, 図 53 の T F T 基板に対応するカラーフィルター基板が図 22 である。図 22 ではカラーフィルター層の上に、配向方向制御用バンプが形成されており、S o u r c e 電極に対応する B M (遮光膜) と同様に画素の中央付近で 90 度に屈曲しており、G a t e 電極に対応する B M に対して ± 45 度方向に細長く配置されている。上記のカラーフィルター基板と図 19 の T F T 基板をはりあわせた液晶パネルの断面図が図 23 である。 10

配向方向制御用バンプを用いずに、カラーフィルターの共通電極に配向方向制御スリットを設置することも可能であり、このカラーフィルター基板と図 19 の T F T 基板をはりあわせた液晶パネルの断面図が図 24 である。

【0218】

図 53 の T F T 基板と図 22 のカラーフィルター基板をはりあわせた液晶パネルの断面図が図 54, 図 55, 図 56 である。

図 54 では配向方向制御電極の下層に薄膜半導体層が配向方向制御電極よりもすこし太めの幅で、配向方向制御電極にそってほぼ同じ形状で配置されている。図 55 では配向方向制御電極の下層にコンタクトパッドと同じ金属層が、配向方向制御電極よりも太めの幅で配向方向制御電極にそってほぼ同じ形状で配置されている。図 56 では配向方向制御電極の下層に薄膜半導体層と、コンタクトパッドと同じ金属層の両方の層が配向方向制御電極よりもすこし太めの幅で、配向方向制御電極にそって、ほぼ同じ形状で配置されている。図 54, 図 55, 図 56 のように配向方向制御電極の高さを画素電極から高くすればするほど垂直配向された負の誘電率異方性液晶分子が動作しやすくなるため高速応答化しやすい。図 54, 図 55, 図 56 ではカラーフィルター基板側にはすべて配向方向制御用バンプが配置されているが、配向方向制御用バンプのかわりに、カラーフィルター基板の共通電極に配向方向制御スリットを形成しても良い。 20

【0219】

垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために、配向方向制御電極を画素電極や共通電極の上に絶縁物をかいして設置した従来例が図 245, 図 246, 図 107, 図 108, 図 109, 図 110, 図 111 である。これらの従来例は、日本国特許の特開平 07-230097, 特開平 11-109393, 特開 2001-042347 に詳しく説明してあるが、特開 2001-042347 は、すべて断面図しか記載されていないためどのような方向に負の誘電率異方性液晶分子をたおすのか、平面図がなければ論じることとはできない。 30

配向方向制御電極の形状に関しては、実際の液晶パネルにおいては非常に重要であり、配向方向制御電極にどのような方法で目的とする電位を印加するのか論じてもらえないと具体的な設計すらできない。特開平 07-230097, 特開平 11-109393 には、平面図が記載されてあるのでこれらをもとに、本発明との差に関して説明したい。特開平 07-230097, 特開平 11-109393 とともに画素電極の周辺の電界の歪と、配向方向制御電極によって画素電極との間に発生する電界の歪を利用して液晶分子のたおれる方向を決定している。上記両方の特許とも T F T 基板側に配向方向制御電極を設置してあるが T F T 基板側に対向している対向基板側の共通電極には配向方向制御スリットや配向方向制御用のバンプなどは、まったく配置されていない。このような構造は携帯電話用の T F T 液晶パネルのように画素サイズが非常に小さい場合のみに、画素電極の周辺領域の電界の歪を利用して液晶分子を目的とする方向に動作させることが可能である。しかし画素サイズが 100 ミクロンメートル以上のサイズになると上記の従来例の電極構造では、液晶分子の動作速度が非常に遅くなってしまい実用には適さない。 40

大型液晶 T V パネルのように画素電極サイズが 150 ミクロンメートル以上になってくる 50

と、本発明の図 2 3, 図 2 4, 図 5 4, 図 5 5, 図 5 6 のように配向方向制御電極が形成されている T F T 基板だけでなく、T F T 基板に対向しているカラーフィルター基板の共通電極に配向制御スリットや配向制御用バンプを形成しないと液晶分子の高速応答化をはかれず良好な動画表示を実現できなくなってしまう。

【0220】

図 1 9, 図 5 3 では 90 度に屈曲した画素電極は、コンタクトホールをのぞいて完全にゲート絶縁膜で被覆されているため配向方向制御電極をパターンニング加工する時でもガルバニック反応などの局部電池反応はまったく生じることがない。パターンニング加工をドライエッチングでおこなえば画素電極が露出していても加工工程中でのガルバニック反応は発生しないが、ポジレジストを剥離する時に、剥離液中でガルバニック反応が生じてし

10

まう。本発明の場合には、剥離工程中でも完全にガルバニック反応を防止できる。本発明の図 1 9, 図 5 3 は、図 3 9 にある B 型プロセスで作られており 3 回のホトリソグラフィー工程で T F T 基板を完成することが可能である。

第 1 回めと第 2 回めのホトリソグラフィー工程でハーフトーンホトマスクを用いたハーフトーン露光法をおこなってホトリソグラフィー工程の回数を低減している。本発明は図 7 8 の 2 重露光法を用いた B 型プロセスや図 8 3 の D M D を用いた B 型プロセスや図 1 0 4 の D M D を用いた b 型プロセスを用いてもホトリソグラフィー工程を 3 回用いることで、T F T アレイ基板を完成することが可能である。

【0221】

図 1 9, 図 5 3 では単位画素中に配向方向制御電極は、1 本しか配置されていないが、画素サイズが大きくなってくれば配向方向制御電極の数を 2 本, 3 本・・・と増加させていけば良い。カラーフィルター基板側の配向方向制御用バンプや配向方向制御スリットも図 2 2 では単位画素中に 2 本しか配置されていないが、配向方向制御電極が 2 本になれば配向方向制御用バンプや配向方向制御スリットは 3 本必要となってくる。本発明の場合 T F T 基板の単位画素中に n 本の配向方向制御電極が配置されている場合、カラーフィルター基板の単位画素中には $(n+1)$ 本の配向方向制御用バンプ、または配向方向制御スリットを配置しなければならない。配向方向制御電極が複数本配置されている場合配向方向制御電極間の距離は 20~60 ミクロンメートルの範囲で配置することが好ましい。配向方向制御電極間の距離が 20 ミクロンメートルよりも小さくなると光の透過率がいちじるしく低下してしまうし、60 ミクロンメートルよりも大きくなってくると、液晶分子の動作が遅くなってしまうし光の透過率が向上しても動画表示で問題が生じてしまうからである。

20

30

【0222】

大型液晶 T V の場合、光の透過率を向上させることも重要であるが、液晶分子の高速応答化の方がさらに重要である。液晶分子の応答速度は電界の強さに比例するので強電界を発生させることのできる配向方向制御電極の方が、配向方向制御スリットよりも液晶 T V 用には適している。しかし、配向方向制御電極を用いても従来例の図 2 4 5 の場合には、画素電極 3 5 の周辺部の電界の歪と配向方向制御電極が画素電極と作り出す電界の歪を利用して液晶分子を制御している。図 2 4 5 の場合には、画素電極 3 5 に対向している共通電極 1 4 には、配向方向制御用のバンプや配向方向制御スリットも設置されていないので画素電極の周辺エッジ部から配向方向制御電極までの距離が 30 ミクロンメートル以上に大きくなってくると液晶分子の動作速度が急激に遅くなってしまう。さらに図 2 4 5 にあるように負の誘電率異方性液晶分子の動作方向はそろっていないために配向方向制御電極と画素電極 3 5 の周辺エッジ部のあいだにディスクリネーションラインが必ず 1 本発生してしまう。

40

図 2 4 5 の構造では、ディスクリネーションラインは固定することができないために常に動きまわり安定化させることはできない。

このために長いディスクリネーションラインが発生した場合には、光の透過率がいちじるしく低下してしまい、画面上にムラとなって見えてしまう。

従来例の図 2 4 6 では負の誘電率異方性液晶分子の動作方向はそろっているために上記デ

50

ィスクリネーションラインは発生しないが、画素電極のサイズが100ミクロンメートル以上に大きくなってくると液晶分子の動作速度が急激に遅くなってくる問題をこの構造では解決することができない。さらにこの構造では共通電極14の上層に形成された配向方向制御電極に、対向する画素電極35と同じ電位を設定しなければならない。原理的には可能でも、量産する場合には、図246の構造はコストが高くなり実用化することはできない。

【0223】

液晶表示パネルではディスクリネーションラインの発生をいかにして防止するか、発生した場合にはどのようにしてディスクリネーションラインを固定化させるかが重要なテーマである。本発明の図19、図53では、このディスクリネーションラインの発生を防止するために、90度に屈曲した画素電極の屈曲部に配向方向制御スリットを形成しており、配向方向制御電極には90度に屈曲した屈曲部から配向方向制御電極を枝分かれさせて画素電極の幅の約4分の1の長さだけゲート電極と平行な方向につき出す構造を採用している。

10

画素電極の共通電極側とゲート電極側のエッジ部には、画素電極の幅の約4分の1の長さだけ配向方向制御電極が枝分かれしゲート電極と平行な方向につき出している構造を採用している。

図22のカラーフィルター基板側の配向方向制御用バンクも同様に、ディスクリネーションラインの発生を防止するために90度の屈曲部から画素電極の幅の約4分の1の長さだけ配向方向制御用バンクをゲート電極と平行な方向につき出すように配置している。ゲート電極と平行な方向のBMに近い配向方向制御用バンクも、図22にあるようにゲート電極と平行な方向に、画素電極の幅の約4分の1の長さだけつき出すように配置している。

20

【実施例26】

【0224】

図188、図186、図190、図198、図199は、本発明の実施例26のMVAモード用のアクティブマトリックスTFT基板の平面図である。ほぼ実施例22と同じプロセスで、製造することができ、同じコンセプトの設計手法を用いている。ただひとつ異なっているのが、画素電極内に形成された配向方向制御スリットの分布密度が均一でなく2つ以上存在しているという点である。配向方向制御スリットを密に配置することで液晶分子の応答速度を向上させることができるが、光の透過率が低下してしまう。配向方向制御スリットを密に配置することで、わずかではあるが液晶駆動のThreshold電圧（閾値電圧）を小さくすることができる。上記のThreshold電圧に幅を持たせることで駆動電圧に対するダークレベルからグレーレベルへの輝度の変化をゆるやかにすることができ、表示ムラの発生を抑制することができる。

30

【0225】

本発明では、Source電極（映像信号線）は、直線状でGate電極に対して直交しており、カラーフィルター基板のBMもカラーフィルター層も直線状に配置される。このような直線状のカラーフィルター層の場合、オフセット印刷法を用いたり、インクジェット印刷法を用いたりして製造することが可能なので製造コストを低減することが可能である。

40

【実施例27】

【0226】

図187、図191、図192、図193は、本発明の実施例27のMVAモード用アクティブマトリックスTFT基板の平面図である。ほぼ実施例23と同じプロセスで製造することができ、同じコンセプトの設計手法を用いている。

ただひとつ異なっているのが、画素電極を被覆しているゲート絶縁膜の上層に形成されている配向方向制御電極の分布密度が均一でなく2つ以上存在しているという点である。配向方向制御電極を密に配置することで液晶分子の応答速度を向上させることができるが、光の透過率が低下してしまう。配向方向制御電極を密に配置することで、わずかではあるが液晶駆動のThreshold電圧（閾値電圧）を小さくすることができる。上記のT

50

h r e s h o l d 電圧に幅を持たせることで、駆動電圧に対するダークレベルからグレーレベルへの輝度の変化をゆるやかにすることができ、表示ムラの発生を抑制することができる。

本発明は、実施例 26 とくらべて強い電界を発生させることができるので液晶分子の高速応答化を実現することが可能である。

【実施例 28】

【0227】

図 87, 図 88, 図 189 は本発明の実施例 28 の MVA モード用アクティブマトリックス TFT 基板の平面図である。本発明では図 90 にあるように単位画素中に負の誘電率異方性液晶分子の動作方向を制御するために、配向方向制御電極と配向方向制御スリットの両方を用いている点に特徴がある。図 90 の A 領域の方が B 領域よりも電界強度が強いため A 領域の方が B 領域よりも液晶駆動の T h r e s h o l d 電圧（閾値電圧）が小さい。図 87, 図 88, 図 189 にあるように A 領域の面積を B 領域の面積の 3 分の 1 から 2 分の 1 にすることで図 91 にあるようにダークレベルからグレーレベルでの輝度の増大をゆるやかにすることができ、表示ムラの発生を抑制することができる。さらにダーク・レベルからグレーレベル領域でのガンマ特性を改善することができるのでダーク・レベルからグレーレベルの領域での視野角を拡大することができる。さらにダーク・レベルからグレーレベル領域の表示を電界強度の A 領域でおこなえるために、MVA モードで問題となっているダーク・レベルからグレーレベル領域での応答速度を改善することが可能である。

【0228】

本発明の TFT 基板と配向方向制御用バンパを形成したカラーフィルタ基板をかさねあわせた液晶パネルの断面図が図 243 である。

本発明の TFT 基板と配向方向制御スリットを形成したカラーフィルタ基板をかさねあわせた液晶パネルの断面図が図 244 である。A 領域の画素電極と配向方向制御電極とはゲート絶縁膜をかいしてコンデンサを形成している。図 87, 図 88 の B 領域の画素電極は複雑なスリットに加工されているが、この形状の方が液晶分子の動作方向を制御する性能がすぐれている。S o u r c e 電極（映像信号線）は直線状で G a t e 電極に直交している。この構造の場合、カラーフィルタ基板側の S o u r c e 電極に対応する BM（遮光膜）もカラーフィルタ層も直線状になるのでオフセット印刷法やインクジェット印刷法を用いて製造しやすくなるのでコストダウンを実現できる。

【実施例 29】

【0229】

図 194, 図 213, 図 219, 図 220, 図 225 は本発明の実施例 29 の MVA モード用アクティブマトリックス TFT 基板の平面図である。実施例 24 とほぼ同じプロセスで製造することができ、同じコンセプトの設計手法を用いている。

実施例 24 と異なっているのは、画素電極内に形成された配向方向制御スリットの配置分布密度が均一ではなく 2 つ以上の異なる分布密度が存在しているという点である。配向方向制御スリットを密に配置することで液晶分子の応答速度を向上させることができるが、光の透過率が低下してしまう。配向方向制御スリットを密に配置することでわずかではあるが液晶駆動の T h r e s h o l d 電圧（閾値電圧）を小さくすることができる。上記の T h r e s h o l d 電圧に幅を持たせることで駆動電圧に対するダークレベルからグレーレベルへの輝度変化をゆるやかにすることができ、表示ムラの発生を抑制することができる。

【0230】

図 194 は、画素の中央付近で S o u r c e 電極（映像信号線）は 90 度に屈曲しており G a t e 電極に対して ±45 度の角度で配置されている。画素電極と画素電極内部に形成されている配向方向制御スリットも S o u r c e 電極と同様に画素の中央付近で 90 度に屈曲しており G a t e 電極に対して ±45 度の角度で配置されている。

この TFT 基板に対応するカラーフィルタ基板が図 214 である。図 214 では液晶分子の動作方向を制御するために配向方向制御用バンパを用いているが、配向方向制御スリ

10

20

30

40

50

ットを共通電極に形成しても良い。図194の画素電極の内部に形成されている配向方向制御スリットと図214の共通電極の上層に形成されている配向方向制御用バンプの距離が均一になっていない点に特徴がある。配向方向制御スリットと配向方向制御用バンプの距離が大きい領域の面積が、配向方向制御スリットと配向方向制御用バンプの距離が小さい領域の面積よりも2〜3倍大きくなるように設計することで良好な光学特性が得られる。

【0231】

図220では、Source電極が単位画素内で2回、90度に屈曲しており、Gate電極に対して±45度の角度で配置されている。

画素電極もSource電極とほぼ同じ形状で屈曲している。

画素電極内に形成された配向方向制御スリットの配置分布密度が均一でなく、分布密度の高い領域と分布密度の低い領域の2つに分かれている。分布密度の低い領域の面積は分布密度の高い領域の面積よりも2〜3倍程度大きく設計されている。上記2つの領域においてそれぞれの領域を半分に分割する位置でSource電極と画素電極と配向方向制御スリットがそれぞれ90度に屈曲している。

図220のTF T基板に対応するカラーフィルター基板が図224である。

図224も図220と同様に配向方向制御用バンプの配置分布密度が均一でなく、分布密度の高い領域と分布密度の低い領域の2つに分かれている。配向方向制御用バンプのかわりに配向方向制御スリットをカラーフィルター基板の共通電極に形成しても同じように液晶分子の動作方向を制御することができる。

【0232】

図219、図225では、Source電極が単位画素内で3回、90度に屈曲しておりGate電極に対して±45度の角度で配置されている。画素電極もSource電極とほぼ同じ形状で屈曲している。

図220とほぼ同じように、画素電極内に形成された配向方向制御スリットの配置分布密度が均一でなく、分布密度の高い領域と分布密度の低い領域の2つに分かれている。分布密度の低い領域の面積は分布密度の高い領域の面積よりも2〜3倍程度大きく設計されている。

上記の面積比率が最もすぐれた光学特性を引き出してくれる。

上記2つの領域において、それぞれの領域を半分に分割する位置と、2つの領域の境界の位置の3つの位置でSource電極と画素電極と配向方向制御スリットが90度に屈曲している。図219のTF T基板に対応するカラーフィルター基板が図215である。図215も図219と同様に配向方向制御用バンプの配置分布密度が均一でなく、分布密度の高い領域と分布密度の低い領域の2つに分かれている。配向方向制御用バンプのかわりに配向方向制御スリットをカラーフィルター基板の共通電極に形成しても同じように液晶分子の動作方向を制御することができる。

【0233】

図213では、配向方向制御スリットの配置分布密度の異なる領域が共通電極によって分断されており、分断された画素電極はC s t（保持容量）形成電極によって電氣的に連結されている。

共通電極によって分断されている2つの画素電極にはC s t（保持容量）形成電極と接続するためのコンタクトパッドがそれぞれ別々に形成されていてゲート絶縁膜にあげられたコンタクトホールを通してC s t（保持容量）形成電極と接続されている。

【実施例30】

【0234】

図195、図221、図196、図226は本発明の実施例30のMVAモード用アクティブマトリックスTF T基板の平面図である。実施例25とほぼ同じプロセスで製造することができ、同じコンセプトの設計手法を用いている。実施例25と異なっているのは、画素電極を被覆しているゲート絶縁膜の上層に形成されている配向方向制御電極の配置分布密度が、単位画素内で均一ではなく2つ以上の異なる分布密度が存在しているという点

10

20

30

40

50

である。配向方向制御電極を密に配置することで液晶分子の応答速度を向上させることができるが、光の透過率が低下してしまう。配向方向制御電極を密に配置することでわずかなではあるが液晶駆動の *Threshold* 電圧（閾値電圧）を小さくすることができる。上記の *Threshold* 電圧に幅を持たせることで駆動電圧に対するダークレベルからグレーレベルへの輝度変化をゆるやかにすることができ、表示ムラの発生を抑制することができる。

【0235】

図195は、画素の中央付近で *Source* 電極（映像信号線）は90度に屈曲しており *Gate* 電極に対して±45度の角度で配置されている。画素電極と配向方向制御電極も *Source* 電極と同様に画素の中央付近で90度に屈曲しており *Gate* 電極に対して±45度の角度で配置されている。このTFT基板に対応しているカラーフィルター基板が図214である。図214では液晶分子の動作方向を制御するために配向方向制御用バンクを共通電極の上に形成しているが、配向方向制御用バンクのかわりに配向方向制御スリットを共通電極に形成しても良い。

10

図195のTFT基板と図214のカラーフィルター基板をはりあわせた時に、図195の配向方向制御電極と図214の配向方向制御用バンクとの距離が均一になっていない点为本発明の特徴である。配向方向制御電極と配向方向制御用バンクの距離が大きい領域の面積が、配向方向制御電極と配向方向制御用バンクの距離が小さい領域の面積よりも2～3倍大きくなるように設計することで良好な光学的特性が得られる。

【0236】

20

図221では、*Source* 電極が単位画素内で2回、90度に屈曲しており、*Gate* 電極に対して±45度の角度で配置されている。画素電極も *Source* 電極とほぼ同じ形状で屈曲している。単位画素領域内に形成された配向方向制御電極の配置分布密度が均一でなく、分布密度の高い領域と分布密度の低い領域の2つに分かれている。分布密度の低い領域の面積は分布密度の高い領域の面積よりも2～3倍程度大きく設計されている。上記2つの領域においてそれぞれの領域を半分に分割する位置で *Source* 電極と画素電極と配向方向制御電極とがそれぞれ90度に屈曲している。

図221のTFT基板に対応するカラーフィルター基板が図224である。

図224も図221と同様に配向方向制御バンクの配置分布密度が均一でなく、分布密度の高い領域と分布密度の低い領域の2つの領域に分かれている。配向方向制御用バンクのかわりに配向方向制御スリットをカラーフィルター基板の共通電極に形成しても同じように液晶分子の動作方向を制御することができる。図224では、TFT基板側の共通電極と *Gate* 電極に対応するBM（遮光膜）の幅が *Source* 電極に対応する屈曲しているBMよりも幅が2倍以上太くなっており、この太くなっているBMの領域にボールスペーサーをインクジェット塗布法やグラビアオフセット印刷法を用いて定点配置している。液晶Cell Gapが3ミクロンメートル以下になると、従来用いられていたホトリソグラフィ工程で形成されるホトスペーサーでは、弾性変形量が少ないために液晶滴下真空はりあわせ工程で残留気泡の問題や重力ムラの問題が多発しやすくなるが、ボールスペーサーを用いた場合弾性変形量がホトスペーサーの2倍以上大きいために上記の問題が生じにくく歩留りを向上できる。

30

40

【0237】

図196、図226では、*Source* 電極が単位画素内で3回、90度に屈曲しており、*Gate* 電極に対して±45度の角度で配置されている。画素電極も *Source* 電極とほぼ同じ形状で屈曲している。

図221とほぼ同じように単位画素領域内に形成された配向方向制御電極の配置分布密度が均一でなく、分布密度の高い領域と分布密度の低い領域の2つの領域に分かれている。分布密度の低い領域の面積は分布密度の高い領域の面積よりも2～3倍程度大きく設計されている。上記の面積比率が最もすぐれた光学特性を引き出してくれる。上記の2つの領域において、それぞれの領域を半分に分割する位置と、2つの領域の境界の位置の3つの位置で *Source* 電極と画素電極と配向方向制御電極とが、90度に屈曲している。

50

図196のTF T基板に対応するカラーフィルター基板が図215である。図215も図196と同様に配向方向制御用バンプの配置分布密度が均一ではなく、分布密度の高い領域と分布密度の低い領域の2つの領域に分かれている。配向方向制御用バンプのかわりに配向方向制御スリットをカラーフィルター基板の共通電極に形成しても同じように液晶分子の動作方向を制御することができる。

【0238】

本発明で用いられている配向方向制御電極の太さは、液晶Cell Gapと同等か、それよりもすこし太ければ良い。液晶TV用のCell Gapは高速応答化のために3ミクロンメートルか、それ以下になりつつある。TF T基板の製造で用いられている投影露光装置の解像力は3～4ミクロンメートル程度なので投影露光装置の能力の限界で配向方向制御電極の太さを設計すれば良い。

実施例29で用いている配向方向制御スリットの場合には、液晶Cell Gapの約2倍程度のスリット幅がなければ十分に液晶分子を動作させることができないために配向方向制御電極の太さの約2倍の幅を必要とすることになってしまう。このために配向方向制御電極を用いた方が明るい液晶パネルを実現できる。

さらに、配向方向制御電極を用いた方が強い電界を発生させることができるため、液晶分子の高速応答化を実現しやすい。

【実施例31】

【0239】

図217、図218、図222、図223、図197、図89、図227は本発明の実施例31のMVAモード用アクティブマトリックス基板の平面図である。

本発明では図90にあるように単位画素中に負の誘電率異方性液晶分子の動作方向を制御するために配向方向制御電極と配向方向制御スリットの両方を用いている点に特徴がある。図90のA領域の方がB領域よりも電界強度が強いため、A領域の方がB領域よりも液晶駆動のThreshold電圧（閾値電圧）が小さい。図217、図218、図222、図223、図197、図89、図227にあるようにA領域の面積をB領域の面積の3分の1から2分の1程度にすることで図91にあるようにダークレベルからグレーレベルでの輝度の増加をゆるやかにすることができ表示ムラの発生を抑制することができる。さらにダークレベルからグレーレベル領域でのガンマ特性を改善することができるのでダーク・レベルからグレーレベル領域の表示を電界強度の強いA領域でおこなえるために、MVAモードで問題となっているダークレベルからグレーレベル領域での応答速度を改善することが可能である。

【0240】

実施例28と同様に本発明では、画素電極内部に形成されている配向方向制御スリットの配置分布密度と、画素電極を被覆しているゲート絶縁膜上に形成されている配向方向制御電極の配置分布密度が単位画素内で均一ではなく、配向方向制御電極の方が配向方向制御スリットよりも密に配置されている。この構造により図90のA領域とB領域の液晶駆動のThreshold電圧（閾値電圧）の差を大きくすることができ、視野角の拡大と応答速度の向上を実現できる。

【0241】

図217、図218では、画素の中央付近でSource電極（映像信号線）は、90度に屈曲しておりGate電極に対して±45度の角度で配置されている。画素電極と配向方向制御スリットと配向方向制御電極もSource電極と同様に画素の中央付近で90度に屈曲しており、Gate電極に対して±45度の角度で配置されている。

図217、図218のTF T基板に対応しているカラーフィルター基板が図214である。

図214では、液晶分子の動作方向を制御するために配向方向制御用バンプを共通電極の上に形成しているが、配向方向制御用バンプのかわりに配向方向制御スリットを共通電極に形成しても良い。

図214では、図217や図218の配向方向制御スリットと配向方向制御電極の配置分

10

20

30

40

50

布密度が異なるために、それに対応するために配向方向制御用パンプの配置分布密度を変化させている。図 2 1 7, 図 2 1 8 の T F T 基板の画素中央部の 9 0 度に屈曲した領域でディスクリネーションラインの発生を防止するために配向方向制御スリットと配向方向制御電極の一部が枝分かれして G a t e 電極に平行な方向につき出ている。図 2 1 4 のカラーフィルター基板でも画素の中央部の 9 0 度に屈曲した領域でディスクリネーションラインの発生を防止するために配向方向制御用パンプの一部が枝分かれして G a t e 電極に対応する B M (遮光膜) に平行な方向につき出ている。図 2 1 4 のカラーフィルター基板の配向方向制御用パンプを配向方向制御スリットに変更した場合でも同様にディスクリネーションラインの発生を防止するために画素中央部で 9 0 度に屈曲している配向方向制御スリットから枝分かれし G a t e 電極に対応する B M に平行な方向につき出ている配向方向制御スリットを形成する必要がある。ディスクリネーションラインの発生を防止するか、またはディスクリネーションラインを動き回らないように固定化しておかないと、光の透過率が変化し、表示ムラの原因となり画質レベルを低下させてしまう。

【 0 2 4 2 】

図 2 2 2, 図 2 2 3 では、S o u r c e 電極が単位画素内で 2 回、9 0 度に屈曲しており、G a t e 電極に対して ± 45 度の角度で配置されている。画素電極も S o u r c e 電極とほぼ同じ形状で屈曲している。

単位画素領域内で配向方向制御電極の配置分布密度の方が、配向方向制御スリットの配置分布密度よりも高く、配向方向制御スリットが形成されている領域の面積は、配向方向制御電極が形成されている領域の面積よりも 2 ~ 3 倍程度大きくなるように設計されている。上記 2 つの領域において、それぞれの領域を半分に分割する位置で S o u r c e 電極と画素電極と配向方向制御電極と配向方向制御スリットが、それぞれ 9 0 度に屈曲している。図 2 2 2, 図 2 2 3 の T F T 基板に対応するカラーフィルター基板が図 2 2 4 である。図 2 2 4 も配向方向制御用パンプの配置分布密度が均一ではなく、分布密度の高い領域と分布密度の低い領域の 2 つの領域に分かれており、それぞれの領域の中央付近で 9 0 度に屈曲している。配向方向制御用パンプのかわりに配向方向制御スリットをカラーフィルター基板の共通電極に形成しても同じように液晶分子の動作方向を制御することができる。

【 0 2 4 3 】

図 1 9 7, 図 2 2 7 では、S o u r c e 電極が単位画素内で 3 回、9 0 度に屈曲しており、G a t e 電極に対して ± 45 度の角度で配置されている。画素電極も S o u r c e 電極とほぼ同じ形状で屈曲している。図 2 2 2, 図 2 2 3 とほぼ同じように単位画素領域内で配向方向制御電極の配置分布密度の方が、配向方向制御スリットの配置分布密度よりも高く、配向方向制御スリットが形成されている領域の面積は、配向方向制御電極が形成されている領域の面積よりも 2 ~ 3 倍程度大きくなるように設計されている。上記の面積比率が、最もすぐれた光学特性を引き出してくれる。上記の 2 つの領域において、それぞれの領域を半分に分割する位置と、2 つの領域の境界の位置の 3 つの位置で S o u r c e 電極と画素電極と配向制御電極と配向方向制御スリットが、それぞれ 9 0 度に屈曲している。図 1 9 7 の T F T 基板に対応するカラーフィルター基板が図 2 1 5 である。図 2 1 5 も配向方向制御用パンプの配置分布密度は均一ではなく、分布密度の高い領域と分布密度の低い領域に分かれている。配向方向制御用パンプのかわりに配向方向制御スリットをカラーフィルター基板の共通電極に形成しても同じように液晶分子の動作方向を制御することができる。

【 0 2 4 4 】

配向方向制御スリット、配向方向制御電極、配向方向制御用パンプは、配置分布密度の高い領域では、2 0 ~ 4 0 ミクロンメートルピッチで密に平行に配列し、配置分布密度の低い領域では、4 0 ~ 6 0 ミクロンメートルピッチを疎に平行に配列されている。

配向方向制御スリットの幅は液晶 C e l l G a p の約 2 倍程度必要であり C e l l G a p が 2 ミクロンメートルでは 4 ~ 5 ミクロンメートルのスリット幅が必要となる。C e l l G a p が 3 ミクロンメートルでは 6 ~ 8 ミクロンメートルのスリット幅となる。配向方向制御電極の幅は液晶 C e l l G a p と同程度あれば十分なので C e l l G a p

が2ミクロンメートルの場合には、投影露光装置の解像度の限界である3ミクロンメートルの電極幅となる。Cell Gapが3ミクロンメートルでは3ミクロンメートルの電極幅となる。配向方向制御用パンプの幅は、パンプのエッジのテーパー角度で決まる。テーパー角度30度以下が望ましいので一般的には、8ミクロン程度のパンプの幅が必要になってしまう。

光の透過率を向上させるために配置分布密度の低い領域で配向方向制御スリットを60ミクロンメートル以上のピッチで疎に平行に配列した場合には、液晶分子の動作速度が遅くなってしまう動画表示には適さない。

【0245】

本発明の液晶Cellの断面図が図243、図244である。画素電極と配向方向制御電極はゲート絶縁膜をかいしてコンデンサーを形成している。配向方向制御電極もパッシベーション膜によって完全に被覆されているため、画素電極の平均電極と配向方向制御電極の平均電位に差が生じていても直流電流は流れない。配向膜は画素電極や配向方向制御電極と直接接触していないので、直流電流による電気分解などは、完全に生じないので残像などの問題は生じにくい。

【実施例32】

【0246】

図200、図201は、本発明の実施例32のMVAモード用アクティブマトリックスTFT基板の平面図である。単位画素中に1本のGate電極（走査線）とGate電極によって2つの領域に分断された2つの画素電極と、2つの画素電極に形成されているコンタクトパッドに連結されている薄膜トランジスタ素子の2つのDrain電極と、2つの画素電極に対応したそれぞれ空間的にも電氣的にも完全に独立している2本の共通電極と、2つの画素電極に形成されているコンタクトパッドに連結され上記2本の共通電極とゲート絶縁膜をかいしてそれぞれ独立した2個のCst（保持容量）を形成するための2個のCst（保持容量）形成電極から構成されている。図38、図77、図82、図103にあるプロセスを用いて3回のホトリソグラフィ工程でTFTアレイ基板を完成させることが可能である。図200に対応するカラーフィルター基板が図202であり、図201に対応するカラーフィルター基板が図203である。

図200、図201では、Source電極（映像信号線）は直線状でGate電極に対して直角に交差している。2つの画素電極には負の誘電率異方性液晶分子の動作方向を制御するために、配向方向制御スリットが形成されている。図202、図203のカラーフィルター基板には、配向方向制御用パンプが形成されているが、このかわりに配向方向制御スリットを形成しても同様の効果が得られる。

【0247】

本発明の実施例32の液晶パネルの全体平面図は図212であり、単位画素の回路モデル図が図210である。Gate電極によって分断された2つの画素電域は、小さい画素領域をSub Pixel (A)、大きい画素領域をSub Pixel (B)と呼ぶことにする。

Sub Pixel (B)の画素電極の面積は、Sub Pixel (A)の画素電極の面積の2～3倍程度に設計することが最も良好な光学特性を実現することができる。図211にあるようにSub Pixel (A)とSub Pixel (B)に対応したそれぞれの共通電極に印加される信号波形は極性が異なっている。そのために、Sub Pixel (A)領域の画素電極の駆動波形とSub Pixel (B)領域の画素電極の駆動波形は異なったものとなり、Sub Pixel (A)の液晶駆動のThreshold電圧（閾値電圧）はSub Pixel (B)の液晶駆動のThreshold電圧（閾値電圧）よりも小さくなり、図91にあるような光学特性が得られる。

本発明の場合には、それぞれの共通電極に印加する信号波形の振幅を調整することで自由に液晶駆動のThreshold電圧（閾値電圧）を調整することができるので、TFTアレイ基板の設計の自由度が非常に大きくなり最適の光学特性を簡単に実現することができる。図200、図201ではSub Pixel (A)の方がSub Pixel (B)

10

20

30

40

50

）よりも配向方向制御スリットの配列の密度が密になっているが、本発明の場合、共通電極に印加する信号波形の振幅を変化させることでそれぞれの領域の液晶駆動の $Threshold$ 電圧（閾値電圧）を、自由に変化することができるので、 $Sub Pixel (A)$ と $Sub Pixel (B)$ の配向方向制御スリットの配列の密度を同一に設計しても問題は生じない。本発明は 60 インチ以上の超大型液晶表示素子に適用すると非常に大きな効果が得られる。

【実施例 33】

【0248】

図 231、図 232 は、本発明の実施例 33 の MVA モード用アクティブマトリックス TFT 基板の平面図である。単位画素中に 1 本の $Gate$ 電極（走査線）と $Gate$ 電極によって 2 つの領域に分断された 2 つの画素電極と、2 つの画素電極に形成されているコンタクトパッドに連結されている薄膜トランジスタ素子の 2 つの $Drain$ 電極と、2 つの画素電極に対応したそれぞれ空間的にも電氣的にも完全に独立している 2 本の共通電極と、前記画素電極を被覆しているゲート絶縁膜上に形成され前記 2 本の共通電極にゲート絶縁膜にかけられたコンタクトホールをかいしてそれぞれ別々に接続されている 2 組の配向方向制御電極から構成されている。図 39、図 78、図 104 にあるプロセスを用いて 3 回のホトリソグラフィ工程で TFT アレイ基板を完成させることが可能である。2 つの画素電極とそれぞれの画素電極に対応した 2 組の配向方向制御電極とはゲート絶縁膜をかいして独立した 2 組のコンデンサーを形成している。

【0249】

本発明の実施例 33 の液晶パネルの全体平面図は図 212 であり、単位画素の回路モデル図が図 210 である。 $Gate$ 電極によって分断された 2 つの画素領域は、小さい画素領域を $Sub Pixel (A)$ 、大きい画素領域を $Sub Pixel (B)$ と呼ぶことにする。

$Sub Pixel (B)$ の画素電極の面積は、 $Sub Pixel (A)$ の画素電極の面積の 2 ～ 3 倍程度に設計することが最も良好な光学特性を実現することができる。図 211 にあるように $Sub Pixel (A)$ と $Sub Pixel (B)$ に対応したそれぞれの共通電極に印加される信号波形は極性が異なっている。そのために $Sub Pixel (A)$ 領域の画素電極の駆動波形と、 $Sub Pixel (B)$ 領域の画素電極の駆動波形は異なったものとなり、 $Sub Pixel (A)$ の液晶駆動の $Threshold$ 電圧（閾値電圧）は、 $Sub Pixel (B)$ の液晶駆動の $Threshold$ 電圧（閾値電圧）よりも小さくなり図 91 にあるような光学特性が得られる。単位画素中の 2 本の共通電極に印加される信号波形が $Source$ 電極（映像信号線）に悪影響を与えないようにするために、2 本の共通電極に印加される信号波形は、極性が互いに異なっており、信号振幅も同一にしてある。 $Gate$ 電極（走査線）の数が 2000 本以上の超高精細液晶パネルやフィールドシーケンシャル液晶パネルのように $Gate$ 電極の信号パネル幅が 10 マイクロ秒以下になると共通電極の信号波形の遅延歪の問題が出てくるので、図 212 のように共通電極を 2 つの共通電極群に分離し、それぞれ別々に一括駆動する方式から、図 257、図 258 のように共通電極をそれぞれすべて別々に分離独立させ、それぞれ別々に駆動する方式に変更すると良い。

【0250】

図 231、図 232 では、 $Source$ 電極（映像信号線）は、直線状で $Gate$ 電極に対して直角に交差している。本発明の場合では、画素電極と配向方向制御電極との間に強い電界を発生させることができるため $Sub Pixel (A)$ と $Sub Pixel (B)$ の両方の領域で垂直配向された負の誘導率異方性液晶分子を高速に動作させることが可能である。 $Source$ 電極が直線状の場合には、カラーフィルターの BM（遮光膜）や R、G、B のカラーフィルター層も $Source$ 電極に対応して直線状になるため、コストの安価なインクジェット法やオフセット印刷法を用いてカラーフィルター基板を製造することができる。さらに本発明の場合には、共通電極が 2 行に近接して配置される構造になるため、この 2 行の共通電極に対応するカラーフィルター基板の BM（遮光膜）の領

10

20

30

40

50

域に、インクジェット塗布法やオフセット印刷法を用いてボールスパーサーを定点配置することで、さらにコストダウンをはかることが可能となる。

図202や図203のカラーフィルターとほぼ同じ形状のカラーフィルターを用いることができる。図202や図203では配向方向制御用パンプをカラーフィルター基板側に形成してるが、このかわりに配向方向制御スリットをカラーフィルター基板側の共通電極に形成しても同じ効果が得られる。

【実施例34】

【0251】

図204、図205は本発明の実施例34のMVAモード用アクティブマトリックスTFT基板の平面図である。単位画素中に1本のGate電極（走査線）とGate電極によって2つの領域に分断された2つの画素電極と、2つの画素電極に形成されているコンタクトパッドに連結されている薄膜トランジスタ素子の2つのDrain電極と、2つの画素電極に対応したそれぞれ空間的にも電氣的にも完全に独立している2本の共通電極と、2つの画素電極のうちの大きい面積の画素電極内部に形成されているコンタクトパッドに連結され、この大きい面積の画素電極に対応している共通電極とゲート絶縁膜をかいしてCst（保持容量）を形成するためのCst（保持容量）形成電極と、2つの画素電極のうちの小さい面積の画素電極に対応している共通電極に連結されている1組の配向方向制御電極から構成されている。

前記配向方向制御電極は、小さい面積の画素電極とゲート絶縁膜をかいしてオーバーラップすることでコンデンサーを形成している。

【0252】

図38、図77、図82、図103にあるプロセスと、図39、図78、図104にあるプロセスを用いて3回のホトリソグラフィ工程で本発明のTFT基板を完成させることが可能である。図204、図205ではSource電極（映像信号線）は直線状でGate電極に対して直角に交差している。2つの画素電極のうちの大きい面積の画素電極には、負の誘電率異方性液晶分子の動作方向を制御するための配向方向制御スリットが形成されている。

【0253】

本発明の実施例34の液晶パネルの全体平面図は図212、図258であり、単位画素の回路モデル図が図210である。

単位画素中の小さい画素領域をSub Pixel (A)、大きい画素領域をSub Pixel (B)と呼ぶことにする。Sub Pixel (B)の画素電極の面積は、Sub Pixel (A)の画素電極の面積の2～3倍程度に設計することが最も良好な光学特性を実現することができる。図211、図257にあるようにSub Pixel (A)とSub Pixel (B)に対応したそれぞれの共通電極に印加される信号波形は極性が異なっている。そのためにSub Pixel (A)領域の画素電極の駆動波形と、Sub Pixel (B)領域の画素電極の駆動波形は、異なったものとなり、Sub Pixel (A)の液晶駆動のThreshold電圧（閾値電圧）は、Sub Pixel (B)の液晶駆動のThreshold電圧（閾値電圧）よりも小さくなり、図91にあるような光学特性が得られる。本発明の場合には、それぞれの共通電極に印加する信号波形の振幅を調整することで、自由に液晶駆動のThreshold電圧（閾値電圧）を調整することができるので、TFTアレイ基板の設計の自由度が非常に大きくなり最適の光学特性を簡単に実現することができる。MVAモードでは、ダークレベルからグレーレベルの表示において液晶分子の応答速度が遅くなりやすいので図91にあるようにSub Pixel (A)の領域での応答速度を改善しなければ、良好な動画表示を実現することができない。

そのために本発明の実施例34では、画素電極と配向方向制御電極とのあいだに強い電界を発生させることができ、液晶分子の高速応答化を実現できる構造をSub Pixel (A)に採用している。

【実施例35】

【0254】

図228、図260は本発明の実施例35のMVAモード用アクティブマトリックスTFT基板の平面図である。実施例32とほぼ同じ構成で、同じプロセスで作ることができる。異なっているのは、Source電極（映像信号線）と画素電極が、それぞれの画素電極の中央部付近で90度に屈曲しており、Gate電極に対して±45度の方向に配置されている点である。

【0255】

図212、図258の液晶パネル全体の平面図は、ライン反転駆動法を用いた場合の構成になっているが、ドット反転駆動法を用いる場合には、パネルの内部の等価回路は図259にあるような構成に変更しなければならない。このようなパネルの内部構成にするには、図228と図260を交互に走査線方向に連結していけば良い。水平方向のクロストーク発生を防止するにはドット反転駆動法を採用することが一番効果的である。図211、図257の駆動波形で液晶パネルを駆動した時に、図228と図260の画素電極の実効電圧に差が生じないようにCst（保持容量）形成電極を設計する必要がある。

10

【実施例36】

【0256】

図208、図229、図261は本発明の実施例36のMVAモード用アクティブマトリックスTFT基板の平面図である。

実施例33とほぼ同じ構成で、同じプロセスで作ることができる。

異なっているのは、Source電極（映像信号線）と画素電極が、それぞれの画素電極の中央部付近で90度に屈曲しており、Gate電極に対して±45度の方向に配置されている点である。

20

【0257】

図212、図258の液晶パネル全体の平面図は、ライン反転駆動法を用いた場合の構成になっているが、ドット反転駆動法を用いる場合には、パネルの内部の等価回路は図259にあるような構成に変更しなければならない。図259と同じパネルの内部構成にするには、図229と図261を交互に走査線方向に連結していけば良い。水平方向のクロストーク発生を防止するにはドット反転駆動法を採用することが一番効果的である。図211、図257の駆動波形で液晶パネルを駆動した時に、図229と図261の画素電極の実効電圧に差が生じないように画素電極と配向方向制御電極とで形成するコンデンサーの容量を最適化する必要がある。

30

【0258】

図208にあるTFT基板を用いた場合、これに対応するカラーフィルター基板は図209である。本発明の場合には、共通電極が2行に近接して配置される構造になるため、この2行の共通電極に対応するカラーフィルター基板のBM（遮光膜）の領域に、インクジェット法やオフセット印刷法を用いてボールスペーサーを定点配置することで、コストダウンをはかることが可能である。図209では配向方向制御用バンプをカラーフィルター基板側に形成しているが、これのかわりに配向方向制御スリットをカラーフィルター基板側の共通電極に形成しても同じ効果が得られる。

【実施例37】

40

【0259】

図206、図207、図230、図262は本発明の実施例37のMVAモード用アクティブマトリックスTFT基板の平面図である。

実施例34とほぼ同じ構成で、同じプロセスで作ることができる。

異なっているのは、Source電極（映像信号線）と画素電極が、それぞれの画素電極の中央部付近で90度に屈曲しており、Gate電極に対して±45度の方向に配置されている点である。

【0260】

図212、図258の液晶パネル全体の平面図は、ライン反転駆動法を用いた場合の構成になっているが、ドット反転駆動法を用いる場合には、パネルの内部の等価回路は図25

50

9にあるような構成に変更しなければならない。図259と同じパネルの内部構成にするには、図230と図262を交互に走査線方向に連結していけば良い。水平方向のクロストーク発生を防止するにはドット反転駆動法を採用することが一番効果的である。

図211、図257の駆動波形で液晶パネルを駆動した時に図230と図262の画素電極の実効電圧に差が生じないようにSub Pixel (A)とSub Pixel (B)の共通電極と関係のある容量Csa、Csbを最適化する必要がある。

【0261】

図206、図207にあるTFT基板を用いた場合、これに対応するカラーフィルター基板は、図209である。本発明の場合には、共通電極が2行に近接して配置される構造になるため、この2行の共通電極に対応するカラーフィルター基板のBM（遮光膜）の領域にインクジェット法やオフセット印刷法を用いてボールスペーサーを定点配置することで、コストダウンをはかることが可能である。

図209では配向方向制御用パンプをカラーフィルター基板側に形成しているが、これのかわりに配向方向制御スリットをカラーフィルター基板側の共通電極に形成しても同じ効果が得られる。

【0262】

実施例32、実施例33、実施例34、実施例35、実施例36、実施例37の構造を持った単位画素を用いて図259にある等価回路図にしたがって製作した液晶パネルは、フルスペックのHDTV表示を每秒120フレームでおこなうことがアモルファスシリコンTFT素子を用いても可能である。120フレーム中の60フレームに黒表示を挿入することで、液晶TVで問題になっていた動画表示での画像のボケを改善することが可能である。

【実施例38】

【0263】

図254、図255、図256は本発明の実施例38のMVAモード用アクティブマトリックスTFT基板の平面図である。

単位画素中に2本のGate電極（走査線）と、2本のGate電極と平行して2本のGate電極からはなれた位置に配置されている1本の共通電極と、前記共通電極によって2つの領域に分断されている2つの画素電極と、2つの画素電極に形成されているコンタクトパッドに連結されている薄膜トランジスタ素子の2つのDrain電極と、前記共通電極にゲート絶縁にけられたコンタクトホールを通して接続されている配向方向制御電極から構成されている。

実施例33と同じプロセスを用いて製造することができる。

【0264】

Sub Pixel (A)とSub Pixel (B)の配向方向制御電極は、1本の共通電極に接続されており、2つに分断されている画素電極を被覆しているゲート絶縁膜をかいして画素電極とコンデンサーを形成している。単位画素中の2本のGate電極は、それぞれ別々に完全に独立しており、Sub Pixel (A)とSub Pixel (B)に対応する駆動信号波形が印加される。2本のGate電極の駆動のタイミングを調整することで1本のSource電極から異なる映像信号をSub Pixel (A)とSub Pixel (B)に書きこむことが可能となる。本実施例では、Sub Pixel (A)とSub Pixel (B)の両方に、配向方向制御電極を用いているが、画素電極の面積が大きいSub Pixel (B)の領域に、配向方向制御電極のかわりに、配向方向制御スリットを画素電極に形成しても良い。共通電極に接続したCst（保持容量）形成電極を用いて図100、図101にあるように配向方向制御スリットを形成した画素電極とゲート絶縁膜をかいしてコンデンサーを形成した構造をSub Pixel (A)とSub Pixel (B)の両方に採用しても良い。本発明の場合には、図91の光学特性をTFT基板側のSource電極に印加する映像信号電圧を変調させて見かけ上のSub Pixel (A)のThreshold電圧が小さくなったように信号変換する方式なので、図254、図255、図256にあるようにSub Pixel (A)

）にある配向方向制御電極の配列ピッチを密にする必要はなく、Sub Pixel (A) と Sub Pixel (B) の配向方向制御電極の配列ピッチを同じように設計しても良い。

【実施例 39】

【0265】

図 131, 図 132 は本発明の実施例 39 の MVA モード用アクティブマトリックス TFT 基板の平面図である。Source 電極（映像信号線）は、画素の中央付近で 90 度に屈曲しており、Gate 電極に対して ±45 度の角度で配置されている。画素電極も Source 電極と同様に画素の中央部付近で 90 度に屈曲している。画素電極の内部には、1 個以上のコンタクトパッドが配置されており、コンタクトホールを通して薄膜トランジスタ素子の Drain 電極と接続されている。画素電極はコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されており、上記ゲート絶縁膜の上には、垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために、2 種類の配向方向制御電極が形成されている。共通電極にコンタクトホールを通して接続されている配向方向制御電極と一行前の Gate 電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子の Drain 電極に接続されている配向方向制御電極とが存在しており、これら 2 種類の配向方向制御電極は Source 電極と同様に画素の中央部付近で 90 度に屈曲しており、Gate 電極に対して ±45 度の角度で配置されている。配向方向制御電極のパターン幅は液晶 Cell Gap によって決まり、Cell Gap と同等かわずかに大きければ良い。

液晶 TV 用パネルの Cell Gap は、動画対応の高速応答化のために 3 ミクロンメートル以下になってきており、この値は、投影露光装置の解像度の限界にほぼ等しい。

【0266】

図 131, 図 132 の TFT 基板に対応するカラーフィルタ基板が図 135 である。図 135 のカラーフィルタには、配向方向制御用バンプや配向方向制御スリットは存在していない。Gate 電極と共通電極に対応する BM（遮光膜）の中央部にインクジェット塗布法やオフセット印刷法を用いてボールスパーサーが定点配置されている。図 131, 図 132 の TFT 基板と図 135 のカラーフィルタ基板をはりあわせた液晶パネルの断面モデル図が図 136 である。一行前の Gate 電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子の Drain 電極に接続されている配向方向制御電極が、従来の MVA モード用カラーフィルタ基板に形成されていた配向方向制御用バンプや配向方向制御スリットの役割をはたしているのである。このために本発明で使用するカラーフィルタ基板は TN モード用とほとんど同じものとなりコストの安価なものが使用できる。

【0267】

本発明の TFT 基板は実施例 25 と同じプロセスで作ることができる。2 種類の配向方向制御電極の配列間隔は、10～30 ミクロンメートルが好ましい。10 ミクロンメートル以上になると光の透過率が低下してしまい明るい表示ができなくなってしまう。30 ミクロンメートル以上になると、垂直配向されている負の誘電率異方性液晶分子の動作速度がいちじるしく遅くなってしまう。

カラーフィルタ基板に形成する配向方向制御用バンプの幅は約 8 ミクロンメートル程度必要であり、配向方向制御用スリットの幅は約 6 ミクロンメートル程度必要である。本発明の配向方向制御電極の幅は約 3 ミクロンメートル程度で十分なため、従来の方式の MVA モード液晶パネルよりも明るい液晶パネルを実現できるのと、配向方向制御電極と画素電極の間に強い電界を発生させることができるので、従来の MVA モード液晶パネルよりも高速応答化を実現できる。

【実施例 40】

【0268】

図 148, 図 149 は、本発明の実施例 40 の MVA モード用アクティブマトリックス TFT 基板の平面図である。

10

20

30

40

50

S o u r c e 電極（映像信号線）は直線状で、画素電極には、1 個以上のコンタクトパッドが配置されており、ゲート絶縁膜に明けられたコンタクトホールを通して薄膜トランジスタ素子の D r a i n 電極と連結されている。画素電極には、垂直配向された負の誘電率異方性液晶分子の動作方向を制御するための配向方向制御スリットが形成されており、画素電極を被覆しているゲート絶縁膜の上には、垂直配向された負の誘電率異方性液晶分子の動作方向を制御するための配向方向制御電極が形成されており、この配向方向制御電極は、一行前の G a t e 電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子の D r a i n 電極に接続されている。

【0269】

図148、図149に対応するカラーフィルター基板が、図263である。図263のカラーフィルターには、配向方向制御用バンプや配向方向制御スリットは存在していない。G a t e 電極と共通電極に対応するBM（遮光膜）の中央部にインクジェット塗布法やオフセット印刷法を用いてボールスペーサーが定点配置されている。図148、図149のTFT基板と図263のカラーフィルター基板をはりあわせた液晶パネルの断面モデル図が図137である。一行前のG a t e 電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子のD r a i n 電極に接続されている配向方向制御電極が、従来のMVAモード用カラーフィルター基板に形成されていた配向方向制御用バンプや配向方向制御スリットの役割をはたしているのである。

このために本発明で使用するカラーフィルター基板はTNモード用とほとんど同じものとなり、コストの安価なものが使用できる。

【実施例41】

【0270】

図133、図134は本発明の実施例41のMVAモード用アクティブマトリックスTFT基板の平面図である。S o u r c e 電極（映像信号線）は、画素の中央付近で90度に屈曲しており、G a t e 電極に対して±45度の角度で配置されている。画素電極もS o u r c e 電極と同様に画素の中央部付近で90度に屈曲している。画素電極の内部には、1 個以上のコンタクトパッドが配置されており、コンタクトホールを通して薄膜トランジスタ素子のD r a i n 電極と接続されている。画素電極はコンタクトホールをのぞいて完全にゲート絶縁膜で被覆されており、上記ゲート絶縁膜の上には、垂直配向された負の誘電率異方性液晶分子の動作方向を制御するために、配向方向制御電極が形成されている。上記配向方向制御電極は一行前のG a t e 電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子のD r a i n 電極に接続されている。画素電極の内部には、垂直配向された負の誘電率異方性液晶分子の動作方向を制御するための配向方向制御スリットが形成されている。これらの配向方向制御電極と配向方向制御スリットは、互いに平行に配置されており、S o u r c e 電極と同様に画素の中央部付近で90度に屈曲しており、G a t e 電極に対して±45度の角度で配置されている。

【0271】

図133、図134のTFT基板に対応するカラーフィルター基板が図135である。図135のカラーフィルターには、配向方向制御用バンプや配向方向制御スリットは存在していない。G a t e 電極と共通電極に対応するBM（遮光膜）の中央部にインクジェット塗布法やオフセット印刷法を用いてボールスペーサーが定点配置されている。

図133、図134のTFT基板と図135のカラーフィルター基板をはりあわせた液晶パネルの断面モデル図が図137である。一行前のG a t e 電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子のD r a i n 電極に接続されている配向方向制御電極が、従来のMVAモード用カラーフィルター基板に形成されていた配向方向制御用バンプや配向方向制御スリットの役割をはたしているのである。このために、本発明で使用するカラーフィルター基板はTNモード用とほとんど同じものとなり、コストの安価なものが使用できる。

【実施例42】

【0272】

10

20

30

40

50

図147は、本発明の実施例42のMVAモード用アクティブマトリックスTFT基板の平面図である。実施例39の図131とほとんど同じもので構成されている。図147と図131の異なる点は、一行前のGate電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子のSource電極が図131では共通電極に連結されており、図147では上記薄膜トランジスタ素子のSource電極が一行となりの映像信号線に連結されている点である。

【0273】

図147のTFT基板に対応するカラーフィルター基板が図135である。図135のカラーフィルター基板には配向方向制御用バンプや、配向方向制御スリットなどは存在していない。図147のTFT基板と図135のカラーフィルター基板をはりあわせた液晶パネルの断面モデル図が図136である。一行前のGate電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子のDrain電極に接続されている配向方向制御電極が従来のMVAモード用カラーフィルター基板に形成されていた配向方向制御用バンプや配向方向制御スリットの役割をはたしているのである。前記薄膜トランジスタ素子のDrain電極に接続されている配向方向制御電極と画素電極との間に発生する電界は実施例39の場合よりも実施例42の場合の方が約2倍程度強いのでダークレベルからグレーレベル領域での動画表示には、図147の方が図131よりも適している。

【実施例43】

【0274】

図150、図151は、本発明の実施例43のMVAモード用アクティブマトリックスTFT基板の平面図である。実施例40の場合には、配向方向制御電極を駆動する薄膜トランジスタ素子のSource電極が共通電極に連結されていたが、本発明の実施例43では、配向方向制御電極を駆動する薄膜トランジスタ素子のSource電極は、一行となりの映像信号線に連結されている。

このために実施例43の図150、図151には、共通電極は必要ないので存在していない。一行前のGate電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子のDrain電極に接続されている配向方向制御電極が、従来のMVAモード用カラーフィルター基板に形成されていた配向方向制御用バンプや配向方向制御スリットの役割をはたしているので、図150、図151に対応するカラーフィルター基板には、配向方向制御用バンプや配向方向制御スリットは存在していない。実施例43の液晶

【実施例44】

【0275】

図146は、本発明の実施例44のMVAモード用アクティブマトリックスTFT基板の平面図である。実施例41の場合には、配向方向制御電極を駆動する薄膜トランジスタ素子のSource電極が共通電極に連結されていたが、本発明の実施例44では、配向方向制御電極を駆動する薄膜トランジスタ素子のSource電極は、一行となりの映像信号線に連結されている。このために実施例44の図146では、共通電極は必要性がないので存在していない。

一行前のGate電極上に形成されている配向方向制御電極を駆動するための薄膜トランジスタ素子のDrain電極に接続されている配向方向制御電極が、従来のMVAモード用カラーフィルター基板に形成されていた配向方向制御用バンプや配向方向制御スリットの役割をはたしているので、図146に対応するカラーフィルター基板には、配向方向制御用バンプや配向方向制御スリットは存在していない。

実施例44の液晶パネルの断面モデル図が図137である。

【0276】

実施例39、実施例40、実施例41、実施例42、実施例43、実施例44においてTFT基板側に液晶分子の動作方向を制御するための配向方向制御スリットや配向方向制御電極をすべて形成したことは、カラーフィルター基板を必要としないフィールド・シーケンシャル駆動方式液晶パネルのTFT基板に上記の実施例のTFT基板を用い、TFT基

10

20

30

40

50

板側にBM（遮光膜）と、スペーサーを定点配置してしまえば、対向基板は単なる透明電極を形成しただけのものとなり、液晶Cell工程での液晶滴下真空合着プロセスでアライメント動作をおこなう必要がなくなる。

このことは、超大型サイズのガラス基板での絶対寸法あわせをおこなう必要がなくなり、超高精細液晶パネル生産でのアライメント不良発生を完全になくすることができるようになることを意味する。

ガラス基板のサイズが大きくなっても歩留り低下を防止することができ量産工場の垂直立ち上げを可能にする。

【実施例45】

【0277】

図140、図141は、本発明の実施例45のTNモード用アクティブマトリックスTFT基板を製造するためのハーフトーン露光用ホットマスクの平面図である。図130のTNモード用TFT基板を図38のプロセスで製作する時に、第1回めのハーフトーン露光法を用いるホトリソグラフィ工程で使用するホットマスクが図140である。図249にあるようにハーフトーン露光用ホットマスクには、紫外線を完全に遮断する領域と、紫外線が10～50%程度透過する半透過領域と、紫外線が完全に透過する領域の3つの領域が存在する。

ポジ型レジストにハーフトーン露光用ホットマスクを用いて露光し現像すると図249の2)にあるようなポジ型レジストの厚みが厚い領域とポジ型レジストの厚みが薄い領域と、ポジ型レジストが完全に無い領域の3つの領域が形成される。図140においてGate電極（走査線）に対応する部分が73であり、共通電極に対応する部分が74であり、画素電極に対応する部分が71であり、Drain電極と連結されるコンタクトパッド部に対応する部分が72であり、Cst（保持容量）形成電極と連結されるコンタクトパッド部に対応する部分が119である。画素電極に対応する部分71のみが半透過領域になっている。図140のハーフトーン露光用ホットマスクの断面図が図71、図124、図126である。紫外線完全遮断領域である72、73、74、119の部分をクロムやモリブデンで形成し、紫外線半透過領域である71を、チタンやジルコニウムまたは窒化チタンや窒化ジルコニウムまたは高融点金属シリサイドなどで形成すると、目的とする光学特性が得られる。紫外線半透過層の上に保護膜としてシリコン酸化膜、シリコン窒化膜、酸化チタン、酸化ジルコニウムなどを被覆した構造が図124である。

【0278】

図130のTNモード用TFT基板を図38のプロセスで製作する時、第2回めのハーフトーン露光法を用いるホトリソグラフィ工程で使用するホットマスクが図141である。薄膜トランジスタ素子の薄膜半導体層のislandに対応する部分が76であり、薄膜トランジスタ素子のDrain電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が75であり、Cst（保持容量）形成電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が120である。薄膜半導体層のislandに対応する部分が紫外線完全遮断領域であり、上記2種類のコンタクトホールに対応する部分が紫外線が完全に透過する領域である。

それら以外のすべての領域は、紫外線の半透過領域になっている。図141のハーフトーン露光用ホットマスクの断面図が図72、図125、図127である。

【実施例46】

【0279】

図153、図154は本発明の実施例46のIPSモード用アクティブマトリックスTFT基板を製造するためのハーフトーン露光用ホットマスクの平面図である。図152のIPSモード用TFT基板を図38のプロセスで製作する時に、第1回めのハーフトーン露光法を用いるホトリソグラフィ工程で使用するホットマスクが図153である。

Gate電極（走査線）に対応する部分が73であり、共通電極に対応する部分が74であり、くし歯状画素電極に対応する部分が71であり、Drain電極と連結されるコン

10

20

30

40

50

タクトパッド部に対応する部分が72であり、Cst（保持容量）形成電極と連結されるコンタクトパッド部に対応する部分が125であり、くし歯状共通電極に対応する部分が123であり、映像信号線のシールド用共通電極に対応する部分が124である。図152のIPSモード用TF T基板では、画素の中央部付近でSource電極（映像信号線）と映像信号線シールド用共通電極とくし歯状画素電極とくし歯状共通電極が1回屈曲しているために、図153のハーフトーン露光用ホトマスクも同様に上記の各電極に対応するホトマスクの部分が画素の中央部付近で1回屈曲した構造になっている。くし歯状画素電極に対応する部分71とくし歯状共通電極に対応する部分123と、映像信号線のシールド用共通電極に対応する部分124が紫外線の半透過領域になっている。

【0280】

図152のIPSモード用TF T基板を図38のプロセスで製作する時、第2回めのハーフトーン露光法を用いるホトリソグラフィー工程で使用するホトマスクが図154である。薄膜トランジスタ素子の薄膜半導体層のislandに対応する部分が76であり、薄膜トランジスタ素子のDrain電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が75であり、Cst（保持容量）形成電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が126である。薄膜半導体層のislandに対応する部分が紫外線完全遮断領域であり、上記2種類のコンタクトホールに対応する部分が、紫外線が完全に透過する領域である。それら以外のすべての領域は、紫外線の半透過領域になっている。

【実施例47】

【0281】

図265、図266は、本発明の実施例47のIPSモード用アクティブマトリックスTF T基板を製造するためのハーフトーン露光用ホトマスクの平面図である。図264のIPSモード用TF T基板を図38のプロセスで製作する時に、第1回めのハーフトーン露光法を用いるホトリソグラフィー工程で使用するホトマスクが図265である。図264のSource電極（映像信号線）は直線状でGate電極に対して直交するように配置されている。図264、図152ともに本発明では、最初のホトリソグラフィー工程でGate電極、共通電極、くし歯状屈曲画素電極、くし歯状屈曲共通電極、くし歯状屈曲画素電極内に配置されている複数のコンタクトパッド、Source電極（映像信号線）シールド用共通電極などが、同時に形成されてしまう点に特徴がある。最初のホトリソグラフィー工程を十分に管理して100%近い歩留りを達成してしまえば2番め、3番めのホトリソグラフィー工程は、比較的簡単で単純なパターンなので歩留りを低下させることはない。もしも最初のホトリソグラフィー工程で不良を出しても、再生して再度基板を使用することが簡単に可能である。

ポジレジストのパターン不良でも下地はガラス基板の上の金属層だけなのでポジレジストのパターン修正もやりやすい。

【0282】

図265のハーフトーン露光用ホトマスクでは、Gate電極と、共通電極と、くし歯状屈曲画素電極内に配置されている複数のコンタクトパッド部にそれぞれ対応する部分が紫外線完全遮断領域になっており、くし歯状屈曲画素電極とくし歯状屈曲共通電極と、Source電極シールド用共通電極にそれぞれ対応する部分が紫外線半透過領域になっている。

【0283】

図264のIPSモード用TF T基板を図38のプロセスで製作する時、第2回めのハーフトーン露光法を用いるホトリソグラフィー工程で使用するホトマスクが図266である。図264では、図161や図162にあるように薄膜半導体層をSource電極（映像信号線）の下層にSource電極にそって配置してあるため、実施例46の図154のように薄膜トランジスタ素子部の薄膜半導体層は完全にisland化されていない。薄膜半導体層に対応する部分が76であり、紫外線完全遮断領域になっている。薄膜ト

10

20

30

40

50

ランジスタ素子の Drain 電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が 75 であり、Cst (保持容量) 形成電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が 126 である。これらの 2 種類のコンタクトホールに対応する部分は、紫外線が完全に透過する領域になっている。

これら以外のすべての領域は、紫外線の半透過領域になっている。

【実施例 48】

【0284】

図 67, 図 68 は、本発明の実施例 48 の MVA モード用アクティブマトリックス TFT 基板を製造するためのハーフトーン露光用ホットマスクの平面図である。図 15 の MVA モード用 TFT 基板を図 39 のプロセスで製作する時に、第 1 回めのハーフトーン露光法を用いるホトリソグラフィ工程で使用するホットマスクが図 67 である。図 67 のハーフトーン露光用ホットマスクを用いて図 46, 図 173 にある第 1 回めのホトリソグラフィのプロセスフローにしたがって作業をおこなうことで Gate 電極, 共通電極, 画素電極, 画素電極内に配置されている 1 個以上のコンタクトパッドなどが同時に形成されてしまう点に特徴がある。

図 15 の MVA モード用 TFT 基板では、Source 電極 (映像信号線) は直線状で Gate 電極に対して直交している。

【0285】

図 67 で、Gate 電極 (走査線) に対応する部分が 73 であり、共通電極に対応する部分が 74 であり、画素電極に対応する部分が 71 であり、Drain 電極と連結されるコンタクトパッド部に対応する部分が 72 である。Gate 電極と、共通電極と、画素電極内の Drain 電極と連結されるコンタクトパッド部に対応するそれぞれの部分が紫外線完全遮断領域になっており、画素電極に対応する部分のみが紫外線の半透過領域になっている。図 67 のハーフトーン露光用ホットマスクの断面図が図 71, 図 124, 図 126 である。

【0286】

図 15 の MVA モード用 TFT 基板を図 39 のプロセスで製作する時に、第 2 回めのハーフトーン露光法を用いるホトリソグラフィ工程で使用するホットマスクが図 68 である。薄膜トランジスタ素子の薄膜半導体層の island に対応する部分が 76 であり、薄膜トランジスタ素子の Drain 電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が 75 であり、配向方向制御電極と共通電極とを接続するためのコンタクトホールに対応する部分が 77 である。薄膜半導体層の island に対応する部分が紫外線完全遮断領域であり、上記 2 種類のコンタクトホールに対応する部分が紫外線が完全に透過する領域になっている。それら以外のすべての領域は、紫外線の半透過領域になっている。図 68 のハーフトーン露光用ホットマスクの断面図が図 72, 図 125, 図 127 である。

【実施例 49】

【0287】

図 69, 図 70 は本発明の実施例 49 の MVA モード用アクティブマトリックス TFT 基板を製造するためのハーフトーン露光用ホットマスクの平面図である。図 19 の MVA モード用 TFT 基板を図 39 のプロセスで製作する時に、第 1 回めのハーフトーン露光法を用いるホトリソグラフィ工程で使用するホットマスクが図 69 である。図 69 のハーフトーン露光用ホットマスクを用いて図 46, 図 173 にある第 1 回めのホトリソグラフィのプロセスフローにしたがって作業をおこなうことで Gate 電極, 共通電極, 画素電極, 画素電極内に配置されている 1 個以上のコンタクトパッドなどが同時に形成されてしまう点に特徴がある。図 19 の MVA モード用 TFT 基板では、Source 電極 (映像信号線) は画素の中央部付近で 90 度に屈曲しており、Gate 電極に対して ±45 度の方向に配置されている。画素電極も Source 電極と同様に画素の中央部付近で 90 度に屈曲しており、Gate 電極に対して ±45 度の方向に配置されている。共通電極に接続され

ている配向方向制御電極も S o u r c e 電極とほぼ同様な形状をしており、画素の中央部付近で 90 度に屈曲しており、G a t e 電極に対して ± 45 度の方向に配置されている。

【0288】

図 69 で、G a t e 電極（走査線）に対応する部分が 73 であり、共通電極に対応する部分が 74 であり、画素電極に対応する部分が 71 であり、D r a i n 電極と連結されるコンタクトパッド部に対応する部分が 72 である。G a t e 電極と、共通電極と、画素電極内の D r a i n 電極と連結されるコンタクトパッド部に対応するそれぞれの部分が紫外線完全遮断領域になっており、画素電極に対応する部分のみが紫外線の半透過領域になっている。図 69 のハーフトーン露光用ホトマスクの断面図が図 71, 図 124, 図 126 である。

10

【0289】

図 19 の M V A モード用 T F T 基板を図 39 のプロセスで製作する時に、第 2 回めのハーフトーン露光法を用いるホトリソグラフィ工程で使用するホトマスクが図 70 である。図 70 のハーフトーン露光用ホトマスクを用いて図 47, 図 174 にある第 2 回めのホトリソグラフィのプロセスフローにしたがって作業をおこなうことで、薄膜トランジスタ素子の薄膜半導体層の i s l a n d 化（素子分離化）と、画素電極内に設置されたコンタクトパッドと薄膜トランジスタ素子の D r a i n 電極を接続するためのコンタクトホールが同時に形成されてしまう点に特徴がある。

【0290】

薄膜トランジスタ素子の薄膜半導体層の i s l a n d に対応する部分が 76 であり、薄膜トランジスタ素子の D r a i n 電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が 75 であり、配向方向制御電極と共通電極とを接続するためのコンタクトホールに対応する部分が 77 である。実施例 47 の図 266 にあるように薄膜トランジスタ素子の薄膜半導体層に対応する部分を i s l a n d 化せずに連結しても問題は発生しない。

20

薄膜半導体層の i s l a n d に対応する部分が紫外線完全遮断領域であり、上記 2 種類のコンタクトホールに対応する部分が紫外線が完全に透過する領域になっている。それら以外のすべての領域が、紫外線の半透過領域になっている。図 70 のハーフトーン露光用ホトマスクの断面図が図 72, 図 125, 図 127 である。

【実施例 50】

30

【0291】

図 142, 図 143, 図 144, 図 145 は、本発明の実施例 50 の T N モード用アクティブマトリックス T F T 基板を製造するためのハーフトーン 2 重露光工程用ホトマスクの平面図である。図 130 の T N モード用 T F T 基板を図 77 のプロセスで製作する時に、第 1 回めのハーフトーン 2 重露光法を用いるホトリソグラフィ工程で使用するノーマルホトマスクが、図 142 と図 143 である。図 250 にあるようにハーフトーン 2 重露光法では、2 回に分割して異なるホトマスクを用いてアンダーハーフ露光をおこなうことで完全に紫外線で露光された領域と完全に紫外光が遮断された領域と、ハーフ露光された領域の 3 種類の領域を作り出すことが可能である。

現像後にはポジレジストが完全にない領域とポジレジストがほぼ塗布した膜厚に近い状態で残っている領域と、ポジレジスト

40

が塗布した膜厚の $\frac{1}{10} \sim \frac{1}{3}$ 程度の膜厚で残っている領域の

3 つの領域を作り出すことができる。

本発明のハーフトーン 2 重露光法では、図 142 と図 143 の異なる 2 つのノーマルホトマスクを用いて露光時の紫外線照度を調整することで、現像後に実施例 45 と同じ 3 次元形状のポジレジストパターンを得ることができる点に特徴がある。

本発明では 1 台の露光装置を用いて 2 つのホトマスクを交換して露光することも可能であるが量産工場では 2 つの露光装置を配置してそれぞれの装置に異なる 2 つのホトマスクを装着して連続して露光する方法が用いられる。2 つのホトマスクのアライメント調整が必

50

要となるので図74にあるようにまずはじめにガラス基板の内部にパルスレーザーを用いてアライメントマークを形成しておく必要がある。図73がアライメントマークを形成した基板である。

【0292】

図142と図143において、Gate電極に対応する部分が83であり、共通電極に対応する部分が84であり、画素電極に対応する部分が85であり、Drain電極と連結されるコンタクトパッド部に対応する部分が82であり、Cst（保持容量）形成電極と連結されるコンタクトパッド部に対応する部分が121である。図142のノーマルホトマスクを用いて、不完全露光（ハーフトーン露光）してから図143のノーマルホトマスクを用いて、完全露光する。図143のノーマルホトマスクを用いて完全露光してから図142のノーマルホトマスクを用いて不完全露光（ハーフトーン露光）をおこなっても良い。図142と図143のホトマスクの断面図が図75の1）と2）である。

10

【0293】

図130のTNモード用TFT基板を図77のプロセスで製作する時、第2回めのハーフトーン2重露光法を用いるホトリソグラフィ工程で使用するノーマルホトマスクが図144と図145である。薄膜トランジスタ素子のDrain電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が87であり、Cst（保持容量）形成電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が122であり、薄膜トランジスタ素子の薄膜半導体層のislandに対応する部分が86である。

20

図144のノーマルホトマスクを用いて不完全露光（ハーフトーン露光）してから図145のノーマルホトマスクを用いて完全露光する。図145のノーマルホトマスクを用いて完全露光してから図144のノーマルホトマスクを用いて不完全露光（ハーフトーン露光）をおこなっても良い。図144と図145のホトマスクの断面図が図76の1）と2）である。

【実施例51】

【0294】

図155、図156、図157、図158は、本発明の実施例51のIPSモード用アクティブマトリックスTFT基板を製造するためのハーフトーン2重露光工程用ホトマスクの平面図である。図152のIPSモード用TFT基板を図77のプロセスで製作する時に、第1回めのハーフトーン2重露光法を用いるホトリソグラフィ工程で使用するノーマルホトマスクが図155と図156である。本発明のハーフトーン2重露光法では、図155と図156の異なる2つのノーマルホトマスクを用いて露光時の紫外線照度を調整することで、現像後に実施例46と同じ3次元形状のポジレジストパターンを得ることができる点に特徴がある。本発明では1台の露光装置を用いて2つのホトマスクを交換して露光することも可能であるが、量産工場では2つの露光装置を配置してそれぞれの装置に異なる2つのホトマスクを装着して連続して露光する方法が用いられる。2つのホトマスクのアライメント調整が必要となるので図74にあるように、まずはじめにガラス基板の内部にパルスレーザーを用いてアライメントマークを形成しておく必要がある。図73がアライメントマークを形成した基板である。

30

40

【0295】

図155と図156において、Gate電極に対応する部分が83であり、共通電極に対応する部分が84であり、くし歯状画素電極に対応する部分が85であり、Drain電極と連結されるコンタクトパッド部に対応する部分が82であり、Cst（保持容量）形成電極と連結されるコンタクトパッド部に対応する部分が127であり、くし歯状屈曲共通電極に対応する部分が177であり、映像信号線のシールド用共通電極に対応する部分が128である。

図152のIPSモード用TFT基板では、画素の中央部付近でSource電極（映像信号線）と映像信号線シールド用共通電極と、くし歯状画素電極とくし歯状共通電極が1回屈曲しているために、図156のハーフトーン2重露光用ホトマスクも同様に上記の各

50

電極に対応するホットマスクの部分が画素の中央部付近で1回屈曲した構造になっている。

【0296】

図155のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）してから、図156のノーマルホットマスクを用いて完全露光する。

この逆に図156のノーマルホットマスクを用いて完全露光してから図155のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）をおこなっても良い。現像後には、映像信号線シールド用共通電極と、くし歯状画素電極と、くし歯状共通電極にそれぞれ対応した領域

のポジレジストの膜厚が、塗布した時の膜厚の $\frac{1}{10} \sim \frac{1}{3}$ 程度残る

10

ように、不完全露光（ハーフトーン露光）時の紫外線照度を調整すると良い。

【0297】

図152のIPSモード用TFT基板を図77のプロセスで製作する時、第2回めのハーフトーン2重露光法を用いるホトリソグラフィ工程で使用するホットマスクが図157と図158である。

本発明のハーフトーン2重露光法では、図157と図158の異なる2つのノーマルホットマスクを用いて露光時の紫外線照度を調整することで、現像後に、実施例46と同じ3次元形状のポジレジストパターンを得ることができる点に特徴がある。薄膜トランジスタ素子の薄膜半導体層のislandに対応する部分が86であり、薄膜トランジスタ素子のDra in電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が129であり、Cst（保持容量）形成電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が130である。図157のノーマルホットマスクを用いて、不完全露光（ハーフトーン露光）してから図158のノーマルホットマスクを用いて完全露光する。これの逆に図158のノーマルホットマスクを用いて完全露光してから、図157のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）をおこなっても現像後には、同じ3次元形状のポジレジストパターンを得ることができる。

20

【実施例52】

【0298】

図267、図268、図269、図270は、本発明の実施例52のIPSモード用アクティブマトリックスTFT基板を製造するためのハーフトーン2重露光工程用ホットマスクの平面図である。図264のIPSモード用TFT基板を図77のプロセスで製作する時に、第1回めのハーフトーン2重露光法を用いるホトリソグラフィ工程で使用するノーマルホットマスクが図267と図268である。本発明のハーフトーン2重露光法では、図267と図268の異なる2つのノーマルホットマスクを用いて露光時の紫外線照度を調整することで現像後に実施例47と同じ3次元形状のポジレジストパターンを得ることができる点に特徴がある。図267と図268においてGate電極に対応する部分が83であり、共通電極に対応する部分が84であり、くし歯状画素電極に対応する部分が85であり、Dra in電極と連結されるコンタクトパッド部に対応する部分が82であり、Cst（保持容量）形成電極と連結されるコンタクトパッド部に対応する部分が127であり、くし歯状共通電極に対応する部分が177であり、映像信号線のシールド用共通電極に対応する部分が128である。図264のIPSモード用TFT基板では、Source電極（映像信号線）は、直線状で、Gate電極に対して直交する配置になっている。

30

40

【0299】

図267のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）してから、図268のノーマルホットマスクを用いて完全露光する。

この逆に図268のノーマルホットマスクを用いて完全露光してから図267のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）をおこなっても良い。現像後には、映像信号線シールド用共通電極と、くし歯状画素電極と、くし歯状共通電極にそれぞれ対応

50

した領域

のポジレジストの膜厚が塗布した時の膜厚の $\frac{1}{10} \sim \frac{1}{5}$ 程度残るよう

に、不完全露光（ハーフトーン露光）時の紫外線照度を調整すると良い。

【0300】

図264のIPSモード用TFT基板を図77のプロセスで製作する時に、第2回めのハーフトーン2重露光法を用いるホトリソグラフィ工程で使用するホトマスクが図269と図270である。本発明のハーフトーン2重露光法では、図269と図270の異なる2つのノーマルホトマスクを用いて露光時の紫外線照度を調整することで、現像後に実施例47と同じ3次元形状のポジレジストパターンを得ることができる点に特徴がある。薄膜トランジスタ素子の薄膜半導体層は、図264では、island状には完全に分離されておらずお互いにSource電極（映像信号線）方向に連結されており、この薄膜半導体層に対応する部分が86であり、薄膜トランジスタ素子のDrain電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が129であり、Cst（保持容量）形成電極とくし歯状画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が130である。図269のノーマルホトマスクを用いて、不完全露光（ハーフトーン露光）してから図270のノーマルホトマスクを用いて完全露光する。

これの逆に図270のノーマルホトマスクを用いて完全露光してから、図269のノーマルホトマスクを用いて不完全露光（ハーフトーン露光）をおこなっても現像後には同じ3次元形状のポジレジストパターンを得ることができる。

【実施例53】

【0301】

図92、図93、図94、図95は、本発明の実施例53のMVAモード用アクティブマトリックスTFT基板を製造するためのハーフトーン2重露光工程用ホトマスクの平面図である。図15のMVAモード用TFT基板を図78のプロセスで製作する時に、第1回めのハーフトーン2重露光法を用いるホトリソグラフィ工程で使用するノーマルホトマスクが図92と図93である。図92と図93の異なる2つのノーマルホトマスクを用いて露光時の紫外線照度を調整することで現像後に実施例48と同じ3次元形状のポジレジストパターンを得ることができる点に特徴がある。本発明では1台の露光装置を用いて2つのホトマスクを交換して露光することも可能であるが量産工場では2つの露光装置を配置して、それぞれの装置に異なる2つのホトマスクを装置して連続して露光する方法が用いられる。本発明では、2つのホトマスクのアライメント調整が必要となるので、図74にあるようにまずはじめにガラス基板の内部にパルスレーザーを用いてアライメントマークを形成しておく必要がある。図73がアライメントマークを形成した基板である。

【0302】

図92と図93において、Gate電極に対応する部分が83であり、共通電極に対応する部分が84であり、画素電極に対応する部分が85であり、Drain電極と連結されるコンタクトパッド部に対応する部分が82である。図92のノーマルホトマスクを用いて不完全露光（ハーフトーン露光）してから図93のノーマルホトマスクを用いて完全露光する。これの逆に、図93のノーマルホトマスクを用いて完全露光してから図92のノーマルホトマスクを用いて不完全露光（ハーフトーン露光）をおこなっても良い。

図92と図93のホトマスクの断面図が図75の1)と2)である。

【0303】

図15のMVAモード用TFT基板を図78のプロセスで製作する時に、第2回めのハーフトーン2重露光法を用いるホトリソグラフィ工程で使用するノーマルホトマスクが図94と図95である。

薄膜トランジスタ素子のDrain電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が87であり、配向方向制御電極と共通電極とを接続するためのコンタクトホールに対応する部分が88であり、薄膜トランジスタ

素子の薄膜半導体層の *i s l a n d* に対応する部分が 86 である。図 94 のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）してから図 95 のノーマルホットマスクを用いて完全露光する。これとは逆に図 95 のノーマルホットマスクを用いて完全露光してから図 94 のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）をおこなっても現像後には同じ 3 次元形状のポジレジストパターンを得ることができる。図 94 と図 95 のホットマスクの断面図が図 76 の 1) と 2) である。

【実施例 54】

【0304】

図 96, 図 97, 図 98, 図 99 は、本発明の実施例 54 の M V A モード用アクティブマトリックス T F T 基板を製造するためのハーフトーン 2 重露光工程用ホットマスクの平面図である。図 19 の M V A モード用 T F T 基板を図 78 のプロセスで製作する時に、第 1 回めのハーフトーン 2 重露光法を用いるホトリソグラフィ工程で使用するノーマルホットマスクが図 96 と図 97 である。図 96 と図 97 の異なる 2 つのノーマルホットマスクを用いて露光時の紫外照度を調整することで、現像後に実施例 49 と同じ 3 次元形状のポジレジストパターンを得ることができる。本発明の露光法を用いて図 46, 図 173 にある第 1 回めのホトリソグラフィのプロセスフローにしたがって作業をおこなうことで G a t e 電極、共通電極、画素電極、画素電極内に配置されている 1 個以上のコンタクトパッドなどが同時に形成されてしまう点に特徴がある。

【0305】

図 96 と図 97 において、G a t e 電極に対応する部分が 83 であり、共通電極に対応する部分が 84 であり、画素電極に対応する部分が 85 であり、D r a i n 電極と連結されるコンタクトパッド部に対応する部分が 82 である。図 96 のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）してから図 97 のノーマルホットマスクを用いて完全露光する。これの逆に図 97 のノーマルホットマスクを用いて完全露光をおこなってから図 96 のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）をおこなっても現像後には同じ 3 次元形状のポジレジストパターンを得ることができる。図 97 のノーマルホットマスクを用いて完全露光をおこなわなくて、不完全露光（ハーフトーン露光）をおこなっても良い。

図 96 のノーマルホットマスクによる不完全露光領域と図 97 のノーマルホットマスクによる不完全露光領域とが重なる領域のポジレジストが完全露光される条件を満足していれば、問題は生じない。

【0306】

図 19 の M V A モード用 T F T 基板を図 78 のプロセスで製作する時に、第 2 回めのハーフトーン 2 重露光法を用いるホトリソグラフィ工程で使用するホットマスクが図 98 と図 99 である。図 98 と図 99 のノーマルホットマスクを用いて図 47, 図 174 にある第 2 回めのホトリソグラフィのプロセスフローにしたがって作業をおこなうことで、薄膜トランジスタ素子の薄膜半導体層の *i s l a n d* 化（素子分離化）と、画素電極内に設置されたコンタクトパッドと薄膜トランジスタ素子の D r a i n 電極を接続するためのコンタクトホールが同時に形成されてしまう点に特徴がある。

【0307】

薄膜トランジスタ素子の薄膜半導体層の *i s l a n d* に対応する部分が 86 であり、薄膜トランジスタ素子の D r a i n 電極と画素電極内に形成されたコンタクトパッドを接続するためのコンタクトホールに対応する部分が 87 であり、配向方向制御電極と共通電極とを接続するためのコンタクトホールに対応する部分が 88 である。実施例 47 の図 266 にあるように薄膜トランジスタ素子の薄膜半導体層に対応する部分を *i s l a n d* 化せずに連結しても問題は発生しない。

図 98 のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）してから図 99 のノーマルホットマスクを用いて完全露光する。これとは逆に図 99 のノーマルホットマスクを用いて完全露光をしてから図 98 のノーマルホットマスクを用いて不完全露光（ハーフトーン露光）をおこなっても現像後には、同じ 3 次元形状のポジレジストパターンを得ること

10

20

30

40

50

ができる。図 98 と図 99 のホットマスクの断面図が図 76 の 1) と 2) である。図 99 のノーマルホットマスクを用いて完全露光をおこなわなくて、不完全露光（ハーフトーン露光）をおこなっても良い。図 98 のノーマルホットマスクによる不完全露光領域と、図 99 のノーマルホットマスクによる不完全露光領域とが重なる領域のポジレジストが 2 回おこなわれる不完全露光により完全に露光される条件を満足していれば問題は生じない。

【実施例 55】

【0308】

図 82, 図 83, 図 103, 図 104 が本発明の実施例 55 の DMD 素子を用いた直接描画ハーフトーン露光装置による、TFT アレイ基板の製造プロセスの工程フロー説明図である。

DMD 素子は USA の TI 社が製造している半導体素子と光学ミラーを集積した光学素子で、図 80 にあるような DMD 素子を用いた直接描画露光装置は、すでに PDP の量産で用いられはじめている。

マルチ投影露光用レンズを用いて、紫外線や青色の半導体レーザー、LED 光源を用いているので従来の超高圧水銀ランプを用いた露光装置よりもコンパクトにまとめることが可能である。

ポジレジストが塗布されたガラス基板上での DMD 素子の結像図が図 81 である。本実施例ではガラス基板を往復させて全面を露光する方式を採用しているが、往復露光でなく片道露光でも図 81 のように DMD 素子と DMD 素子のかさなりあう多重露光領域を設定しておけば問題はない。

【0309】

ホットマスクを用いる方式では、基板にタイトルを書きこむために、タイトラーが別に必要であるが、DMD 素子を用いた直接描画露光装置ではタイトラー機能もソフトウェアで組みこむことができるので専用のタイトラーは必要ない。ポジレジストへの露光条件もソフトウェアで基板の全領域にわたり自由に設定することができる。

ガラス基板の走査方向の DMD 素子内部のマイクロミラーの数だけ多重露光が可能である。図 250 では異なる 2 つのホットマスクを用いて 2 回の多重露光をおこなっているが、DMD 素子を用いた場合には、数 100 回～1000 回程度の多重露光を、簡単におこなうことができるため、本発明が目的とするハーフトーン露光プロセスには、非常に適している露光装置である。

1 台の装置でソフトウェアのデータを書きかえるだけで、図 67, 図 68, 図 69, 図 70, 図 140, 図 141, 図 153, 図 154, 図 265, 図 266 などのハーフトーンホットマスクを用いて露光した場合と同じ三次元形状のポジレジストパターンを簡単に作れる。絶対寸法調整もソフトウェアのデータを書きかえるだけでおこなえるため、寸法不良の問題も短時間で解決してしまう。投影レンズの数を増加するだけで基板の大型化に対応できるため、DMD の解像度が向上すれば超大型液晶 TV 用のラインで PC 用超高精細パネルの量産も可能になる。

【0310】

現在 TI 社の DMD 素子を用いて等倍の投影露光レンズを用いた場合、10 ミクロンメートルのライン & スペースのポジレジストパターンを得ることが可能である。この解像力であればカラーフィルター用の BM（遮光膜）や R, G, B のカラーフィルター層や、MVA モード用の配向方向制御用バンプや配向方向制御スリットを露光するには十分である。特に BM の露光に図 80 の露光装置を用いれば TFT アレイ基板との絶対寸法調整が短時間で修了させることができるので、量産工場の垂直立ち上げが可能となる。

【実施例 56】

【0311】

図 122 と図 116, 図 117, 図 118, 図 119 が、本発明の実施例 56 のハーフトーン露光法を用いた Gate 電極と画素電極と共通電極を形成するためのプロセスフロー説明図と、2 層 Gate 電極の断面図である。異種金属をスパッタリング法で連続成膜した場合、異種金属接合界面で互いの金属原子が相互拡散した層が形成されてしまいこの領

10

20

30

40

50

域のエッチング速度が大きいためにウェットエッチングパターンは、逆テーパーの形状になりやすい。これを防止するために、本発明の実施例 5 6 では、図 1 1 6，図 1 1 7，図 1 1 8，図 1 1 9 にあるように、第 1 層の金属や透明導電体を成膜した後、第 2 層の上層金属を成膜する時に、成膜のはじめに、スパッタリング用不活性ガス（希ガス Ar，Kr など）中に窒化性ガス（窒素，アンモニア，ヒドラジン，ヒドラゾンなど）を 1～20% 程度混入し 1～10nm 程度の厚みの窒化物層を成膜した後、窒化性ガスの混入をやめて、不活性ガスのみで、第 2 層の上層金属を連続成膜するようにしている。

図 1 2 2 が連続して成膜した第 1 層と界面領域に第 2 層の窒素がドーピングされた層（窒化物層）と第 2 層の金属の断面図である。図 1 1 2，図 1 1 3，図 1 1 4 が、本発明のプロセスフロー断面説明図である。

10

【0312】

ガラス基板に安価なソーダーガラス（青板ガラス）を用いた場合、アルミニウム合金はガラス中のアルカリ成分により腐蝕される問題が発生しやすいが、本発明の実施例 5 6 のように、アルミニウム合金の下層に腐蝕に強い金属や酸化物透明導電体や窒化物透明導電体が存在している場合、従来のようにアルカリ拡散防止のためのオーバーコート層をコーティングしなくても腐蝕の問題は発生しないので、コストダウンをすることができる。

従来の図 1 1 5 のプロセスを用いた方法でも、アルミニウム合金やモリブデン金属のアルカリ腐蝕の問題を防止できるが、従来例の図 8 4 のプロセスフロー断面図にあるように、界面領域に窒素をドーピングしていない場合には、アルミニウム合金やモリブデン金属は、逆テーパー形状になりやすいので、Source 電極（映像信号線）の断線や Gate 電極と Source 電極のブレイク電圧が低下するために静電気によるショートの問題が多発し、量産した場合歩留りが低下してしまう。さらに従来例の図 8 4 のプロセスフロー断面図にあるように画素電極上のゲート絶縁膜を完全に除去してしまうため、図 8 4 のプロセスでは、第 1 層（下層）の透明導電体としてチタンやジルコニウムや窒化チタンや窒化ジルコニウムを用いることができない。そのために従来の図 8 4 のプロセスを用いる場合には、第 2 層金属としてアルミニウム合金を用いると、ITO や IZO の透明導電体しか用いることができない。この場合には、現像やウェットエッチング加工で、局部電池反応が生じやすく異常エッチングが生じ、量産できない。

20

【実施例 57】

【0313】

図 2 7 1，図 1 2 0，図 1 2 1 が本発明の実施例 5 7 の単層アルミニウム合金を用いて、Source 電極（映像信号線）や Drain 電極や、Cst（保持容量）形成電極や配向方向制御電極やくし歯状共通電極をノーマル露光プロセスを用いて形成するための、プロセスフロー説明図と、このプロセスを用いて作られた TFT アレイ基板の断面図である。図 1 7 5 にあるように Source 電極と Drain 電極にバリアーメタルを採用した 2 層金属構造を用いれば、ほとんどのアルミニウム合金を用いることが可能であるが、2m 以上の大型ガラス基板の量産工程では、コスト削減のためとスループットを向上させるためにアルミニウム合金の単層構造が望まれている。

30

【0314】

図 4 8 が単層金属構造の場合のプロセスフロー説明図であるが、アルミニウム合金を上記の単層金属に採用する場合には、アルミニウム合金の拡散による n^+a-si 層のスパイク状つきぬけ現象をさけるために図 1 7 4 のプロセスを用いて $a-si$ island 化を形成しなければならない。図 1 7 4，図 1 7 5 の両方ともに n^+a-si 層の上にバリアーメタルを形成することで上記のアルミニウム合金のスパイク状つきぬけ現象を防止している。

40

【0315】

本発明の実施例 5 7 は、図 4 7 のプロセスで $a-si$ island 化（半導体素子分離）した後、図 4 8 の単層金属成膜法をアルミニウム合金に適用する場合に従来問題となっていたアルミニウムの拡散による n^+a-si 層のスパイク状つきぬけ現象を防止するための方法である。図 1 2 3 の拡大断面図にあるようにアルミニウム合金を成膜する時に、

50

成膜はじめの界面部分に1～10nm程度の厚みに窒素原子を $n^+ a-si$ 層とのオーミックコンタクト抵抗値が100K Ω 以下好ましくは10K Ω 以下程度になるようにアルミニウム合金にドーピングすることでアルミニウム合金のアルミニウム原子の拡散を防止する点が特徴になっている。具体的には図271のプロセスフロー説明図にあるようにアルミニウム合金をスパッタリング法で成膜する時、成膜の開始時に、スパッタリング用不活性ガス（希ガスのAr, Krなど）中に窒化性ガス（窒素, アンモニア, ヒドラジン, ヒドラゾンなど）を1～20%程度混入し、1～10nm程度に窒素原子がドーピングされたアルミニウム合金層を形成した後、窒化性ガスをとめてスパッタリング用不活性ガスのみでアルミニウム合金を成膜するプロセスを用いている。

実施例56とほとんど同じプロセスであるが実施例56の場合には、窒素原子がドーピングされた層のコンタクト抵抗値は、ほとんど問題にはならないが、本発明の実施例57では、コンタクト抵抗値が1M Ω 以上になると、表示ムラが発生してしまうので100K Ω 以下におさえこむ必要がある。図120, 図121が図271のプロセスを用いてSource電極とDrain電極と配向方向制御電極やCst（保持容量）形成電極をアルミニウム合金の単層構造で形成したTF Tアレイ基板の断面図である。本発明の図271のプロセスを用いることで図48の単層構造のアルミニウム合金をSource電極, Drain電極に利用できるようになり、図47のプロセスと組みあわせることで最も安価で、スループットのはやい、歩留りの良いTF Tアレイ工程を作りあげることが可能となる。

【実施例58】

【0316】

図272, 図273, 図275, 図276が本発明の実施例58の単層アルミニウム合金を用いて、Source電極（映像信号線）やDrain電極やCst（保持容量）形成電極や配向方向制御電極やくし歯状共通電極をノーマル露光プロセスを用いて形成するためのプロセスフロー説明図と、このプロセスを用いて作られたTF Tアレイ基板の断面図である。図175にあるようにSource電極とDrain電極にバリアーメタルを採用した2層金属構造を用いれば、ほとんどのアルミニウム合金を用いることが可能であるが、2m以上の大型ガラス基板の量産工程では、コスト削減のためと、スループットを向上させるためにアルミ合金の単層構造が望まれている。

【0317】

本発明の実施例58は、図47のプロセスで $a-si$ island化（半導体素子分離）した後、図48の単層金属成膜法をアルミニウム合金に適用する場合に、従来問題になっていたアルミニウムの拡散による $n^+ a-si$ 層のスパイク状つきぬけ現象を防止するための方法である。

図274の拡大断面図にあるようにアルミニウム合金を成膜する下地の $n^+ a-si$ 層とノンドーパ $a-si$ 層の側壁に窒素原子をドーピングしてアルミニウムの合金と $n^+ a-si$ 層のオーミックコンタクト抵抗値が100K Ω 以下、好ましくは10K Ω 以下程度になるように調整する。具体的には図272や図273のプロセスフロー説明図にあるように、薄膜半導体素子分離工程が終了した後、ただちに窒化性ガス（窒素, アンモニア, ヒドラジン, ヒドラゾンなど）と希ガス（He, Ne, Arなど）を混合したガスを用いて真空チェンバー内でプラズマ放電処理をおこない $n^+ a-si$ 表面と $i a-si$ 層の側壁をプラズマ窒化処理するか、または、真空チェンバー内で窒素イオンを加速して $n^+ a-si$ 表面と $i a-si$ 層の側壁に窒素原子を注入する方法を用いて、 $n^+ a-si$ 表面と $i a-si$ 層の側壁に $10^{19} \sim 10^{21}$ 個/cm³程度の濃度で窒素原子をドーピングさせることで、アルミニウム合金層からのアルミニウム原子の拡散を防止することができる。窒素原子をドーピングしすぎると $n^+ a-si$ 表面とアルミニウム合金層とのオーミックコンタクト抵抗値が1M Ω 以上になってしまい表示不良の原因となるのでオーミックコンタクト抵抗値が100K Ω 以下、好ましくは10K Ω 以下程度になるように窒素原子のドーピング量を調整すると良い。

【0318】

図275、図276が、図272や図273のプロセスを用いてSource電極とDrain電極と配向方向制御電極やCst（保持容量）形成電極をアルミニウム合金の単層構造で形成したTFTアレ基板の断面図である。アルミニウム合金のうちNiを1～7atm%含有している合金は、スパッタリング法で成膜した後200度C程度のアニール温度で $5\mu\Omega\text{cm}$ 程度まで低抵抗化するものもありSource電極とDrain電極の単層構造を実現するのに最適なアルミニウム合金である。

【実施例59】

【0319】

図277、図278、図279、図280、図281、図282、図283、図284が本発明の実施例59の、2回のハーフトーン露光法を用いた4回ホトリソグラフィ工程によるTFTアレ基板の製造工程説明図である。上記の8つの工程説明図では、パッシベーション膜を局部成膜するのではなく基板全面に成膜する方式を採用しており、最後の4番めのホトリソグラフィ工程で駆動IC接続用端子部全面を被覆しているパッシベーション膜を除去している。パッシベーション膜を局部成膜する方式とくらべて1回ホトリソグラフィ工程が増加してしまうが、1枚のガラス基板から数十個以上のTFTパネルを製造する場合には、パッシベーション膜の局部成膜が非常に難かしくなるため、本発明のように4番めのホトリソグラフィを追加することでガラス基板の有効利用効率が向上する。

【図面の簡単な説明】

【0320】

【図1】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図。

【図2】本発明のハーフトーン露光法を用いて形成された画素電極への窒素イオンドーピング処理の説明図。

【図3】本発明のハーフトーン露光法を用いた薄膜トランジスタ素子の半導体層のisland化とコンタクトホール形成のプロセス断面図。

【図4】本発明のSource電極、Drain電極、端子電極、Cst（保持容量）形成電極または、液晶配向制御電極の形成プロセス断面図。

【図5】本発明のTFTアレ基板のパッシベーション膜形成と液晶配向膜形成のプロセス断面図。

【図6】本発明のハーフトーン露光法を用いて形成された画素電極の構造断面図。

【図7】本発明のハーフトーン露光法を用いて形成された画素電極の構造断面図。

【図8】本発明のTFTアレ基板の完成断面図。

【図9】本発明のTFTアレ基板の完成断面図。

【図10】TiNxの膜厚と可視光の透過率の関係図。

【図11】TiNxの膜厚とシート抵抗値の関係図。

【図12】本発明のCst形成電極をGate電極に連結したTFTアレ基板の平面図。

【図13】本発明のCst形成電極を共通電極に連結したTFTアレ基板の平面図。

【図14】本発明の液晶配向制御のためのスリットを画素電極に形成したTFTアレ基板の平面図。

【図15】本発明の液晶配向制御電極を共通電極に連結したTFTアレ基板の平面図。

【図16】本発明の液晶配向制御のためのスリットを画素電極に形成したTFTアレ基板の平面図。

【図17】本発明の液晶配向制御電極を共通電極に連結したTFTアレ基板の平面図。

【図18】本発明の液晶配向制御のためのスリットを画素電極に形成したTFTアレ基板の平面図。

【図19】本発明の液晶配向制御電極を共通電極に連結したTFTアレ基板の平面図。

【図20】本発明の図15のTFTアレ基板に対応するカラーフィルター基板の平面図。

【図21】本発明の図17のTFTアレ基板に対応するカラーフィルター基板の平面図

。

【図 2 2】本発明の図 1 9 の T F T アレイ基板に対応するカラーフィルタ基板の平面図

。

【図 2 3】本発明の液晶配向制御電極と液晶配向制御バンプを用いた M V A モード液晶表示パネルの断面図。

【図 2 4】本発明の液晶配向制御電極と液晶配向制御用スリットを用いた M V A モード液晶表示パネルの断面図。

【図 2 5】本発明の液晶配向制御用スリットと液晶配向制御バンプを用いた M V A モード液晶表示パネルの断面図。

【図 2 6】本発明の液晶配向制御用スリットを用いた M V A モード液晶表示パネルの断面図。 10

【図 2 7】本発明の I P S モード T F T アレイ基板の完成断面図。

【図 2 8】本発明の I P S モード T F T アレイ基板の完成断面図。

【図 2 9】本発明の F F S モード T F T アレイ基板の完成断面図。

【図 3 0】本発明の C s t 形成電極を共通電極に連結した T F T アレイ基板の平面図。

【図 3 1】本発明の T F T アレイ基板の平面図。

【図 3 2】本発明の M V A モード液晶パネルの G a t e 端子部とメインシール部の構造断面図。

【図 3 3】本発明の M V A モード液晶パネルの S o u r c e 端子部とメインシール部の構造断面図。 20

【図 3 4】本発明の I P S モード液晶パネルの G a t e 端子部とメインシール部の構造断面図。

【図 3 5】本発明の I P S モード液晶パネルの S o u r c e 端子部とメインシール部の構造断面図。

【図 3 6】本発明の液晶パネルの静電気対策用保護回路とメインシール部分の平面図

【図 3 7】本発明のマスクデポジッション P - S i N x (パッシベーション) 膜とメインシールと配向膜の配置に関する平面図

【図 3 8】本発明のハーフトーン露光法を 2 回用いる 3 回ホットマスク工程のプロセス説明図

【図 3 9】本発明のハーフトーン露光法を 2 回用いる 3 回ホットマスク工程のプロセス説明図 30

【図 4 0】本発明のハーフトーン露光法を 2 回用いる 3 回ホットマスク工程のプロセス説明図

【図 4 1】本発明の I P S モードまたは F F S モード用カラーフィルタ基板の製造工程説明図

【図 4 2】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図

【図 4 3】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図

【図 4 4】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図

【図 4 5】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図

【図 4 6】本発明の G a t e 電極と画素電極と共通電極を形成するためのハーフトーン露光プロセスフロー説明図 40

【図 4 7】本発明の a - s i i s l a n d とコンタクトホールを形成するためのハーフトーン露光プロセスフロー説明図

【図 4 8】本発明の S o u r c e 電極と D r a i n 電極と配向方向制御電極を形成するためのノーマル露光プロセスフロー説明図

【図 4 9】本発明の M V A モード液晶 C e l l プロセスフロー説明図

【図 5 0】本発明の I P S モード (または F F S モード) 液晶 C e l l プロセスフロー説明図

【図 5 1】本発明の M V A モード液晶 C e l l プロセスフロー説明図

【図 5 2】本発明の I P S モード (または F F S モード) 液晶 C e l l プロセスフロー説 50

明図

- 【図 5 3】本発明の液晶配向制御電極を共通電極に連結した T F T アレイ基板の平面図。
- 【図 5 4】本発明の液晶配向制御電極と液晶配向制御バンプを用いた M V A モード液晶表示パネルの断面図。
- 【図 5 5】本発明の液晶配向制御電極と液晶配向制御バンプを用いた M V A モード液晶表示パネルの断面図。
- 【図 5 6】本発明の液晶配向制御電極と液晶配向制御バンプを用いた M V A モード液晶表示パネルの断面図。
- 【図 5 7】本発明のマルチチェンバー型真空装置の平面図。
- 【図 5 8】本発明のマルチチェンバー型真空装置の平面図。 10
- 【図 5 9】本発明のマルチチェンバー型真空装置の平面図
- 【図 6 0】本発明で使用するプラズマ重合配向膜の原料となるシロキサン系化合物
- 【図 6 1】本発明で使用するプラズマ重合配向膜の原料となるシラザン系化合物
- 【図 6 2】本発明で使用する平坦化膜兼配向膜としてインクジェット塗布装置で塗布されるヒドリドシルセスキオキサン系化合物。
- 【図 6 3】本発明で使用する平坦化膜兼配向膜としてインクジェット塗布装置で塗布されるヒドリドシルセスキオキサン系化合物。
- 【図 6 4】本発明で使用する平坦化膜兼配向膜としてインクジェット塗布装置で塗布されるビスアリルナジイミド系化合物。
- 【図 6 5】本発明で使用する平坦化膜兼配向膜としてインクジェット塗布装置で塗布される可溶型低誘電率ポリイミド化合物。 20
- 【図 6 6】本発明で使用する平坦化膜兼配向膜としてインクジェット塗布装置で塗布されるシルセスキオキサン系化合物。
- 【図 6 7】本発明の図 3 9 の M V A モード用 3 回ホットマスク工程の 1 番で用いるハーフトーン露光用ホットマスクの平面図。
- 【図 6 8】本発明の図 3 9 の M V A モード用 3 回ホットマスク工程の 2 番で用いるハーフトーン露光用ホットマスクの平面図。
- 【図 6 9】本発明の図 3 9 の M V A モード用 3 回ホットマスク工程の 1 番で用いるハーフトーン露光用ホットマスクの平面図。
- 【図 7 0】本発明の図 3 9 の M V A モード用 3 回ホットマスク工程の 2 番で用いるハーフトーン露光用ホットマスクの平面図。 30
- 【図 7 1】図 6 7 , 図 6 9 のハーフトーン露光用ホットマスクの断面図
- 【図 7 2】図 6 8 , 図 7 0 のハーフトーン露光用ホットマスクの断面図
- 【図 7 3】ハーフトーン 2 重露光法をおこなう前のイニシャルアライメントマークを形成した T F T 用ガラス基板の平面図
- 【図 7 4】ガラス基板の内部にパルスレーザー光を用いてイニシャルアライメントマークを形成する原理説明図
- 【図 7 5】図 9 2 と図 9 3 , 図 9 6 と図 9 7 のハーフトーン 2 重露光用ホットマスクの断面図。
- 【図 7 6】図 9 4 と図 9 5 , 図 9 8 と図 9 9 のハーフトーン 2 重露光用ホットマスクの断面図。 40
- 【図 7 7】本発明のハーフトーン 2 重露光法を 2 回用いる T F T アレイプロセス説明図
- 【図 7 8】本発明のハーフトーン 2 重露光法を 2 回用いる T F T アレイプロセス説明図。
- 【図 7 9】本発明のハーフトーン 2 重露光法を 2 回用いる T F T アレイプロセス説明図。
- 【図 8 0】本発明の D M D マスクレス直接描画ハーフトーン露光装置の平面図
- 【図 8 1】本発明の D M D 素子を用いて往復多重露光をする時の D M D 素子の配置とかさねあわせの説明平面図
- 【図 8 2】本発明の D M D ハーフトーン露光法を 2 回用いる 3 回ホトリソ工程のプロセス説明図
- 【図 8 3】本発明の D M D ハーフトーン露光法を 2 回用いる 3 回ホトリソ工程のプロセス 50

説明図

- 【図 8 4】従来のハーフトーン露光法を用いたプロセス断面説明図。
- 【図 8 5】従来のハーフトーン露光法を用いたプロセス断面説明図。
- 【図 8 6】従来のハーフトーン露光法を用いたプロセス断面説明図。
- 【図 8 7】本発明の液晶配向制御電極と液晶配向制御のためのスリット画素電極を用いた T F T アレイ基板の平面図
- 【図 8 8】本発明の液晶配向制御電極と液晶配向制御のためのスリット画素電極を用いた T F T アレイ基板の平面図
- 【図 8 9】本発明の液晶配向制御電極と液晶配向制御のためのスリット画素電極を用いた T F T アレイ基板の平面図
- 【図 9 0】図 8 7，図 8 8，図 8 9 の T F T アレイ基板を用いて組み立てた液晶 C e l l 内部の等電位線の分布説明図。
- 【図 9 1】図 9 0 の液晶 C e l l の印加電圧と輝度の関係図。
- 【図 9 2】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 2 番の i) で用いるノーマルホットマスクの平面図。
- 【図 9 3】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 2 番の i i) で用いるノーマルホットマスクの平面図。
- 【図 9 4】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 3 番の i) で用いるノーマルホットマスクの平面図。
- 【図 9 5】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 3 番の i i) で用いるノーマルホットマスクの平面図。
- 【図 9 6】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 2 番の i) で用いるノーマルホットマスクの平面図。
- 【図 9 7】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 2 番の i i) で用いるノーマルホットマスクの平面図。
- 【図 9 8】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 3 番の i) で用いるノーマルホットマスクの平面図。
- 【図 9 9】本発明の図 7 8 の M V A モード用ハーフトーン 2 重露光工程の 3 番の i i) で用いるノーマルホットマスクの平面図。
- 【図 1 0 0】本発明の C s t 形成電極を共通電極に連結した T F T アレイ基板の平面図
- 【図 1 0 1】本発明の C s t 形成電極を共通電極に連結した T F T アレイ基板の平面図
- 【図 1 0 2】本発明の C s t 形成電極を共通電極に連結した T F T アレイ基板の平面図
- 【図 1 0 3】本発明の D M D ハーフトーン露光法を 2 回，D M D ノーマル露光法を 1 回、用いる 3 回ホトリソ工程のプロセス説明図。
- 【図 1 0 4】本発明の D M D ハーフトーン露光法を 2 回，D M D ノーマル露光法を 1 回用いる 3 回ホトリソ工程のプロセス説明図。
- 【図 1 0 5】従来の表面にアルミニウム窒化層を形成した場合のアルミニウム合金電極のエッチング形状断面図。
- 【図 1 0 6】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図
- 【図 1 0 7】画素電極上に配向制御電極が形成されている従来の T F T アレイ基板の断面構造図
- 【図 1 0 8】画素電極上に配向制御電極が形成されている従来の T F T アレイ基板の断面構造図
- 【図 1 0 9】画素電極上に配向制御電極が形成されている従来の T F T アレイ基板の断面構造図
- 【図 1 1 0】画素電極上に配向制御電極が形成されている従来の T F T アレイ基板の断面構造図
- 【図 1 1 1】従来例の図 1 1 0 の平面図（配向制御電極は画素電極上に形成されており、かつ G a t e 電極に連結されている。）
- 【図 1 1 2】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図

- 【図 1 1 3】 本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図
- 【図 1 1 4】 本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図
- 【図 1 1 5】 従来のハーフトーン露光法を用いた画素電極形成のプロセスフロー説明図
- 【図 1 1 6】 本発明のハーフトーン露光法を用いた画素電極形成のプロセスフロー説明図
- 【図 1 1 7】 本発明のハーフトーン露光法を用いた画素電極形成のプロセスフロー説明図
- 【図 1 1 8】 本発明のハーフトーン露光法を用いた画素電極形成のプロセスフロー説明図
- 【図 1 1 9】 本発明のハーフトーン露光法を用いた画素電極形成のプロセスフロー説明図
- 【図 1 2 0】 本発明の T F T アレイ基板の完成断面図
- 【図 1 2 1】 本発明の T F T アレイ基板の完成断面図
- 【図 1 2 2】 本発明の第 1 層（下層）金属または透明導電体と第 2 層（上層）金属の界面の断面図 10
- 【図 1 2 3】 本発明の n^+ アモルファス s i 層と S o u r c e & D r a i n 金属電極の界面の断面図
- 【図 1 2 4】 図 6 7, 図 6 9 のハーフトーン露光用ホットマスクの断面図
- 【図 1 2 5】 図 6 8, 図 7 0 のハーフトーン露光用ホットマスクの断面図
- 【図 1 2 6】 図 6 7, 図 6 9 のハーフトーン露光用ホットマスクの断面図
- 【図 1 2 7】 図 6 8, 図 7 0 のハーフトーン露光用ホットマスクの断面図
- 【図 1 2 8】 本発明の M V A モード用カラーフィルター基板の製造工程説明図
- 【図 1 2 9】 本発明の C s t 形成電極を画素電極に連結した T F T アレイ基板の平面図
- 【図 1 3 0】 本発明の C s t 形成電極を画素電極に連結した T F T アレイ基板の平面図 20
- 【図 1 3 1】 本発明の 2 種類の配向制御電極を設置した T F T アレイ基板の平面図
- 【図 1 3 2】 本発明の 2 種類の配向制御電極を設置した T F T アレイ基板の平面図
- 【図 1 3 3】 本発明の配向制御電極と配向制御用スリットを形成した T F T アレイ基板の平面図
- 【図 1 3 4】 本発明の配向制御電極と配向制御用スリットを形成した T F T アレイ基板の平面図
- 【図 1 3 5】 本発明の図 1 3 1, 図 1 3 2, 図 1 3 3, 図 1 3 4 の T F T アレイと組みあわされて用いられるカラーフィルター基板の平面図
- 【図 1 3 6】 本発明の図 1 3 1, 図 1 3 2 の T F T アレイ基板と図 1 3 5 のカラーフィルター基板を組み合わせた場合の液晶分子の動作説明図。 30
- 【図 1 3 7】 本発明の図 1 3 3, 図 1 3 4 の T F T アレイ基板と図 1 3 5 のカラーフィルター基板を組み合わせた場合の液晶分子の動作説明図。
- 【図 1 3 8】 本発明の T F T アレイ基板の断面図
- 【図 1 3 9】 本発明の T F T アレイ基板の断面図
- 【図 1 4 0】 本発明の図 3 8 の T N モード用 3 回ホットマスク工程の 1 番で用いるハーフトーン露光用ホットマスクの平面図
- 【図 1 4 1】 本発明の図 3 8 の T N モード用 3 回ホットマスク工程の 2 番で用いるハーフトーン露光用ホットマスクの平面図
- 【図 1 4 2】 本発明の図 7 7 の T N モード用ハーフトーン 2 重露光工程の 2 番の i) で用いるノーマルホットマスクの平面図 40
- 【図 1 4 3】 本発明の図 7 7 の T N モード用ハーフトーン 2 重露光工程の 2 番の i i) で用いるノーマルホットマスクの平面図
- 【図 1 4 4】 本発明の図 7 7 の T N モード用ハーフトーン 2 重露光工程の 3 番の i) で用いるノーマルホットマスクの平面図
- 【図 1 4 5】 本発明の図 7 7 の T N モード用ハーフトーン 2 重露光工程の 3 番の i i) で用いるノーマルホットマスクの平面図
- 【図 1 4 6】 本発明の液晶配向制御電極と液晶配向制御のためのスリット画素電極を用いた T F T アレイ基板の平面図
- 【図 1 4 7】 本発明の 2 種類の液晶配向制御電極を用いた T F T アレイ基板の平面図
- 【図 1 4 8】 本発明の配向制御電極と配向制御用スリットを形成した T F T アレイ基板の 50

平面図

【図 1 4 9】本発明の配向制御電極と配向制御用スリットを形成した T F T アレイ基板の平面図

【図 1 5 0】本発明の配向制御電極と配向制御用スリットを形成した T F T アレイ基板の平面図

【図 1 5 1】本発明の配向制御電極と配向制御用スリットを形成した T F T アレイ基板の平面図

【図 1 5 2】本発明の C s t （保持容量）形成電極を画素電極に連結した T F T アレイ基板の平面図

【図 1 5 3】本発明の図 3 8 の I P S モード用 3 回ホットマスク工程の 1 番で用いるハーフトーン露光用ホットマスクの平面図 10

【図 1 5 4】本発明の図 3 8 の I P S モード用 3 回ホットマスク工程の 2 番で用いるハーフトーン露光用ホットマスクの平面図

【図 1 5 5】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 2 番の i) で用いるノーマルホットマスクの平面図

【図 1 5 6】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 2 番の i i) で用いるノーマルホットマスクの平面図

【図 1 5 7】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 3 番の i) で用いるノーマルホットマスクの平面図

【図 1 5 8】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 3 番の i i) で用いるノーマルホットマスクの平面図 20

【図 1 5 9】本発明の薄膜トランジスタ素子領域と G a t e 電極と S o u r c e 電極の交差領域の拡大平面図

【図 1 6 0】本発明の薄膜トランジスタ素子領域と G a t e 電極と S o u r c e 電極の交差領域の拡大平面図

【図 1 6 1】本発明の図 1 5 9 の薄膜半導体層と画素電極領域のコンタクトパッド部にあけられたコンタクトホール拡大平面図。

【図 1 6 2】本発明の図 1 6 0 の薄膜半導体層と画素電極領域のコンタクトパッド部にあけられたコンタクトホール拡大平面図。

【図 1 6 3】本発明の図 1 5 9 , 図 1 6 0 の T F T アレイ基板の断面図。 30

【図 1 6 4】本発明の図 1 5 9 , 図 1 6 0 の T F T アレイ基板の断面図。

【図 1 6 5】本発明の図 1 5 9 , 図 1 6 0 の T F T アレイ基板の断面図。

【図 1 6 6】本発明の図 1 5 9 , 図 1 6 0 の T F T アレイ基板の断面図。

【図 1 6 7】本発明の M V A または T N モード液晶パネルの G a t e 端子部とメインシール部の構造断面図。

【図 1 6 8】本発明の M V A または T N モード液晶パネルの S o u r c e 端子部とメインシール部の構造断面図。

【図 1 6 9】本発明の液晶パネルの静電気対策用保護回路とメインシール部分の平面図。

【図 1 7 0】本発明の M V A モード液晶パネルのメインシール部の構造断面図。

【図 1 7 1】本発明の I P S モード液晶パネルのメインシール部の構造断面図。 40

【図 1 7 2】本発明の G a t e 電極と画素電極と共通電極を形成するためのハーフトーン露光プロセスフロー説明図。

【図 1 7 3】本発明の G a t e 電極と画素電極と共通電極を形成するためのハーフトーン露光プロセスフロー説明図。

【図 1 7 4】本発明の a - s i i s l a n d とコンタクトホールを形成するためのハーフトーン露光プロセスフロー説明図。

【図 1 7 5】本発明の S o u r c e 電極と D r a i n 電極と配向方向制御電極を形成するためのノーマル露光プロセスフロー説明図。

【図 1 7 6】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図。

【図 1 7 7】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図。 50

【図178】本発明の a - s i i s l a n d とコンタクトホールを形成するためのハーフトーン露光プロセスフロー説明図。

【図179】本発明の S o u r c e 電極と D r a i n 電極と配向方向制御電極を形成するためのノーマル露光プロセスフロー説明図。

【図180】本発明の a - s i i s l a n d とコンタクトホールを形成するためのハーフトーン露光プロセスフロー説明図。

【図181】本発明の S o u r c e 電極と D r a i n 電極と配向方向制御電極を形成するためのノーマル露光プロセスフロー説明図。

【図182】本発明のハーフトーン露光法を用いた薄膜トランジスタ素子の半導体層の i s l a n d 化とコンタクトホール形成のプロセス断面図。

【図183】本発明の S o u r c e 電極, D r a i n 電極, 端子電極, C s t (保持容量) 形成電極または配向方向制御電極の形成プロセス断面図。

【図184】本発明のハーフトーン露光法を用いた薄膜トランジスタ素子の半導体層の i s l a n d 化とコンタクトホール形成のプロセス断面図。

【図185】本発明の S o u r c e 電極, D r a i n 電極, 端子電極, C s t (保持容量) 形成電極または配向方向制御電極の形成プロセス断面図。

【図186】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図187】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図188】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図189】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図190】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図191】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図192】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図193】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図194】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図195】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図。

【図196】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図。

【図197】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図198】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図199】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図200】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図201】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図202】本発明の図200に対応するカラーフィルター基板の平面図

【図203】本発明の図201に対応するカラーフィルター基板の平面図

10

20

30

40

50

【図 2 0 4】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 0 5】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 0 6】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 0 7】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 0 8】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 0 9】本発明の図 2 0 6，図 2 0 7，図 2 0 8 に対応するカラーフィルタ基板の平面図

【図 2 1 0】本発明の図 2 0 0，図 2 0 1，図 2 0 4，図 2 0 5，図 2 0 6，図 2 0 7，図 2 0 8，図 2 2 8，図 2 2 9，図 2 3 0，図 2 3 1，図 2 3 2 の画素構造に対応する等価回路図。

【図 2 1 1】本発明の図 2 0 0，図 2 0 1，図 2 0 4，図 2 0 5，図 2 0 6，図 2 0 7，図 2 0 8，図 2 2 8，図 2 2 9，図 2 3 0，図 2 3 1，図 2 3 2 の画素構造を有する液晶パネルの駆動波形図。

【図 2 1 2】本発明の図 2 0 0，図 2 0 1，図 2 0 4，図 2 0 5，図 2 0 6，図 2 0 7，図 2 0 8，図 2 2 8，図 2 2 9，図 2 3 0，図 2 3 1，図 2 3 2 の画素構造を有する液晶

【図 2 1 3】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図。

【図 2 1 4】本発明の図 1 9 4，図 1 9 5，図 2 1 7，図 2 1 8 に対応するカラーフィルタ基板の平面図。

【図 2 1 5】本発明の図 8 9，図 1 9 6，図 1 9 7，図 2 1 9 に対応するカラーフィルタ基板の平面図

【図 2 1 6】本発明の C s t 形成電極を共通電極に連結した T F T アレイ基板の平面図

【図 2 1 7】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 1 8】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 1 9】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 2 0】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 2 1】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 2 2】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 2 3】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 2 4】本発明の図 2 2 0，図 2 2 1，図 2 2 2，図 2 2 3 に対応するカラーフィルタ基板

【図 2 2 5】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 2 6】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 2 7】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

10

20

30

40

50

- 【図 2 2 8】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図
- 【図 2 2 9】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図
- 【図 2 3 0】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図
- 【図 2 3 1】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図
- 【図 2 3 2】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図 10
- 【図 2 3 3】本発明の C s t（保持容量）形成電極を画素電極に連結した T F T アレイ基板の平面図
- 【図 2 3 4】本発明で配向膜として使用されるユニダインの構造式
- 【図 2 3 5】ハーフトーン露光プロセスのゲート電極形成工程説明図
- 【図 2 3 6】ハーフトーン露光プロセスのゲート電極形成工程説明図
- 【図 2 3 7】横電界方式液晶表示装置の正の誘電率異方性液晶分子の動作説明図
- 【図 2 3 8】横電界方式液晶表示装置の負の誘電率異方性液晶分子の動作説明図
- 【図 2 3 9】本発明のコンタクトパッドと D r a i n 電極との接合断面図
- 【図 2 4 0】本発明の C s t 形成電極を画素電極に連結した T F T アレイ基板の平面図
- 【図 2 4 1】本発明の C s t 形成電極を画素電極に連結した T F T アレイ基板の平面図 20
- 【図 2 4 2】本発明の C s t 形成電極を画素電極に連結した T F T アレイ基板の平面図
- 【図 2 4 3】本発明の液晶配向制御用スリットと液晶配向制御電極と液晶配向制御バンクを用いた M V A モード液晶表示パネルの断面図
- 【図 2 4 4】本発明の液晶配向制御用スリットと液晶配向制御電極を用いた M V A モード液晶表示パネルの断面図
- 【図 2 4 5】従来の広視野角液晶表示器の部分断面図
- 【図 2 4 6】従来の広視野角液晶表示器の部分断面図
- 【図 2 4 7】窒素を含むアルミニウム膜の膜厚および比抵抗に対するコンタクト抵抗の分布を示すグラフ
- 【図 2 4 8】本発明のハーフトーン露光法を用いた画素電極形成のプロセス断面図 30
- 【図 2 4 9】本発明のハーフトーン露光用ホットマスクを用いたハーフトーン露光法と現像後のポジレジストの断面形状図
- 【図 2 5 0】本発明のノーマルホットマスクを用いたハーフトーン 2 重露光法と現像後のポジレジストの断面形状図
- 【図 2 5 1】本発明の I P S モード T F T アレイ基板の完成断面図
- 【図 2 5 2】本発明の I P S モード T F T アレイ基板の完成断面図
- 【図 2 5 3】本発明の F F S モード液晶パネルの完成断面図
- 【図 2 5 4】本発明の単位画素中に 2 個のそれぞれ独立した薄膜トランジスタ素子と 2 個の独立した画素領域を有する T F T アレイ基板の平面図
- 【図 2 5 5】本発明の単位画素中に 2 個のそれぞれ独立した薄膜トランジスタ素子と 2 個の独立した画素領域を有する T F T アレイ基板の平面図 40
- 【図 2 5 6】本発明の単位画素中に 2 個のそれぞれ独立した薄膜トランジスタ素子と 2 個の独立した画素領域を有する T F T アレイ基板の平面図
- 【図 2 5 7】本発明の図 2 0 0，図 2 0 1，図 2 0 4，図 2 0 5，図 2 0 6，図 2 0 7，図 2 0 8，図 2 2 8，図 2 2 9，図 2 3 0，図 2 3 1，図 2 3 2 の画素構造を有する液晶パネルの駆動波形図。
- 【図 2 5 8】本発明の図 2 0 0，図 2 0 1，図 2 0 4，図 2 0 5，図 2 0 6，図 2 0 7，図 2 0 8，図 2 2 8，図 2 2 9，図 2 3 0，図 2 3 1，図 2 3 2 の画素構造を有する液晶パネルの平面図。
- 【図 2 5 9】本発明の図 2 6 0，図 2 6 1，図 2 6 2 の画素構造に対応する等価回路図 50

【図 2 6 0】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 6 1】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 6 2】本発明の異なる閾値電圧特性を有する複数の画素領域から構成されている T F T アレイ基板の平面図

【図 2 6 3】本発明の図 1 4 8 , 図 1 4 9 の T F T アレイ基板と組みあわされて用いられるカラーフィルタ基板の平面図。

【図 2 6 4】本発明の C s t (保持容量)形成電極をくし歯状画素電極に連結した I P S モード用 T F T アレイ基板の平面図。

【図 2 6 5】本発明の図 3 8 の I P S モード用 3 回ホットマスク工程の 1 番で用いるハーフトーン露光用ホットマスクの平面図

【図 2 6 6】本発明の図 3 8 の I P S モード用 3 回ホットマスク工程の 2 番で用いるハーフトーン露光用ホットマスクの平面図

【図 2 6 7】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 2 番の i) で用いるノーマルホットマスクの平面図

【図 2 6 8】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 2 番の i i) で用いるノーマルホットマスクの平面図

【図 2 6 9】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 3 番の i) で用いるノーマルホットマスクの平面図

【図 2 7 0】本発明の図 7 7 の I P S モード用ハーフトーン 2 重露光工程の 3 番の i i) で用いるノーマルホットマスクの平面図。

【図 2 7 1】本発明の第 3 番めのホトリソグラフィー工程のプロセスフロー説明図

【図 2 7 2】本発明の第 3 番めのホトリソグラフィー工程のプロセスフロー説明図

【図 2 7 3】本発明の第 3 番めのホトリソグラフィー工程のプロセスフロー説明図

【図 2 7 4】本発明の n^+ アモルファス S i 層と S o u r c e & D r a i n 金属電極の界面の断面図

【図 2 7 5】本発明の T F T アレイ基板の完成断面図

【図 2 7 6】本発明の T F T アレイ基板の完成断面図

【図 2 7 7】本発明のハーフトーン露光法を 2 回用いる 4 回ホットマスク工程のプロセス説明図

【図 2 7 8】本発明のハーフトーン露光法を 2 回用いる 4 回ホットマスク工程のプロセス説明図

【図 2 7 9】本発明のハーフトーン露光法を 2 回用いる 4 回ホットマスク工程のプロセス説明図

【図 2 8 0】本発明のハーフトーン 2 重露光法を 2 回用いる 4 回ホトリソグラフィー工程のプロセス説明図。

【図 2 8 1】本発明のハーフトーン 2 重露光法を 2 回用いる 4 回ホトリソグラフィー工程のプロセス説明図。

【図 2 8 2】本発明のハーフトーン 2 重露光法を 2 回用いる 4 回ホトリソグラフィー工程のプロセス説明図。

【図 2 8 3】本発明の D M D ハーフトーン露光法を 2 回用いる 4 回ホトリソグラフィー工程のプロセス説明図

【図 2 8 4】本発明の D M D ハーフトーン露光法を 2 回用いる 4 回ホトリソグラフィー工程のプロセス説明図

【符号の説明】

【0 3 2 1】

1 . ハーフトーン露光して現像されたポジレジストの厚膜部分

2 . ハーフトーン露光して現像されたポジレジストの薄膜部分

3 . アルミ合金 (A L - C - N i) または銅または銅合金または銀合金

10

20

30

40

50

4. チタンまたはジルコニウム
5. T F T アレイ側ガラス基板
6. 酸素プラズマアッシング後に残ったポジレジスト
7. 上層のアルミ合金または銅がエッチングされ残った下層のチタン薄膜
8. 加速された窒素イオン粒子
9. エッチングされ残ったコンタクトパッド部 (T F T の D r a i n 電極との接合用)
10. 表面に形成された窒化アルミニウムまたは窒化銅
11. 透明度が向上した窒化チタン画素電極 (窒素イオンドーピング処理済)
12. G a t e 端子
13. G a t e 電極 (走査線) 10
14. 共通電極
15. 画素電極部のコンタクトホール形成領域
16. G a t e 端子部のコンタクトホール形成領域
17. 共通電極部のコンタクトホール形成領域
18. G a t e 絶縁膜 (P - S i N x 膜)
19. ノンドープアモルファスシリコン (i - a - s i)
20. リンをドーピングしたアモルファスシリコン (n^+ - a - s i)
21. 画素電極のコンタクトパッド部に形成されたコンタクトホール (D r a i n 電極と画素電極を電氣的に連結するためのコンタクトホール)
22. G a t e 端子部に形成されたコンタクトホール 20
23. 共通電極部に形成されたコンタクトホール
24. ノーマル露光して現像されたポジレジスト
25. バリアーメタル (T i や M o などの高融点金属)
26. アルミニウム合金または銅合金または銀合金
27. D r a i n 電極
28. 液晶配向制御電極または C s t (保持容量) 形成電極
29. S o u r c e 電極 (映像信号線)
30. パッシベーション膜 (P - S i N x 膜)
31. 液晶配向膜
32. キャップメタル (M o などの高融点金属) 30
33. 反応スパッターで形成した透明窒化チタンまたは透明窒化ジルコニウム
34. モリブデン (M o) コンタクトパッド
35. 透明画素電極
36. モリブデン (M o) G a t e 電極
37. モリブデン (M o) S o u r c e 電極
38. モリブデン (M o) D r a i n 電極
39. モリブデン (M o) 液晶配向制御電極または C s t (保持容量) 形成電極
40. G a t e 電極部に形成されたコンタクトホール
41. G a t e 電極に連結された C s t (保持容量) 形成電極
42. 共通電極に連結された C s t (保持容量) 形成電極 40
43. 画素電極
44. 画素電極を駆動するための薄膜トランジスタ素子
45. 画素電極に形成された液晶配向制御用スリット
46. 共通電極に連結された液晶配向制御用電極
47. 画素電極コンタクトパッド (D r a i n 電極との接合用)
48. カラーフィルター基板の遮光膜 (B M)
49. カラーフィルター層 (R または G または B)
50. カラーフィルター基板側に形成された液晶配向制御用バンブ
51. カラーフィルター用ガラス基板
52. C F 基板側の透明共通電極 50

- 53. CF基板側垂直液晶配向膜
- 54. 負の誘電率異方性液晶
- 55. TFTアレ基板側垂直液晶配向膜
- 56. CF基板側の透明共通電極に形成された配向制御用スリット
- 57. CF基板側平坦化膜
- 58. Source信号電極シールド用共通電極
- 59. 液晶駆動用くし歯状共通電極
- 60. 液晶駆動用くし歯状画素電極
- 61. メインシール部のボールスパーサー
- 62. メインシール 10
- 63. 表面窒化されたアルミ合金または銅または銅合金または銀合金
- 64. 静電気シールド用透明導電膜 (TiNxまたはZrNx)
- 65. 表示画素領域をとりかこむ共通電極
- 66. Source端子 (映像信号線の端子)
- 67. 共通電極端子
- 68. 静電気対策用保護回路用薄膜トランジスタ素子
- 69. 純アルミニウムまたは銅または銀
- 70. モリブデン
- 71. ハーフトーン露光プロセスで用いるホットマスクの画素電極部分 (半透過領域)
- 72. ハーフトーン露光用ホットマスクの画素電極部のコンタクトパッド形成領域 (Drain電極との接合用) (完全UV光遮断領域) 20
- 73. ハーフトーン露光用ホットマスクのGate電極形成領域 (完全UV光遮断領域)
- 74. ハーフトーン露光用ホットマスクの共通電極形成領域 (完全UV光遮断領域)
- 75. ハーフトーン露光用ホットマスクの画素電極形成部分のコンタクトホール形成領域 (Drain電極との接合用) (UV光透過領域)
- 76. ハーフトーン露光用ホットマスクの薄膜トランジスタ素子形成領域 (完全UV光遮断領域)
- 77. ハーフトーン露光用ホットマスクの共通電極部分のコンタクトホール形成領域 (配向制御電極との接合用) (UV光透過領域)
- 78. ハーフトーン露光用ホットマスクの半透過領域 30
- 79. ハーフトーン2重露光法で用いるガラス基板の内部に形成されたアライメントマーク
- 80. パルスレーザー光線
- 81. 集光レンズ系
- 82. ハーフトーン2重露光用ホットマスクの画素電極部のコンタクトパッド形成領域 (Drain電極との接合用)
- 83. ハーフトーン2重露光用ホットマスクのGate電極形成領域
- 84. ハーフトーン2重露光用ホットマスクの共通電極形成領域
- 85. ハーフトーン2重露光用ホットマスクの画素電極形成領域
- 86. ハーフトーン2重露光用ホットマスクの薄膜トランジスタ素子形成領域 40
- 87. ハーフトーン2重露光用ホットマスクの画素電極部のコンタクトホール形成領域 (Drain電極との接合用)
- 88. ハーフトーン2重露光用ホットマスクの共通電極部分のコンタクトホール形成領域 (配向方向制御電極との接合用)
- 89. DMDマスクレス直接描画露光用光学レンズ系
- 90. ガラス基板のうねりを測定するための赤色レーザー変位計
- 91. 往路と復路での露光装置をシフトするためのリニアモーターシフト機構
- 92. ガラス基板を保持し、アライメント調整機能を持った露光用ステージ
- 93. アライメント光学系
- 94. 顕微鏡カメラ 50

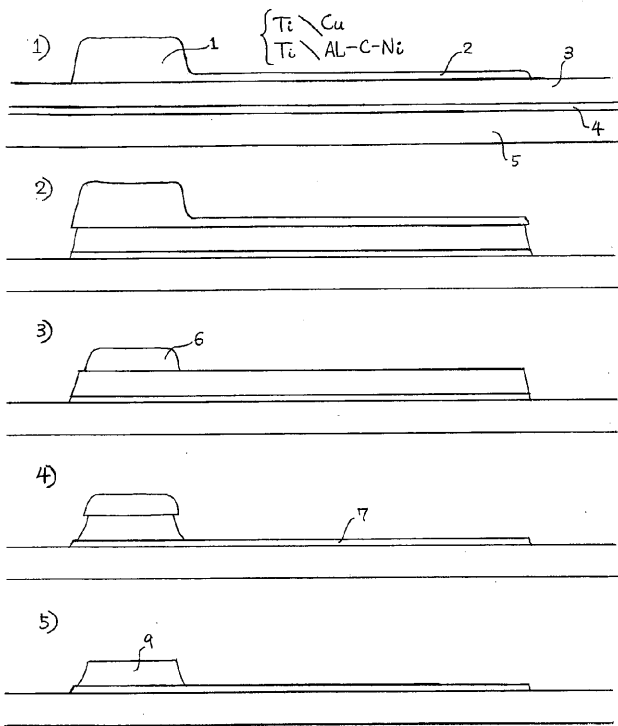
- 95. DMDのひとつのミラーに対応する領域
- 96. ベタ状の画素電極領域 (A領域)
- 97. スリットが形成されている画素電極領域 (B領域)
- 98. アルミニウム合金 (A L - N d)
- 99. 反応スパッターで形成された窒素原子がドーピングされているアルミニウム合金層
- 100. パッシベーション膜の上に形成された配向制御電極 (共通電極と同電位)
- 101. 透明電極 (I T O) で形成された配向制御電極 (共通電極と同電位)
- 102. G a t e 電極と同じ金属 (透明画素電極に連結されている。)
- 103. S o u r c e 電極, D r a i n 電極と同じ金属 (透明配向制御電極に連結)
- 104. 液晶配向制御電極 10
- 105. 絶縁膜
- 106. 透明電極 (I T O) で形成された映像信号ライン
- 107. G a t e 電極に連結されている液晶配向制御電極
- 108. デポのはじめに界面部分に窒素をドーブしたアルミニウム合金
- 109. 下層の界面と表面に窒素がドーブされたコンタクトパッド部分のアルミニウム合金 (D r a i n 電極との接合用)
- 110. デポのはじめに界面部分に窒素をドーブしたアルミニウム合金 (S o u r c e 電極)
- 111. デポのはじめに界面部分に窒素をドーブしたアルミニウム合金 (D r a i n 電極) 20
- 112. ホトマスク用石英ガラス
- 113. 画素電極に連結された C s t (保持容量) 形成電極
- 114. 画素電極と C s t (保持容量) 形成電極を連結するためのコンタクトホール
- 115. 配向制御電極を駆動するための薄膜トランジスタ素子
- 116. 薄膜トランジスタ素子に連結している配向制御電極
- 117. リンをドーブしたアモルファスシリコン ($n^+ - a - s i$) に直接接合可能な金属 (S o u r c e 電極)
- 118. リンをドーブしたアモルファスシリコン ($n^+ - a - s i$) に直接接合可能な金属 (D r a i n 電極)
- 119. ハーフトーン露光用ホトマスクの画素電極部のコンタクトパッド形成領域 (C s t 形成電極との接合用) 30
- 120. ハーフトーン露光用ホトマスクの画素電極部のコンタクトホール形成領域 (C s t 形成電極との接合用)
- 121. ハーフトーン2重露光用ホトマスクの画素電極部のコンタクトパッド形成領域 (C s t 形成電極との接合用)
- 122. ハーフトーン2重露光用ホトマスクの画素電極部のコンタクトホール形成領域 (C s t 形成電極との接合用)
- 123. ハーフトーン露光プロセスで用いるホトマスクの共通電極部分 (半透過領域)
- 124. ハーフトーン露光プロセスで用いるホトマスクのシールド電極部分 (半透過領域) 40
- 125. ハーフトーン露光用ホトマスクの画素電極部のコンタクトパッド形成領域 (C s t 形成電極との接合用)
- 126. ハーフトーン露光用ホトマスクの画素電極部分のコンタクトホール形成領域 (C s t 形成電極との接合用)
- 127. ハーフトーン2重露光用ホトマスクの画素電極部のコンタクトパッド形成領域 (C s t 形成電極との接合用)
- 128. ハーフトーン2重露光用ホトマスクのシールド電極形成領域
- 129. ハーフトーン2重露光用ホトマスクの画素電極部のコンタクトホール形成領域 (D r a i n 電極との接合用)
- 130. ハーフトーン2重露光用ホトマスクの画素電極部のコンタクトホール形成領域 (50

C s t 形成電極との接合用)

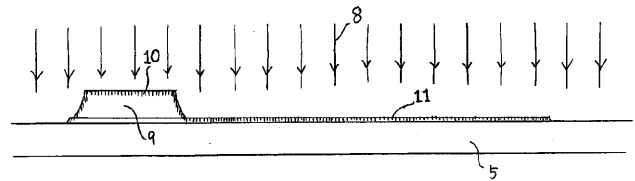
- 1 3 1. 薄膜半導体層
- 1 3 2. C s t (保持容量) 形成電極との接合用コンタクトパッド部
- 1 3 3. 配向膜
- 1 3 4. T F T アレイ基板の共通電極と C F 基板の共通電極を電氣的に接続するための銀ペースト。
- 1 3 5. ダミー端子
- 1 3 6. ハーフトーン露光用ホトマスクの端子部分のコンタクトホール形成領域
- 1 3 7. 表面に窒素イオンをドーピングした画素電極のコンタクトパッド
- 1 3 8. 表面に窒素イオンをドーピングしたゲート電極 10
- 1 3 9. 表面に窒素イオンをドーピングした共通電極
- 1 4 0. 紫外線
- 1 4 1. ハーフトーン露光用ポジレジスト
- 1 4 2. 耐酸素プラズマアッシングバリアーメタル
- 1 4 3. 画素電極と画素電極を電氣的に連結するためのコンタクトホール
- 1 4 4. 共通電極 (A)
- 1 4 5. 共通電極 (B)
- 1 4 6. カラーフィルタ共通電極接続用引き出し端子
- 1 4 7. 共通電極 (A) 引出し端子
- 1 4 8. 共通電極 (B) 引出し端子 20
- 1 4 9. 静電気保護回路形成用コンタクトホール
- 1 5 0. 共通電極端子部のコンタクトホール形成領域
- 1 5 1. S o u r c e 電極端子部のコンタクトホール形成領域
- 1 5 2. カラーフィルタ共通電極接続用引き出し端子部のコンタクトホール形成領域
- 1 5 3. 分断されている 2 つの画素電極を電氣的に連結する C s t (保持容量) 形成電極
- 1 5 4. 90 度に屈曲している画素電極
- 1 5 5. インクジェット塗布法を用いて定点配置されたボールスパーサ
- 1 5 6. 酸素プラズマ中での電気力線
- 1 5 7. 正の誘電率異方性液晶分子の配向方向
- 1 5 8. 負の誘電率異方性液晶分子の配向方向 30
- 1 5 9. 正の誘電率異方性液晶分子
- 1 6 0. 負の誘電率異方性液晶分子
- 1 6 1. S u b P i x e l (A) の画素電極
- 1 6 2. S u b P i x e l (B) の画素電極
- 1 6 3. S u b P i x e l (A) の 90 度に屈曲している画素電極
- 1 6 4. S u b P i x e l (B) の 90 度に屈曲している画素電極
- 1 6 5. ハーフトーン露光用ホトマスクの完全 U V 光遮断領域
- 1 6 6. ハーフトーン多重露光用ホトマスクの完全 U V 光遮断領域
- 1 6 7. 完全露光領域の U V 光
- 1 6 8. ハーフトーン露光ホトマスク領域を透過した U V 光 40
- 1 6 9. 不完全露光領域の U V 光
- 1 7 0. S u b P i x e l (A) の画素電極のコンタクトパッドに接続されている D r a i n 電極
- 1 7 1. S u b P i x e l (B) の画素電極のコンタクトパッドに接続されている D r a i n 電極
- 1 7 2. S u b P i x e l (A) 用の G a t e 電極
- 1 7 3. S u b P i x e l (B) 用の G a t e 電極
- 1 7 4. S u b P i x e l (A) の画素電極駆動用薄膜トランジスタ素子
- 1 7 5. S u b P i x e l (B) の画素電極駆動用薄膜トランジスタ素子
- 1 7 6. 静電気対策用保護回路 50

177. ハーフトーン2重露光用ホットマスクのくし歯状屈曲共通電極形成領域
 178. 側壁に窒素をドーピングしたi-a-si半導体層
 179. 表面に窒素をドーピングした n^+ -a-si半導体層
 180. Niを1~7atm%含むアルミニウム合金 (Source電極)
 181. Niを1~7atm%含むアルミニウム合金 (Drain電極)

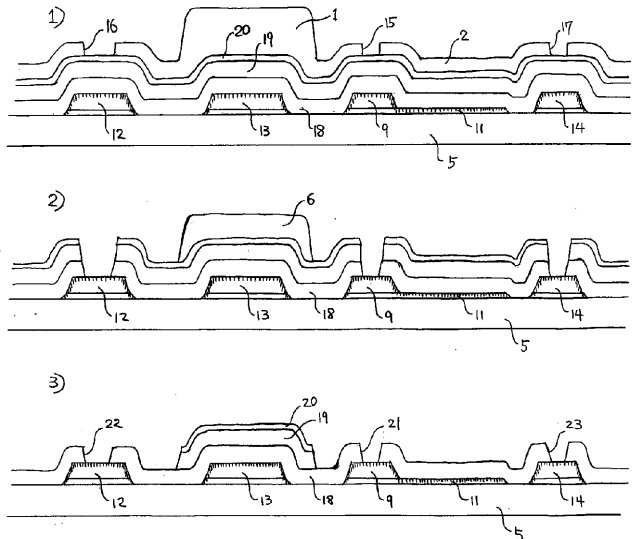
【図1】



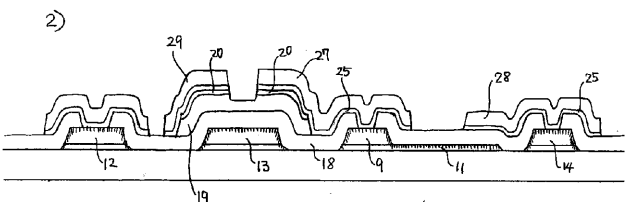
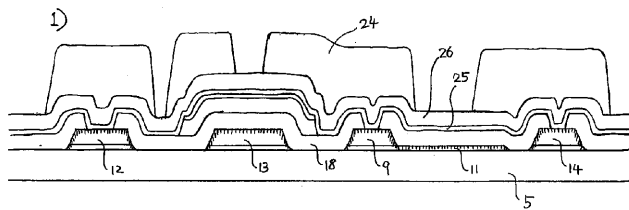
【図2】



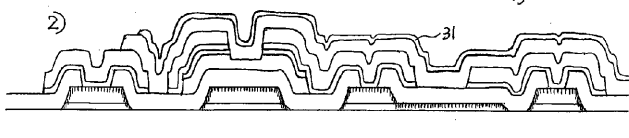
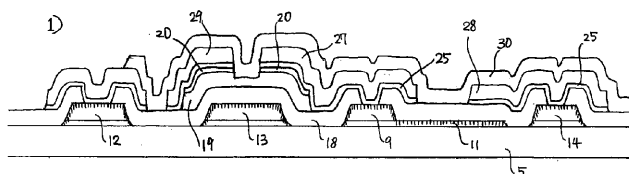
【図3】



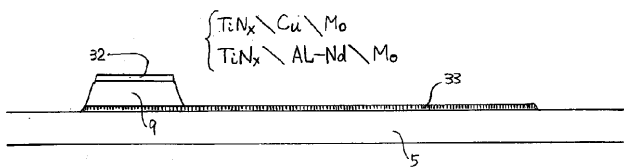
【図 4】



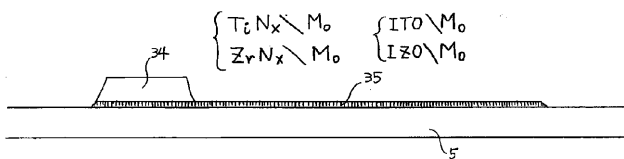
【図 5】



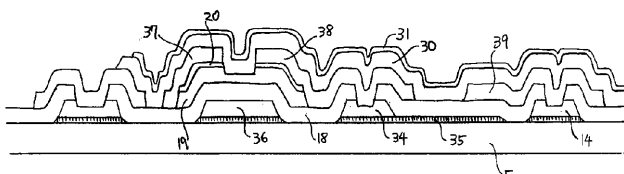
【図 6】



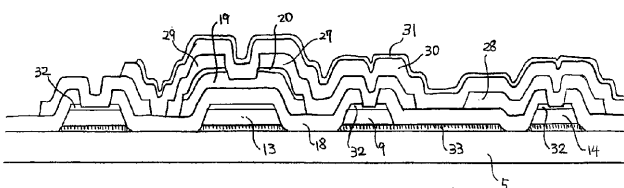
【図 7】



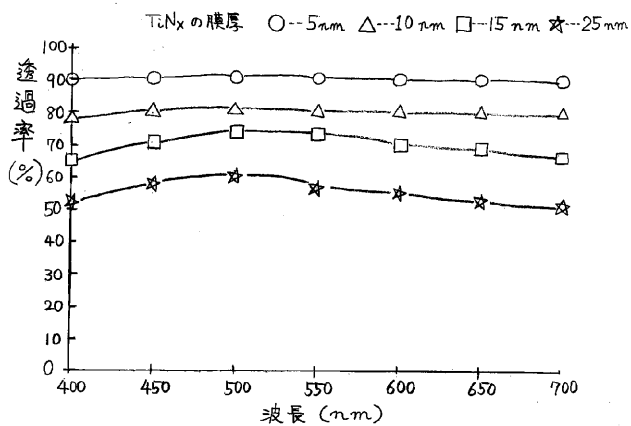
【図 8】



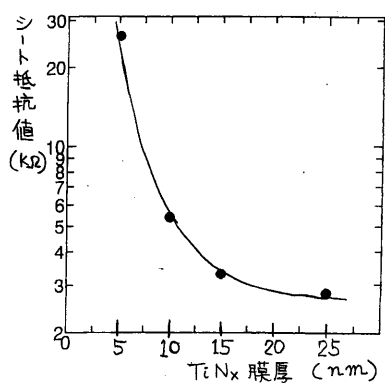
【図 9】



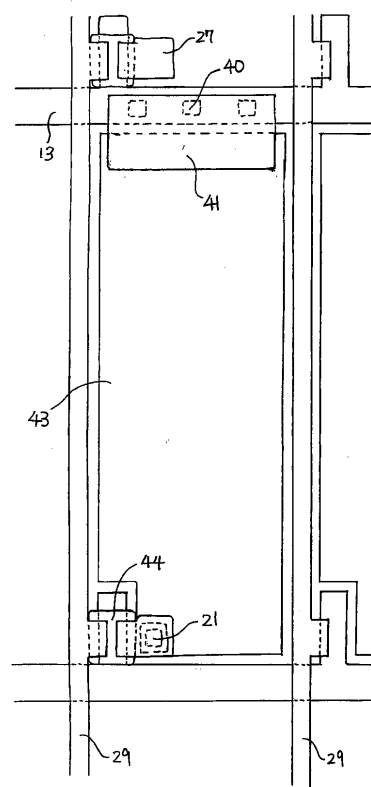
【図 10】



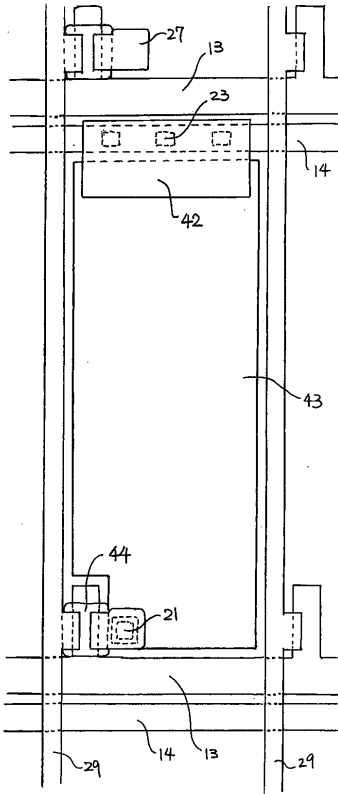
【図 11】



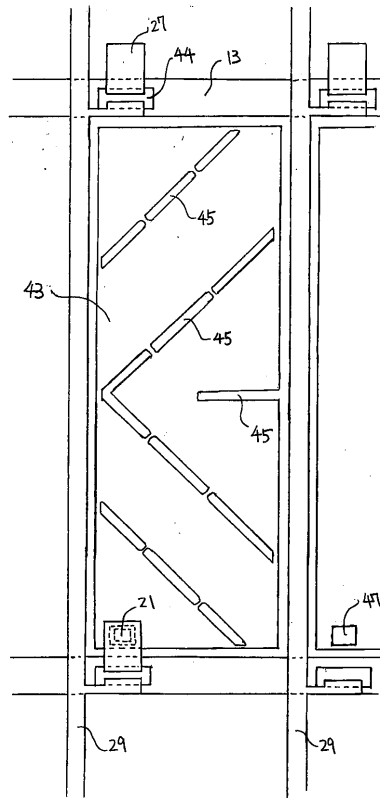
【図 12】



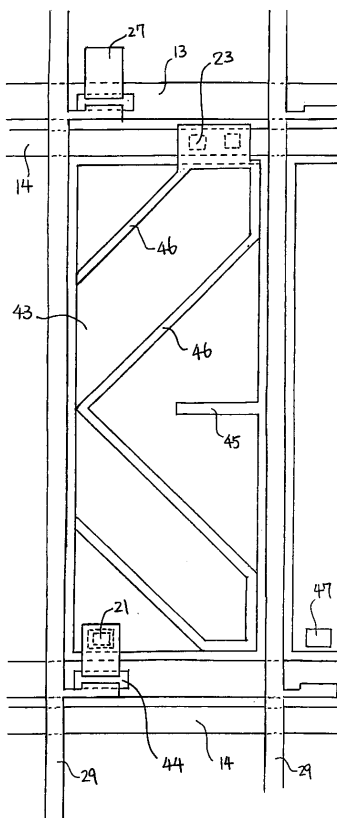
【図 13】



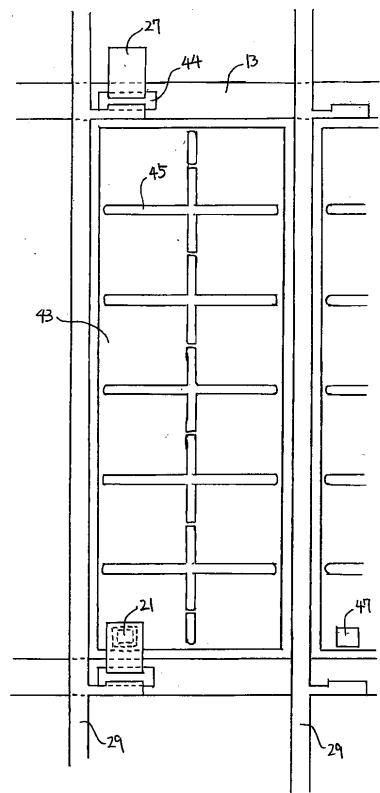
【図 14】



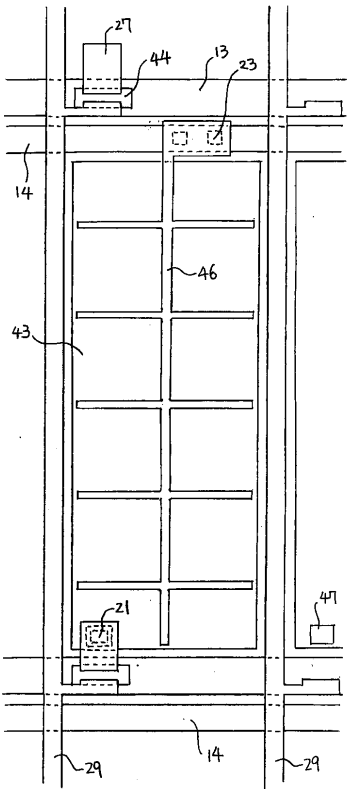
【図 15】



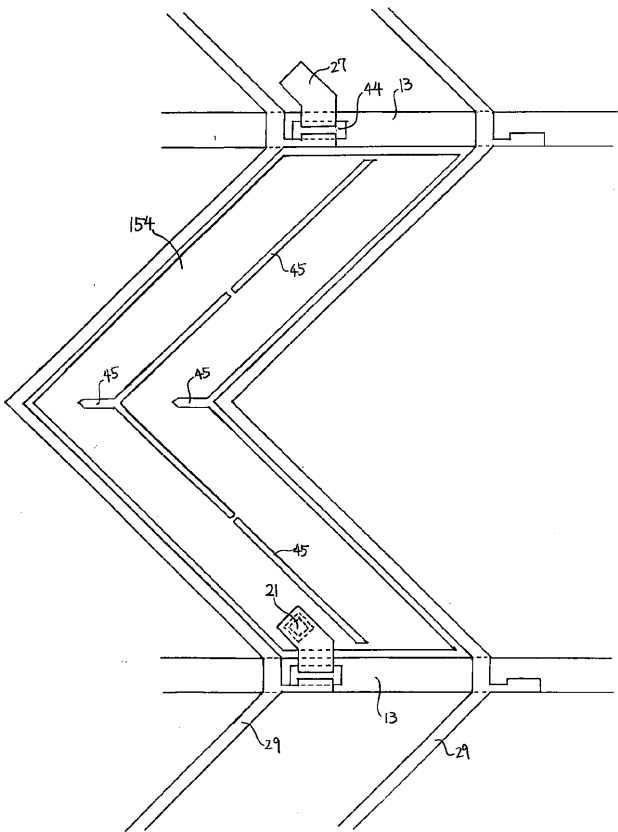
【図 16】



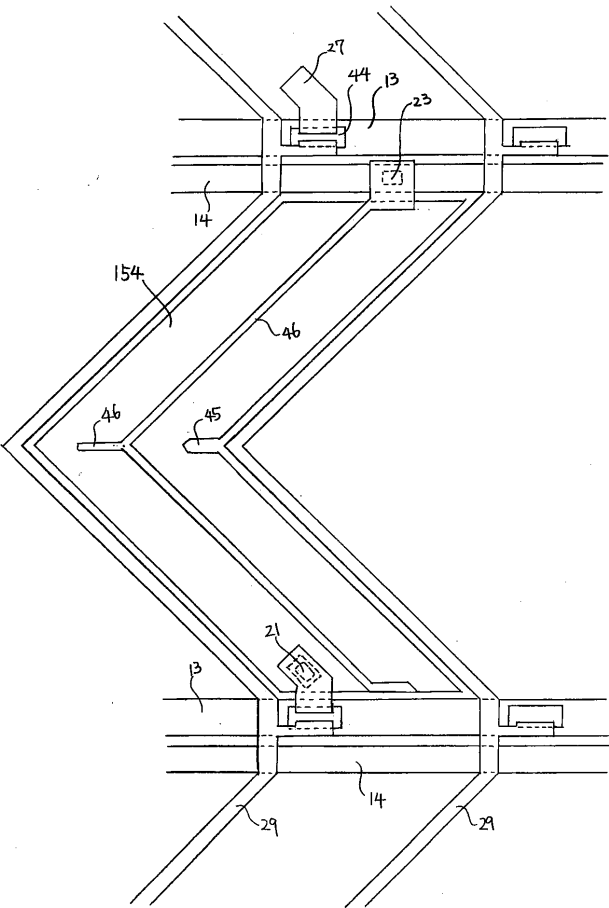
【図 17】



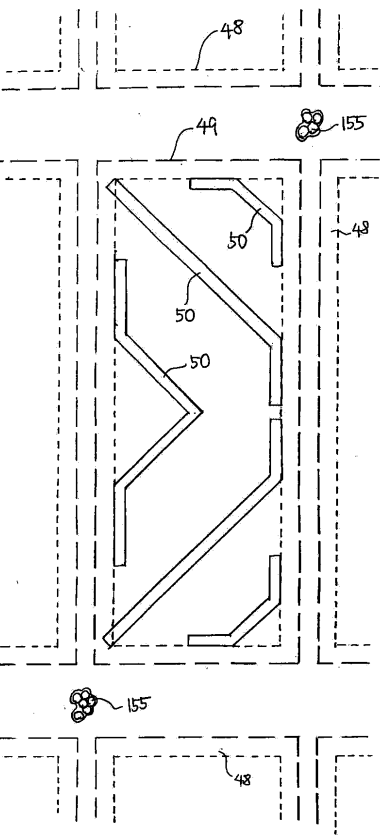
【図 18】



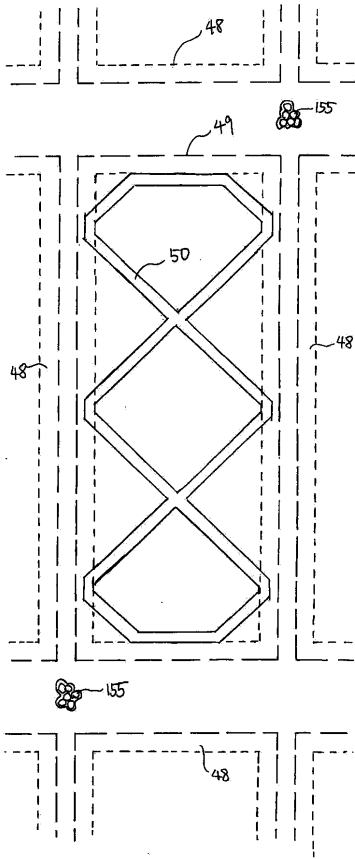
【図 19】



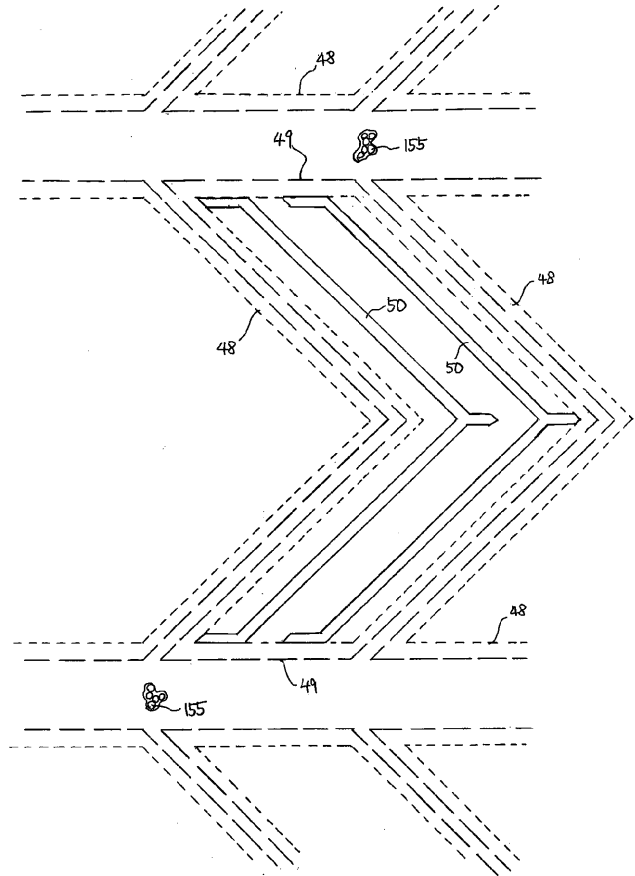
【図 20】



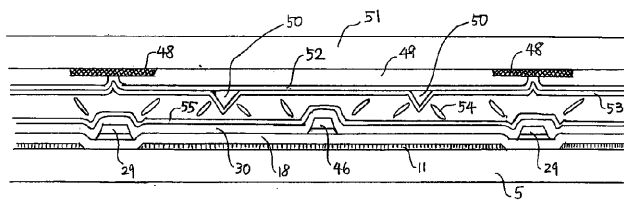
【図 2 1】



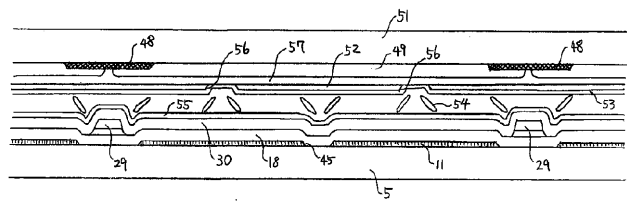
【図 2 2】



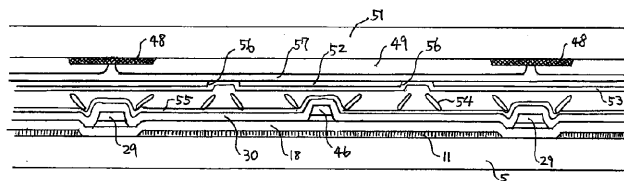
【図 2 3】



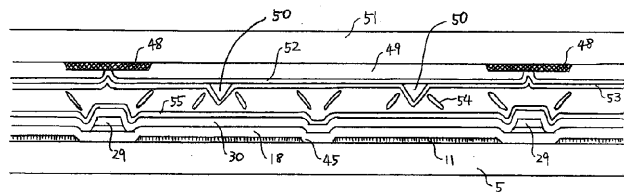
【図 2 6】



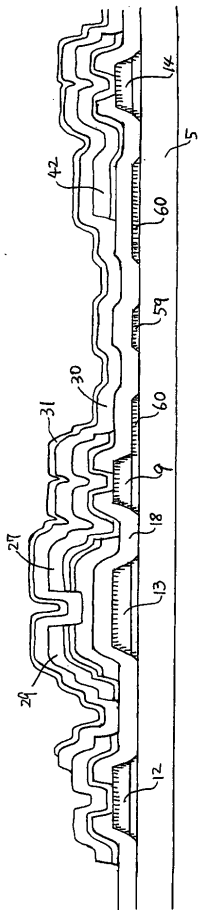
【図 2 4】



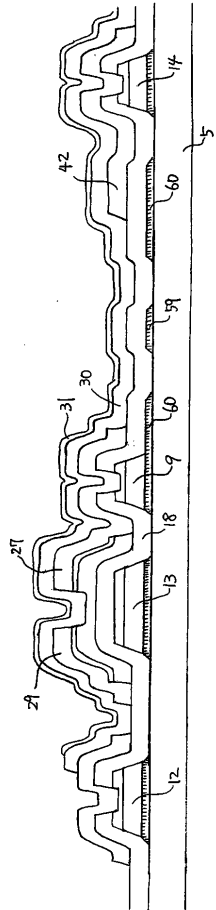
【図 2 5】



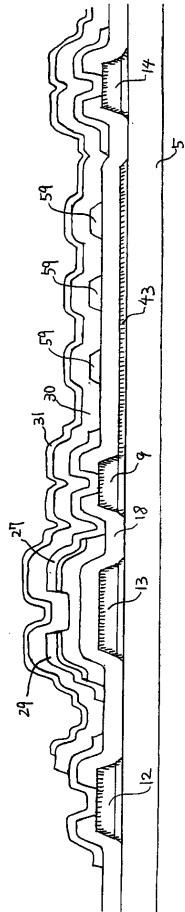
【図 27】



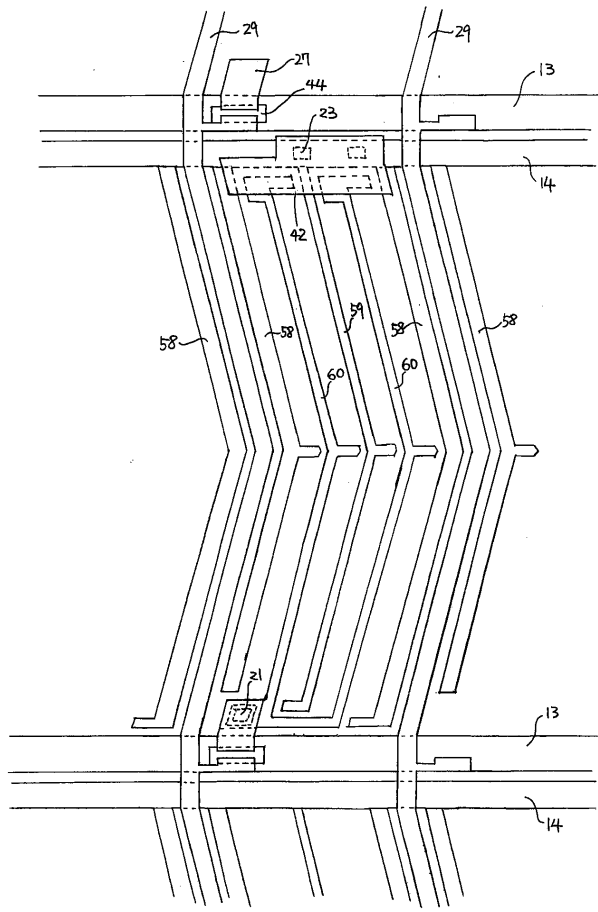
【図 28】



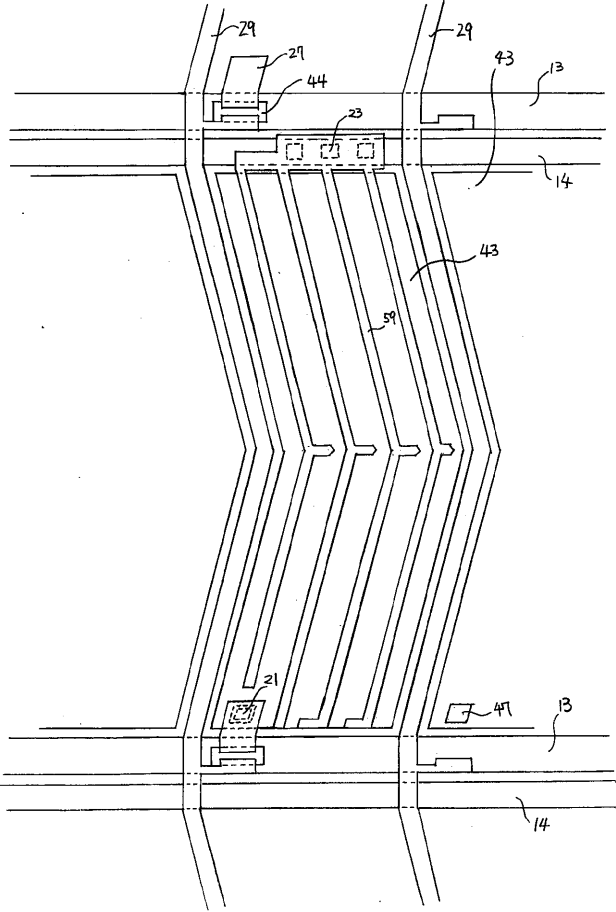
【図 29】



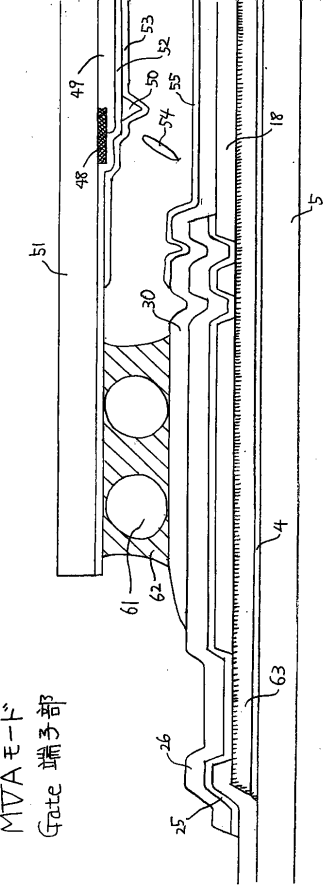
【図 30】



【図 3 1】

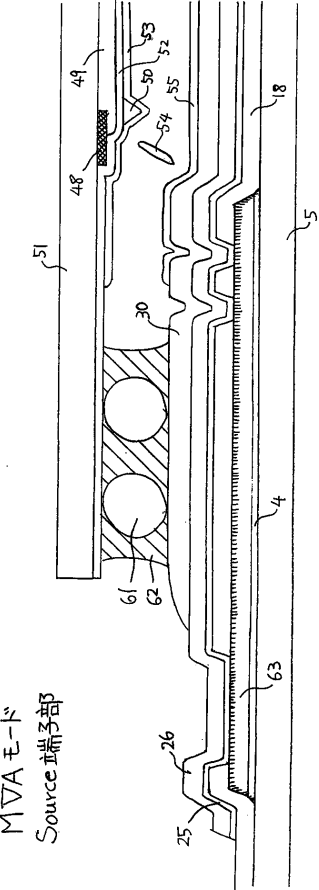


【図 3 2】



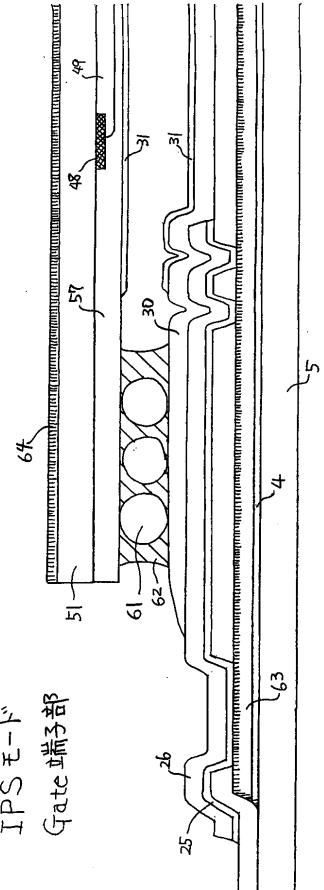
MVAモード
Gate 端子部

【図 3 3】



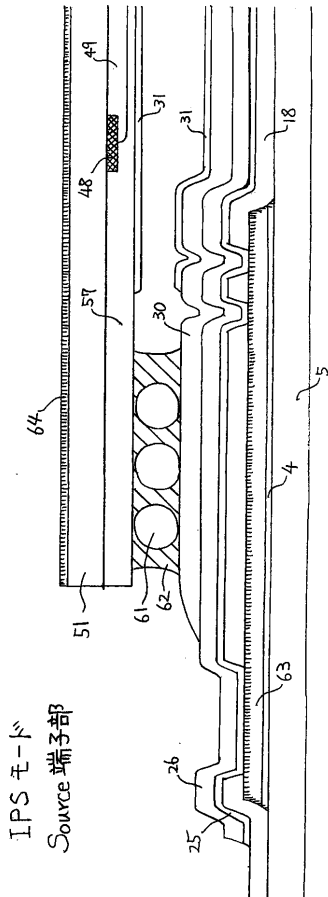
MVAモード
Source 端子部

【図 3 4】

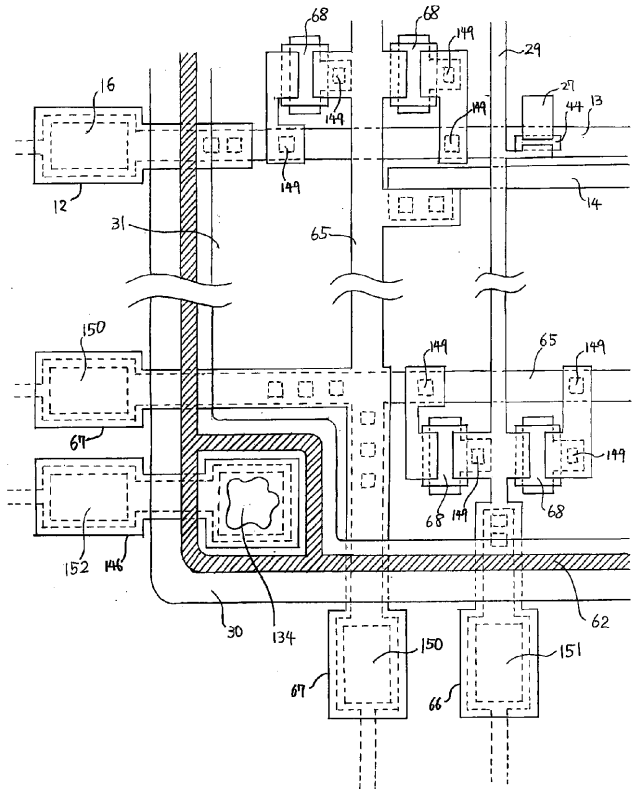


IPSモード
Gate 端子部

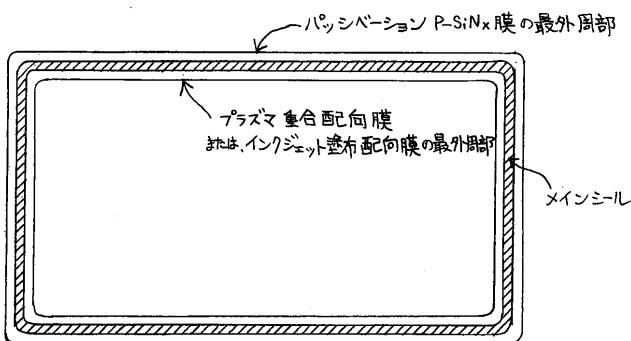
【図 35】



【図 36】



【図 37】



【図 39】

B 型プロセス (MVA モード) 3 回 ホトマスク 工程

- ① Gate 電極 & 画素電極 & 共通電極 } --- ハーフトーン露光法
& 画素電極内コンタクトパッド } (ハーフトーンホトマスク使用)
- ② a-Si island & コンタクトホール --- ハーフトーン露光法
(ハーフトーンホトマスク使用)
- ③ Source 電極 & Drain 電極 & 配向方向制御電極
----- ノーマル露光法 (ノーマルホトマスク使用)
チャネル部分の n⁺ a-Si Dry Etching
 { P-SiNx パッシベーション膜 --- マスクデポジション法
 または、
 BCB, ポリシラザン, Tg-ジエン, Tg-ジエン パッシベーション膜
 ---- インクジェット塗布法

【図 38】

A 型プロセス (TN, MVA, IPS モード) 3 回 ホトマスク 工程

- ① Gate 電極 & 画素電極 & 共通電極 } --- ハーフトーン露光法
& 画素電極内コンタクトパッド } (ハーフトーンホトマスク使用)
- ② a-Si island & コンタクトホール --- ハーフトーン露光法
(ハーフトーンホトマスク使用)
- ③ Source 電極 & Drain 電極 & Cst (保持容量) 形成電極
----- ノーマル露光法 (ノーマルホトマスク使用)
チャネル部分の n⁺ a-Si Dry Etching
 { P-SiNx パッシベーション膜 --- マスクデポジション法
 または、
 BCB, ポリシラザン, Tg-ジエン, Tg-ジエン パッシベーション膜
 ---- インクジェット塗布法

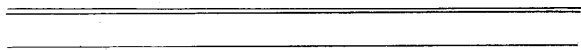
【図 40】

C 型プロセス (FFS モード) 3 回 ホトマスク 工程

- ① Gate 電極 & 画素電極 & 共通電極 } --- ハーフトーン露光法
& 画素電極内コンタクトパッド } (ハーフトーンホトマスク使用)
- ② a-Si island & コンタクトホール --- ハーフトーン露光法
(ハーフトーンホトマスク使用)
- ③ Source 電極 & Drain 電極 & クレフト共通電極
----- ノーマル露光法 (ノーマルホトマスク使用)
チャネル部分の n⁺ a-Si Dry Etching
 { P-SiNx パッシベーション膜 --- マスクデポジション法
 または、
 BCB, ポリシラザン, Tg-ジエン, Tg-ジエン パッシベーション膜
 ---- インクジェット塗布法

【図 4 1】

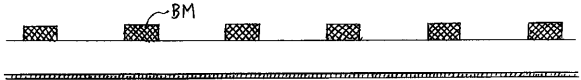
1) スパッタリング装置による Ti および Zr 薄膜 Depo (バックコーティング)



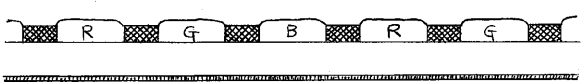
2) イオンシャワードーピング装置による窒素イオンの注入 (透明化処理)



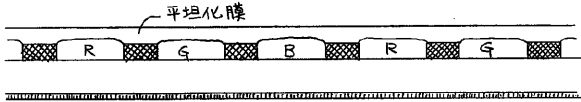
3) 遮光膜 (BM) を DMD 素子を用いたマスクレス直接露光法で形成する。



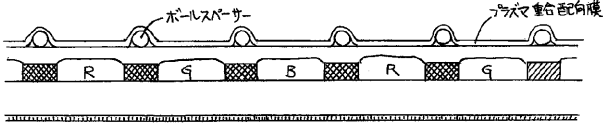
4) インクジェット塗布法を用いて R, G, B 三色カラーフィルター層を形成するか、DMD 素子を用いたマスクレス直接露光法を用いてカラーフィルター層を形成する。



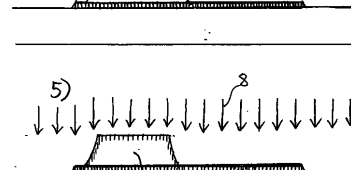
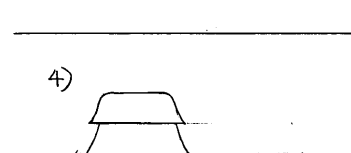
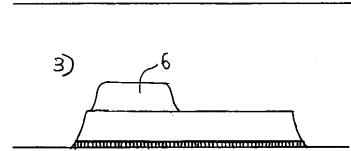
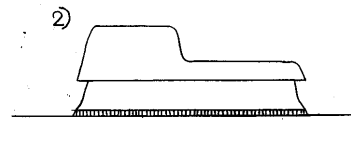
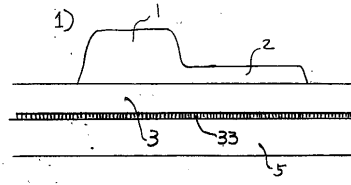
5) スリットコーターを用いて平坦化膜を塗布



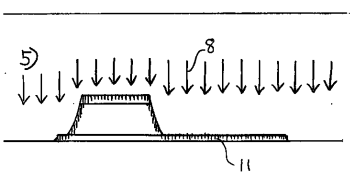
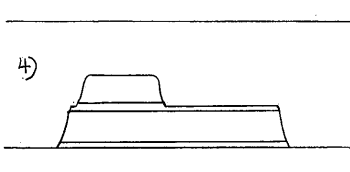
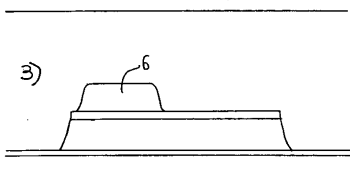
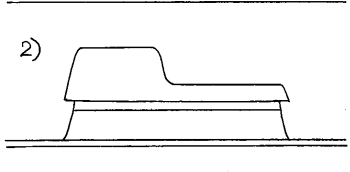
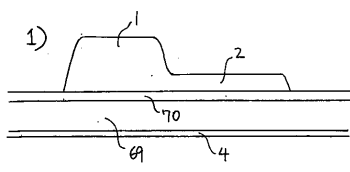
6) インクジェット塗布法を用いてボリスパーサーを定点配置



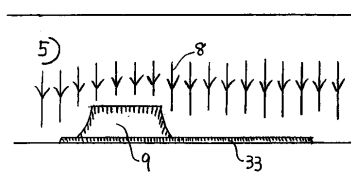
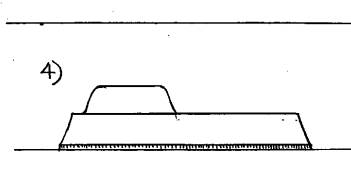
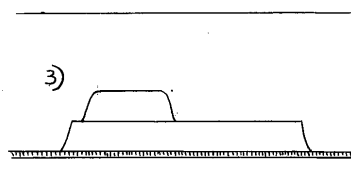
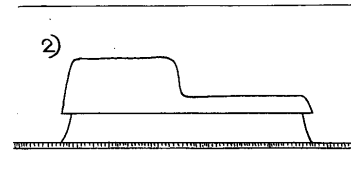
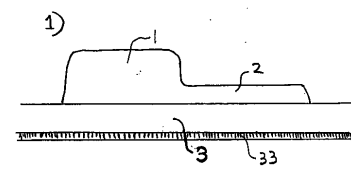
【図 4 2】



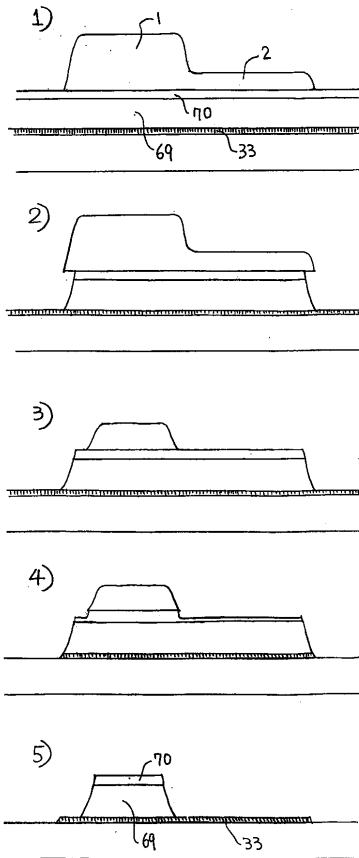
【図 4 3】



【図 4 4】



【図 4 5】



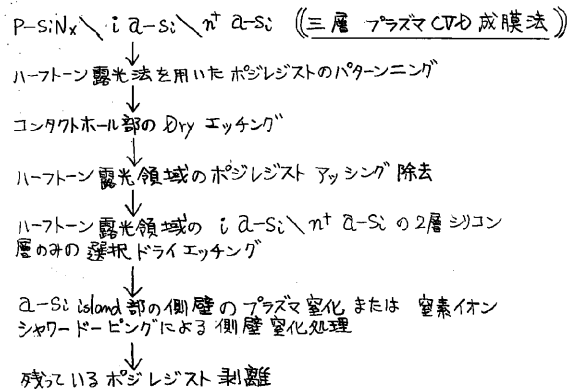
【図 4 6】

Gae 電極 & 画素電極 & 共通電極 《ハーフートン露光プロセス》

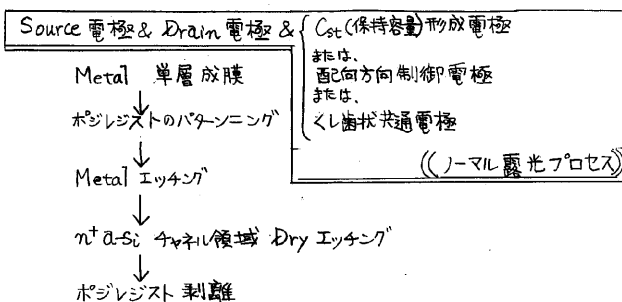


【図 4 7】

a-Si island & コンタクトホール 《ハーフートン露光プロセス》

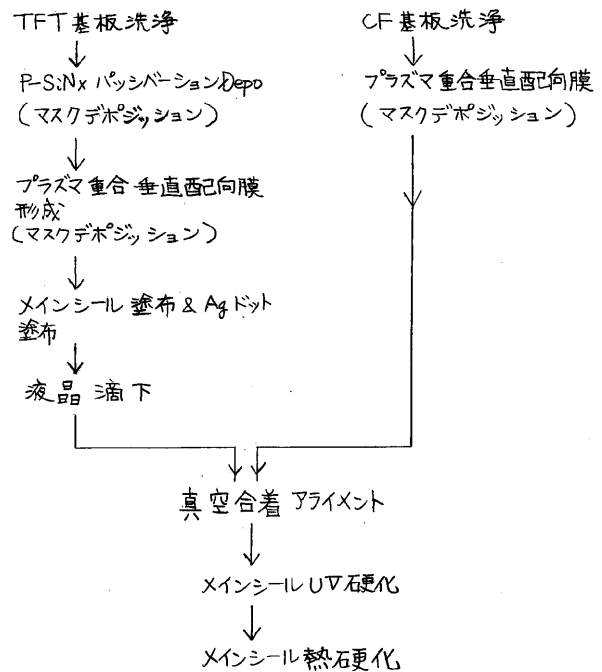


【図 4 8】



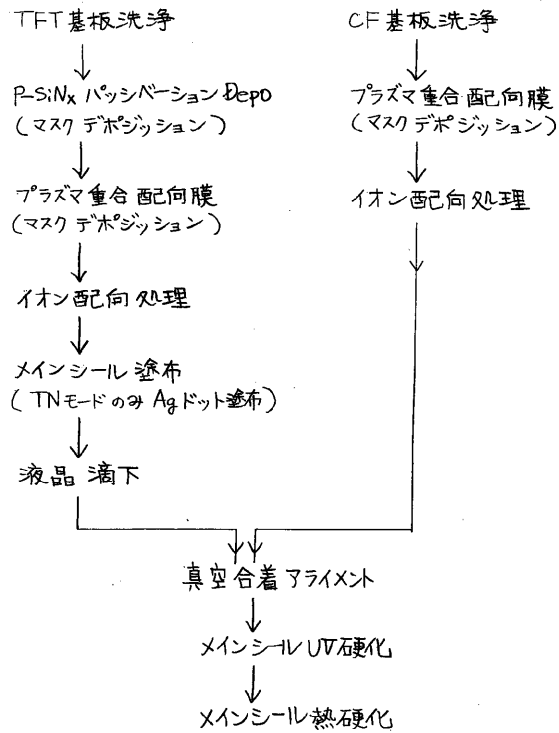
【図 4 9】

MVA モード 液晶 Cell 工程 (A)



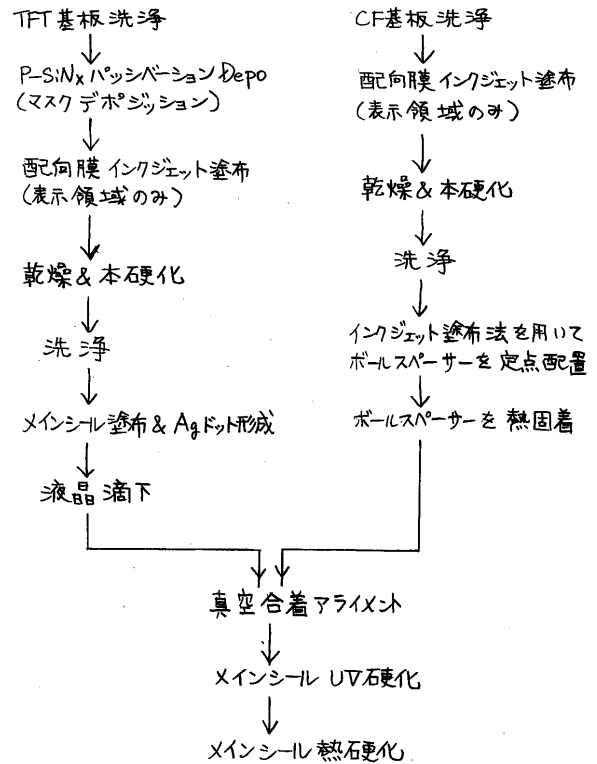
【図 5 0】

TNモード & IPSモード & FFSモード 液晶Cell工程 (B)



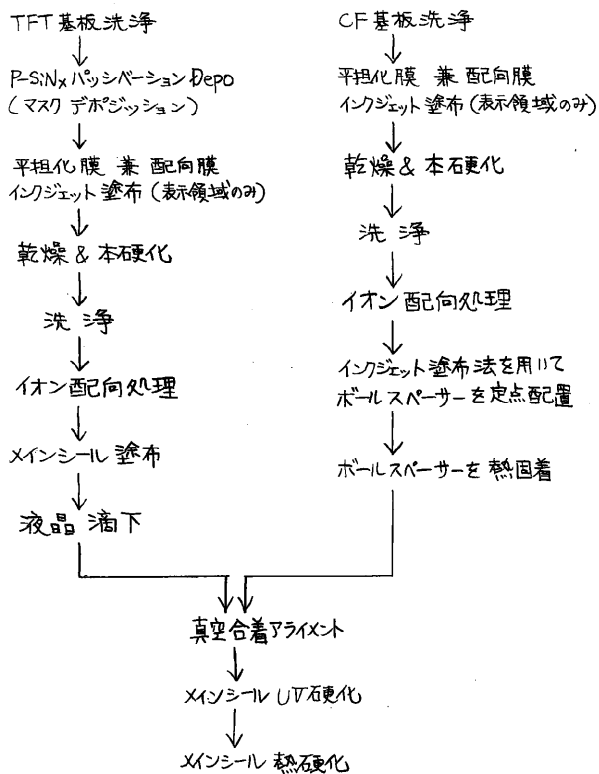
【図 5 1】

MVAモード 液晶Cell工程 (c)

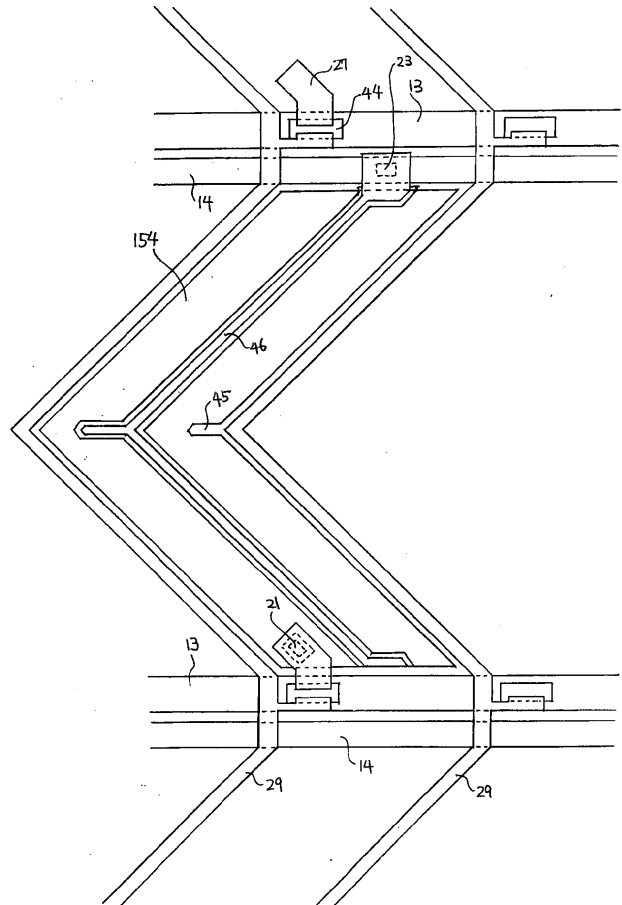


【図 5 2】

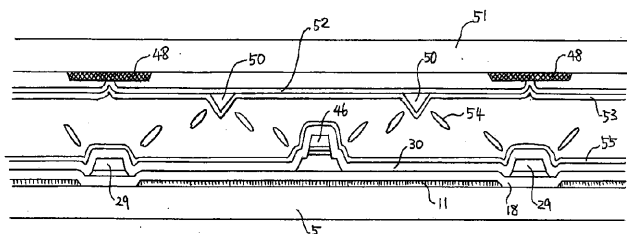
IPSモード & FFSモード 液晶Cell工程 (D)



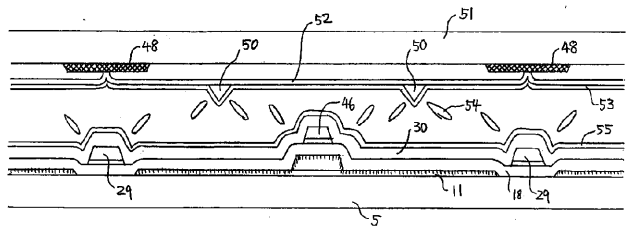
【図 5 3】



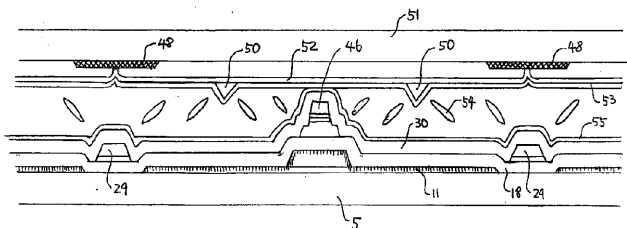
【図 5 4】



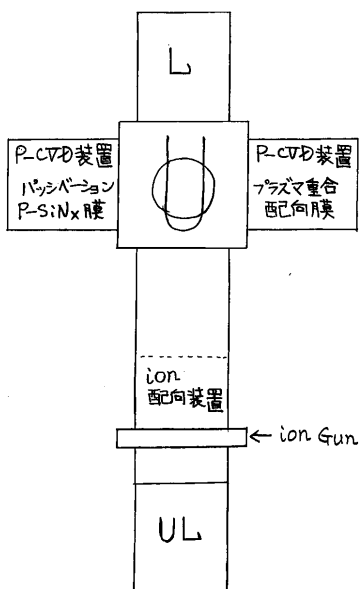
【図 5 5】



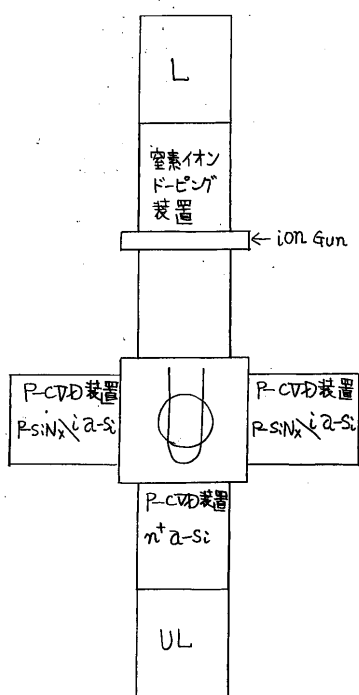
【図 5 6】



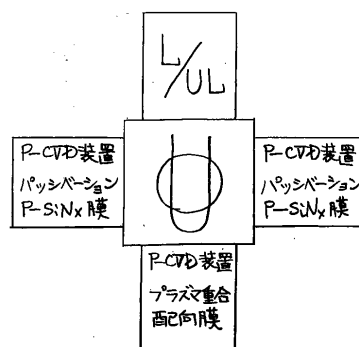
【図 5 8】



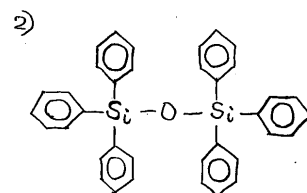
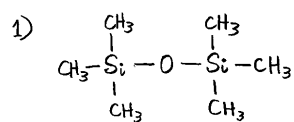
【図 5 7】



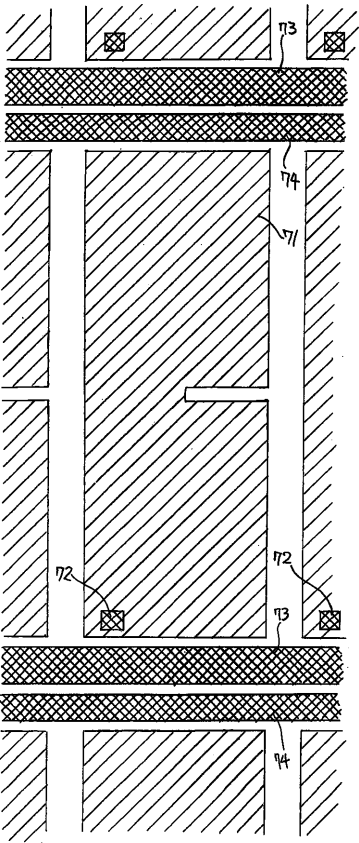
【図 5 9】



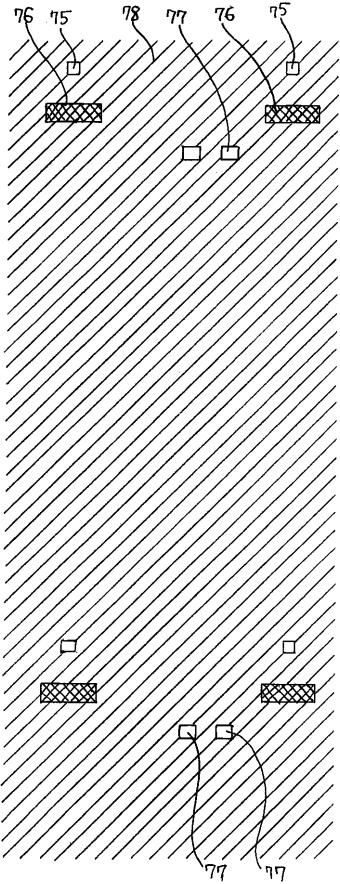
【図 6 0】



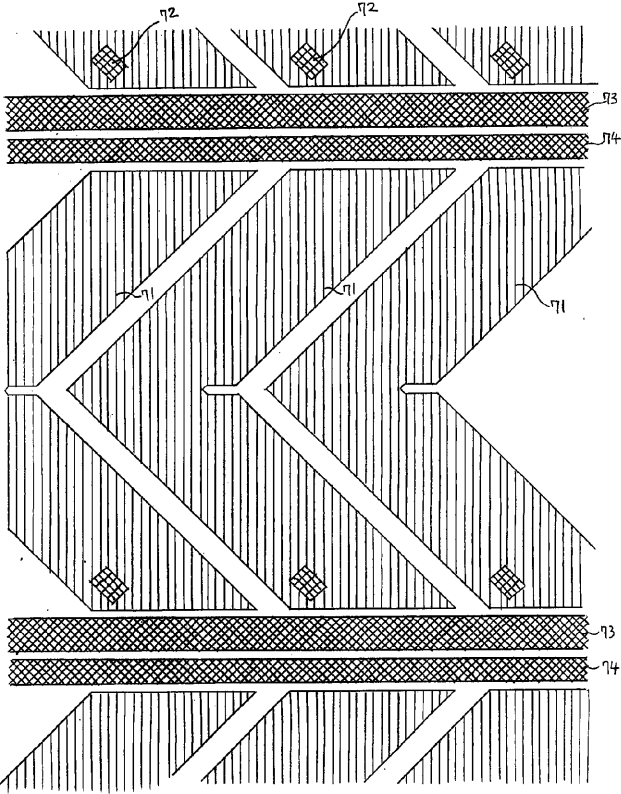
【図 6 7】



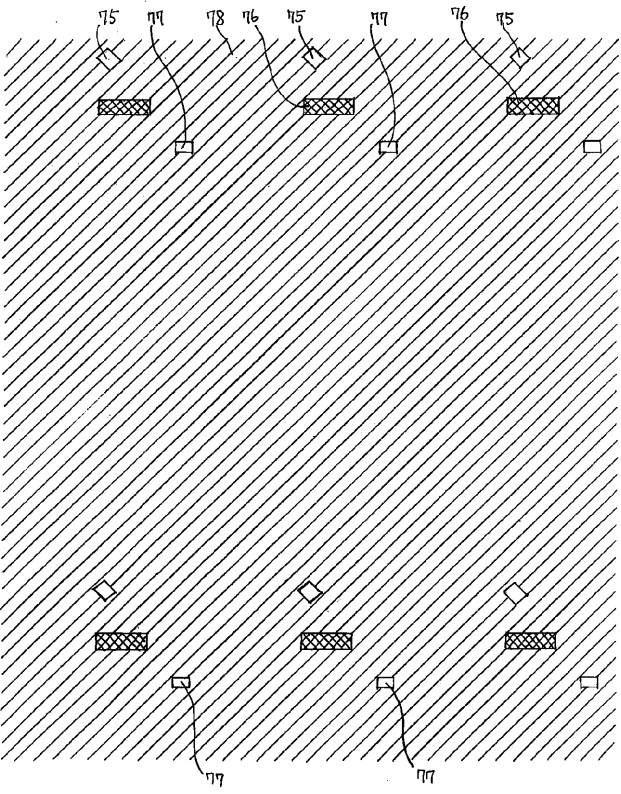
【図 6 8】



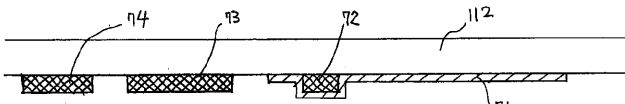
【図 6 9】



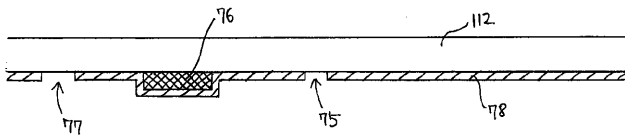
【図 7 0】



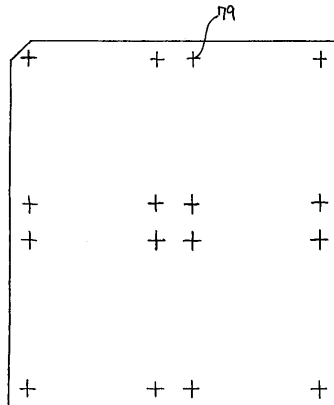
【図 7 1】



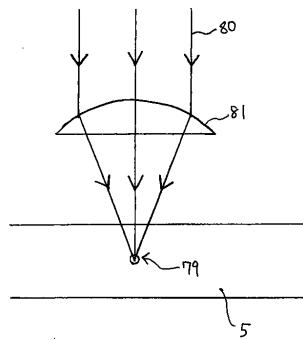
【図 7 2】



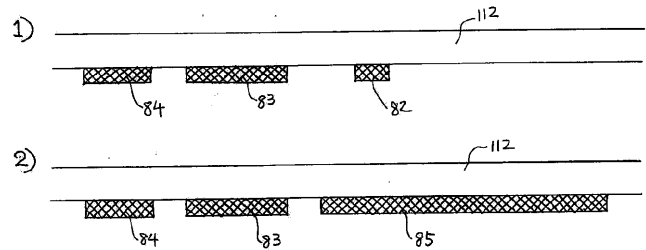
【図 7 3】



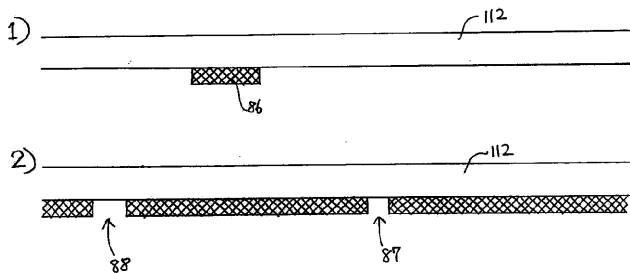
【図 7 4】



【図 7 5】



【図 7 6】



【図 7 7】

2重露光法を用いた A 型プロセス (TN, MVA, IPS モード)

はじめにレーザーを用いてガラス基板中に絶対基準アライメントマークを形成する。

- ① i) Gate 電極 & 共通電極 & 画素内コンタクトパッドをノーマルホトマスクを用いてアンダーハーフ露光する。
ii) 画素電極 & Gate 電極 & 共通電極をノーマルホトマスクを用いてノーマル露光する。
- ② i) a-Si island をノーマルホトマスクを用いてアンダーハーフ露光する。
ii) コンタクトホールをノーマルホトマスクを用いてノーマル露光する。
- ③ Source 電極 & Drain 電極 & Cst (保持容量) 形成電極をノーマルホトマスクを用いてノーマル露光する。

チャネル部分の n^+ a-Si Dry Etching

P-SiN_x パッシベーション膜 ----- マスク デポジション法

【図 7 8】

2重露光法を用いた B 型プロセス (MVA モード)

はじめにレーザーを用いてガラス基板中に絶対基準アライメントマークを形成する。

- ① i) Gate 電極 & 共通電極 & 画素内コンタクトパッドをノーマルホトマスクを用いてアンダーハーフ露光する。
ii) 画素電極 & Gate 電極 & 共通電極をノーマルホトマスクを用いてノーマル露光する。
- ② i) a-Si island をノーマルホトマスクを用いてアンダーハーフ露光する。
ii) コンタクトホールをノーマルホトマスクを用いてノーマル露光する。
- ③ Source 電極 & Drain 電極 & 配向方向制御電極をノーマルホトマスクを用いてノーマル露光する。

チャネル部分の n^+ a-Si Dry Etching

P-SiN_x パッシベーション膜 ----- マスク デポジション法

【図 7 9】

2重露光法を用いた C 型プロセス (FFS モード)

はじめにレーザーを用いてガラス基板中に絶対基準アライメントマークを形成する。

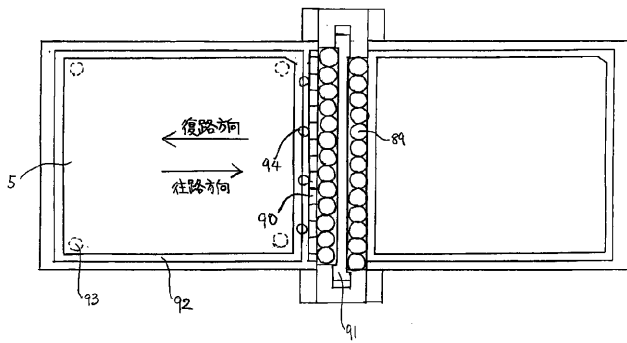
- ① i) Gate 電極 & 共通電極 & 画素内コンタクトパッドをノーマルホトマスクを用いてアンダーハーフ露光する。
ii) 画素電極 & Gate 電極 & 共通電極をノーマルホトマスクを用いてノーマル露光する。
- ② i) a-Si island をノーマルホトマスクを用いてアンダーハーフ露光する。
ii) コンタクトホールをノーマルホトマスクを用いてノーマル露光する。
- ③ Source 電極 & Drain 電極 & く歯状共通電極をノーマルホトマスクを用いてノーマル露光する。

チャネル部分の n^+ a-Si Dry Etching

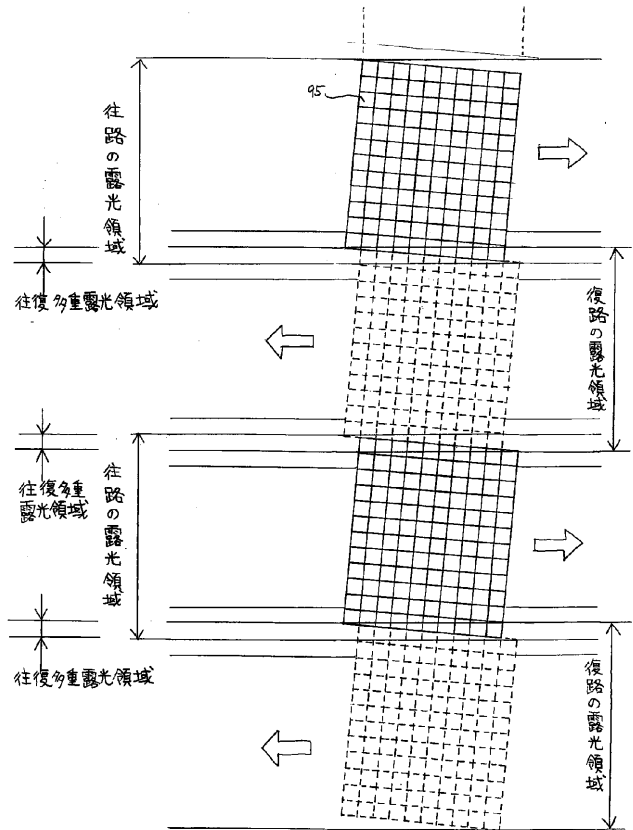
P-SiN_x パッシベーション膜 ----- マスク デポジション法

【図 80】

DMD マスクレス直接描画ハーフトン露光装置



【図 81】



【図 82】

DMD直描露光装置を用いたA型プロセス 3回ホトリソ工程 (TN, MVA, IPSモード)

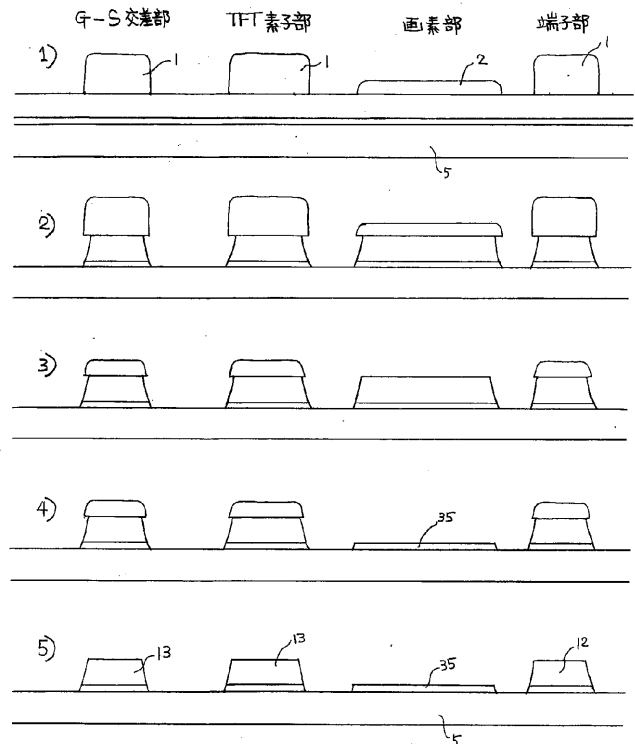
- ① Gate電極 & 画素電極 & 共通電極 ----- DMDハーフトン露光法 & Title
 - ② a-Si island & コンタクトホール ----- DMDハーフトン露光法
 - ③ Source電極 & Drain電極 & Cst(保持容量)形成電極 ----- ノーマルホトマスク露光法
- チャネル部分の n^+ a-Si Dry Etching
P-SiNx パッシベーション膜 ----- マスクデポジション法

【図 83】

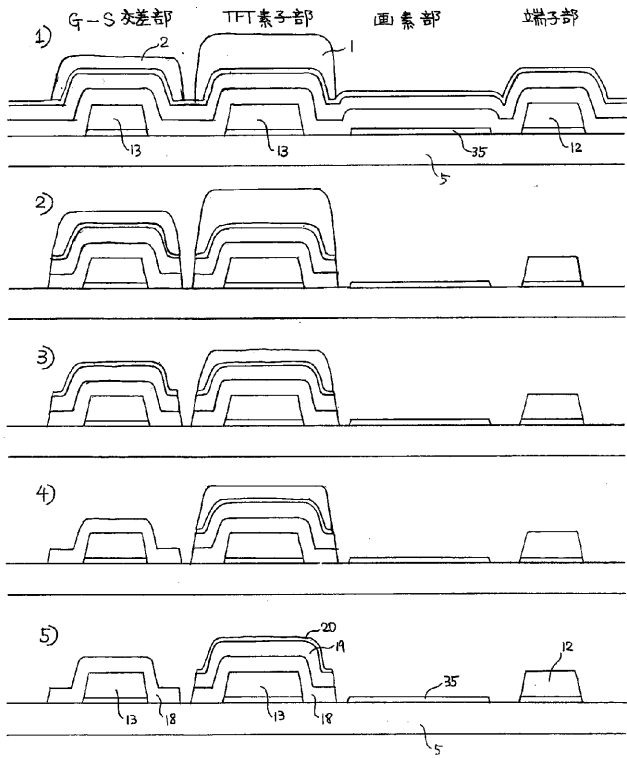
DMD直描露光装置を用いたB型プロセス 3回ホトリソ工程 (MVAモード)

- ① Gate電極 & 画素電極 & 共通電極 ----- DMDハーフトン露光法 & Title
 - ② a-Si island & コンタクトホール ----- DMDハーフトン露光法
 - ③ Source電極 & Drain電極 & 配向方向制御電極 ----- ノーマルホトマスク露光法
- チャネル部分の n^+ a-Si Dry Etching
P-SiNx パッシベーション膜 ----- マスクデポジション法

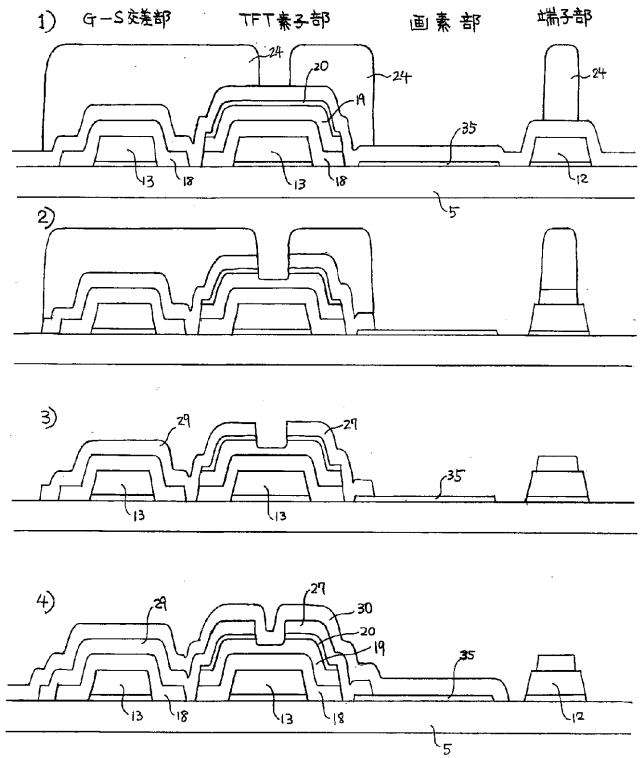
【図 84】



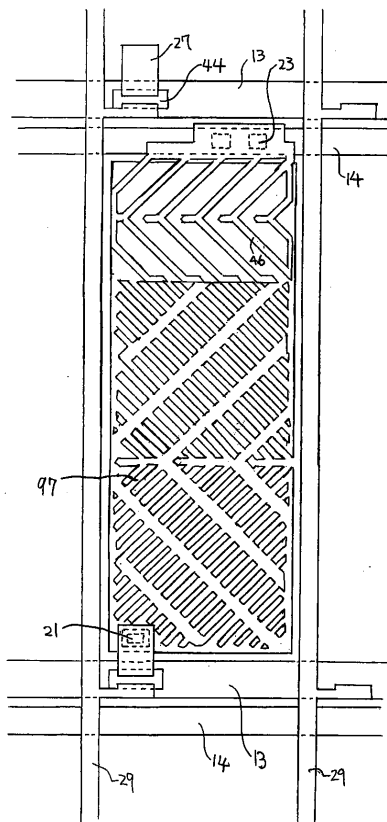
【図 8 5】



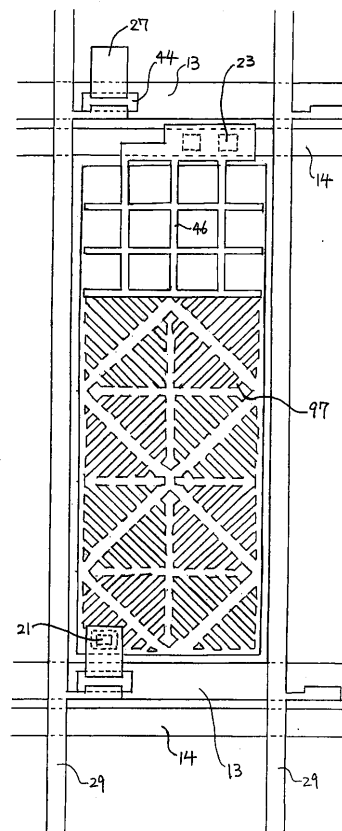
【図 8 6】



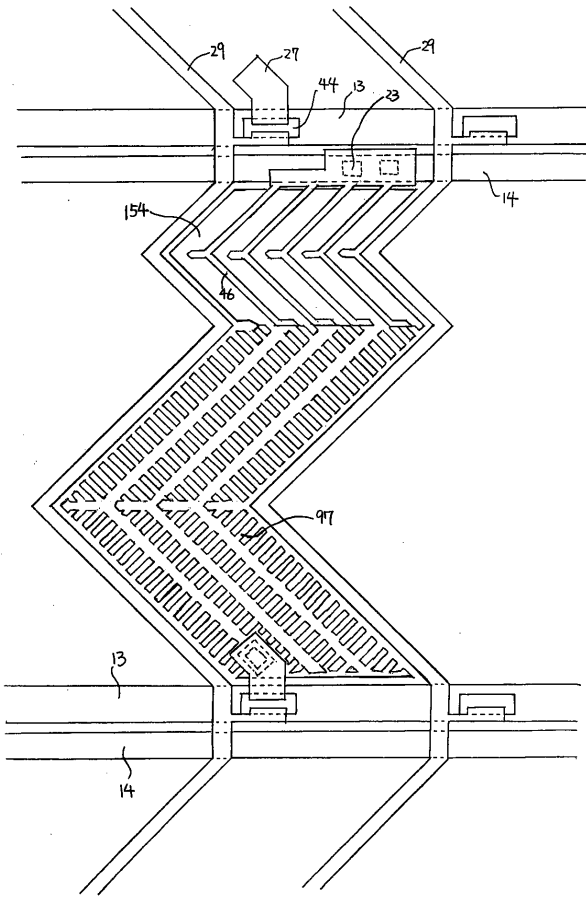
【図 8 7】



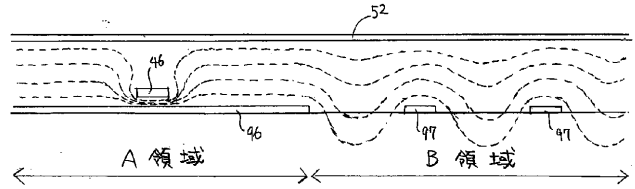
【図 8 8】



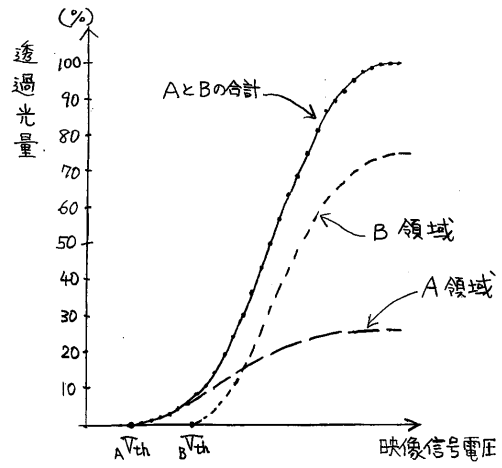
【図 89】



【図 90】



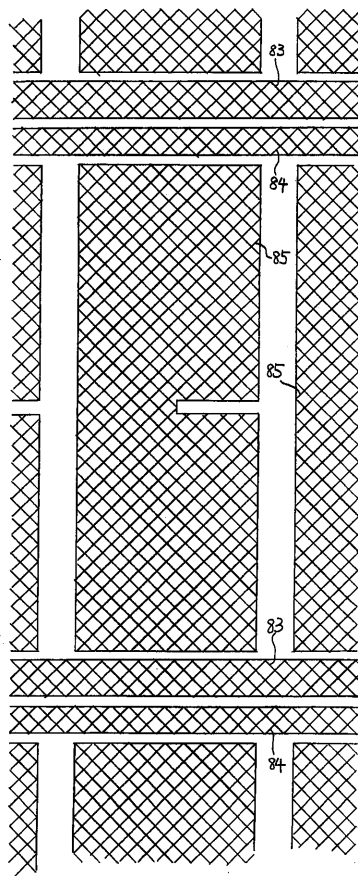
【図 91】



【図 92】



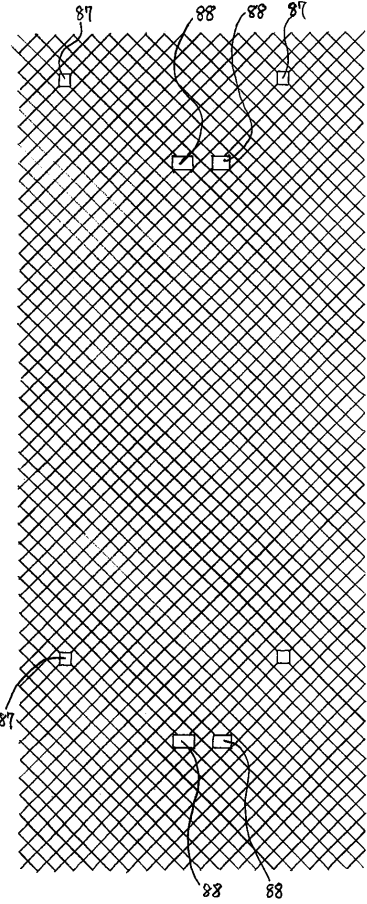
【図 93】



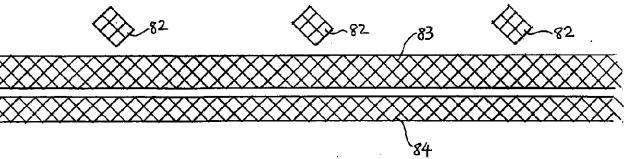
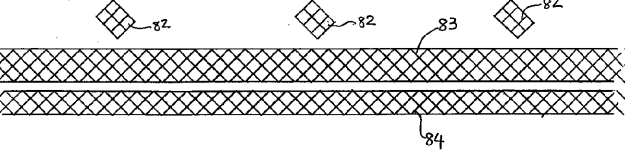
【図 9 4】



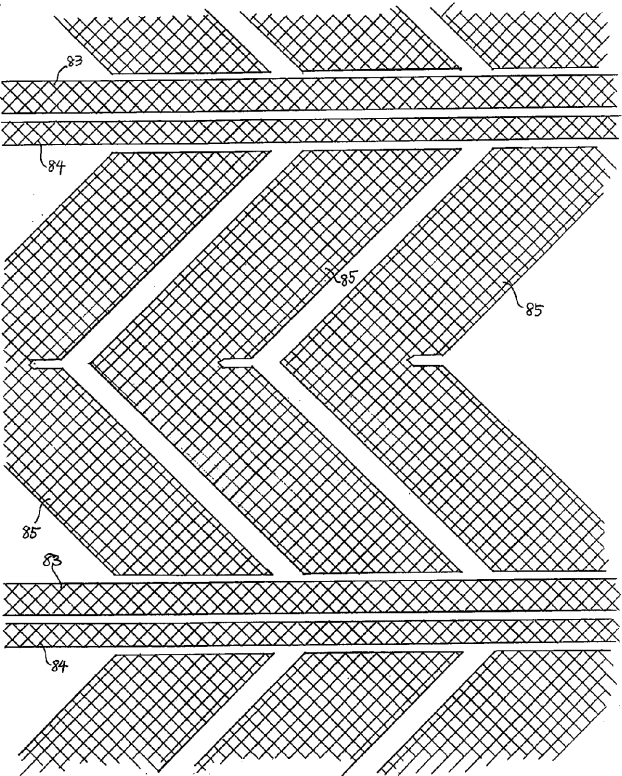
【図 9 5】



【図 9 6】



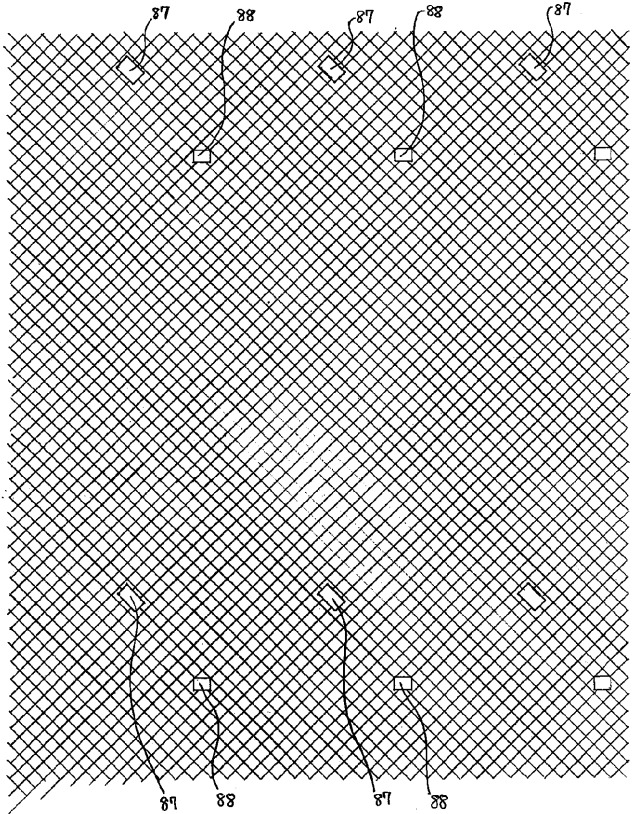
【図 9 7】



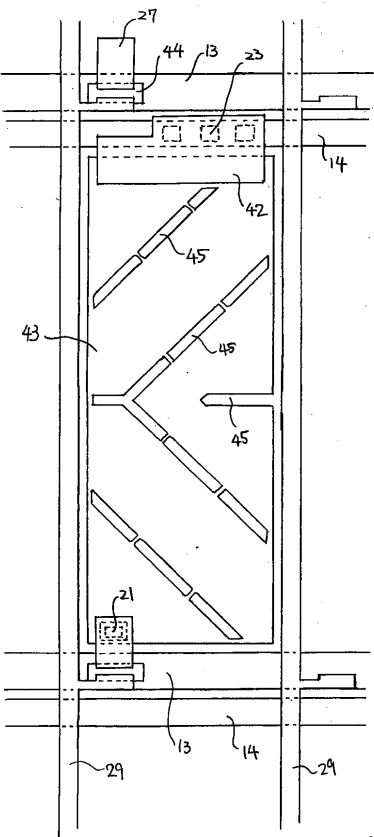
【図 98】



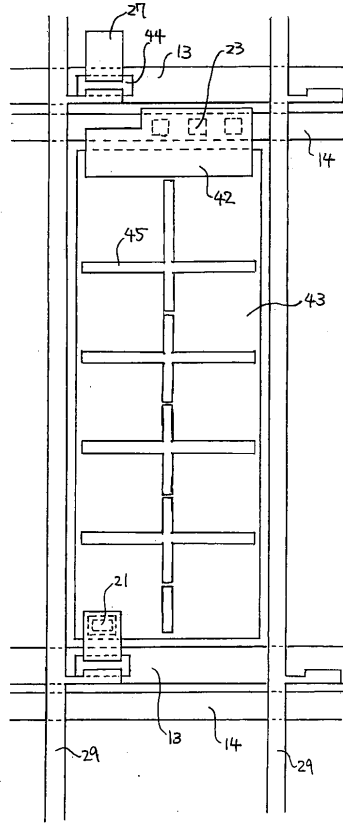
【図 99】



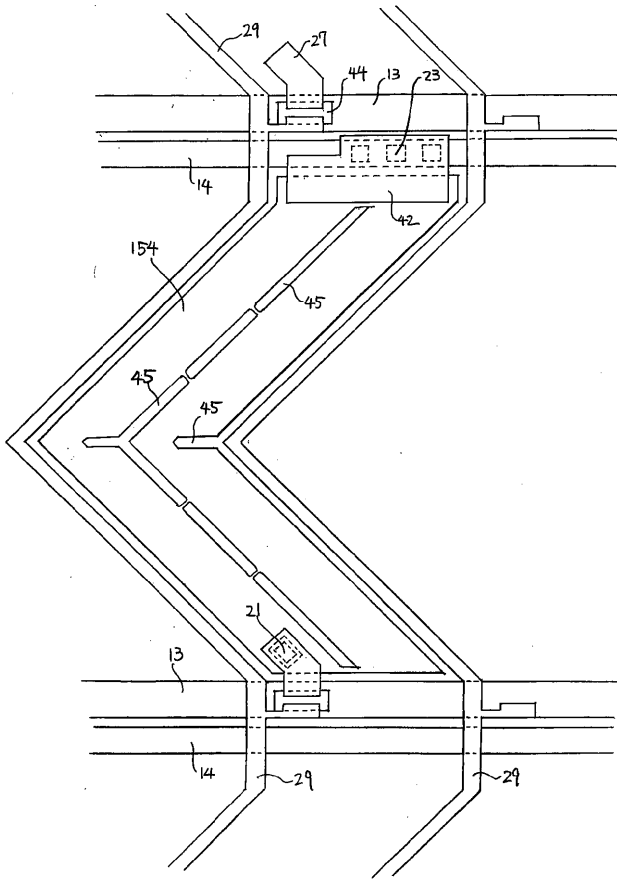
【図 100】



【図 101】



【図 102】



【図 103】

DMO 直描露光装置を用いた a 型プロセス 3 回ホトリソ工程
(TN, MVA, IPS モード)

- ① Gate 電極 & 画素電極 & 共通電極 ----- DMO ハーフトン露光法 & Title
- ② a-Si island & コンタクトホール ----- DMO ハーフトン露光法
- ③ Source 電極 & Drain 電極 & Cst (保持容量) 形成電極 ----- DMO ノーマル露光法

チャネル部分の n^+ a-Si Dry Etching

P-SiN_x パッシベーション膜 ----- マスクデポジション法

【図 104】

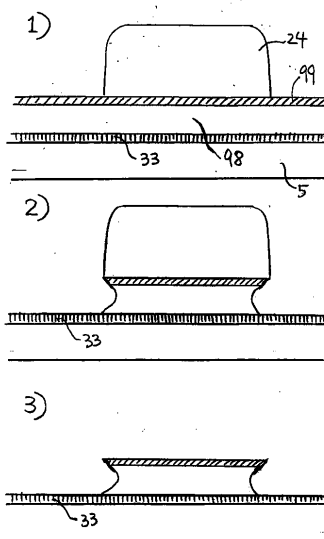
DMO 直描露光装置を用いた b 型プロセス 3 回ホトリソ工程
(MVA モード)

- ① Gate 電極 & 画素電極 & 共通電極 ----- DMO ハーフトン露光法 & Title
- ② a-Si island & コンタクトホール ----- DMO ハーフトン露光法
- ③ Source 電極 & Drain 電極 & 配向方向制御電極 ----- DMO ノーマル露光法

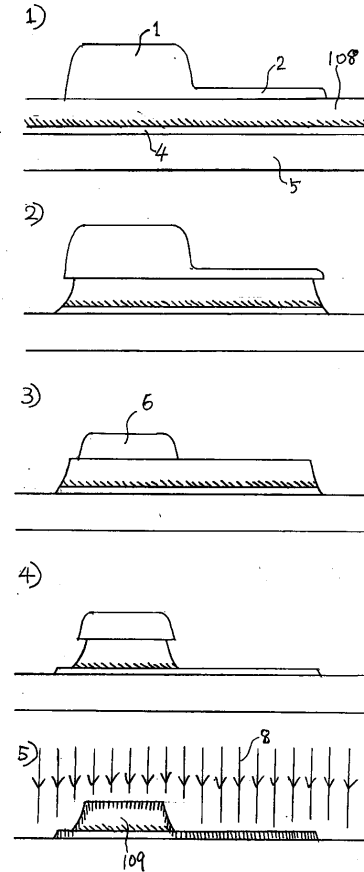
チャネル部分の n^+ a-Si Dry Etching

P-SiN_x パッシベーション膜 ----- マスクデポジション法

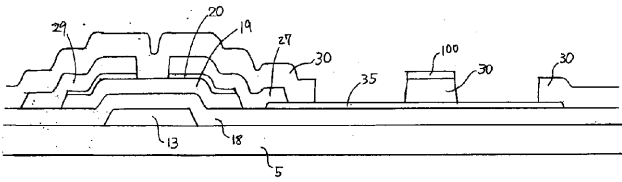
【図 105】



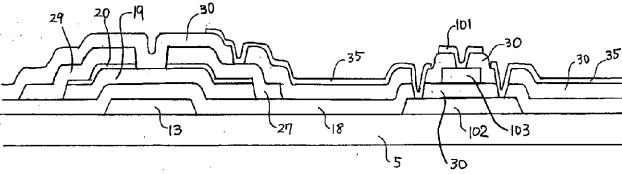
【図 106】



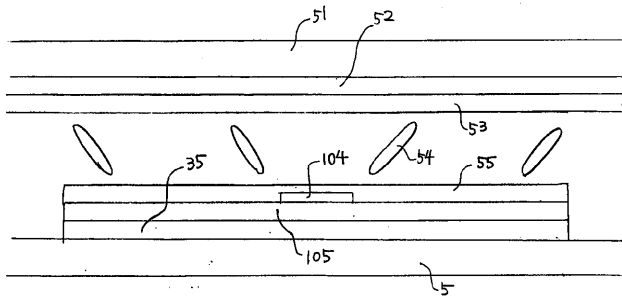
【図 107】



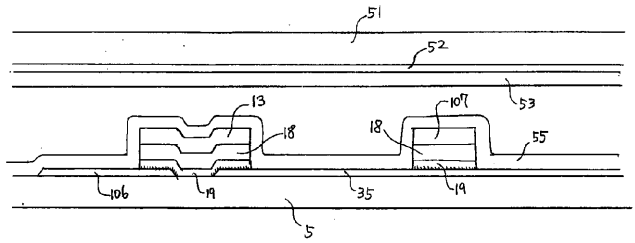
【図 108】



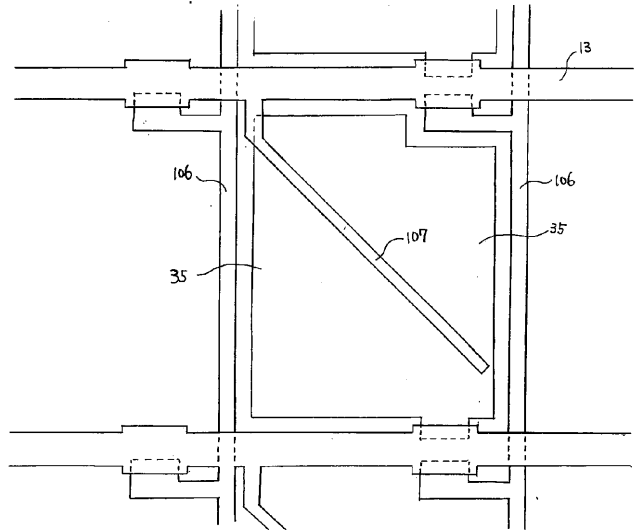
【図 109】



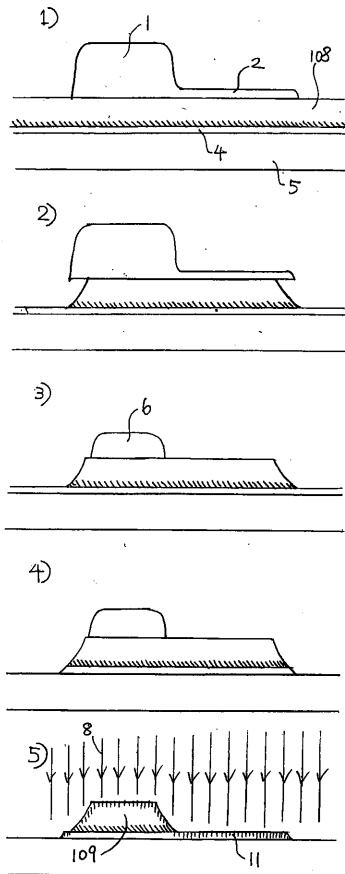
【図 110】



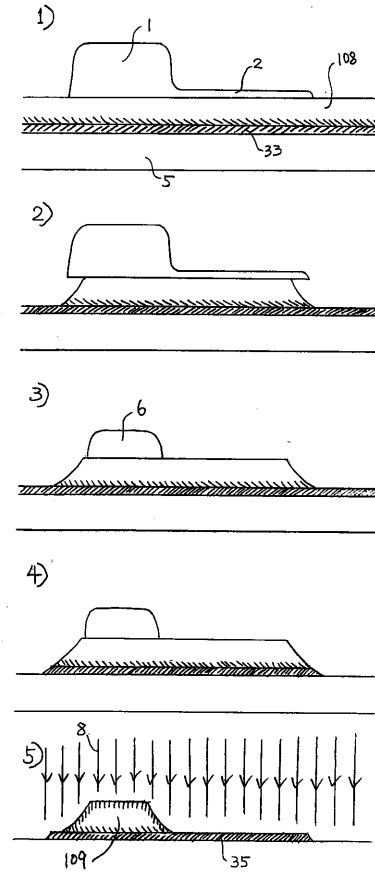
【図 111】



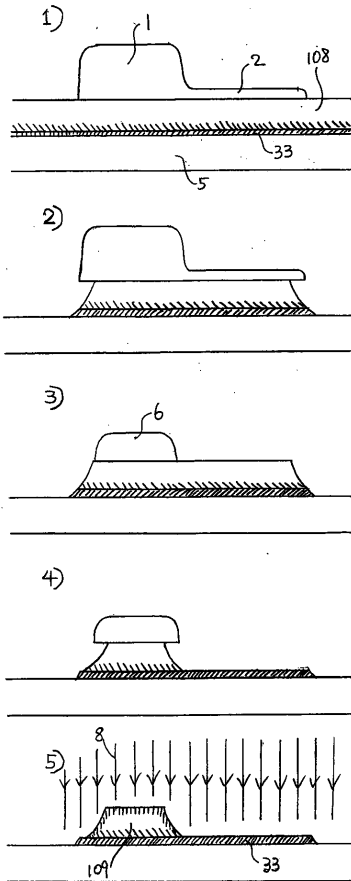
【図 112】



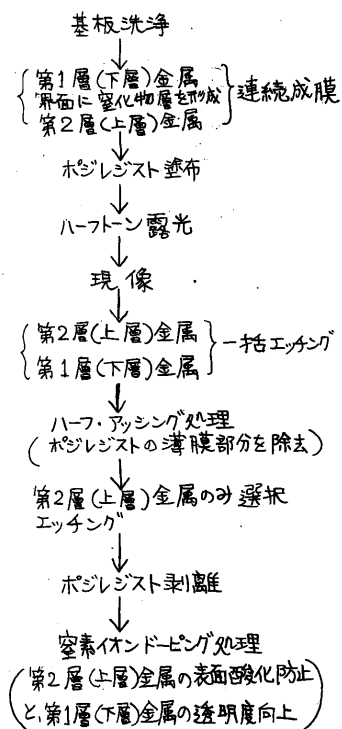
【図 113】



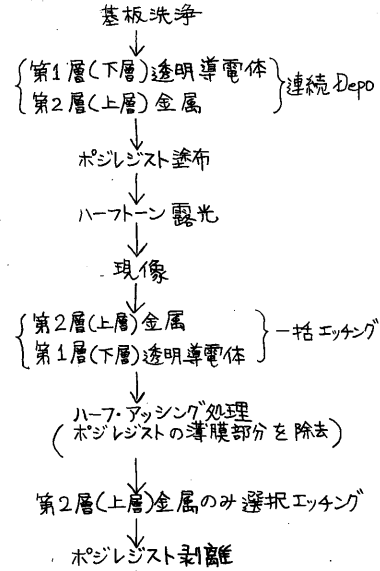
【図 1 1 4】



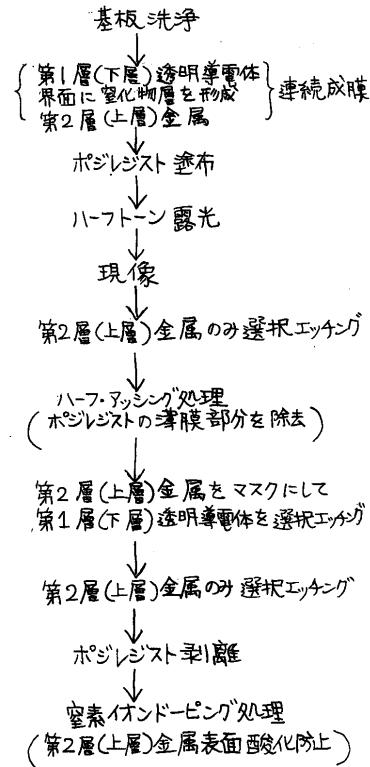
【図 1 1 6】



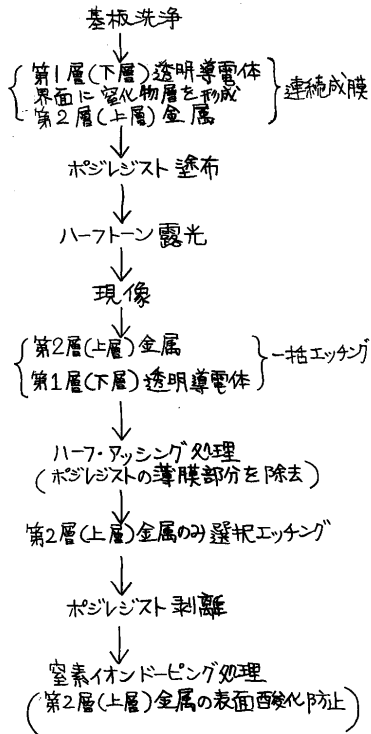
【図 1 1 5】



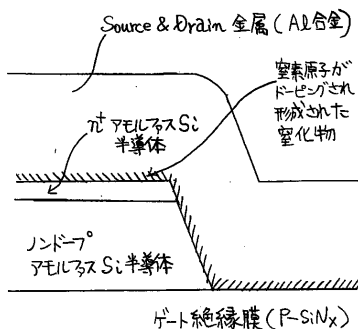
【図 1 1 7】



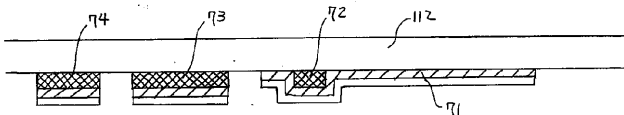
【图 1 1 9】



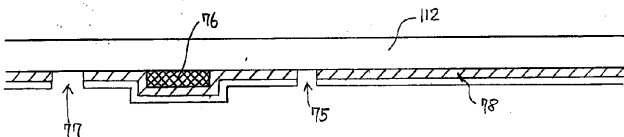
【☒ 1 2 3】



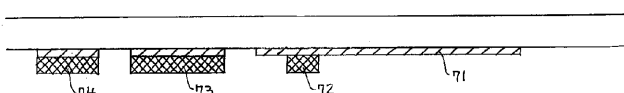
【图 1 2 4】



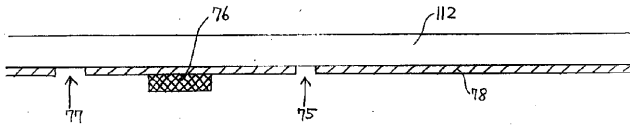
【図 1 2 5】



【 図 1 2 6 】

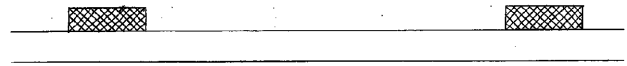


【図 1 2 7】

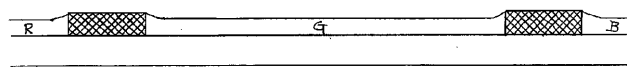


【図 1 2 8】

- 1) DMDで遮光膜(BM)をマスクレス露光してパターンニングする。
同時にTitleもDMDでマスクレス露光して形成する。



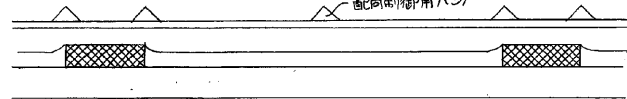
- 2) インクジェット塗布法またはマルチデンスペッカ塗布法またはオフセット印刷法を用いて R, G, B カラーフィルター層を形成する。



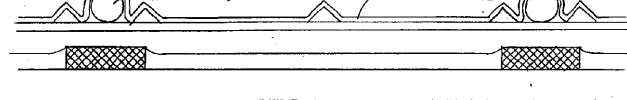
- 3) 平坦化膜をコートしてから透明導電膜をDepoする。



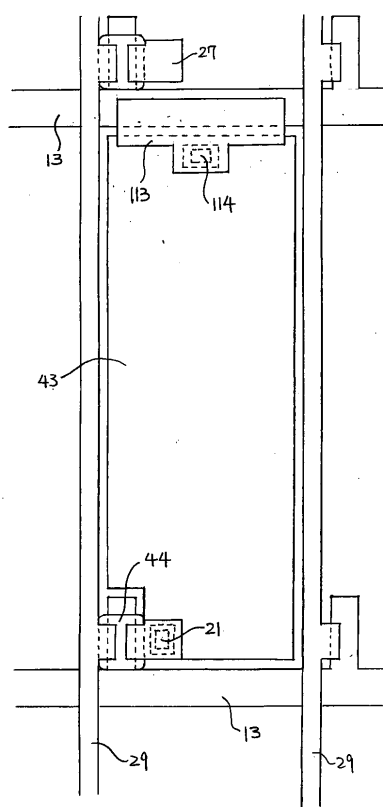
- 4) DMDで配向制御用バンパをマスクレス露光してパターンニングする。
(オフセット印刷法でも直接形成可能)



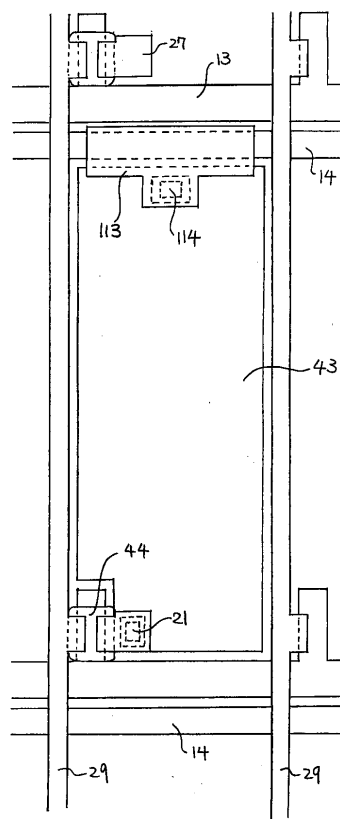
- 5) インクジェット塗布法またはオフセット印刷法でボリスパーを定点配置。その後にプラズマ重合法で配向膜形成。



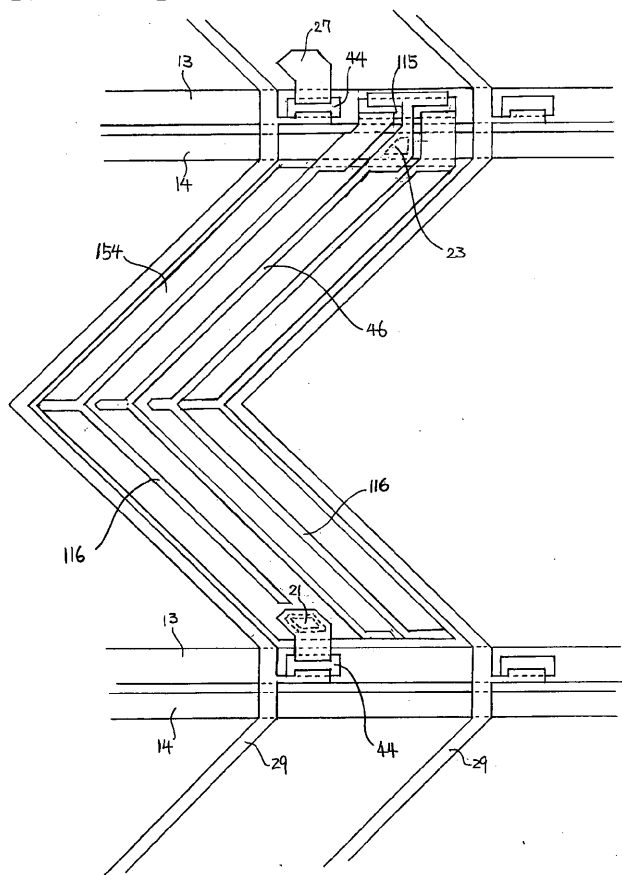
【図 1 2 9】



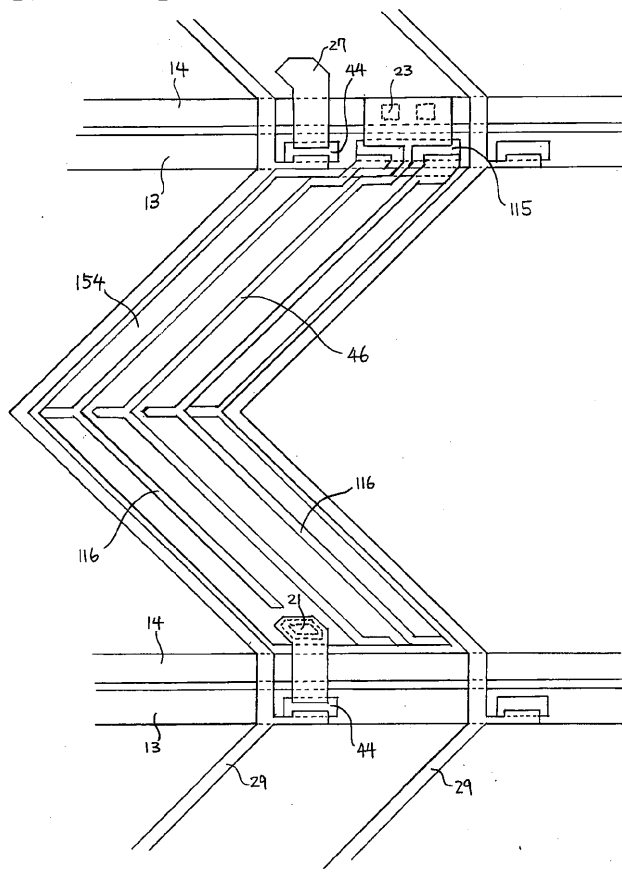
【図 1 3 0】



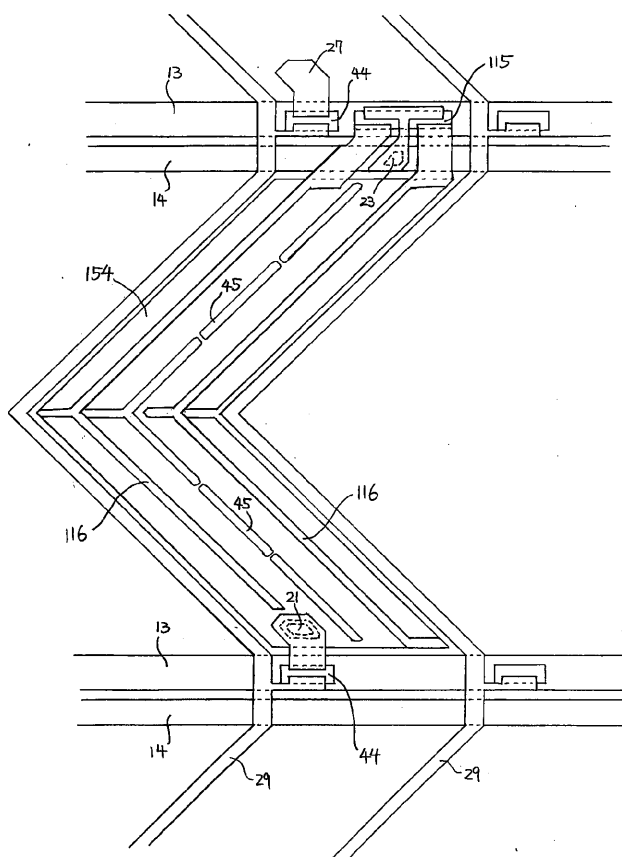
【図 1 3 1】



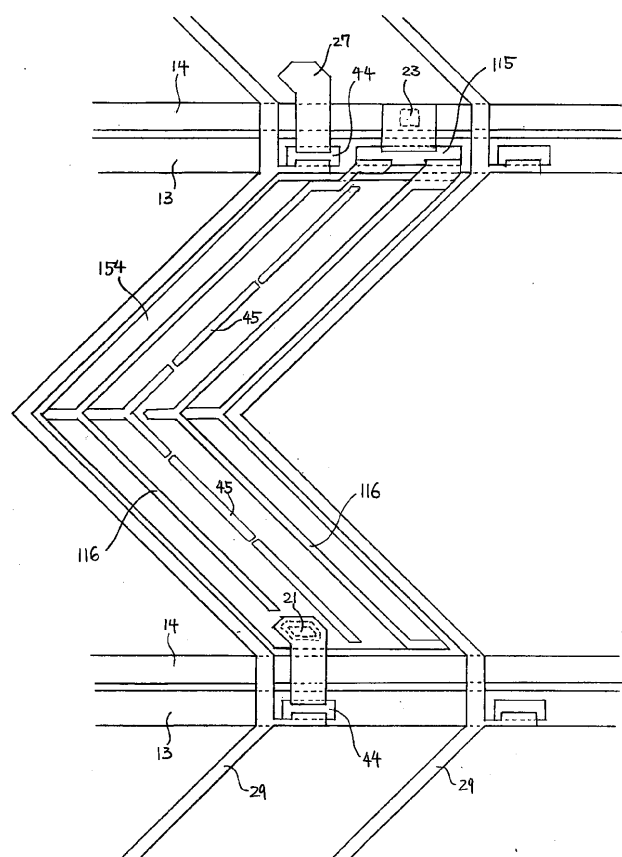
【図 1 3 2】



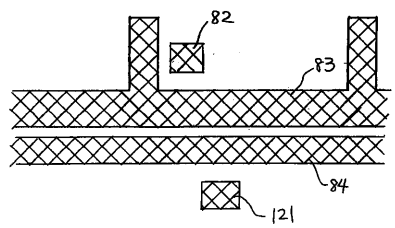
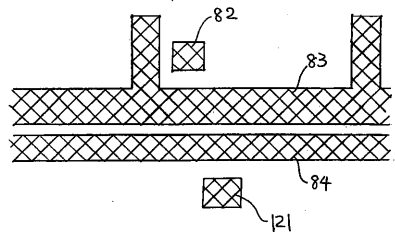
【図 1 3 3】



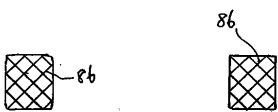
【図 1 3 4】



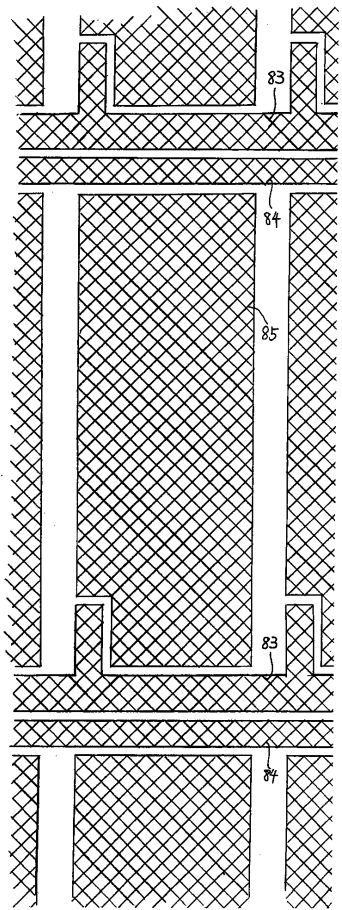
【図 1 4 2】



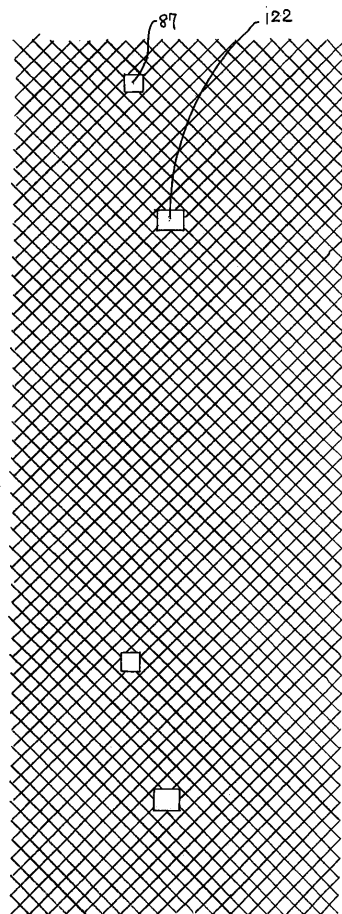
【図 1 4 4】



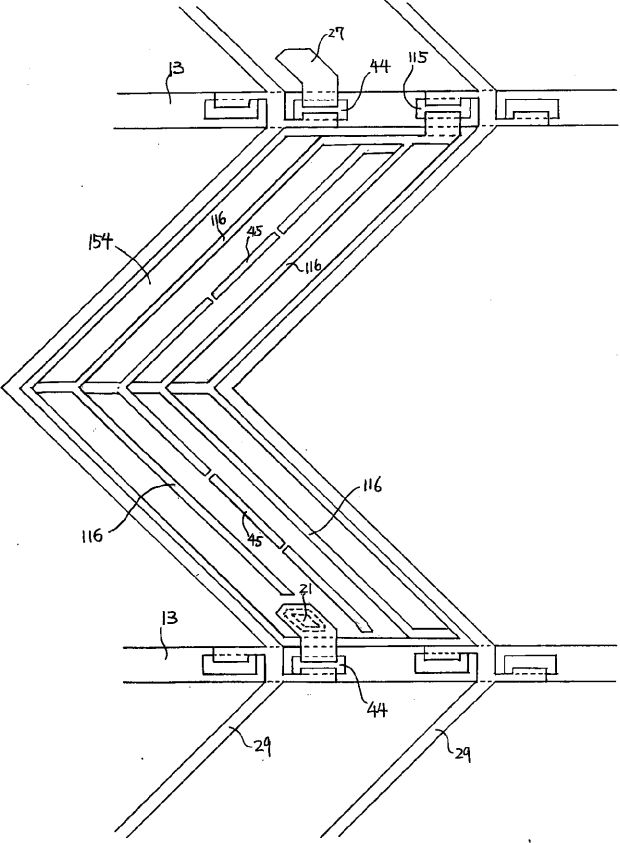
【図 1 4 3】



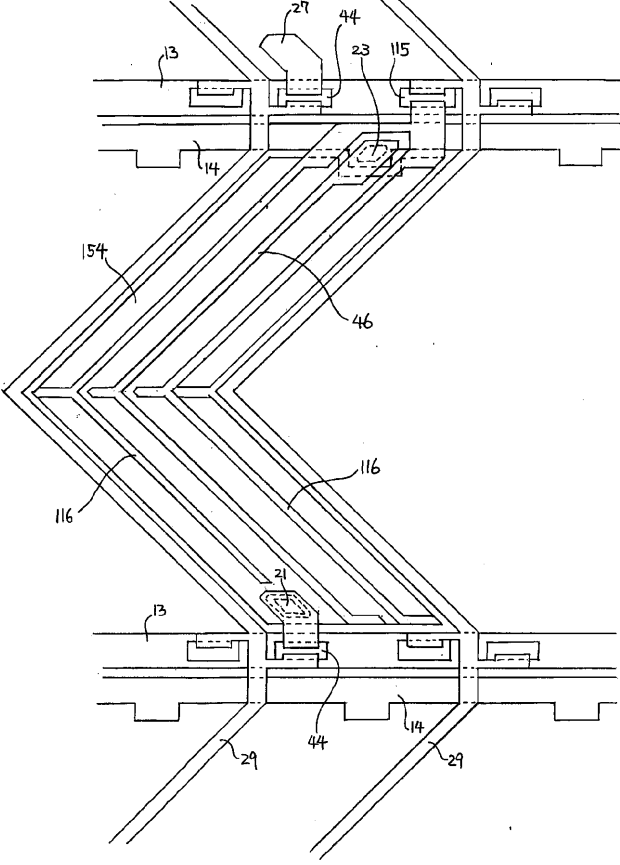
【図 1 4 5】



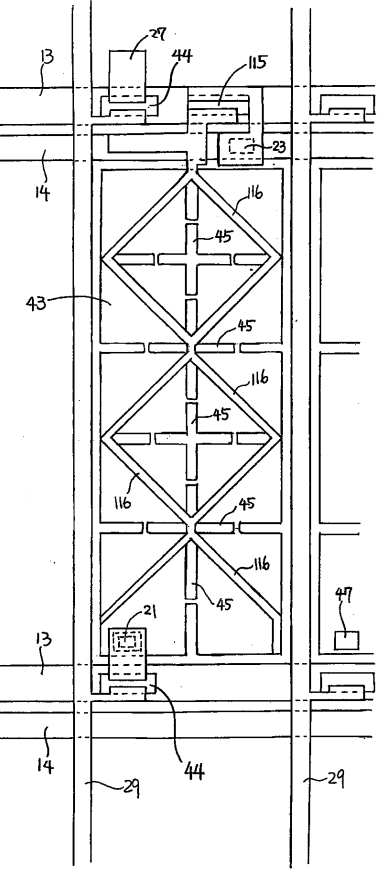
【図 1 4 6】



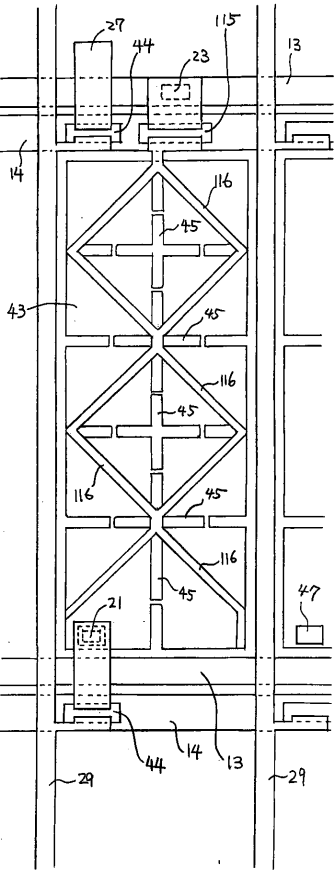
【図 1 4 7】



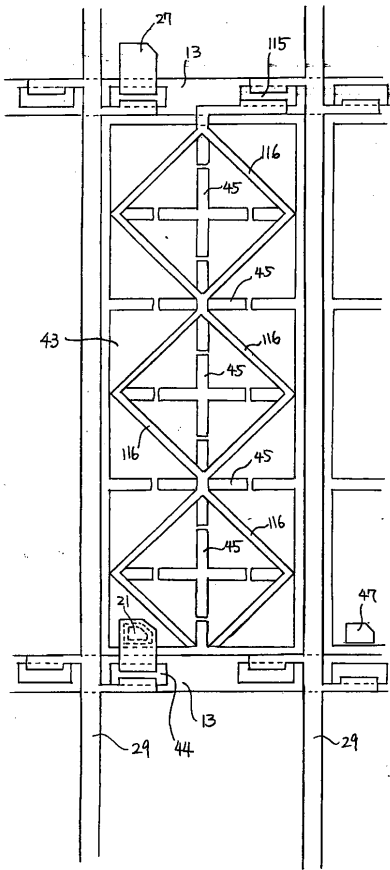
【図 1 4 8】



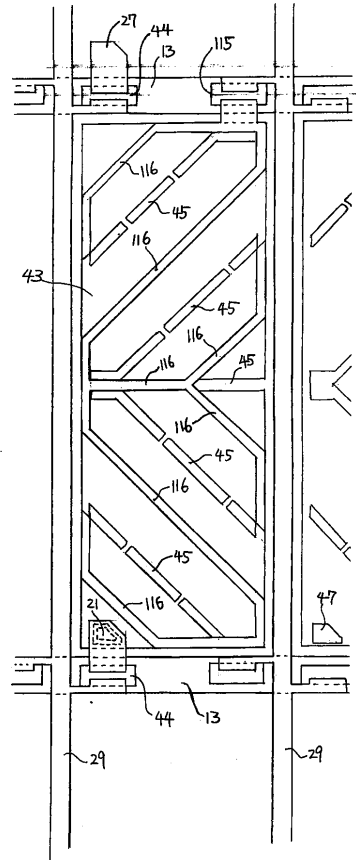
【図 1 4 9】



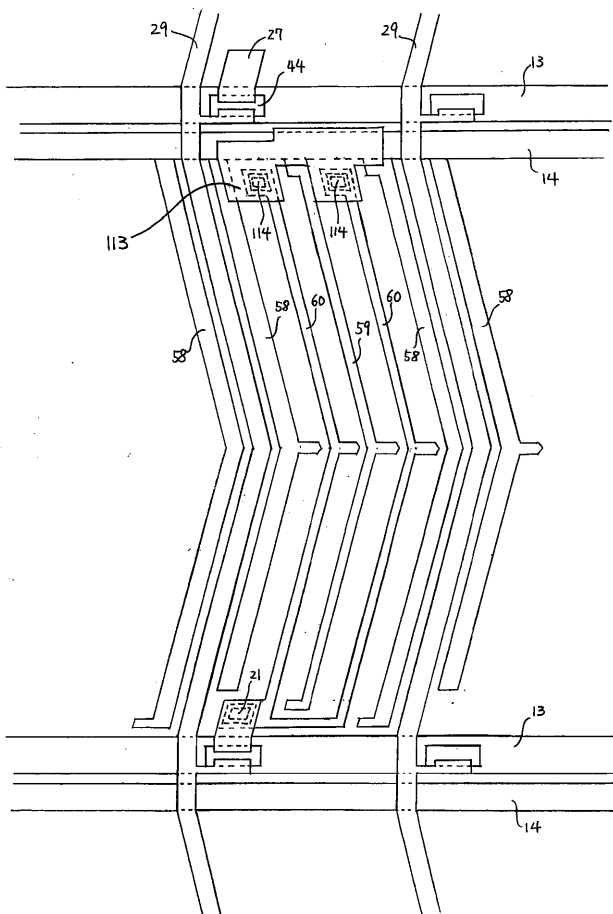
【図 150】



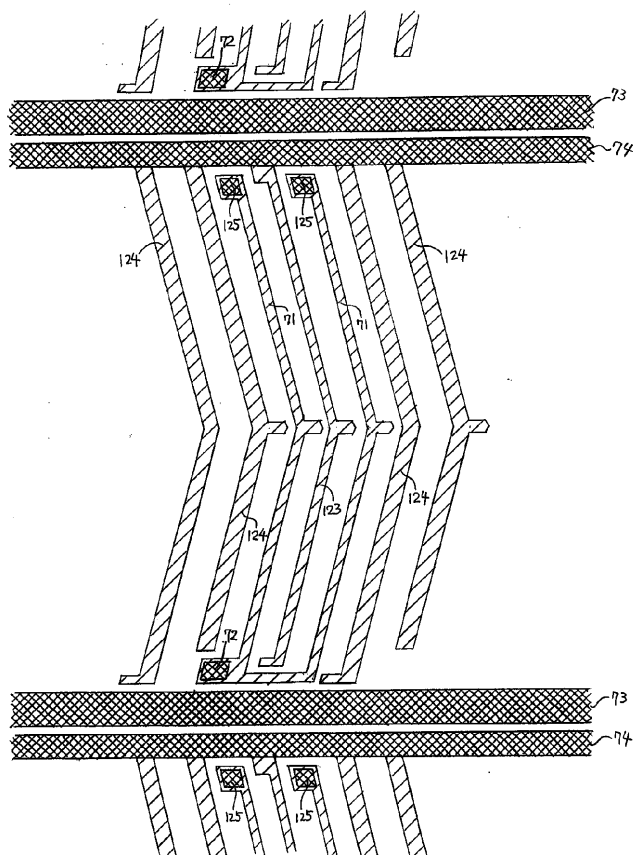
【図 151】



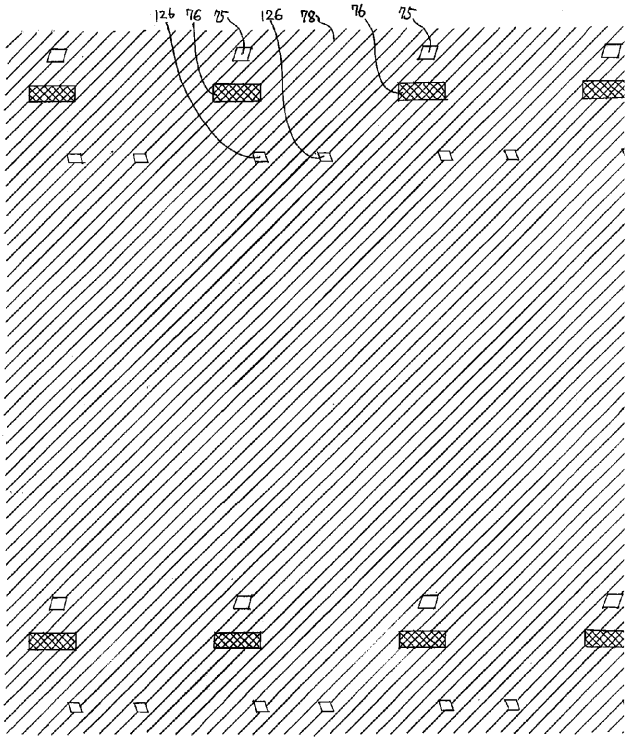
【図 152】



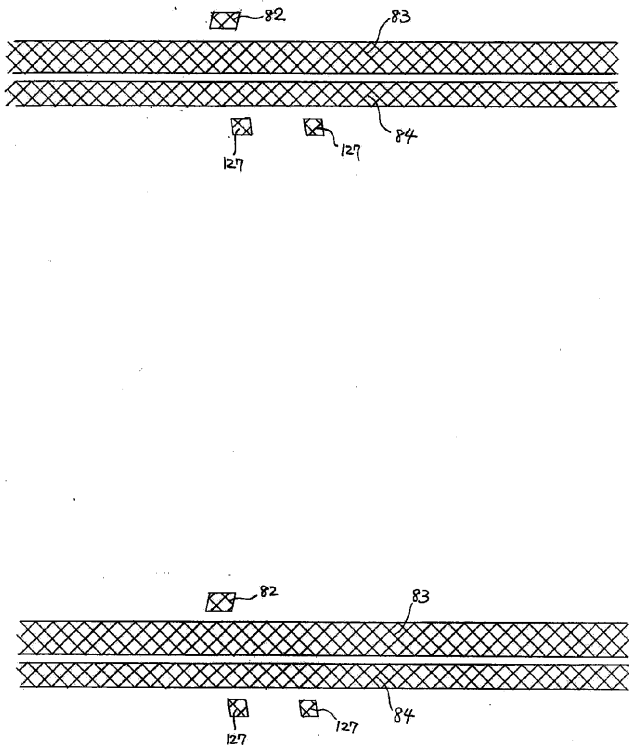
【図 153】



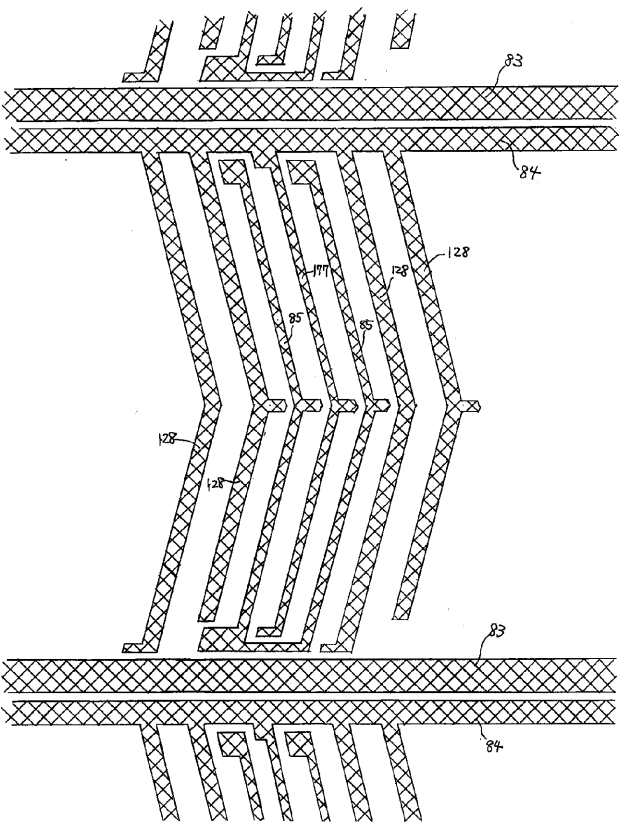
【図 1 5 4】



【図 1 5 5】



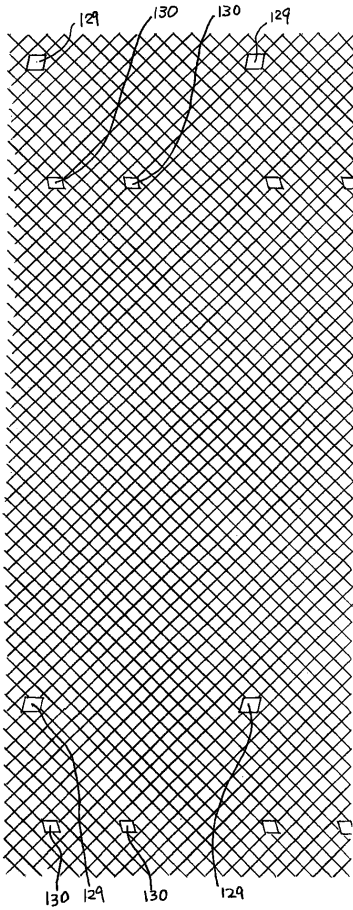
【図 1 5 6】



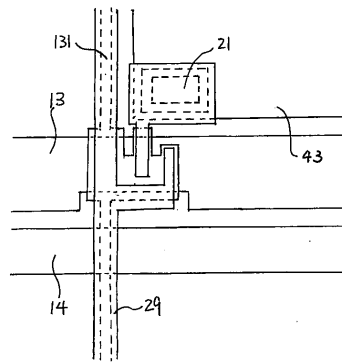
【図 1 5 7】



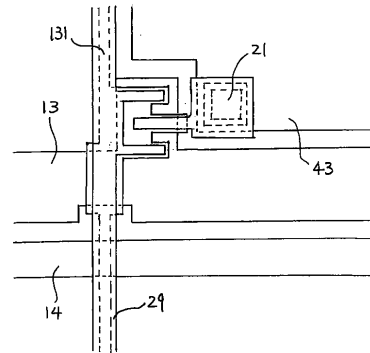
【図 158】



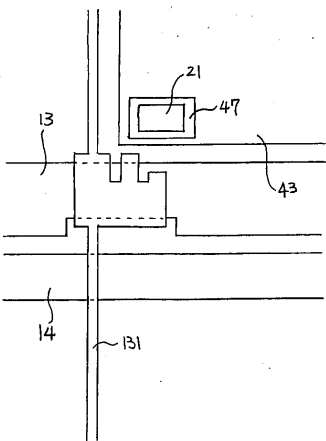
【図 159】



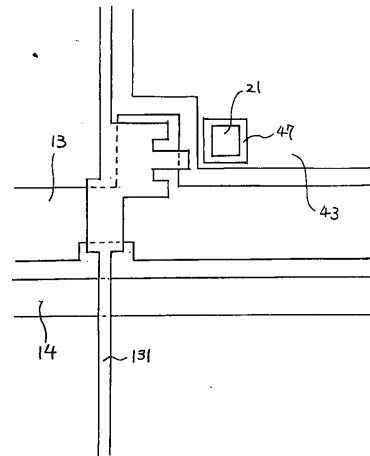
【図 160】



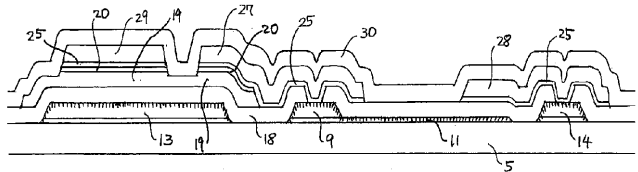
【図 161】



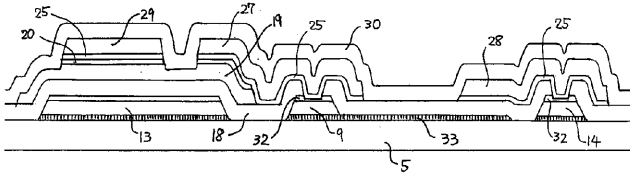
【図 162】



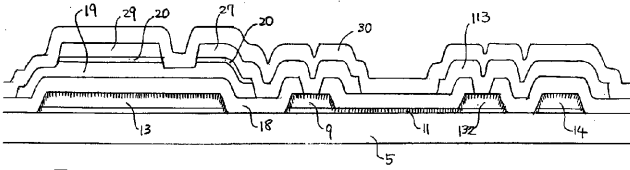
【図 163】



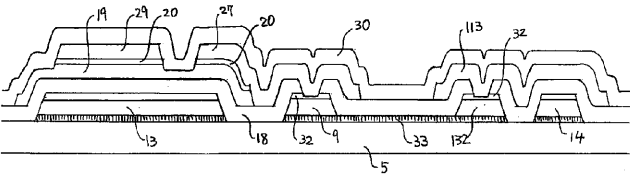
【図 164】



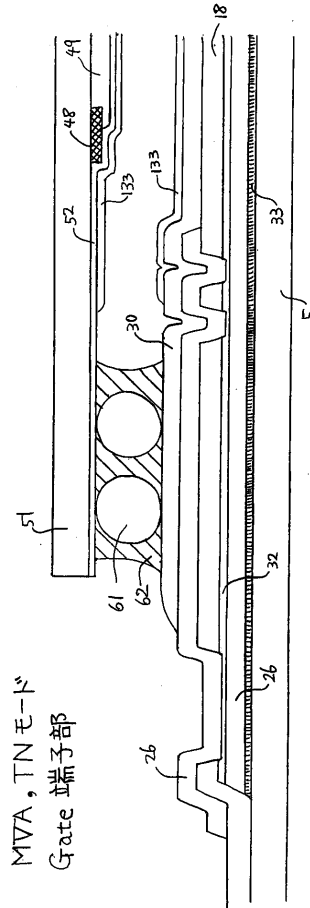
【図 165】



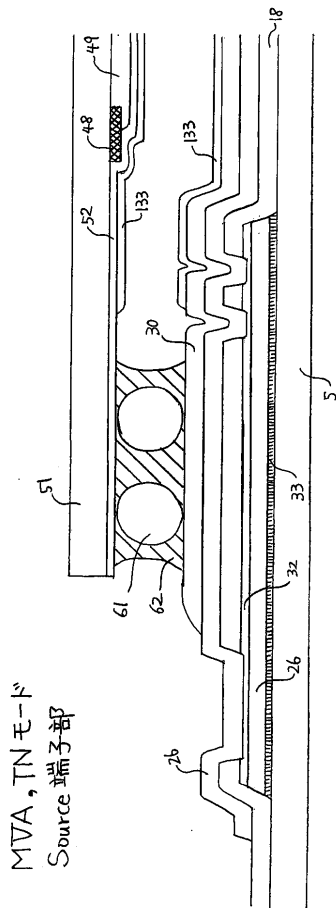
【図 166】



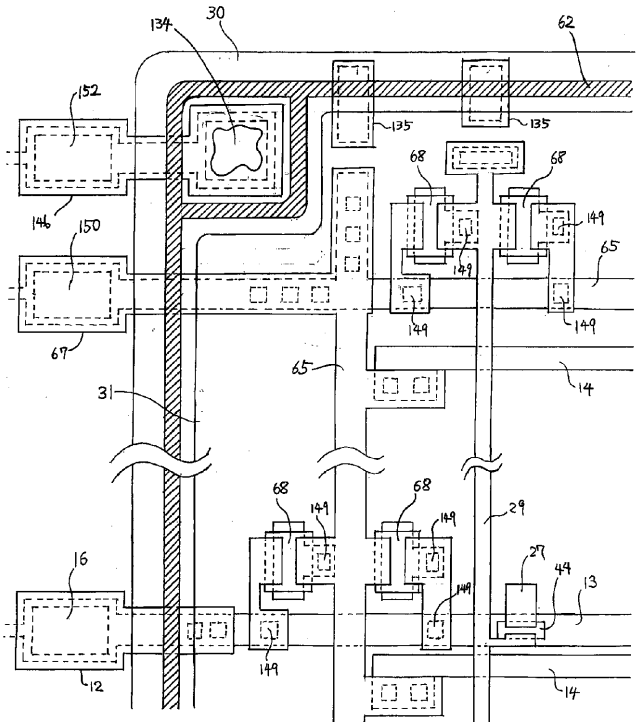
【図 167】



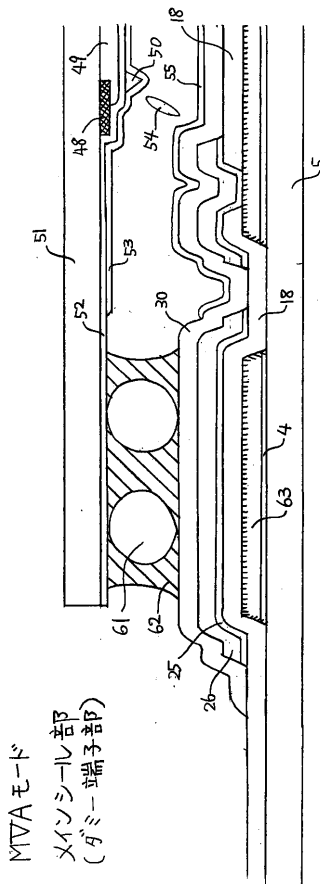
【図 168】



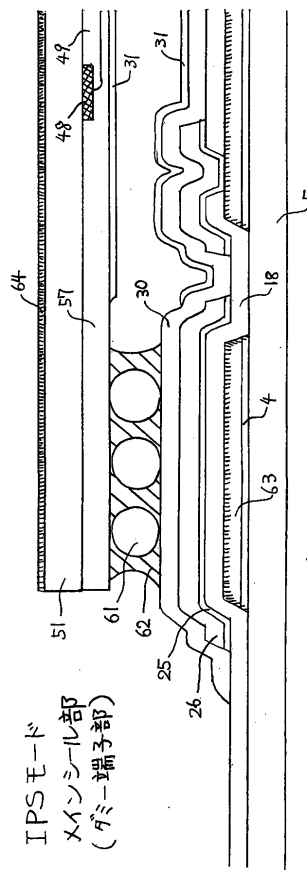
【図 169】



【図 170】



【図 171】



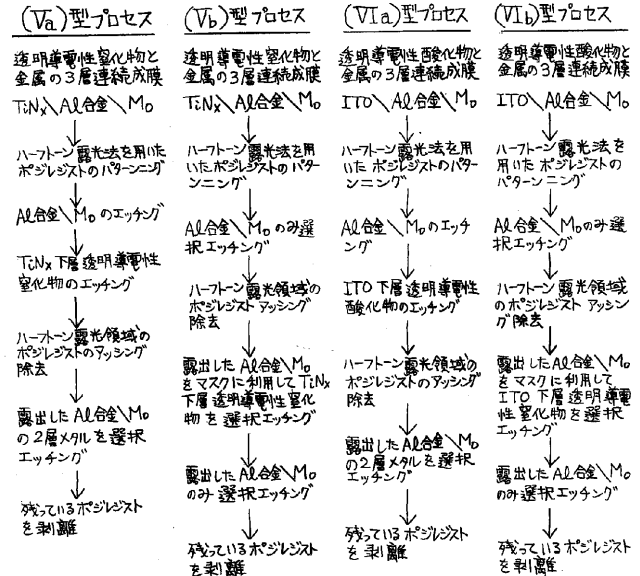
【図 172】

Gate電極 & 画素電極 & 共通電極 (ハフトン露光プロセス)



【図 173】

Gate電極 & 画素電極 & 共通電極 (ハフトン露光プロセス)



【図 174】

α -Si island & コンタクトホール 《ハフトン露光プロセス》

P-SiN_x \ i-a-Si \ n⁺a-Si \ Ti_{0.5}Zr_{0.5}Mo 《四層成膜法》

ハフトン露光法を用いたポジレジストのパターンニング

コンタクトホール部の Dry エッチング

ハフトン露光領域のポジレジストアッシング除去

ハフトン露光領域の i-a-Si \ n⁺a-Si \ Ti_{0.5}Zr_{0.5}Mo の 3層のみを選択エッチング

残っているポジレジスト剥離

α -Si island 部の側壁のプラズマ窒化処理 または 窒素イオンシャワードーピングによる側壁窒化処理

【図 175】

Source 電極 & Drain 電極 & Cst(保持容量)形成電極 または 共通電極

2層金属(バリアメタル配線金属)の連続成膜

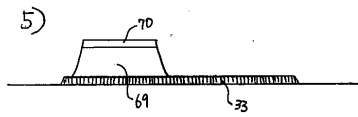
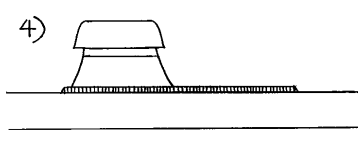
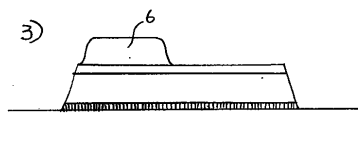
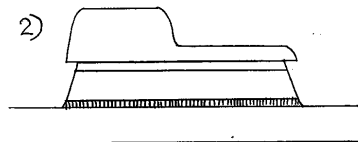
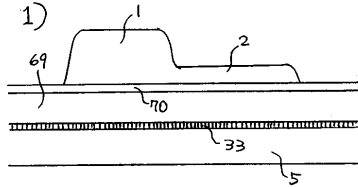
ポジレジストのパターンニング

2層金属膜エッチング

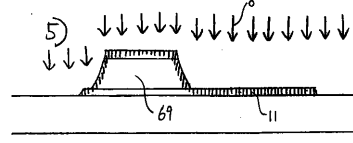
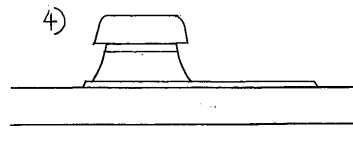
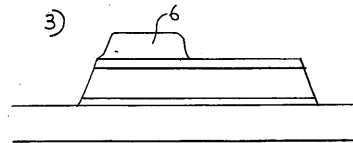
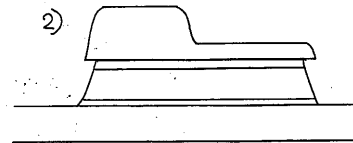
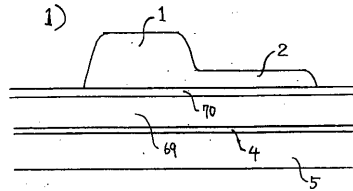
n⁺a-Si チャンネル領域 Dry エッチング

ポジレジスト剥離

【図 177】



【図 176】



【図 178】

α -Si island & コンタクトホール 《ハフトン露光プロセス》

P-SiN_x \ i-a-Si \ n⁺a-Si 《三層成膜法》

ハフトン露光法を用いたポジレジストのパターンニング

コンタクトホール部の half-Dry エッチング(不完全 Dry エッチング)

ハフトン露光領域のポジレジストアッシング除去

コンタクトホール部を完全 Dry エッチングした後に、露出している i-a-Si \ n⁺a-Si の 2層のみに選択エッチング

α -Si island 部の側壁のプラズマ窒化 または 窒素イオンシャワードーピングによる側壁窒化処理

残っているポジレジスト剥離

【図 179】

Source 電極 & Drain 電極 & Cst(保持容量)形成電極または共通電極

窒化ガスを用いて界面領域に窒素をドーピングした単層アルミニウム成膜

ポジレジストのパターンニング

アルミニウムエッチング

n⁺a-Si チャンネル領域 Dry エッチング

ポジレジスト剥離

【図180】

α -Si island & コンタクトホール 《ハーフトン露光プロセス》

$P-SiN_x \backslash i\alpha-Si \backslash n^+ \alpha-Si \backslash Ti \text{ or } Zr \text{ or } Mo$ 《四層成膜法》

ハーフトン露光法を用いたポジレジストのパターンニング

コンタクトホール部の half-Dry エッチング (不完全 Dry エッチング)

ハーフトン露光領域のポジレジストアッシング除去

コンタクトホール部を完全 Dry エッチングした後に、露出している $i\alpha-Si \backslash n^+ \alpha-Si \backslash Ti \text{ or } Zr \text{ or } Mo$ の3層のみを選択エッチング

残っているポジレジスト剥離

α -Si island 部の側壁のプラズマ窒化処理 または 窒素イオンシャワードープニングによる側壁窒化処理

【図181】

Source 電極 & Drain 電極 & Cst (保持容量) 形成電極 または 共通電極
または 配向方向制御電極
《ノーマル露光プロセス》

3層金属成膜

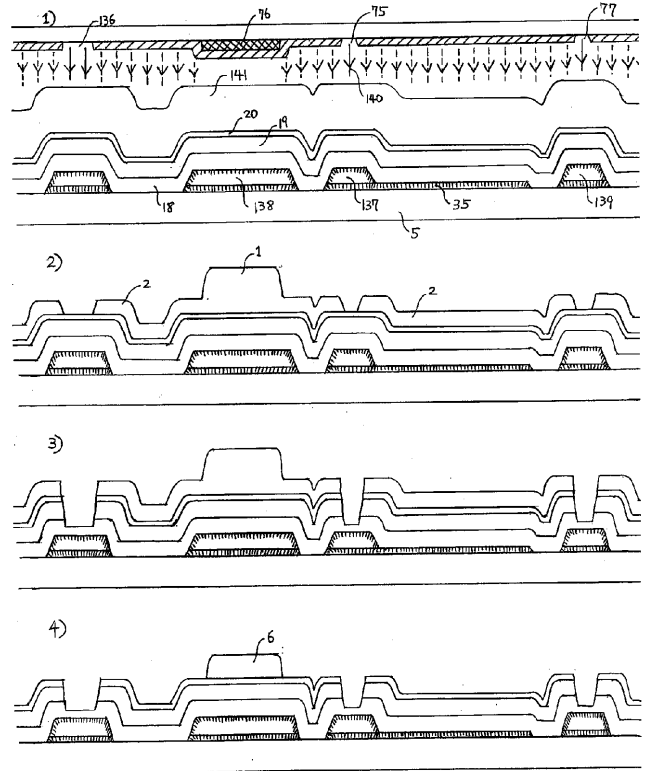
ポジレジストのパターンニング

3層金属膜エッチング

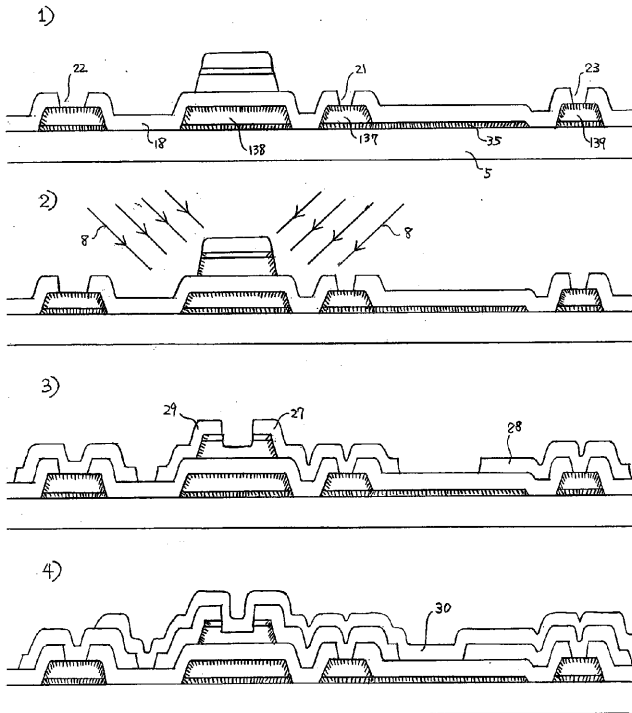
$n^+ \alpha-Si$ チャネル領域 Dry エッチング

ポジレジスト剥離

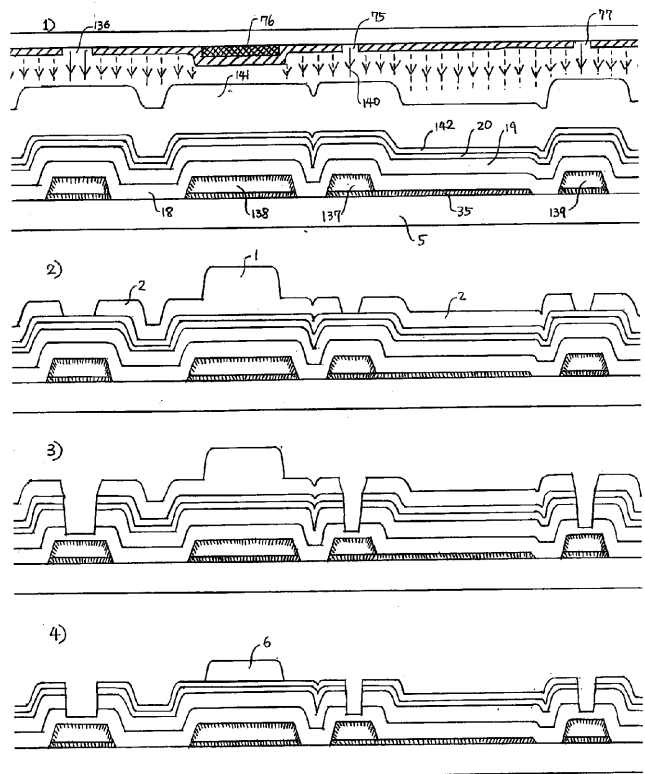
【図182】



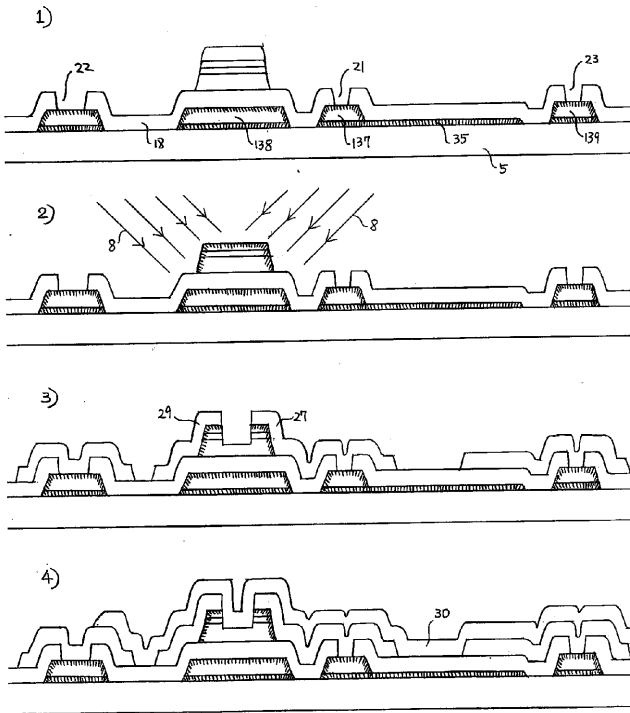
【図183】



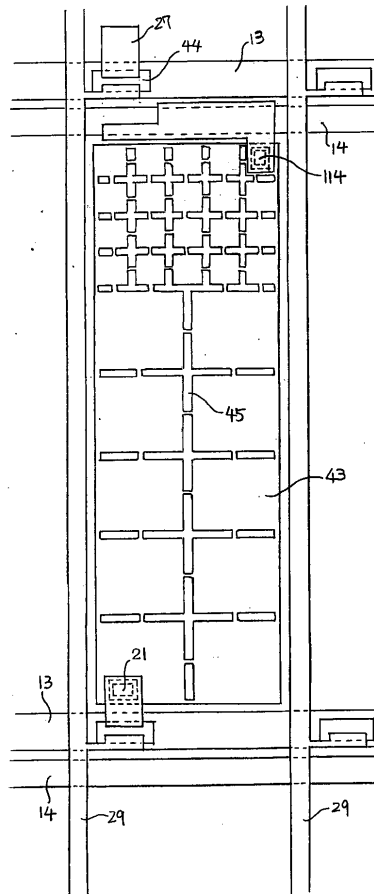
【図184】



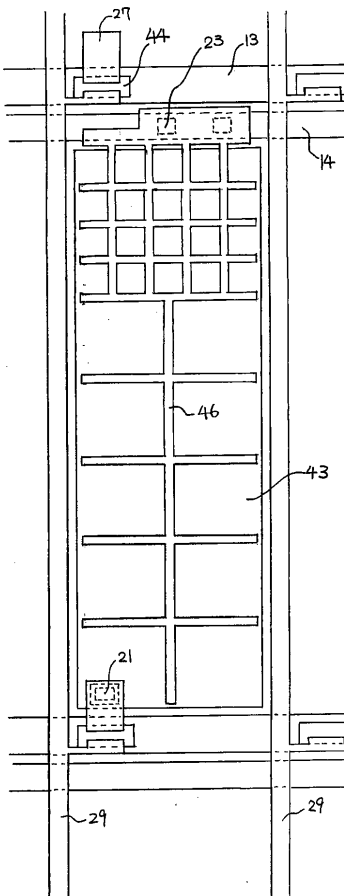
【図 185】



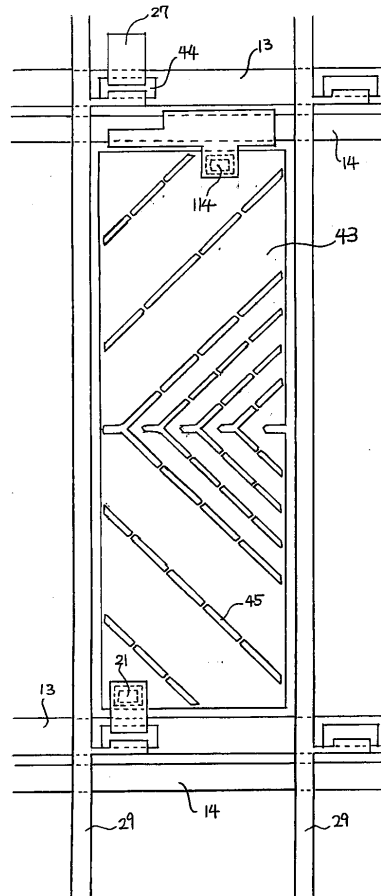
【図 186】



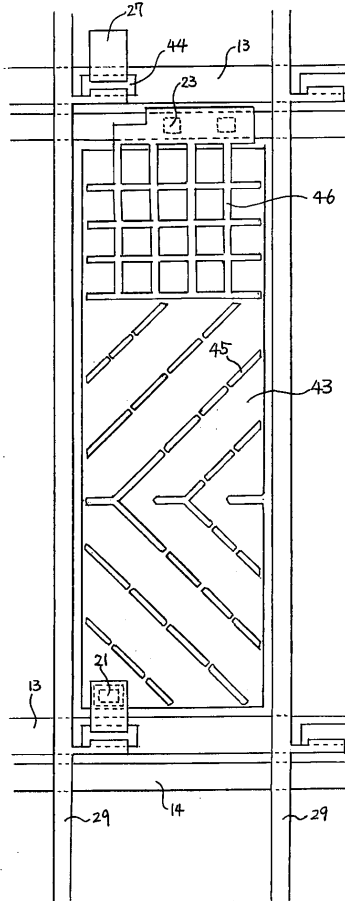
【図 187】



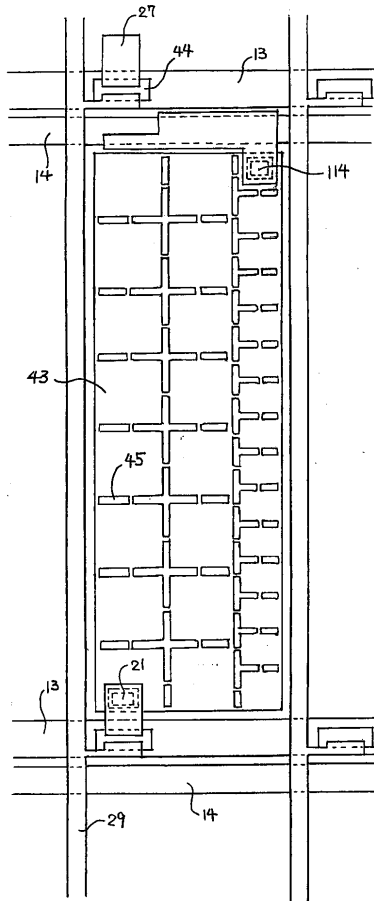
【図 188】



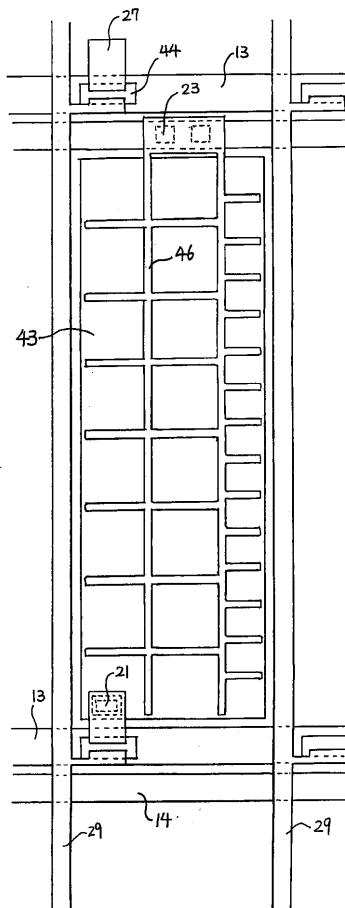
【図 189】



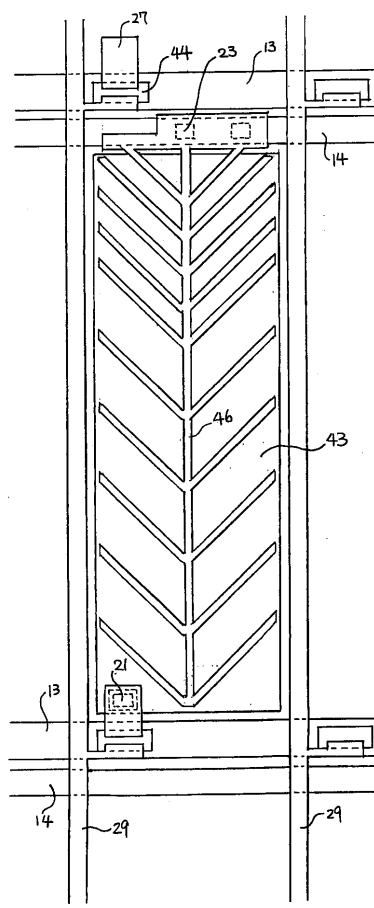
【図 190】



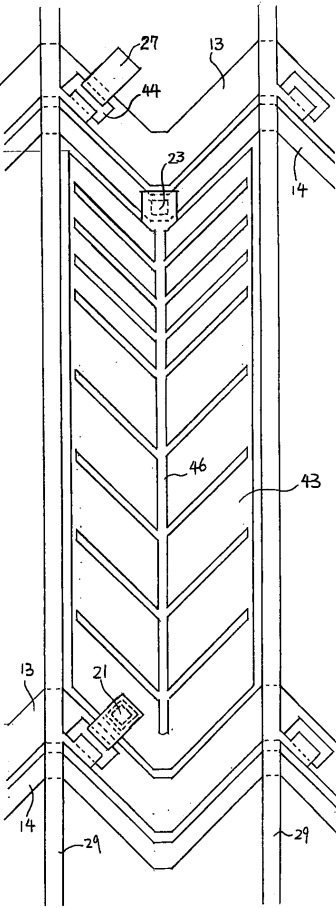
【図 191】



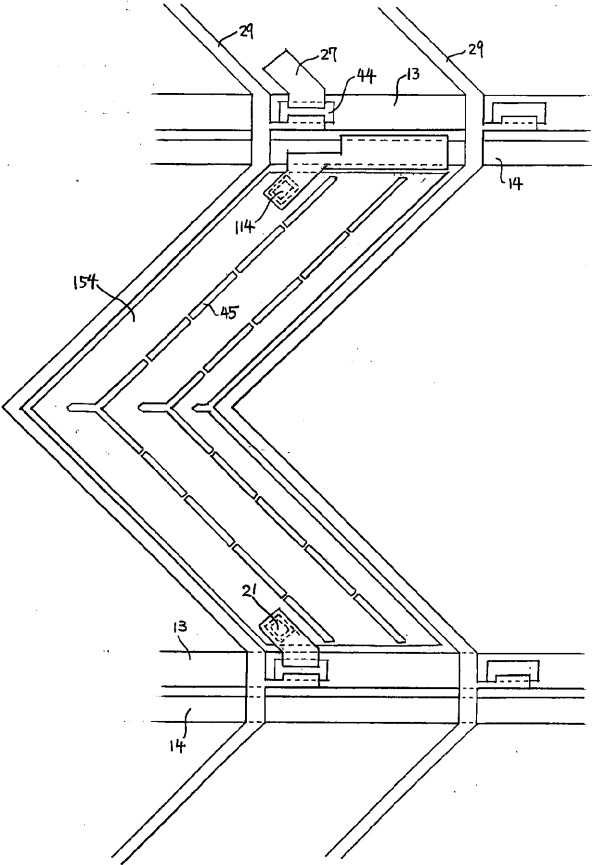
【図 192】



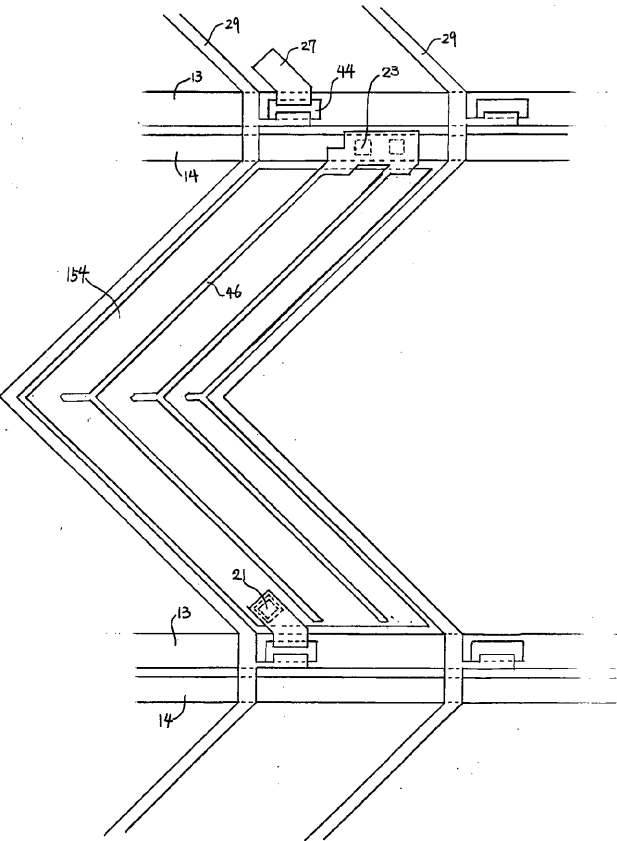
【図 193】



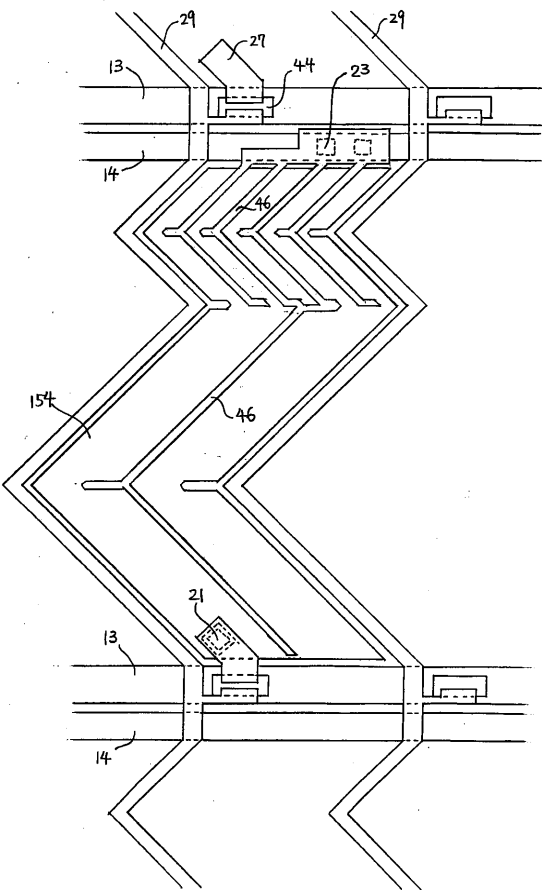
【図 194】



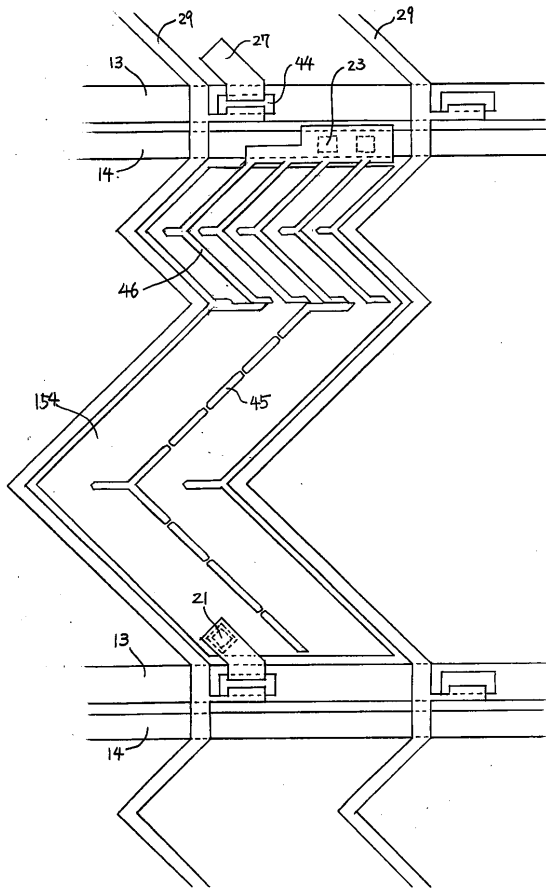
【図 195】



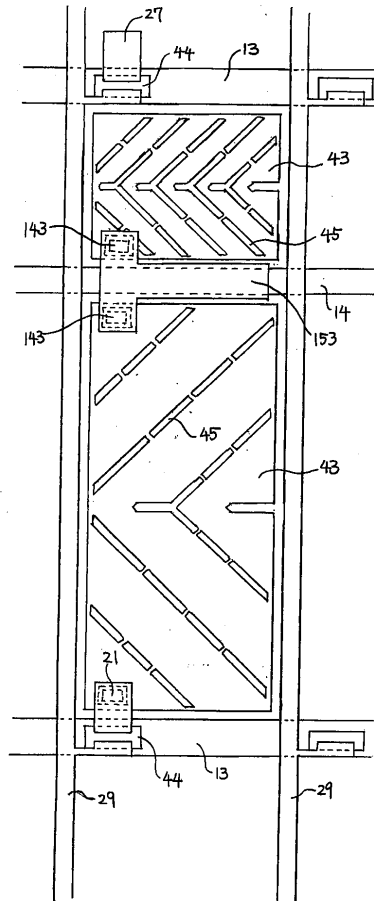
【図 196】



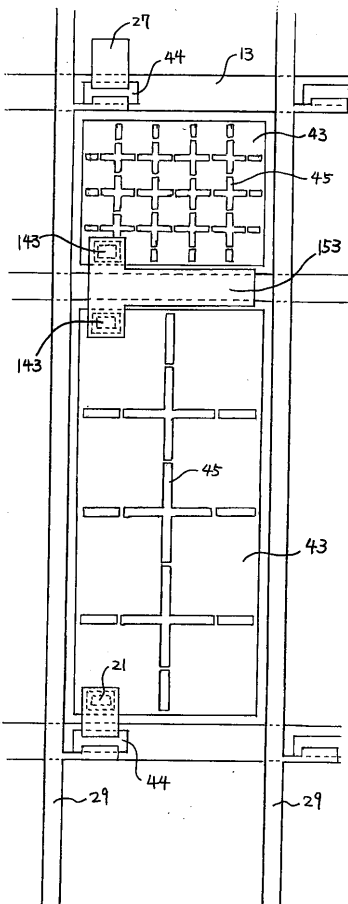
【図 197】



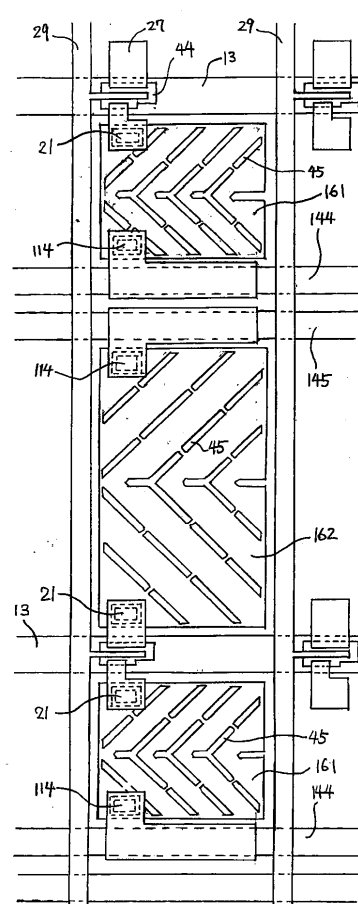
【図 198】



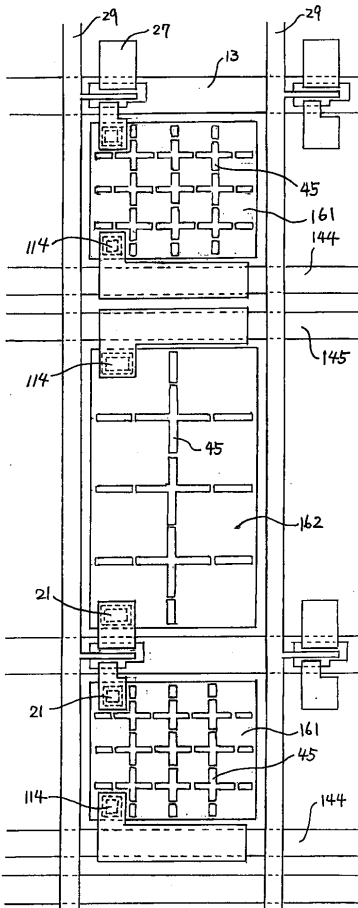
【図 199】



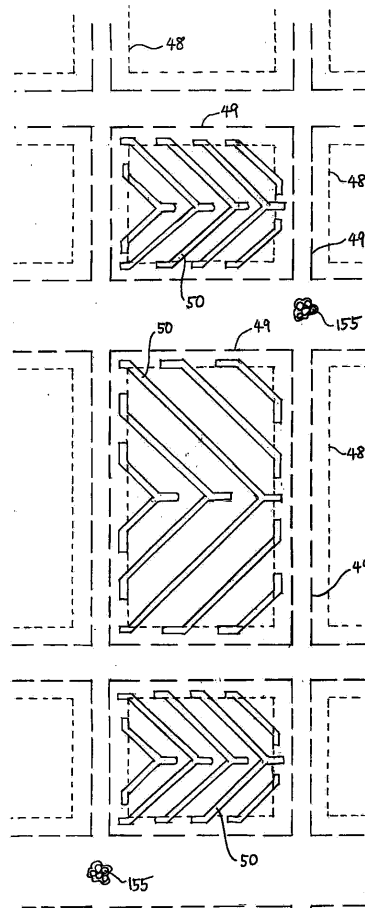
【図 200】



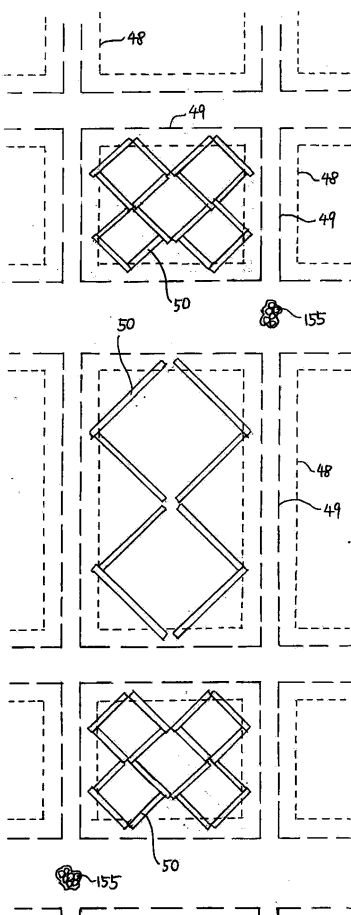
【図 201】



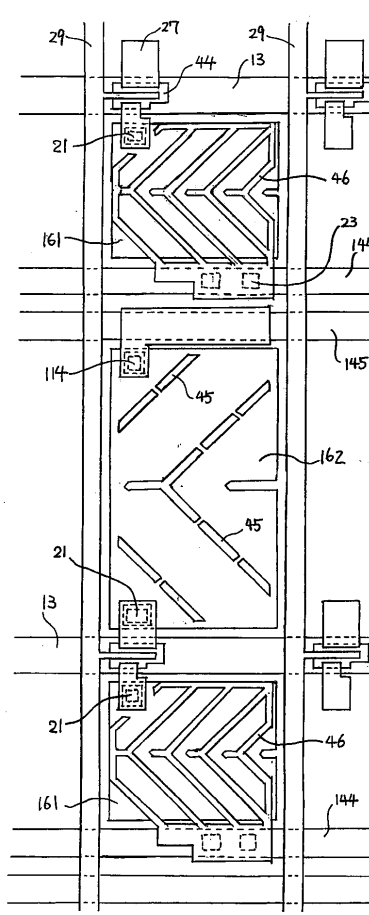
【図 202】



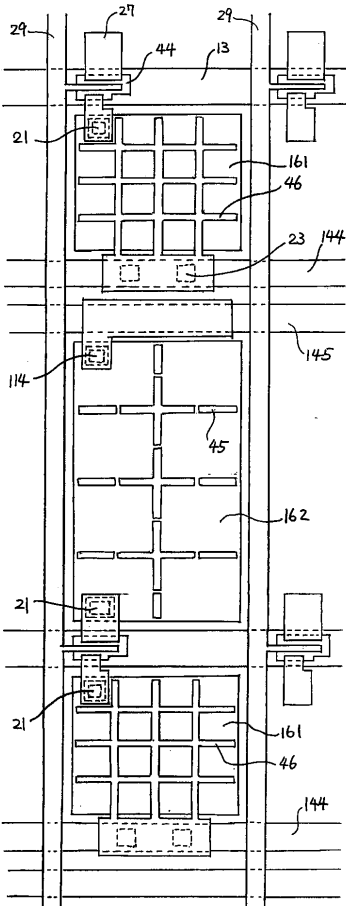
【図 203】



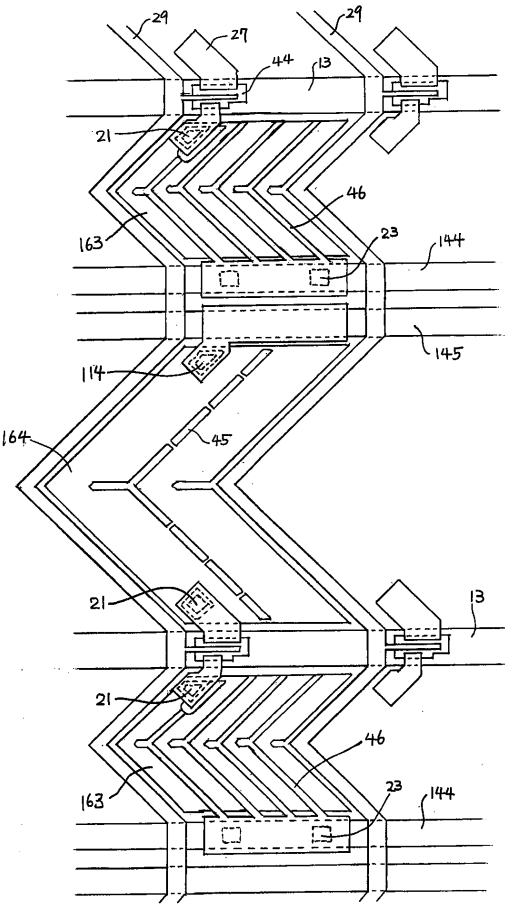
【図 204】



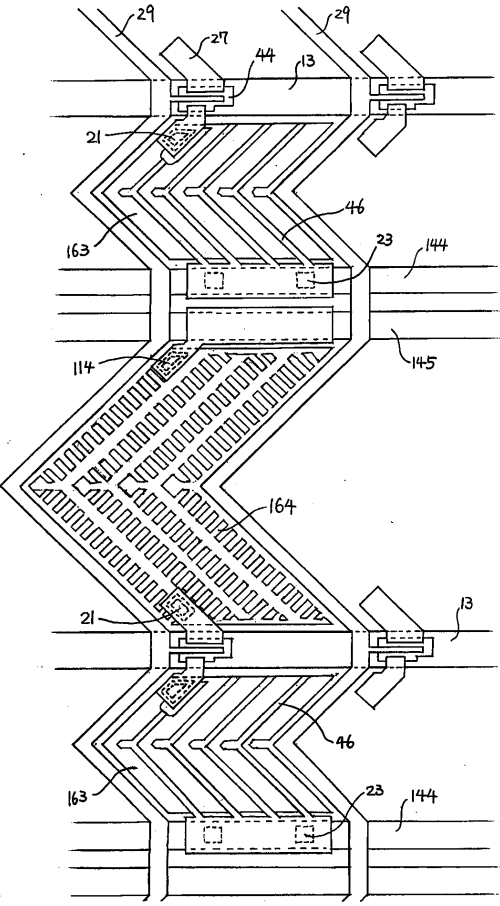
【図 205】



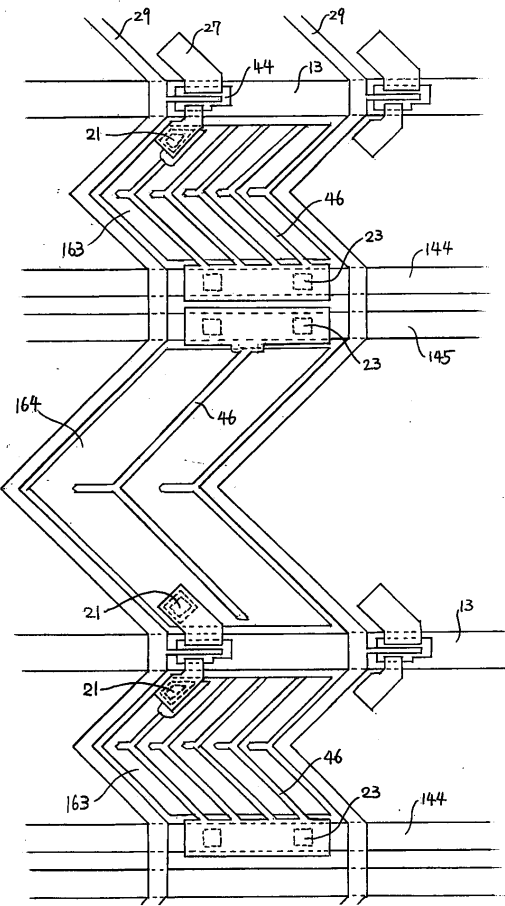
【図 206】



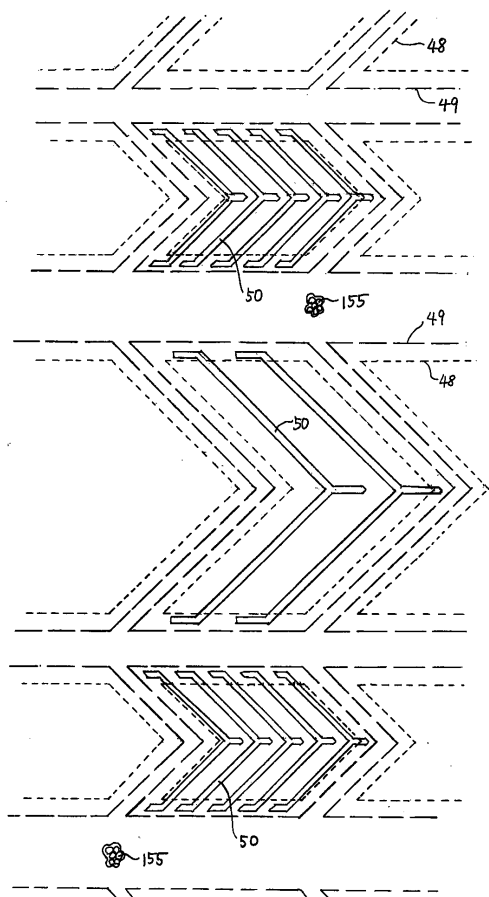
【図 207】



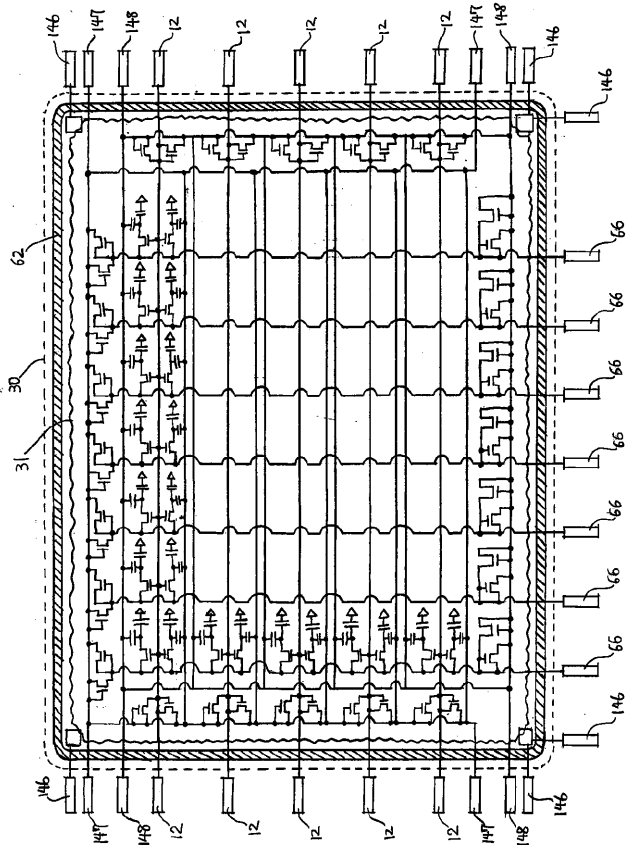
【図 208】



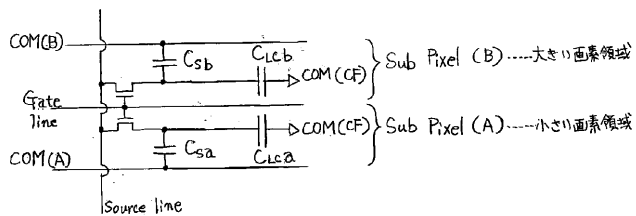
【図 209】



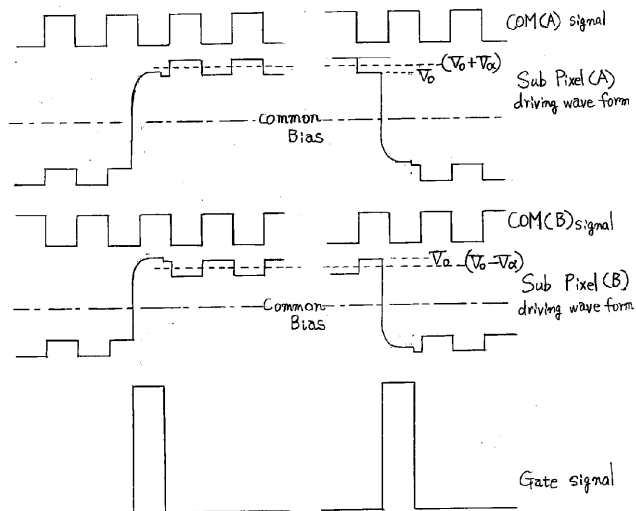
【图 2 1 2】



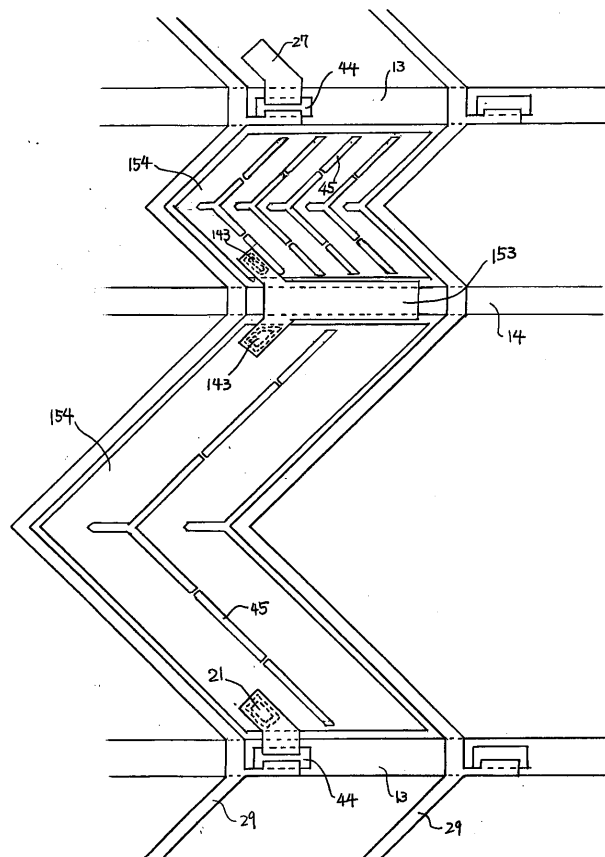
【 図 2 1 0 】



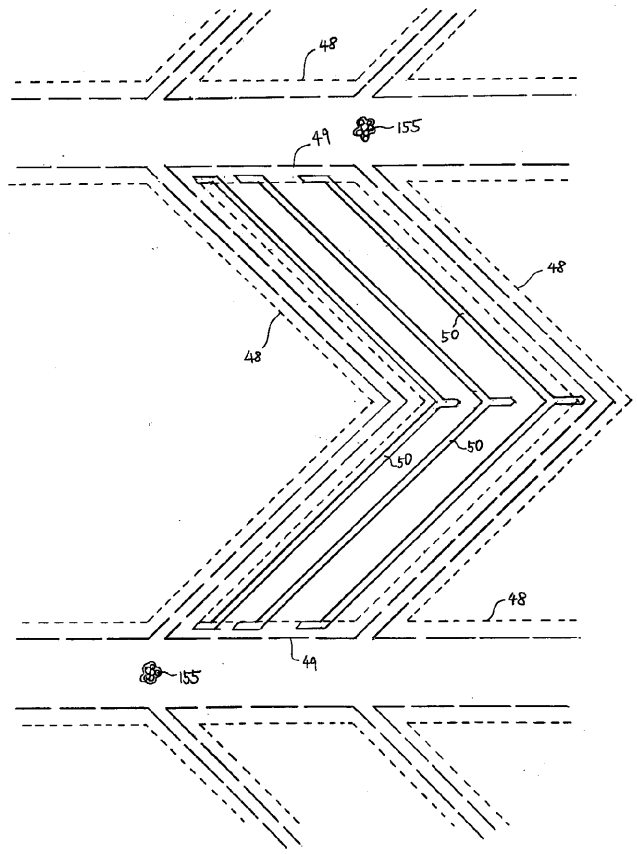
【 図 2 1 1 】



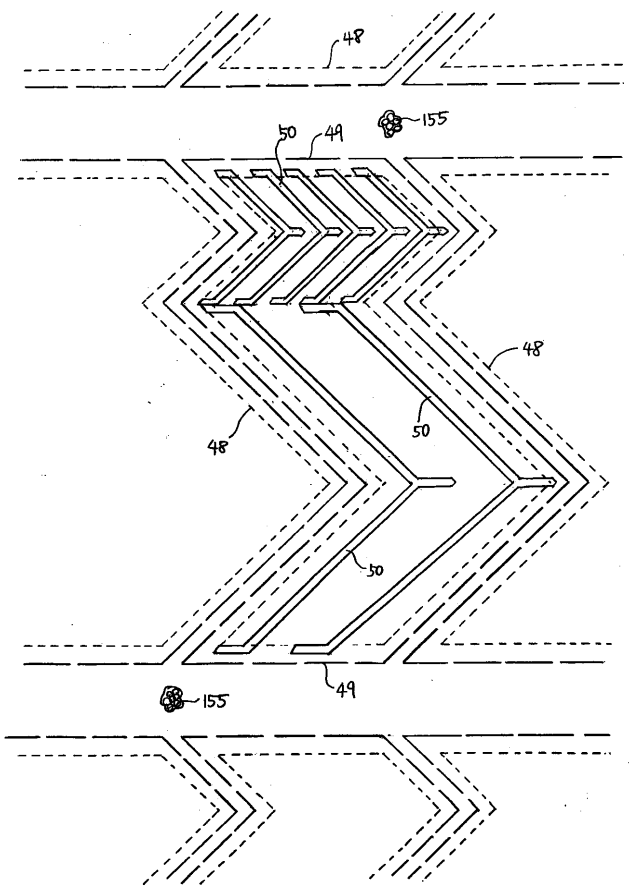
【 図 2 1 3 】



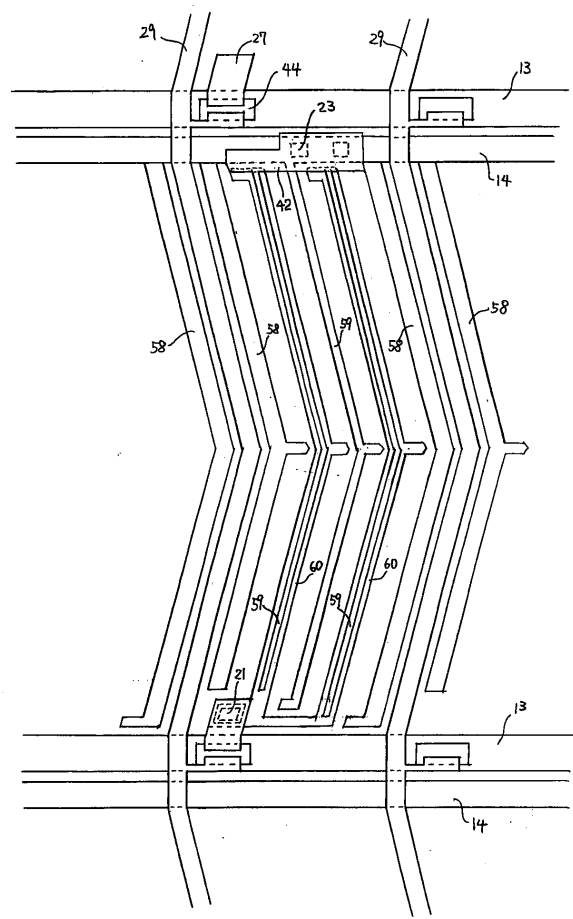
【図 2 1 4】



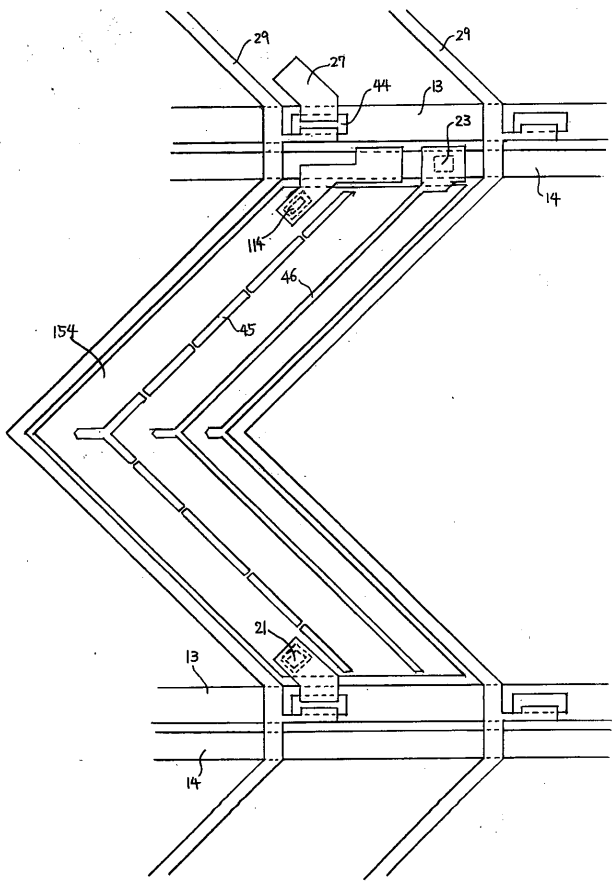
【図 2 1 5】



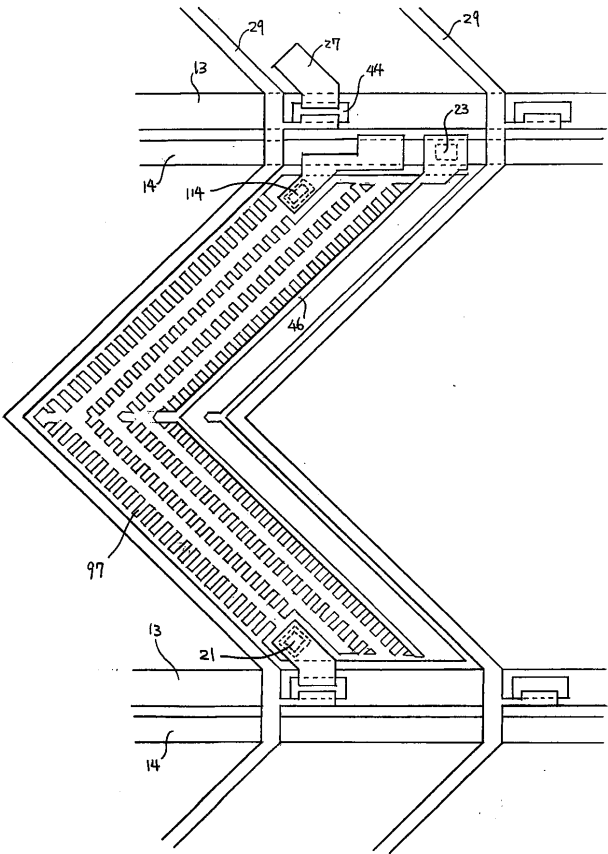
【図 2 1 6】



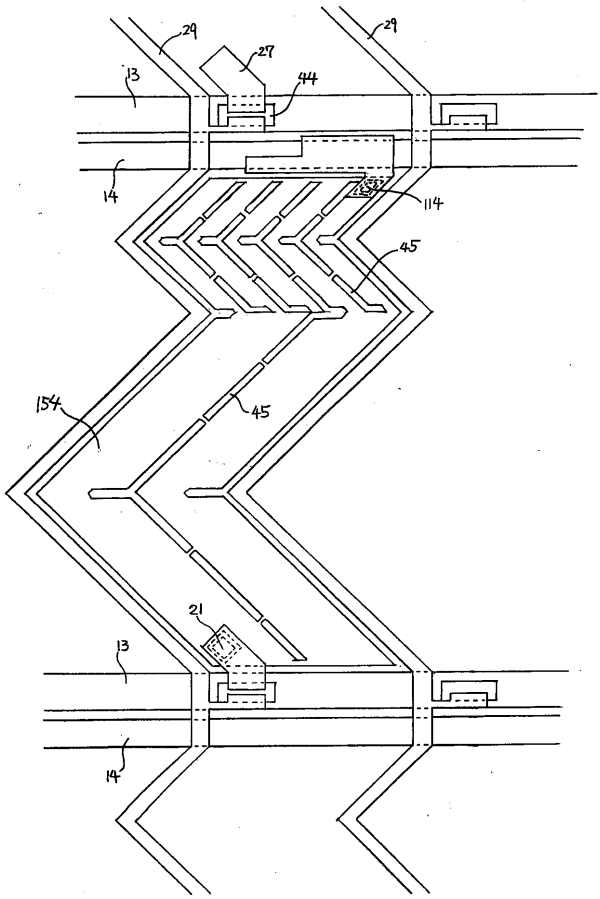
【図 2 1 7】



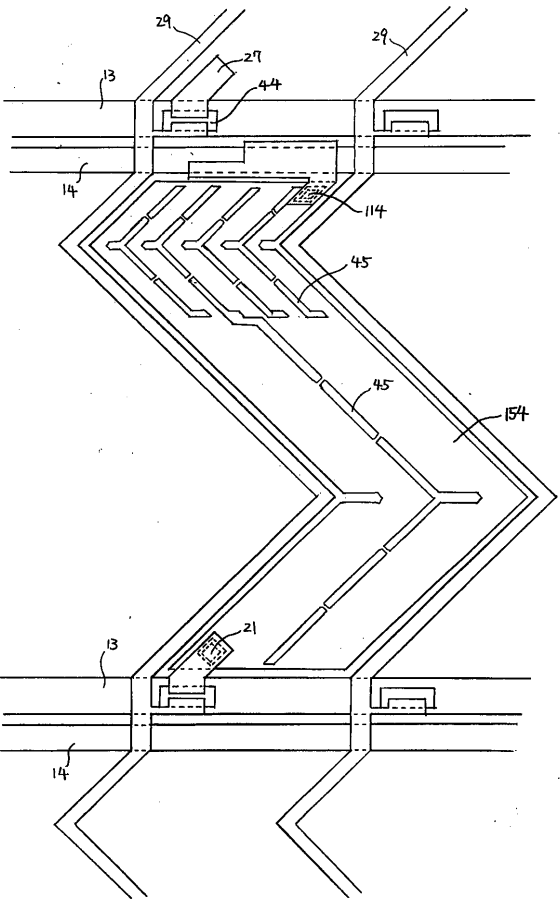
【図 2 1 8】



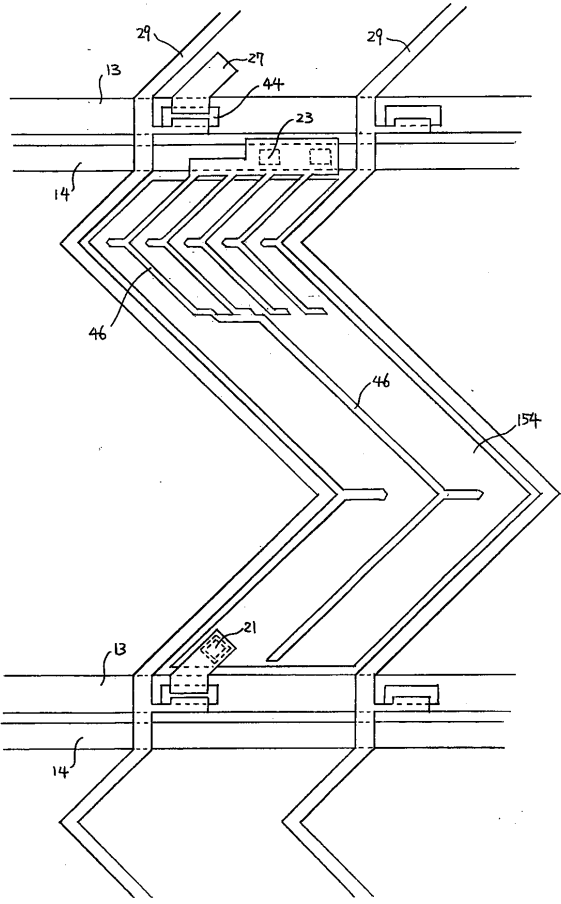
【図 2 1 9】



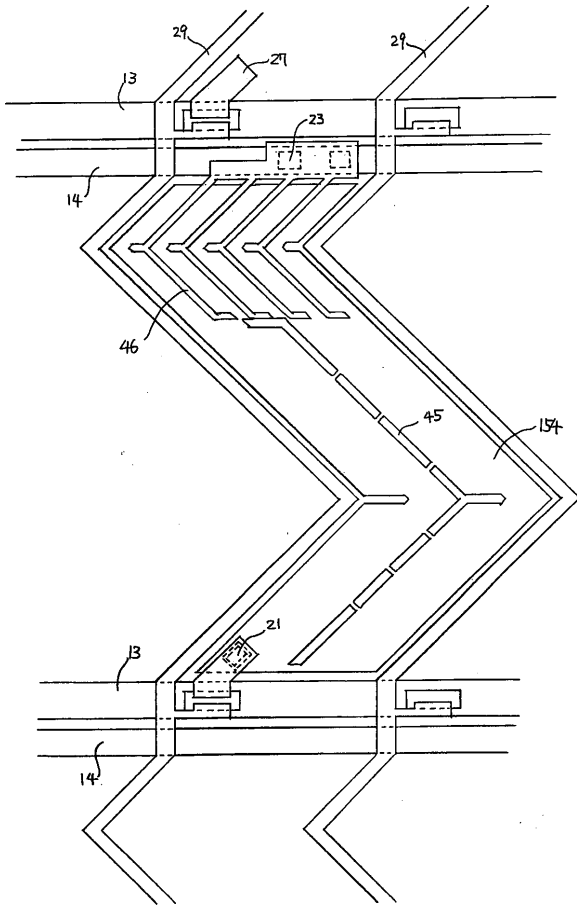
【図 2 2 0】



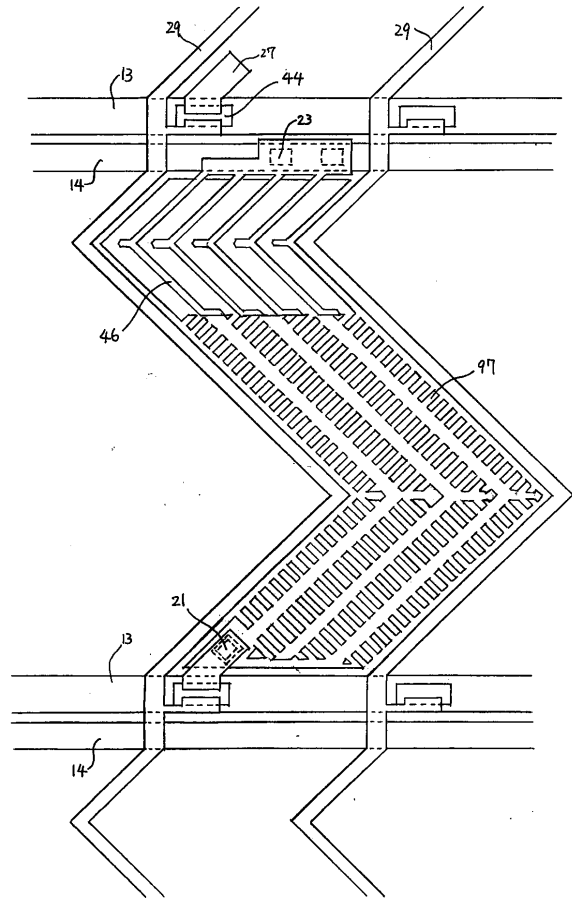
【図 2 2 1】



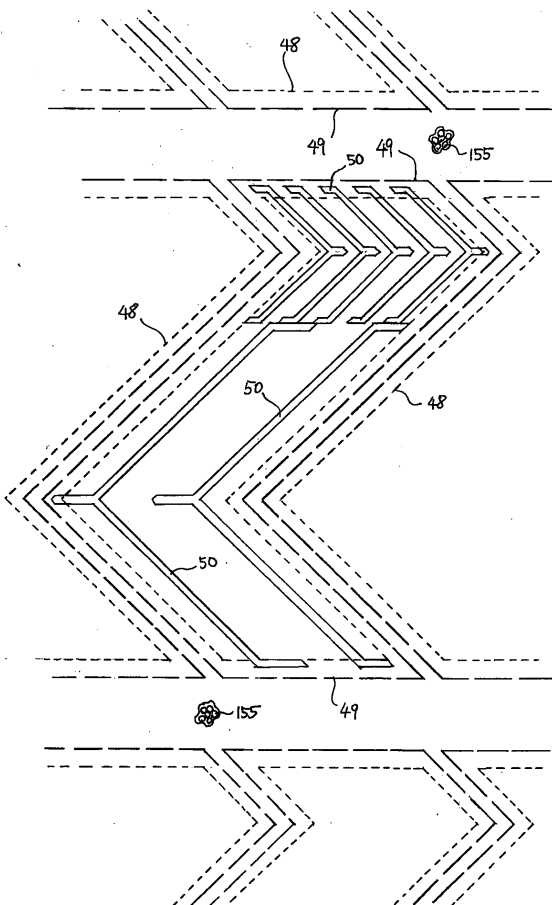
【図 2 2 2】



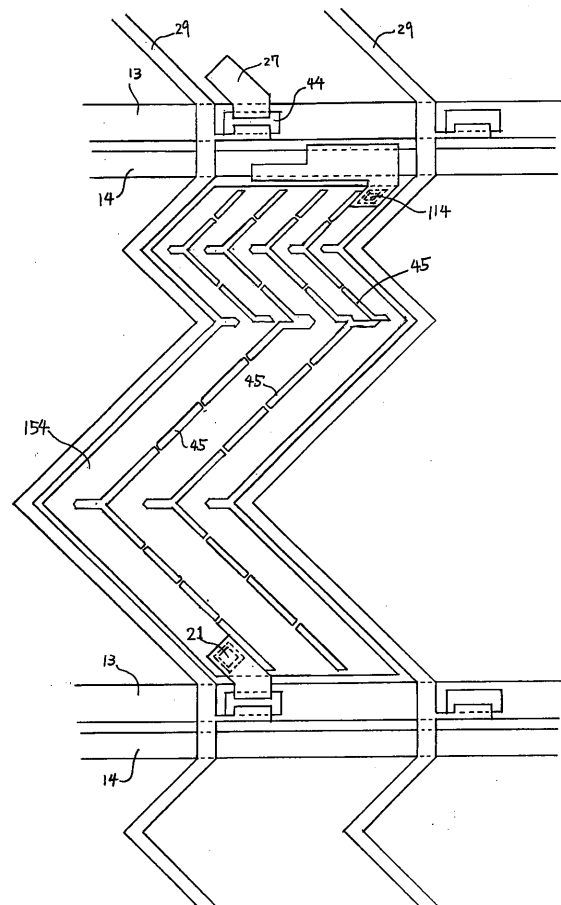
【図 2 2 3】



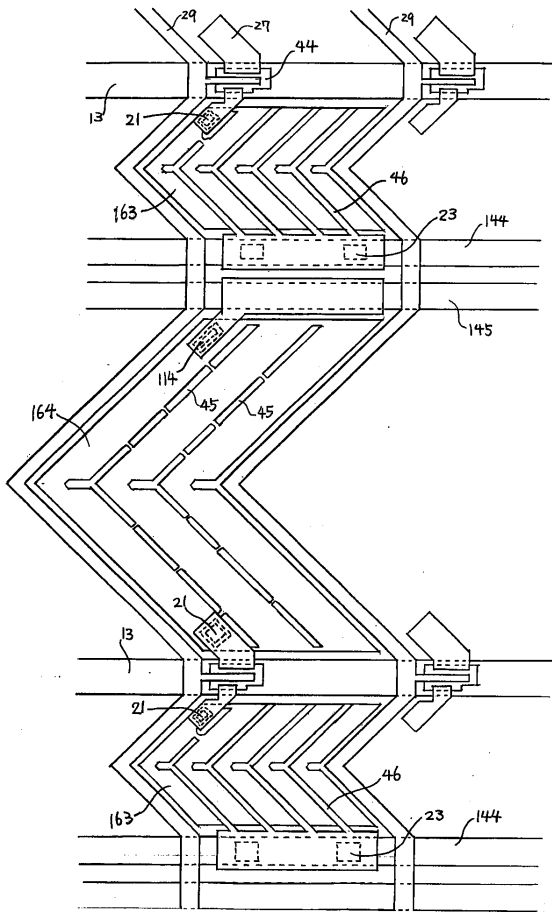
【図 2 2 4】



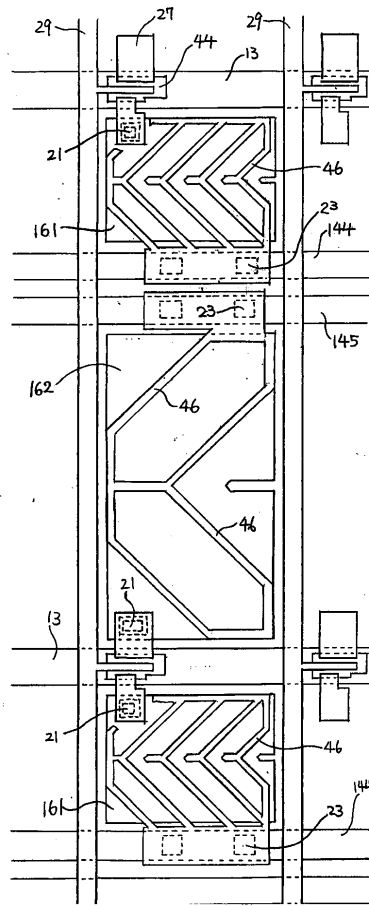
【図 2 2 5】



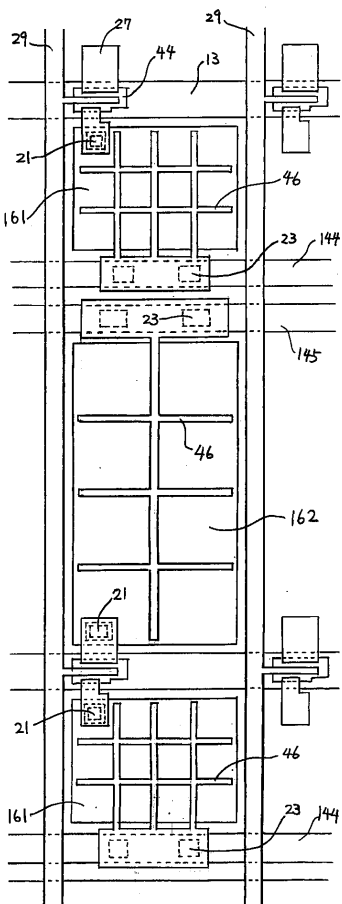
【図 230】



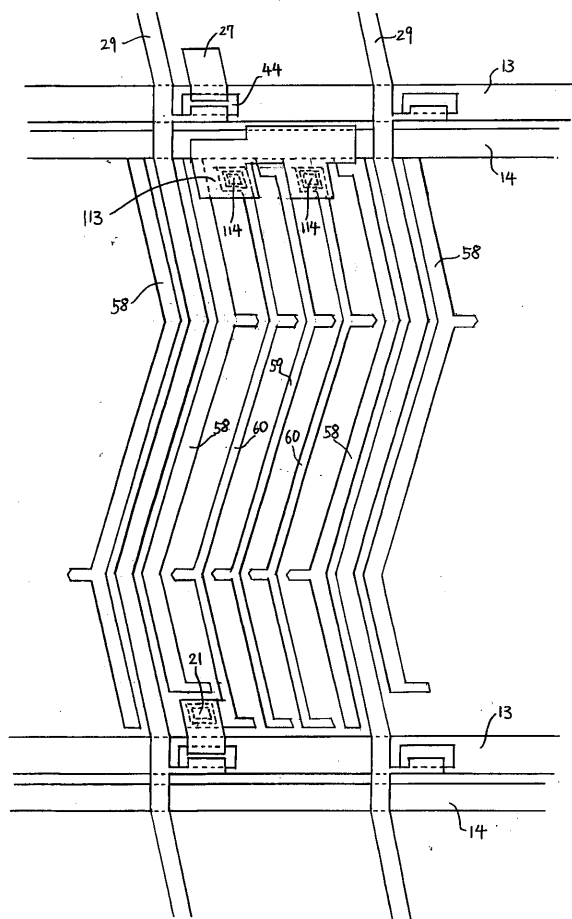
【図 231】



【図 232】

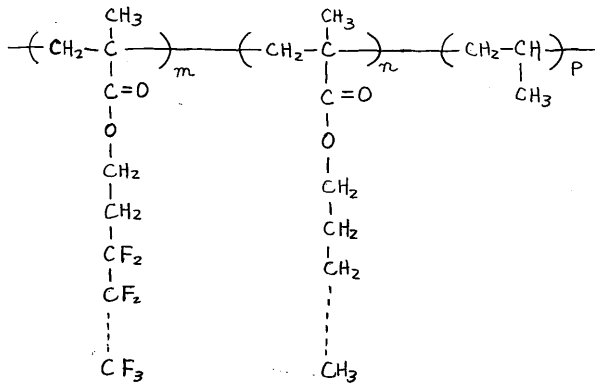


【図 233】



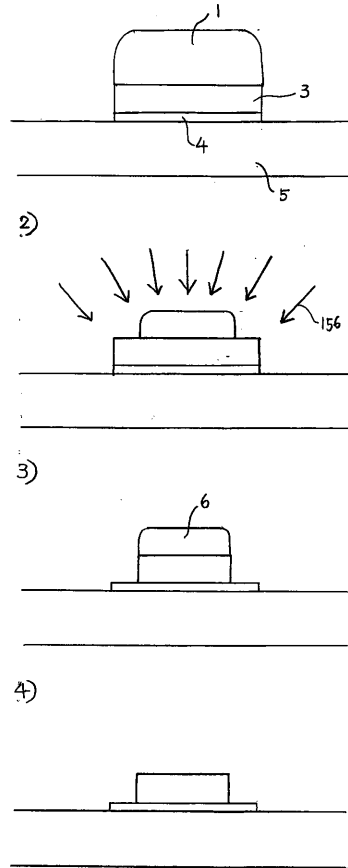
【図 2 3 4】

ユニダインの構造



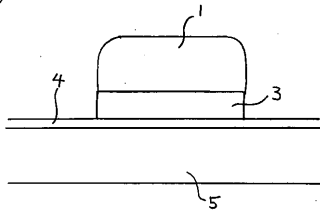
【図 2 3 5】

D

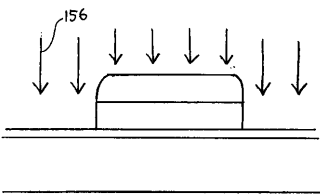


【図 2 3 6】

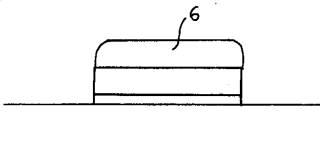
1)



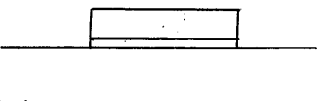
2)



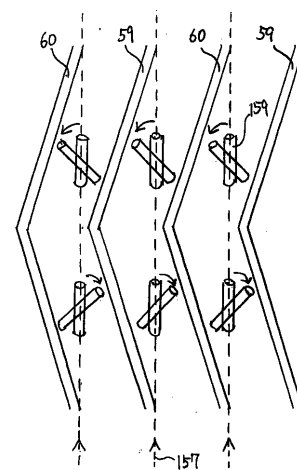
3)



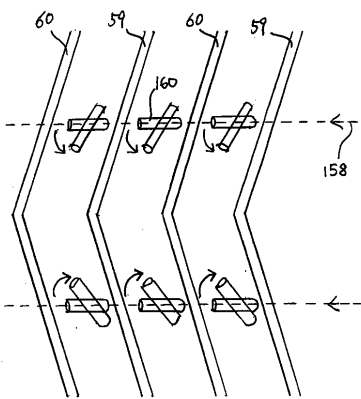
4)



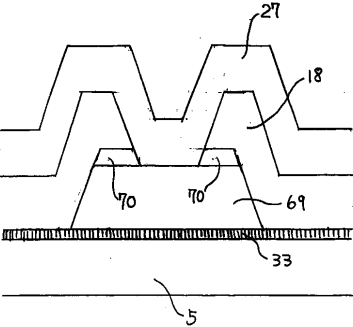
【図 2 3 7】



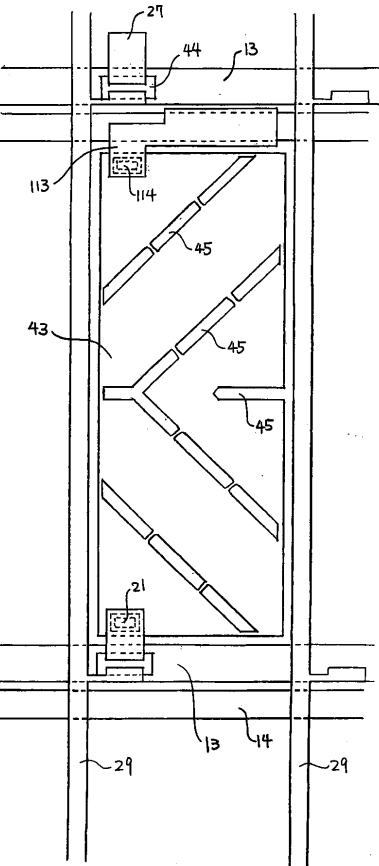
【図 2 3 8】



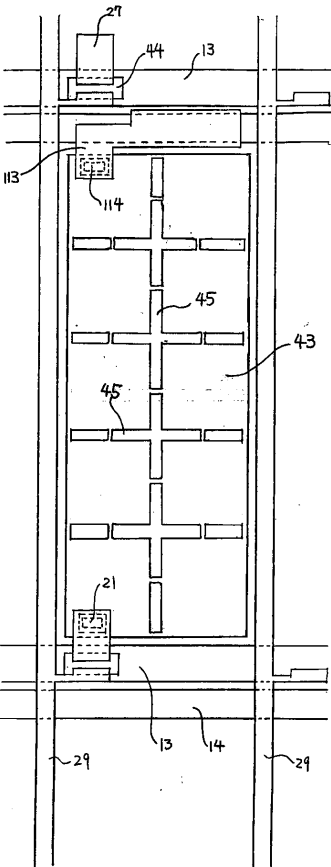
【図 2 3 9】



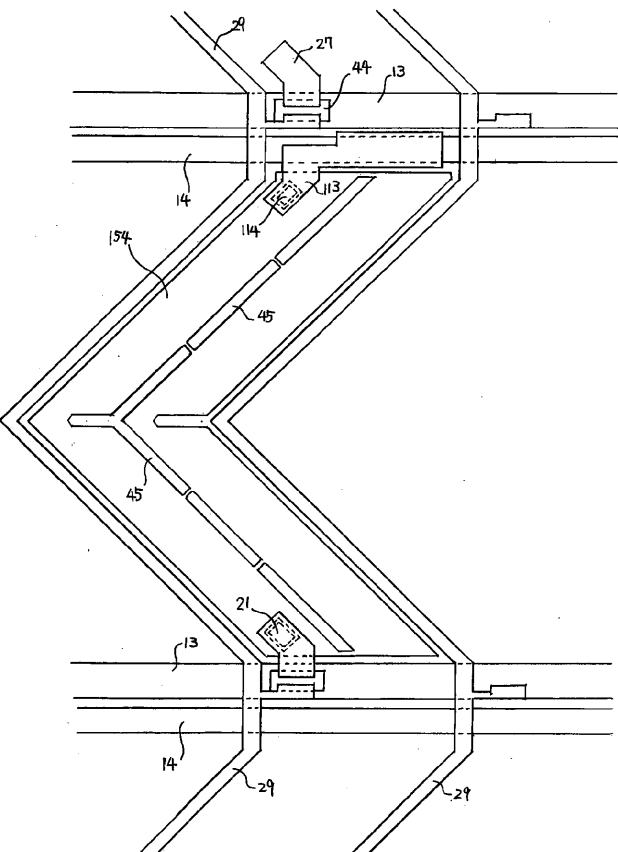
【図 2 4 0】



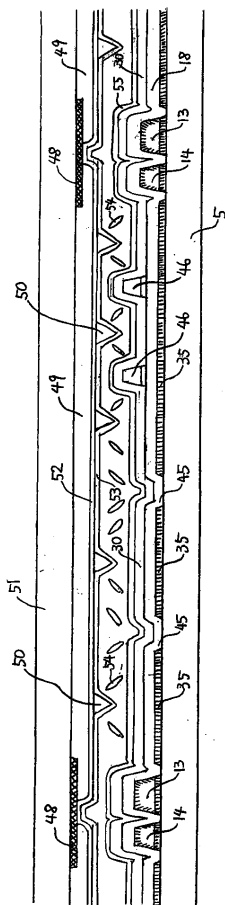
【図 2 4 1】



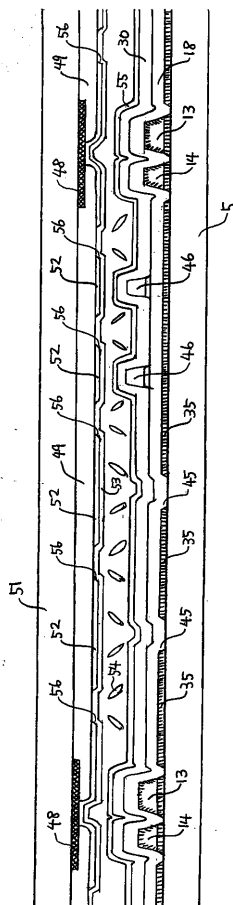
【図 2 4 2】



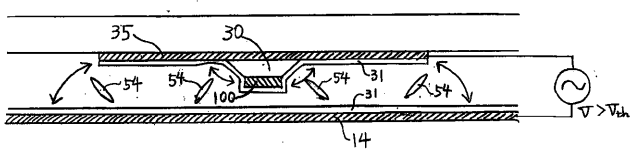
【図 2 4 3】



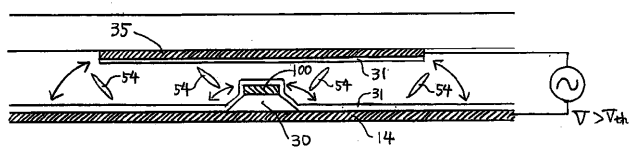
【図 2 4 4】



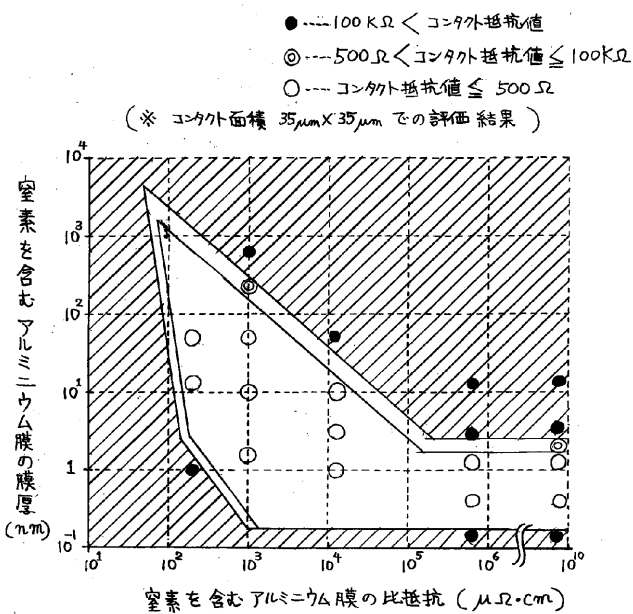
【図 2 4 5】



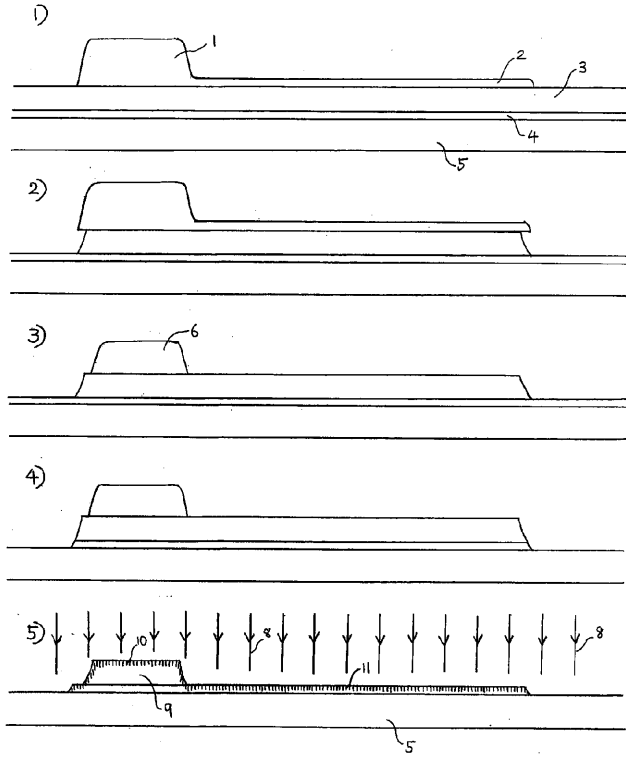
【図 2 4 6】



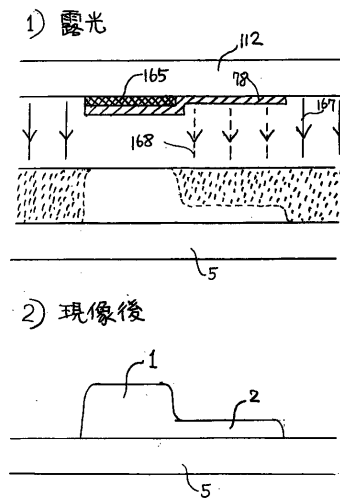
【図 2 4 7】



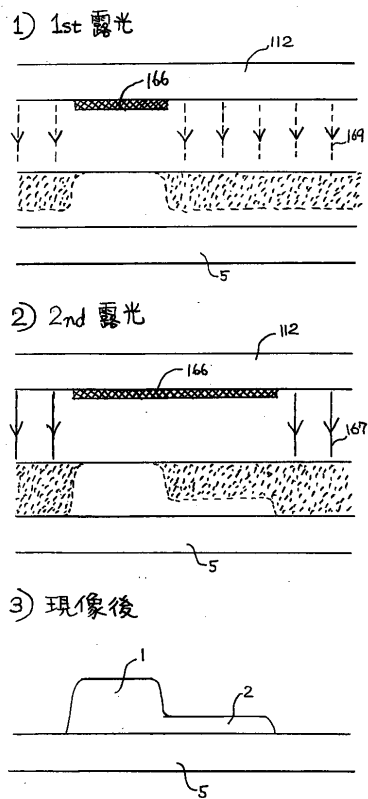
【図 2 4 8】



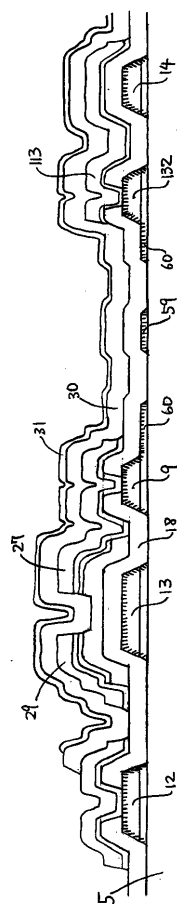
【図 2 4 9】



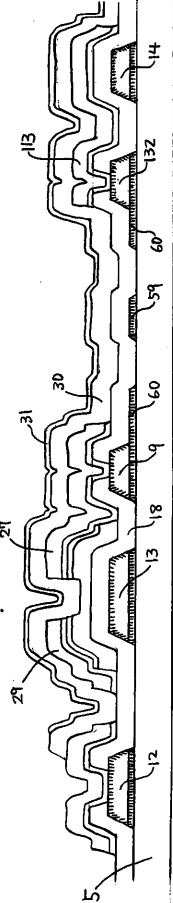
【図 2 5 0】



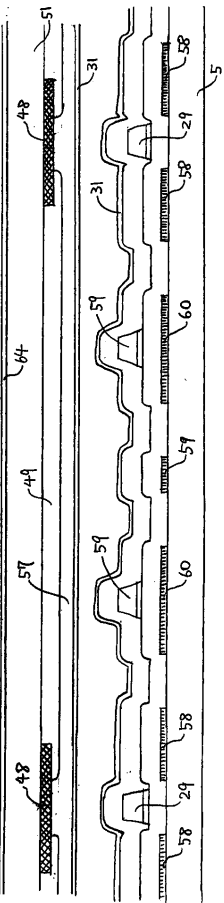
【図 2 5 1】



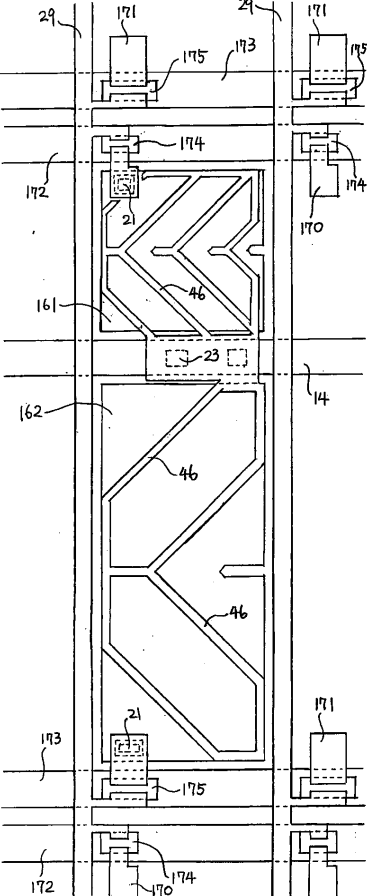
【図 2 5 2】



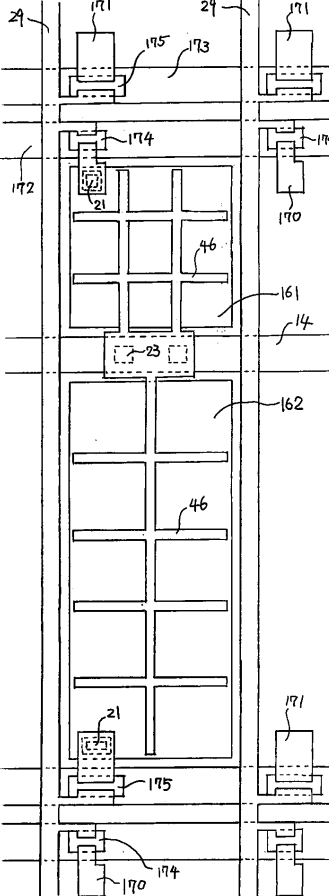
【図 2 5 3】



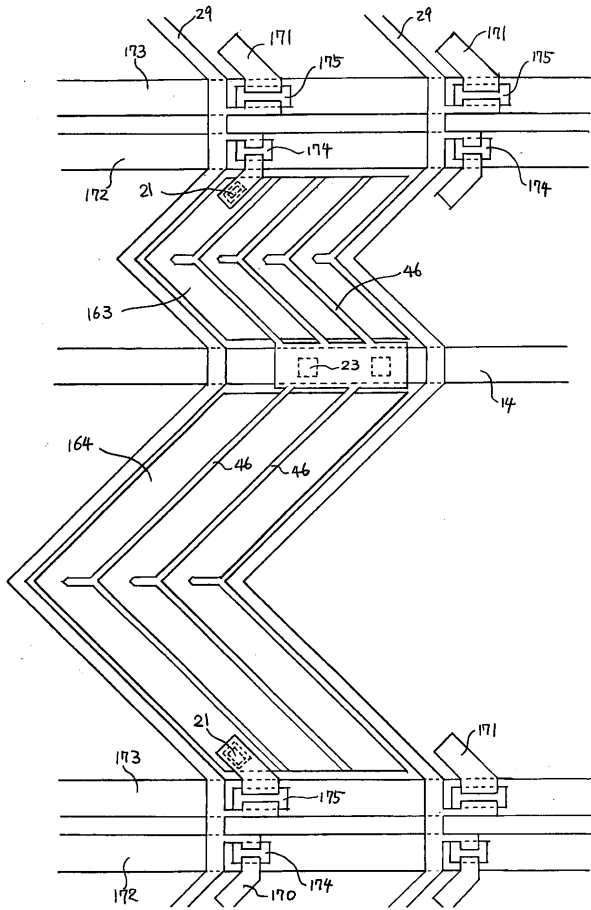
【図 2 5 4】



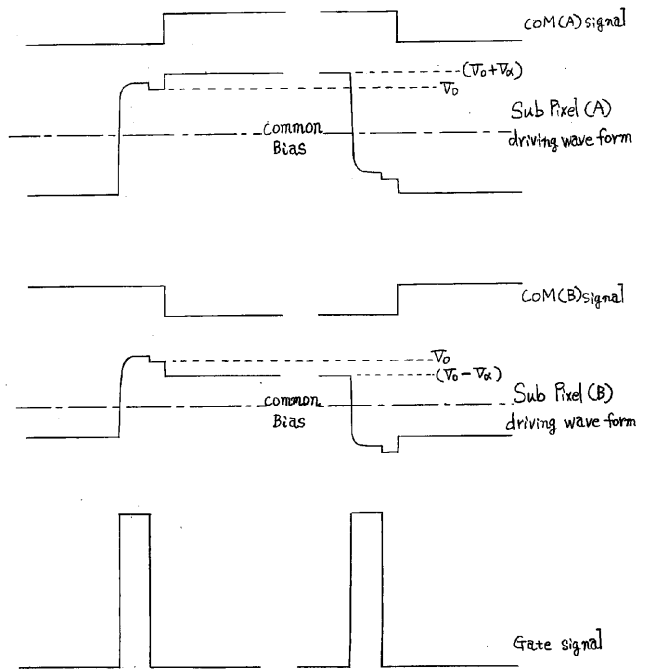
【図 2 5 5】



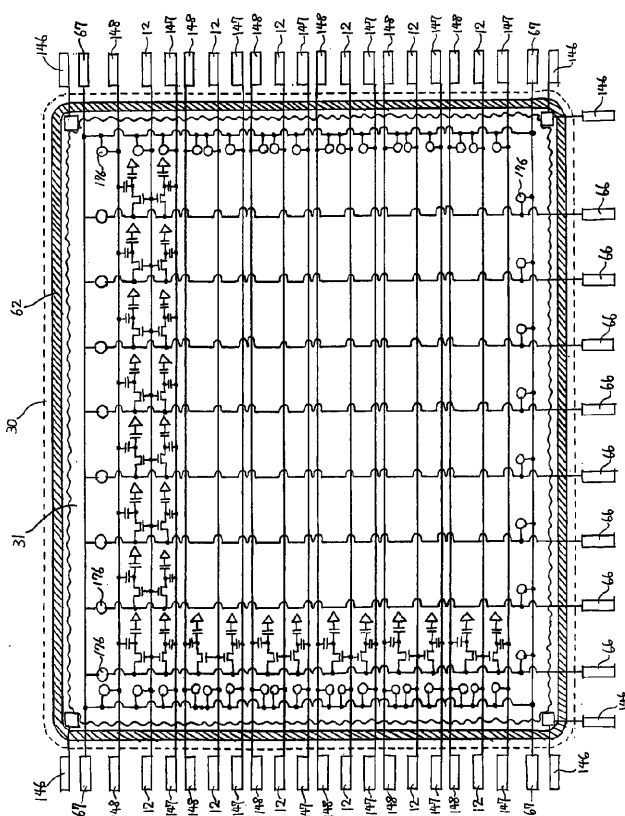
【図 256】



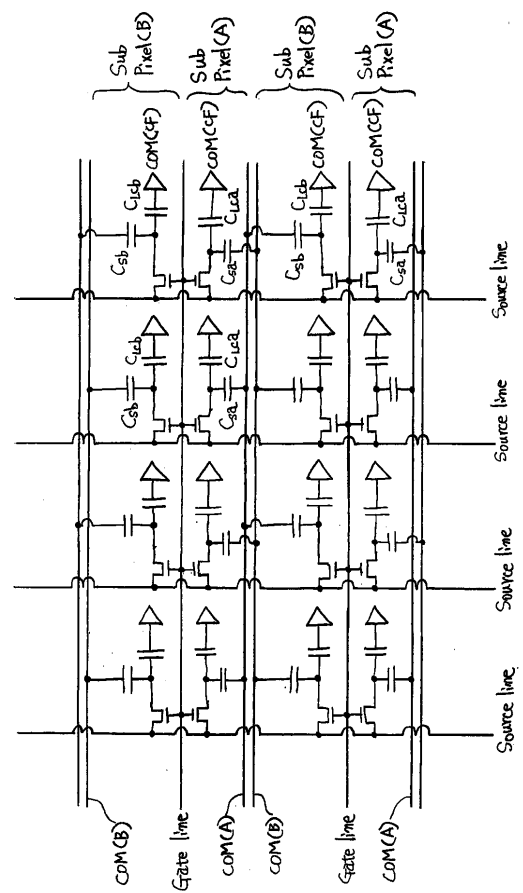
【図 257】



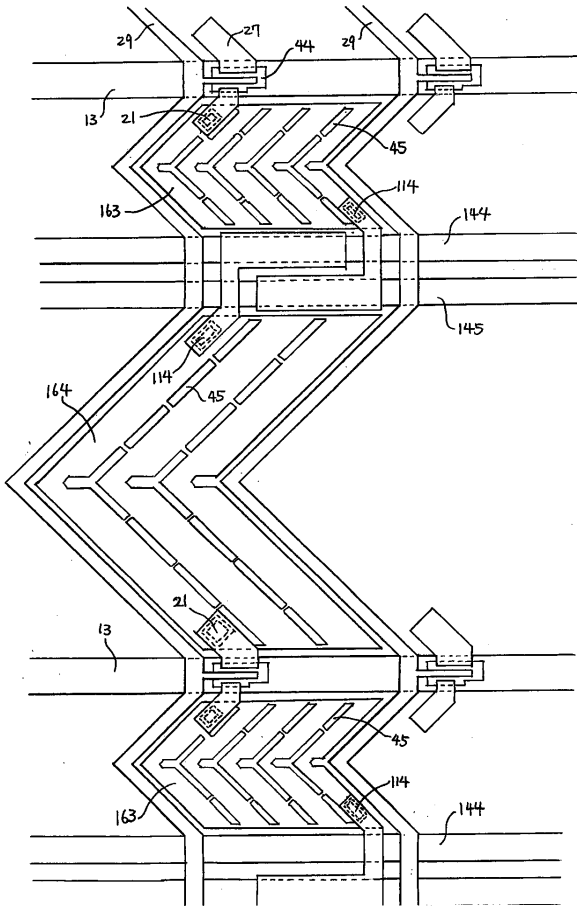
【図 258】



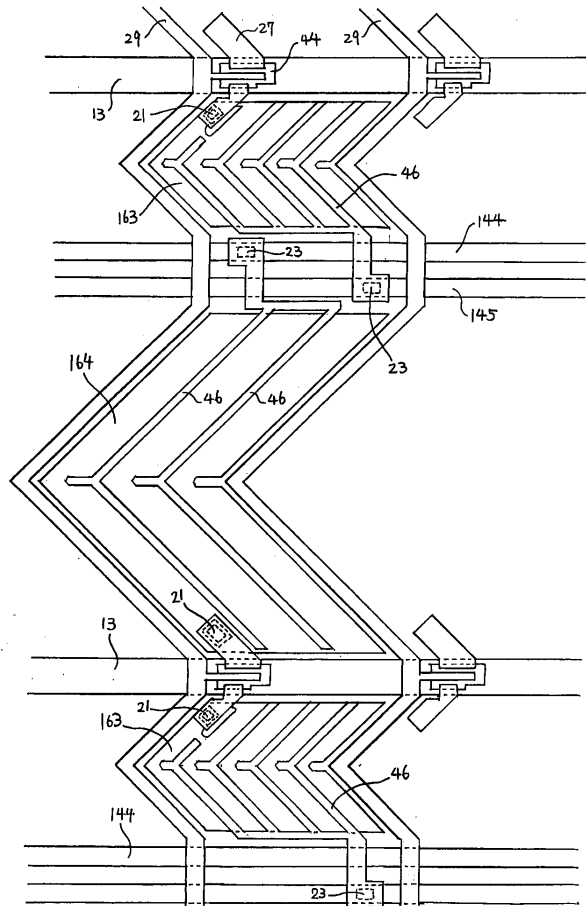
【図 259】



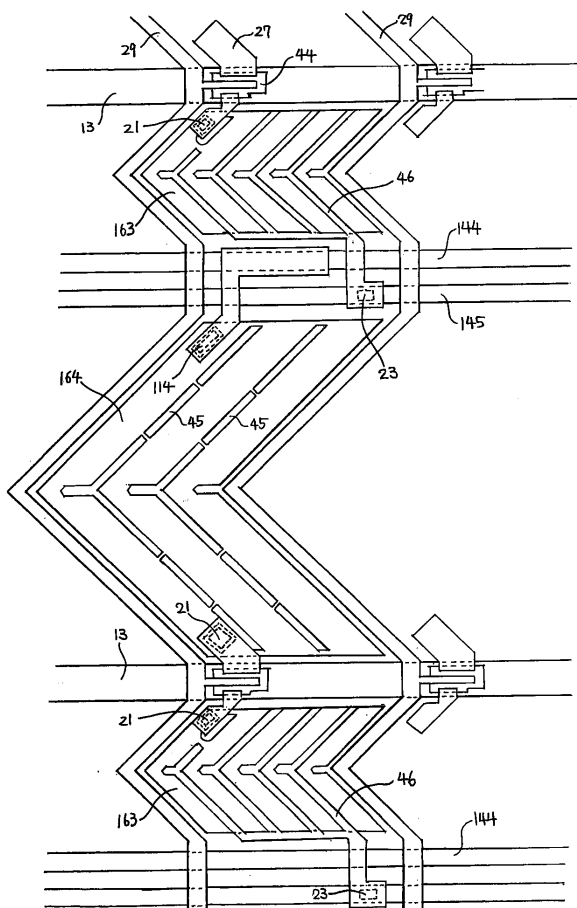
【図 260】



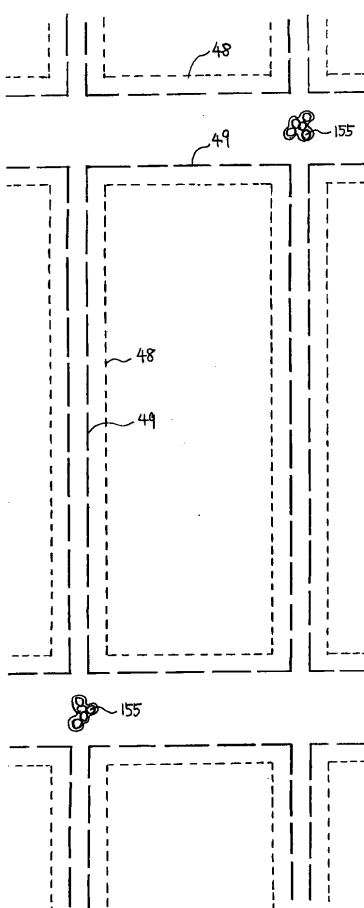
【図 261】



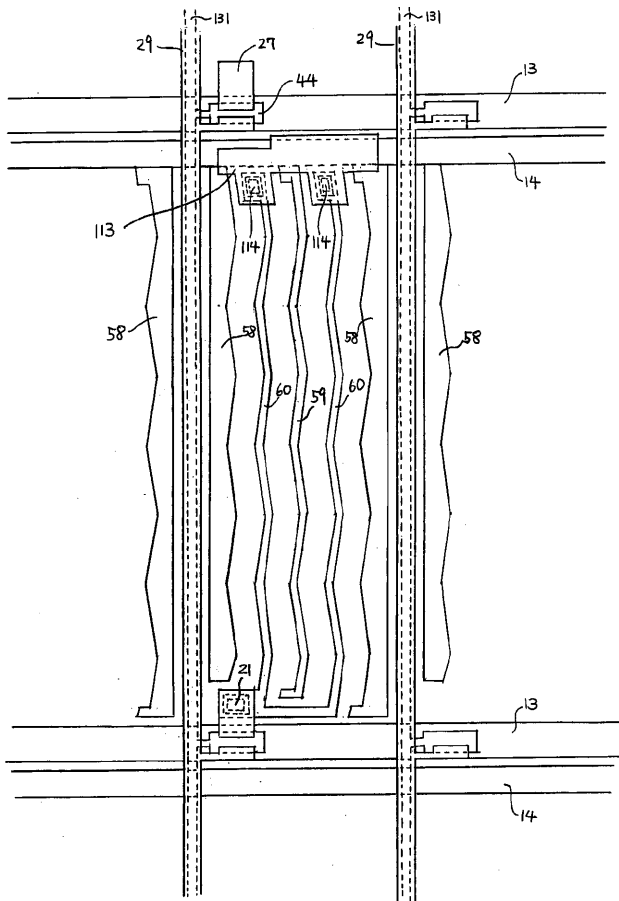
【図 262】



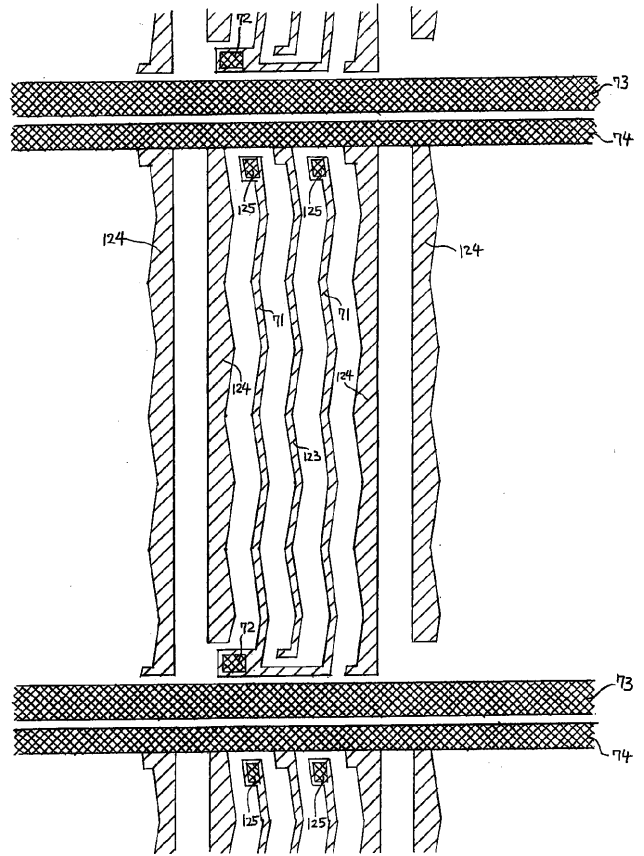
【図 263】



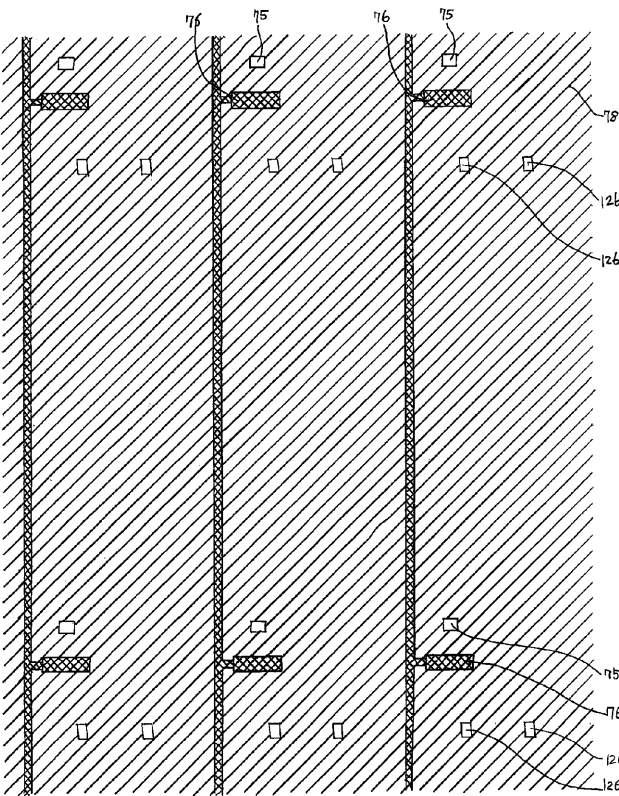
【図 264】



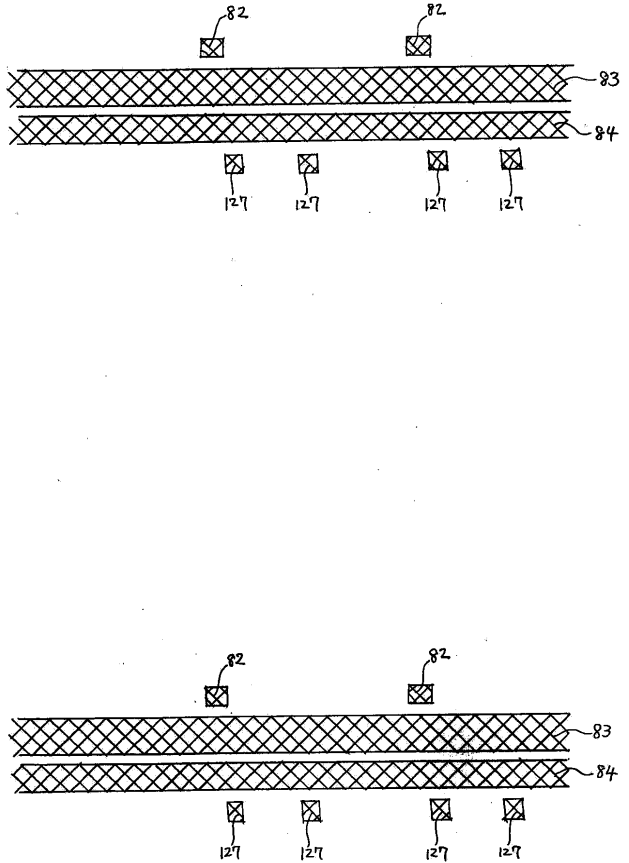
【図 265】



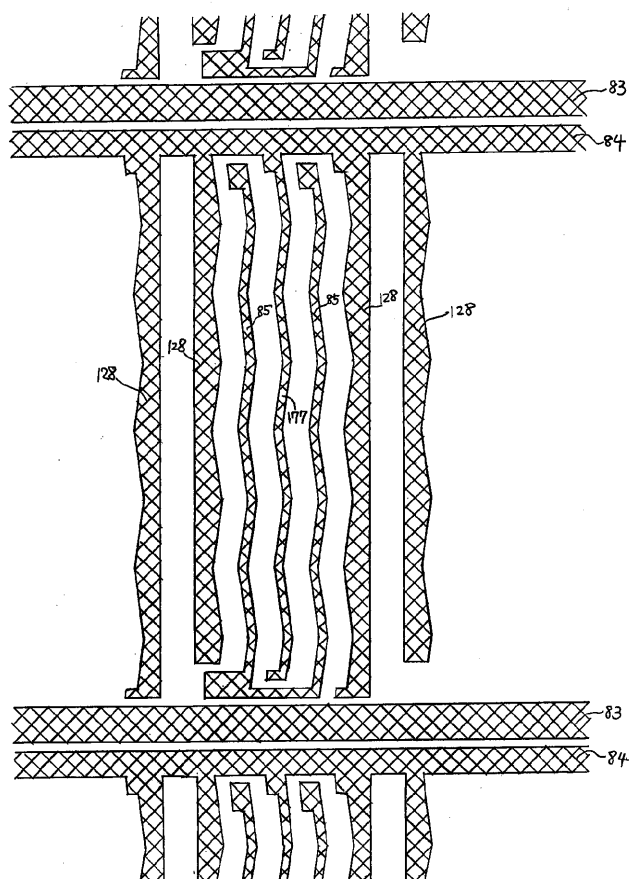
【図 266】



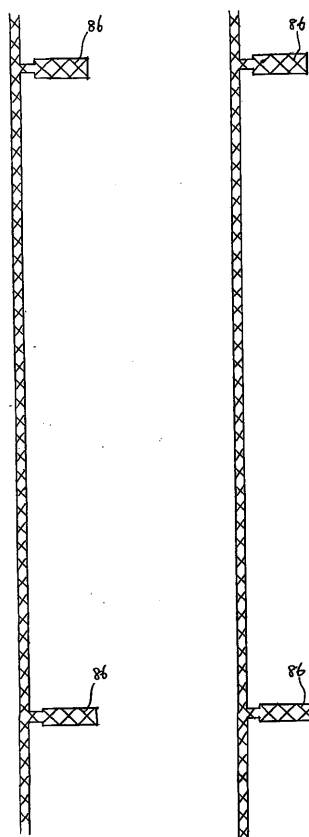
【図 267】



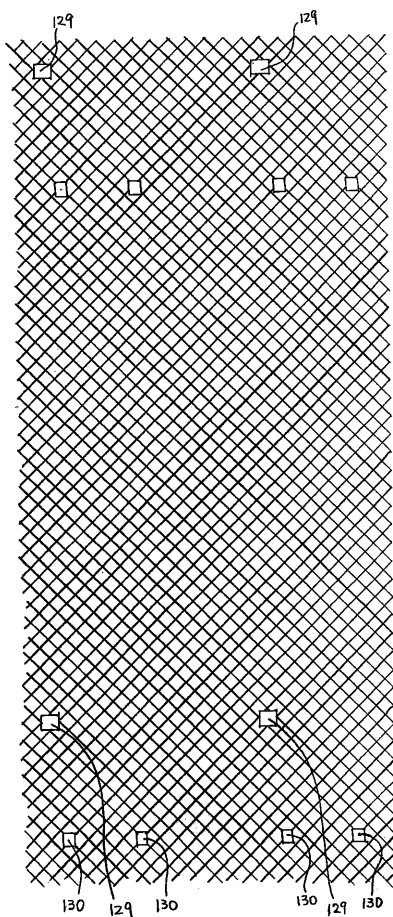
【図 268】



【図 269】



【図 270】



【図 271】

基板洗浄

↓
Al合金スパッタリング
初期に不活性ガス中
に窒化性ガスを混入
してスパッタリングをして
界面にAl合金の窒化
膜を形成

↓
窒化性ガスの混入を
中止して不活性ガス
のみでスパッタリング放
膜をおこなう

↓
ポジレジスト塗布

↓
ノーマル露光

↓
現像

↓
Al合金エッチング

↓
ポジレジスト剥離

【図 272】

基板洗浄



窒化性ガスを用いて
 n^+a-Si 表面と
 $i-a-Si$ の側壁を
 プラズマ窒化処理
 して窒素をプラズ
 ドーピングする。



Al合金をスパッタ
 リング成膜する



ポジレジスト塗布



ノーマル露光



現像



Al合金エッチング



ポジレジスト剥離

【図 273】

基板洗浄



窒素イオンを加速して
 n^+a-Si 表面と $i-a-Si$
 の側壁にイオン
 注入する。



Al合金をスパッタリ
 ング成膜する



ポジレジスト塗布



ノーマル露光



現像

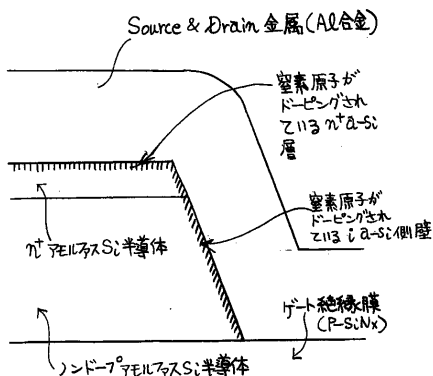


Al合金エッチング

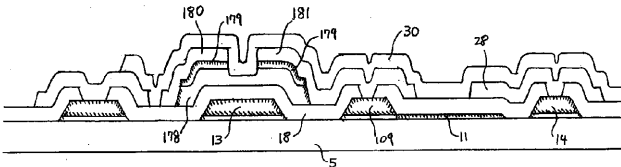


ポジレジスト剥離

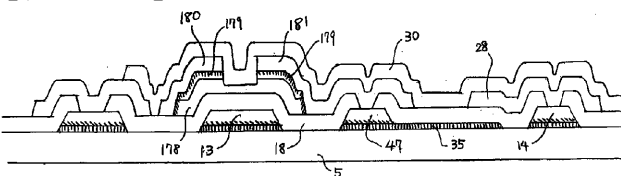
【図 274】



【図 275】



【図 276】



【図 277】

A型プロセス (TN, MVA, IPSモード) 4回ホトマスク工程

- ① Gate電極 & 画素電極 & 共通電極
 & 画素電極内コンタクトパッド } ハーフトーン露光法
 (ハーフトーンホトマスク使用)
- ② $a-Si$ island & コンタクトホール ハーフトーン露光法
 (ハーフトーンホトマスク使用)
- ③ Source電極 & Drain電極
 & Cst(保持容量)形成電極 } ノーマル露光法
 (ノーマルホトマスク使用)
- ④ 駆動IC接続用端子部のコンタクトホール ノーマル露光法
 (ノーマルホトマスク使用)

【図 278】

B型プロセス (MVAモード) 4回ホトマスク工程

- ① Gate電極 & 画素電極 & 共通電極
 & 画素電極内コンタクトパッド } ハーフトーン露光法
 (ハーフトーンホトマスク使用)
- ② $a-Si$ island & コンタクトホール ハーフトーン露光法
 (ハーフトーンホトマスク使用)
- ③ Source電極 & Drain電極
 & 配向方向制御電極 } ノーマル露光法
 (ノーマルホトマスク使用)
- ④ 駆動IC接続用端子部のコンタクトホール ノーマル露光法
 (ノーマルホトマスク使用)

【図 279】

C型プロセス (FFSモード) 4回ホトリソグラフィ工程

- ① Gate電極 & 画素電極 & 共通電極 } ハーフトン露光法
& 画素電極内コンタクトパッド } (ハーフトンホトマスク使用)
- ② a-Si island & コンタクトホール ----- ハーフトン露光法
(ハーフトンホトマスク使用)
- ③ Source電極 & Drain電極 } ----- ノーマル露光法
& 垂直方向制御電極 } (ノーマルホトマスク使用)
- ④ 駆動IC接続用端子部のコンタクトホール ----- ノーマル露光法
(ノーマルホトマスク使用)

【図 280】

2重露光法を用いた A型プロセス (TN, MVA, IPSモード)

4回ホトリソグラフィ工程

はじめにレーザーを用いてガラス基板中に絶対基準アライメントマークを形成する。

- ① i) Gate電極 & 共通電極 & 画素内コンタクトパッドをノーマルホトマスクを用いてアンダーハーフ露光する。
ii) 画素電極 & Gate電極 & 共通電極をノーマルホトマスクを用いてノーマル露光する。
- ② i) a-Si island をノーマルホトマスクを用いてアンダーハーフ露光する。
ii) コンタクトホールをノーマルホトマスクを用いてノーマル露光する。
- ③ Source電極 & Drain電極 & Cst(保持容量)形成電極をノーマルホトマスクを用いてノーマル露光する。
- ④ 駆動IC接続用端子部のコンタクトホールをノーマルホトマスクを用いてノーマル露光する。

【図 281】

2重露光法を用いた B型プロセス (MVAモード)

4回ホトリソグラフィ工程

はじめにレーザーを用いてガラス基板中に絶対基準アライメントマークを形成する。

- ① i) Gate電極 & 共通電極 & 画素内コンタクトパッドをノーマルホトマスクを用いてアンダーハーフ露光する。
ii) 画素電極 & Gate電極 & 共通電極をノーマルホトマスクを用いてノーマル露光する。
- ② i) a-Si island をノーマルホトマスクを用いてアンダーハーフ露光する。
ii) コンタクトホールをノーマルホトマスクを用いてノーマル露光する。
- ③ Source電極 & Drain電極 & 垂直方向制御電極をノーマルホトマスクを用いてノーマル露光する。
- ④ 駆動IC接続用端子部のコンタクトホールをノーマルホトマスクを用いてノーマル露光する。

【図 282】

2重露光法を用いた C型プロセス (FFSモード)

4回ホトリソグラフィ工程

はじめにレーザーを用いてガラス基板中に絶対基準アライメントマークを形成する。

- ① i) Gate電極 & 共通電極 & 画素内コンタクトパッドをノーマルホトマスクを用いてアンダーハーフ露光する。
ii) 画素電極 & Gate電極 & 共通電極をノーマルホトマスクを用いてノーマル露光する。
- ② i) a-Si island をノーマルホトマスクを用いてアンダーハーフ露光する。
ii) コンタクトホールをノーマルホトマスクを用いてノーマル露光する。
- ③ Source電極 & Drain電極 & 垂直方向制御電極をノーマルホトマスクを用いてノーマル露光する。
- ④ 駆動IC接続用端子部のコンタクトホールをノーマルホトマスクを用いてノーマル露光する。

【図 283】

DMD直接露光装置を用いた A型プロセス (TN, MVA, IPSモード)

4回ホトリソグラフィ工程

- ① Gate電極 & 画素電極 & 共通電極 } DMDハーフトン露光法
& Title }
- ② a-Si island & コンタクトホール ----- DMDハーフトン露光法
- ③ Source電極 & Drain電極 } ----- DMD ノーマル露光法
& Cst(保持容量)形成電極 }
- ④ 駆動IC接続用端子部のコンタクトホール ----- DMD ノーマル露光法

【図 284】

DMD直接露光装置を用いた B型プロセス (MVAモード)

4回ホトリソグラフィ工程

- ① Gate電極 & 画素電極 & 共通電極 } DMDハーフトン露光法
& Title }
- ② a-Si island & コンタクトホール ----- DMDハーフトン露光法
- ③ Source電極 & Drain電極 } ----- DMD ノーマル露光法
& 垂直方向制御電極 }
- ④ 駆動IC接続用端子部のコンタクトホール ----- DMD ノーマル露光法