



(43) 国際公開日
2009 年 5 月 22 日 (22.05.2009)

PCT

(10) 国際公開番号
WO 2009/063684 A1

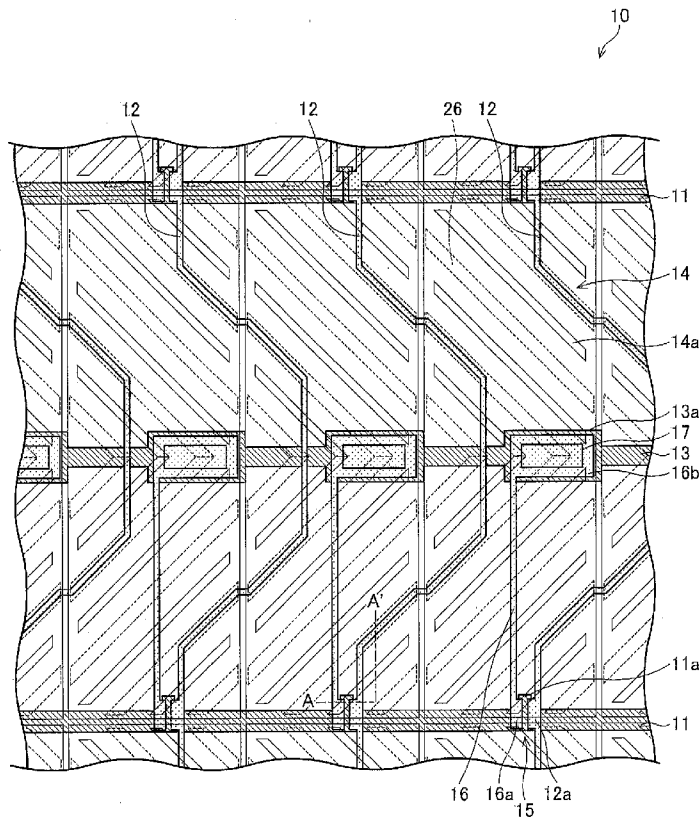
- (51) 国際特許分類:
G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2008/066251
- (22) 国際出願日: 2008 年 9 月 9 日 (09.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-298575
2007 年 11 月 16 日 (16.11.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 伊藤 了基 (ITO, Ryohki). 堀内 智 (HORIUCHI, Satoshi).
- (74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置

[図1]



(57) Abstract: In an active matrix substrate (10) included in a liquid crystal display device, a source bus line (12) (signal wiring) partially overlaps both of two pixel electrodes (14, 14) adjacently disposed in an extending direction of a gate bus line (11) (scan wiring) and is disposed so as to intrude from the boundary between the two pixel electrodes (14, 14) toward the center of each of the pixel electrodes. The source bus line (12) is also disposed so as to overlap a rib (26) (orientation changing portion) in at least part of the area overlapped with the pixel electrode (14), the rib being formed on an opposing substrate in order to control the orientations of liquid crystal molecules in a liquid crystal layer. This makes it possible to obtain a liquid crystal display device capable of reducing the display irregularity of an image without degrading the aperture ratio even when a signal line is disposed so as to be directed toward the center of a pixel electrode.

(57) 要約: 本発明の液晶表示装置に備えられたアクティブマトリクス基板 (10) におい

て、ソースバスライン (12) (信号配線) は、ゲートバスライン (11) (走査配線) の

[続葉有]

WO 2009/063684 A1



SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

添付公開書類:
— 国際調査報告書

延伸方向に隣接して配置された2つの画素電極(14・14)の両方と部分的に重畳し、かつ、上記2つの画素電極(14・14)の境界から各画素電極の中央方向へ入り込むように配置されている。さらに、ソースバスライン(12)は、画素電極(14)との重畳部の少なくとも一部において、液晶層内の液晶分子の配向を制御するために対向基板に形成されたリブ(26)(配向変更部)と重なるように配置されている。これにより、信号配線を画素電極の中央方向へ寄せて配置した場合においても開口率を低下させることなく、画像の表示ムラを低減させることのできる液晶表示装置を実現する。

明 細 書

液晶表示装置

技術分野

[0001] 本発明は、例えば、AV(Audio-Visual)機器、OA(Office Automation)機器などの各種機器および車載用の表示装置として用いられる液晶表示装置に関するものである。

背景技術

[0002] 液晶表示装置は、低電圧、低電力駆動が可能で、薄型、軽量のフラットパネルディスプレイとして昨今では多岐の商品にわたって応用され、市販されている。このような液晶表示装置としてマトリクス型液晶表示装置が知られている。

[0003] マトリクス型液晶表示装置は、マトリクス状に配列された各絵素に対してそれぞれに独立に駆動電圧を印加することにより液晶の光学特性が変化し、画像や文字が表示されるものである。なかでもアクティブマトリクス型の液晶表示装置は、各絵素にTFT(Thin Film Transistor:薄膜トランジスタ)、MIM(Metal Insulator Metal)等のスイッチング素子を取り付けることにより高コントラスト、高速応答等の高画質表示を可能にしている。

[0004] このようなアクティブマトリクス型の液晶表示装置においては、画素電極の開口率を向上させることを目的として、層間絶縁膜上に画素電極を設けて、この画素電極と信号配線とを別の層に形成し、画素電極を信号配線上に重ねる構造が提案されている(例えば、特許文献1参照)。

[0005] しかしながら、上記のような構造を採用した場合、画素電極が信号配線と所定の間隔をとる構造に比べて、画素電極と信号配線との間の静電容量 C_{sd} が増大する。その場合には、静電容量 C_{sd} の増加に伴って画素の電位がソース信号によって変化し易くなり、シャドーイングと呼ばれる表示特性の劣化が生じる。

[0006] そこで、信号配線と画素電極との間の静電容量 C_{sd} による画素電位の変化を抑える駆動方法として、ドット反転駆動が提案されている。このドット反転駆動においては、ゲート1ライン毎にソース信号の極性を反転すると共に、ソース側もソース1ライン毎

に逆極性の信号を入力するようにしている。

- [0007] 上記のようなドット反転駆動を採用すれば、1Hライン反転駆動の場合と比べてシャドーイング現象を大幅に抑えることができ、液晶表示装置の画質を向上させることができる。そして、特に、走査配線の延在方向へ隣接する画素に関する静電容量Csd1と静電容量Csd2との差を少なくすると、シャドーイング現象を大幅に抑えることができる。
- [0008] しかしながら、その一方において、ドット反転駆動においては、信号配線と画素電極との間の静電容量Csdのばらつきによる透過率差が大きくなるため、フォトリソグラフィ工程をブロック単位で行う場合に、アライメントずれによって信号配線と画素電極との重なり幅がブロック単位で異なる所謂ブロック分かれ(表示ムラ)が発生し易くなるという問題が発生する。
- [0009] なお、ここでいうブロックとは、1枚の表示パネル内において、露光を行うために区画された各領域のことである。露光方式の一例としては、複数のマスクまたは1枚のマスクを使用してステップ&リピート方式で露光する方式、単一のマスクもしくは複数のマスクを使用してスキャン露光を複数回行う方式、単一のマスクもしくは複数のマスクを使用してスキャン露光を複数ブロックで行う方式、などが挙げられる。
- [0010] そこで、特許文献2には、信号配線と画素電極との間の静電容量Csdによる画質の低下を防ぐとともに、静電容量Csdのバラツキによるブロック分かれ(表示ムラ)を抑制できるアクティブマトリクス型の液晶表示装置が提案されている。
- [0011] 特許文献2の図4には、表示ムラの発生を抑制するための構成の一例を示す。この構成では、信号配線は、互いに隣接する第1、第2画素電極の近傍で屈曲し、この屈曲部を境界にして一方は第1画素電極によって幅方向に被覆され、屈曲部を境界にして他方は第2画素電極によって幅方向に被覆されている。
- [0012] このような構成によれば、画素電極の形状を従来と同様の矩形状にしても、フォトリソグラフィ工程において各ブロック間において多少のアライメントずれが生じてても信号配線と画素電極との静電容量Csdのバラツキが少なくなり、ブロック間の透過率差も少なくなるとされている。

特許文献1: 日本国公開特許公報「特開平4-121712号公報(公開日:1992年4月

22日)

特許文献2: 日本国公開特許公報「特開2001-281682号公報(公開日: 2001年10月10日)」

発明の開示

- [0013] しかしながら、表示ムラの発生を抑制するために、上記の従来技術のようにアライメントずれによって信号配線と画素電極との重なり幅が変化することを抑えることを目的として、信号配線を画素電極の中央方向へ寄せて配置させると、画素の開口率が低下してしまうという問題が発生する。
- [0014] 本発明は、上記の問題点に鑑みてなされたものであり、信号配線を画素電極の中央方向へ寄せて配置した場合においても開口率を低下させることなく、画像の表示ムラを低減させることのできる液晶表示装置を実現することを目的とする。
- [0015] 本発明にかかる液晶表示装置は、上記の課題を解決するために、アクティブマトリクス基板と、対向基板とを有し、これら各基板の間に液晶層を備えている液晶表示装置において、上記アクティブマトリクス基板は、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記走査信号線に入力される走査信号が導通を指示した場合に、対応する信号配線と画素電極とを接続するスイッチング素子を含み、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素部とを有しており、上記信号配線は、上記走査配線の延伸方向に隣接して配置された2つの画素電極の両方と部分的に重畳し、かつ、上記2つの画素電極の境界から各画素電極の中央方向へ入り込むように配置されているとともに、上記信号配線は、上記画素電極との重畳部の少なくとも一部において、上記液晶層内の液晶分子の配向状態を変化させる配向変更部と重なるように配置されていることを特徴としている。
- [0016] 液晶表示装置の製造過程で行われるフォトリソグラフィ工程をブロック単位で処理した場合、ブロック間でのアライメント(位置合わせ)のずれが発生する。これにより、信号配線と画素電極との重なり幅が変化し、この間の静電容量 C_{sd} が変化する。そして、ドット反転駆動を採用した場合には、上記静電容量 C_{sd} の変化により、画素電圧が変化しやすくなるため、ブロック単位で透過率が変化する。これにより、表示ムラが発生

してしまう。

- [0017] 上記のような問題を解決するために、本発明の液晶表示装置においては、信号配線が、走査配線の延伸方向に隣接して配置された2つの画素電極の両方と部分的に重畳し、かつ、上記2つの画素電極の境界から各画素電極の中央方向へ入り込むように配置されている。つまり、信号配線が、2つの画素電極の境界を中心として各画素電極に互い違いに入り込むように蛇行して配置されている。
- [0018] 上記の構成によれば、フォトリソグラフィ工程において各ブロック間において多少のアライメントずれが生じてても信号配線と画素電極との静電容量 C_{sd} の変化を抑えることができる。そのため、ドット反転駆動を採用した場合に、信号配線と画素電極との間で発生する静電容量 C_{sd} がばらつくことを抑え、表示ムラの発生を低減させることができるという効果が得られる。
- [0019] さらに、本発明の液晶表示装置において、信号配線は、画素電極との重畳部の少なくとも一部において、液晶層内の液晶分子の配向状態を変化させる配向変更部と重なるように配置されている。液晶表示装置において、配向変更部が形成されている領域は、光が透過しない領域（遮光領域）、または、画素電極の他の領域と比べて透過率損失が生じる領域である。そのため、上記のように信号配線を画素電極の中央方向へ寄せて配置しても、信号配線の少なくとも一部が配向変更部と重なって配置されていれば、信号配線による開口率の低下を低減させることができる。
- [0020] したがって、本発明によれば、信号配線を画素電極の中央方向へ寄せて配置した場合においても開口率を低下させることなく、画像の表示ムラを低減させることのできる液晶表示装置を実現することができる。
- [0021] 上記配向変更部としては、例えば、対向基板側に形成されたリブまたはスリット、あるいは、アクティブマトリクス基板側に形成されたスリットなどが挙げられる。これらリブおよびスリットが設けられていることによって、液晶層内の液晶分子の配向が規制され、表示パネルの視野角を向上させることができる。
- [0022] そして、リブが形成されている領域における液晶分子の配向が、リブの形成されていない画素電極の他の領域（通常の透過部）とは異なっているために、透過率の損失が生じ、通常の透過部よりも透過率が低くなってしまう。また、スリットが形成されて

いる領域は、リブよりも透過率が低くなり、ほとんど光を透過しない。つまり、スリットが形成されている領域は、遮光領域となる。

[0023] 以上のように、上記配向変更部としては、対向基板側に形成されたリブまたはスリット、あるいは、アクティブマトリクス基板側に形成されたスリットなどが挙げられるが、リブ下に信号配線を形成したほうが、信号配線上に画素電極(表示領域)が存在するため、信号線の電位変化の影響が直接液晶層にかからない安定した状態となる。

[0024] そこで、本発明の液晶表示装置において、上記配向変更部は、上記対向基板に形成されているリブであることが好ましい。

[0025] 上記の構成によれば、表示に悪影響を与えることなく、開口率が高く、表示ムラを低減させた液晶表示装置を実現することができる。

[0026] しかしながら、本発明は上記のような構成に必ずしも限定はされず、上記配向変更部は、上記画素電極に形成されているスリット、対向基板に形成されているスリットなどであってもよい。

[0027] また、開口率の低下を抑えるためには、画素電極における透過率損失のより大きな領域に配置することが望ましい。そして、液晶分子の配向を規制するためのリブまたはスリットが、直線部と屈曲部とを有している場合、屈曲部では液晶分子の配向が乱れ、透過率の損失が生じる。例えば、楔形状やV字状のリブまたはスリットが複数個同じ向きに配列している場合には、楔形またはV字の先端部(屈曲部に相当)が並んでいる領域では、液晶分子の配向が乱れ、透過率の損失が生じる。そこで、この領域に信号配線が配置されていれば、画素の開口率の低下を抑えることができる。

[0028] そこで、上記配向変更部は、上記対向基板および上記画素電極にそれぞれ形成されたリブまたはスリットが、屈曲した部分であることが好ましい。

[0029] つまり、本発明の液晶表示装置において、上記対向基板および上記画素電極には、上記配向変更部として、屈曲した形状のリブまたはスリットがそれぞれ形成されており、上記信号配線は、上記画素電極との重畳部の少なくとも一部において、上記対向基板および上記画素電極にそれぞれ形成されたリブまたはスリットの屈曲した部分と重なるように配置されていることが好ましい。

[0030] また、本発明の液晶表示装置において、上記対向基板には、直線部と屈曲部とを

有するリブが形成されているとともに、上記画素電極には、直線部と屈曲部とを有するスリットが形成されており、上記信号配線は、上記画素電極との重畳部において、上記リブの直線部および屈曲部、ならびに、上記スリットの直線部および屈曲部に、それぞれ部分的に重なるように配置されていてもよい。

[0031] 上記の構成によれば、画素電極における遮光領域または透過率損失の大きい領域に重なるように信号配線が配置されるため、開口率の低下をより抑えることができる。

[0032] 本発明の液晶表示装置において、1本の上記信号配線を挟んで互いに隣り合う2つの上記画素電極では、該信号配線と重畳する面積が互いに等しくなるように、上記信号配線および上記画素電極が配置されていることが好ましい。

[0033] 上記の構成によれば、信号配線と画素電極との間で形成される静電容量 C_{sd} を、隣接する画素電極間でほぼ等しくすることができる。したがって、ドット反転駆動を行った場合に、データ信号の極性反転時に発生するソース電圧の突き上げおよび突き下げに起因して、画素電圧(または、ドレイン電圧)が設計値からずれてしまうことを防ぐことができる。

[0034] 本発明の液晶表示装置において、上記配向変更部と重なっている部分における上記信号配線は、上記画素電極の端部に対して45度から90度の範囲内の角度で傾斜して配置されていることが好ましい。

[0035] 上記の構成によれば、信号配線が45度以上傾いて画素電極と重なっているため、画素電極の端部に隣接する距離が短くなり、アライメントずれによる信号配線の面積変化を減らすことができる。これにより、アライメントずれによって発生する信号配線と画素電極との間に形成される静電容量 C_{sd} の変化を小さくすることができる。

[0036] 本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明によって明白になるであろう。

図面の簡単な説明

[0037] [図1]本発明の一実施の形態にかかる液晶表示装置に備えられたアクティブマトリクス基板の部分構成を示す平面図である。

[図2]本発明の一実施の形態にかかる液晶表示装置の断面図である。なお、この図は、図1に示すA-A'線部分の断面構成を示している。

[図3]図1に示す液晶表示装置の構成を模式化して示す図である。

[図4]図3および図5に示す液晶表示装置に印加される信号の波形を示す図である。

[図5]図3に示す液晶表示装置においてアライメントずれが発生した状態を示す模式図である。

[図6]従来の液晶表示装置の構成を模式化して示す図である。

[図7]図6に示す液晶表示装置に印加される信号の波形を示す図である。

[図8]図6に示す液晶表示装置においてアライメントずれが発生した状態を示す模式図である。

[図9]図8に示す液晶表示装置に印加される信号の波形を示す図である。

[図10]本発明の他の実施の形態にかかる液晶表示装置の部分構成を示す平面図である。

[図11]本発明の他の実施の形態にかかる液晶表示装置の断面図である。なお、この図は、図10に示すA-A'線部分の断面構成を示している。

[図12]本発明のさらに他の実施の形態にかかる液晶表示装置の断面図である。なお、この図は、図1に示すA-A'線部分に相当する部分の断面構成を示している。

[図13]本発明のさらに他の実施の形態にかかる液晶表示装置の部分構成を示す平面図である。

符号の説明

- [0038]
- 1 液晶表示装置
 - 10 アクティブマトリクス基板
 - 11 ゲートバスライン(走査配線)
 - 11a ゲート電極
 - 12 ソースバスライン(信号配線)
 - 12a ソース電極
 - 13 補助容量配線
 - 14 画素電極

- 14a スリット(配向変更部)
- 14b スリット(配向変更部)
- 15 TFT(スイッチング素子)
- 20 対向基板
- 26 リブ(配向変更部)
- 30 液晶層
- 36 リブ(配向変更部)
- 46 スリット(配向変更部)
- 50 アクティブマトリクス基板
- 51 液晶表示装置
- 60 アクティブマトリクス基板
- 61 液晶表示装置

発明を実施するための最良の形態

[0039] 本発明の実施形態について図1～図13に基づいて説明すると以下の通りである。
なお、本発明はこれに限定されるものではない。

[0040] 本実施の形態では、複数のゲートバスライン(走査配線)と複数のソースバスライン(信号配線)とが交差するように配置され、その交差部近傍に配置されたTFT(スイッチング素子)を有する画素部を備えたアクティブマトリクス基板を有するアクティブマトリクス型の液晶表示装置について説明する。なお、ここでは、画素電極間の距離を狭くすることによって開口率を向上させるとともに、層間絶縁膜の厚さを大きくしたSHA(Super High Aperture)構造を有するものについて説明する。但し、本発明は必ずしもこのような構成に限定されない。

[0041] まず、本実施の形態にかかる液晶表示装置1の構成について、図1および図2を参照しながら説明する。

[0042] 図1には、本実施の形態にかかる液晶表示装置1に備えられたアクティブマトリクス基板10の部分構成を示す。なお、図1は、アクティブマトリクス基板10の平面構成を示すものであるが、便宜上、対向基板20に設けられたリブについても破線で示している。図2には、液晶表示装置1の断面構成を示す。なお、図2では、図1のA-A'

線で示す部分(TFT15、リブ26、スリット14aを含む領域)の断面構成を示している。

[0043] 図2に示すように、液晶表示装置1は、アクティブマトリクス基板10と、対向基板20と、これら各基板の間に設けられた垂直配向型の液晶層30とを備えている。アクティブマトリクス基板10及び対向基板20上の液晶層30に接する面には、図示しない垂直配向膜が設けられており、電圧無印加時には、液晶層30の液晶分子は、垂直配向膜の表面に対して略垂直に配向している。つまり、液晶表示装置1は、垂直配向方式のものである。液晶層30は、誘電異方性が負のネマティック液晶材料を含んでいる。

[0044] 上記液晶表示装置1は、アクティブマトリクス基板10上に形成された画素電極14と、対向基板20上に形成された対向電極21とを有し、画素電極14と対向電極21との間に設けられた液晶層30によって各画素部が構成されている。ここでは、画素電極14及び対向電極21のいずれもITO(Indium Tin Oxide:インジウムスズ酸化物)にてなる透明導電層で形成されている。なお、対向基板20の液晶層30側には、各画素部に対応して設けられたカラーフィルタ(図示せず)と、隣接するカラーフィルタの間に設けられるブラックマトリクス(図示せず)とが形成され、これらの上に対向電極21が形成されている。

[0045] アクティブマトリクス基板10上には、図1に示すように、図中の横方向に互いに平行に延びるように設けられた複数のゲートバスライン11と、図中の縦方向に各ゲートバスライン11と交差するように設けられた複数のソースバスライン12とが形成されている。2つのゲートバスライン11・11の間には、補助容量配線13がゲートバスラインと平行に配置されている。

[0046] 各ゲートバスライン11と各ソースバスライン12との各交差部近傍には、ゲートバスライン11およびソースバスライン12に電氣的に接続されたスイッチング素子として、TFT15が設けられている。画素電極14は、各TFT15に対応して設けられている。TFT15は、ゲートバスライン11に入力される走査信号が導通を指示した場合に、対応するソースバスライン12と画素電極14とを接続し、ソースバスラインに送信されるデータ信号を画素電極14へ入力する。

[0047] 続いて、液晶表示装置1に備えられたアクティブマトリクス基板10および対向基板2

0のより具体的な構成について説明する。

- [0048] 図1および図2に示すように、アクティブマトリクス基板10では、図示しないガラス基板上に、Al、Ta等の金属から成る複数のゲートバスライン(走査配線)11が平行に配置されている。このゲートバスライン11の膜厚は2000 Å～5000 Åである。なお、補助容量配線13も、ゲートバスライン11と同層に形成されている。さらに、この上層に、SiNx等から成るゲート絶縁膜18aを介して、ゲートバスライン11と交差するようにAl、Ta等の金属から成る複数のソースバスライン12が配置されている。ゲート絶縁膜18aの膜厚は2000 Å～5000 Å程度であり、比誘電率は3～8程度である。また、ソースバスライン12の膜厚は1000 Å～5000 Åである。
- [0049] 上記ゲートバスライン11とソースバスライン12との各交差位置近傍には、TFT15が配置されている。図2に示すように、TFT15は、ゲート電極11a、ゲート絶縁膜18a、半導体層19、ソース電極12aおよびドレイン電極16aが積層されて構成されている。ゲート電極11aはゲートバスライン11と同じ材料で構成されている。また、ソース電極12aおよびドレイン電極16aはソースバスライン12と同じ材料で構成されている。また、半導体層19は、不純物がドーピングされた n^+ アモルファスシリコン膜で構成されている。そして、ゲート電極11aはゲートバスライン11に接続され、ソース電極12aはソースバスライン12に接続されている。
- [0050] なお、ここで記載した各部材の材料および膜厚などは、本発明の液晶表示装置の一例であり、本発明はこのような構成に限定されない。
- [0051] 補助容量配線13は、互いに平行に配置された2本のゲートバスライン11・11の間に、ゲートバスラインの延伸方向に沿って配置されている。そして、補助容量配線13には、部分的に幅が広がった張り出し部13aが各画素電極14に1箇所ずつ形成されており、この張り出し部13aと重なるように容量電極16bが設けられている。
- [0052] 容量電極16bは、対応する位置の層間絶縁膜18bに形成されたコンタクトホール17を介して画素電極14に接続されるとともにドレイン引き出し配線16と同層にて接続される。これにより、補助容量配線13(具体的には、張り出し部13a)および容量電極16b間で補助容量が形成される。
- [0053] そして、画素電極14には、液晶層30内の液晶分子の配向を制御するためのスリッ

ト14a(配向変更部)が形成されている。このようなスリット14aが画素電極14上に形成されていることによって、電圧印加時に斜め電界がかかり液晶分子が傾斜配向し易くなっている。

[0054] 一方、対向基板20側は、図2に示すように、図示しないガラス基板上に、各画素電極14に対応して赤、緑、青のカラーフィルタ(図示せず)が配置されている。そして、上記各カラーフィルタの間には、画素電極14とこれに隣接する画素電極14と間からの光漏れ、及び混色を防ぐ遮光膜であるブラックマトリクス(図示せず)が配置されている。

[0055] カラーフィルタとブラックマトリクスとから構成されたカラーフィルタ層の上層には、液晶層30内の液晶分子の配向を制御するためのリブ26が形成されている。図2に示すように、リブ26は、対向基板と平行な面に対して斜めの傾斜面を持つテーパ形状を有している突起である。但し、これは一例であり、本発明におけるリブの形状は、リブとして一般的に使用される形状であればどのような形状のものであってもよい。なお、図1には、画素電極14に対するリブ26の形成位置を破線で示す。

[0056] 上記のようなカラーフィルタ層、および、該カラーフィルタ上に部分的に形成されたリブのさらに上層に、透明導電材料からなる対向電極21が配設されている。

[0057] 上記のような構成を有するアクティブマトリクス基板10と対向基板20とを、その画素電極14側と対向電極21側とが互いに対向するように所定の間隔で配置し、両基板10・20間に液晶層30を挟み込みシール材で封入して、液晶表示装置1が構成されている。

[0058] 次に、液晶表示装置1におけるソースバスライン12の配置について説明する。図1に示すように、本実施の形態においては、ソースバスライン12は、ゲートバスライン11の延伸方向に隣接して配置された2つの画素電極14・14の両方と部分的に重畳し、かつ、2つの画素電極14・14の境界から各画素電極の中央方向へ入り込むように配置されている。ここで、ソースバスライン12が、画素電極14の中央方向へ入り込むように配置されているとは、図1に示すように、2つの画素電極14・14の端部から内側の方へ、該端部から一定の距離だけ離れて配置されていることをいう。

[0059] 従来一般的なアクティブマトリクス型の液晶表示装置では、複数のソースバスライ

ンと複数のゲートバスラインとは互いに真っ直ぐに延伸し、格子状になるように配置され、2本のソースバスラインと2本のゲートバスラインとで囲まれた矩形の領域に画素電極が配置されている。これに対して、本実施の形態では、ソースバスライン12は、ゲートバスライン11の延伸方向に隣接して配置された2つの画素電極14・14の両方に部分的に重なるように、ジグザグに蛇行して配置されている。

[0060] 上記のように、ソースバスライン12を、隣接する2つの画素電極14・14の両方に部分的に重なるように蛇行して配置することで、各画素電極の端部から離れてソースバスラインを配置させることができるため、ドット反転駆動による表示駆動を行った場合にも、アライメントずれによる影響を減らすことができる。

[0061] この点について、図3～図9を参照しながら以下に説明する。

[0062] 図3～図5は、本実施の形態のように、ソースバスラインをジグザグに配置した場合について示すものであり、図6～図9は、比較のためにソースバスラインを真っ直ぐに配置した場合について示すものである。なお、図6に示すようにソースバスラインを2本にして隣接する各画素電極と重複させるように配置させる構造は、アライメントずれに対するCsdの変化は小さくできるが、開口率は減少する従来の液晶表示装置において採用されているものである。

[0063] 図3および図5には、本実施の形態の液晶表示装置1に設けられたアクティブマトリクス基板10の部分構成を模式的に示す。図3および図5に示すアクティブマトリクス基板10では、画素電極14、ソースバスライン12、TFT15のみを示している。これらの図のうち、図3は、アライメントずれが発生していない状態の構成を示しており、図5は、アライメントずれが発生した状態の構成を示している。

[0064] 図6および図8には、従来の液晶表示装置に設けられたアクティブマトリクス基板110の部分構成を模式的に示す。図6および図8に示すアクティブマトリクス基板110では、画素電極114、ソースバスライン112、TFT115のみを示している。これらの図のうち、図6は、アライメントずれが発生していない状態の構成を示しており、図8は、アライメントずれが発生した状態の構成を示している。

[0065] ここで、ソースバスラインと画素電極との重なりによる静電容量をCsdとする。そして、ある画素電極に着目し、その画素電極と重複している2本のソースバスラインのうち

、TFTを介してその画素電極と接続されているもの(実線で示すもの)との重なり容量をCsd自とし、その画素電極と接続されていないもの(破線で示すもの)との重なり容量をCsd他とする。

[0066] 例えば、図3では、隣接する2つの画素電極にそれぞれ重畳するように蛇行して配置されたソースバスライン12のうち、TFT15を介して接続されている画素電極14(すなわち、そのソースバスラインが駆動に影響を与える画素電極)と重複している部分については実線で示し、TFT15と接続されていない画素電極14(すなわち、そのソースバスラインが駆動に影響を与えない画素電極)と重複している部分については点線で示している。そして、一つの画素電極に着目した場合、該画素電極と実線で示すソースバスラインとの重なり容量がCsd自となり、該画素電極と破線で示すソースバスラインとの重なり容量がCsd他となる。

[0067] 表示ムラの発生を抑えるためには、静電容量Csdのバラツキをできるだけ減らすことが望ましい。そこで、通常、Csd自とCsd他とがほぼ同じになるように、画素電極とソースバスラインの配置が決められる。したがって、図3および図6に示すようなアライメントずれが発生していない状態では、Csd自とCsd他とがほぼ等しくなる。

[0068] このときの信号波形を図4および図7にそれぞれ示す。なお、図4は、図3に示すような構成を有する液晶表示装置に印加される各信号の波形を示し、図7は、図6に示すような構成を有する液晶表示装置に印加される各信号の波形を示す。図4、図7において、Vsはデータ信号(ソースバスラインに供給される信号)、Vgは走査信号(ゲートバスラインに供給される信号)、COMは共通電極電圧、Vdは画素電極に実際に印加されるドレイン電圧を示す。

[0069] ここでは、図3および図6に示す3つの画素電極のうちの中央の画素電極に着目した場合の信号波形を例に挙げて説明する。これらの図に示す液晶表示装置では、ドット反転駆動を行っているため、図に示す3つの画素電極のうち、例えば、中央の画素電極に正極性のソース電圧が印加される場合、両端の画素電極には負極性のソース電圧が印加されることになる。そして、図3、図6に示す3つの画素電極のうちの中央の画素電極に着目した場合、Vs自(実線で示すソースバスラインにおけるデータ信号)とVs他(破線で示すソースバスラインにおけるデータ信号)とは互いに逆極性

となっている。

[0070] 図4および図7に示す波形図において、Aで示す部分は、走査信号が「High」になって画素へのデータ書込みが行われた後にデータ信号の極性が反転するタイミングである。このAの部分では、ドレイン電圧Vdは、静電容量Csdによる電位の突き上げ又は突き下げの影響を受ける。

[0071] このときのCsd自による電位の突き下げ量、および、Csd他による電位の突き上げ量は、以下の式によって算出される。

$$(\text{Csd自による電位の突き下げ量}) = (\text{Csd自} / \text{Cpix}) \times \text{Vspp}$$

$$(\text{Csd他による電位の突き上げ量}) = (\text{Csd他} / \text{Cpix}) \times \text{Vspp}$$

上記の式に置いて、Vsppは、ソース電圧の振幅分である。また、Cpixは、画素電極における液晶容量と補助容量との合計の容量であり、全ての画素において同じ容量となる。

[0072] アライメントずれが発生していない場合には、Csd自 = Csd他であるため、Csd自による電位の突き下げ量とCsd他による電位の突き上げ量とは等しくなり、図4および図7のAでは、突き下げの影響と突き上げの影響とが相殺される。したがって、画素に印加されるドレイン電圧Vdは設計値と同じ値になる。

[0073] 一方、図8に示すような従来の構成においてアライメントずれが発生した場合、一つの画素電極に着目した場合、実線で示すソースバスラインと、破線で示すソースバスラインとは、画素電極との重なり面積が大きく異なってしまう。また、面積が変わるまでずれない場合においても、ソースバスラインと画素の端部(エッジ)との距離が変化することにより、斜め方向の電界の影響により静電容量Csdの変化は生じてしまう。これにより、Csd自とCsd他との値も大きく異なり、例えば、Csd自 > Csd他となってしまう。図9には、このときの各信号の波形を示す。

[0074] 図9に示す波形図において、Bで示す部分は、走査信号が「High」になって画素へのデータ書込みが行われた後にデータ信号の極性が反転するタイミングである。このBにおいて、上記と同様に、Csd自による電位の突き下げ量とCsd他による電位の突き上げ量とを算出すると、Csd自 > Csd他より、(Csd自による電位の突き下げ量) > (Csd他による電位の突き上げ量)となる。このように、Bにおいては突き下げの影響を

より大きく受けるため、ドレイン電圧 V_d が低下する。そこで、実際に画素にかかる電圧は、 V_d よりも小さな V_{d2} となる。このように、画素に印加されるドレイン電圧 V_{d2} は、設計値とは異なった値になってしまう。

[0075] 以上のように、アライメントずれが発生した場合と発生していない場合とでは、同じ階調値であっても画素のドレイン電圧は異なってしまうため、フォトリソグラフィ工程をブロック単位で行うと、同じ階調値であってもドレイン電圧がブロック単位で異なる所謂ブロック分かれ(表示ムラ)が発生してしまう。

[0076] これに対して、図5に示すように、ソースバスラインが蛇行して配置されている構成においてアライメントずれが発生した場合には、ソースバスラインが画素電極の端部から離れて中央寄りに配置されているため、 C_{sd} 自と C_{sd} 他の値はほとんど変化せず、 C_{sd} 自と C_{sd} 他とが依然としてほぼ等しい状態を維持することができる。

[0077] そのため、図5に示す構成に場合であっても、図4に示すような信号波形となる。そのため、パネル製造時のフォトリソグラフィ工程において各ブロック間において多少のアライメントずれが生じていてもソースバスラインと画素電極との重なり幅がブロック単位で異なることによる静電容量 C_{sd} のバラツキが少なくなり、表示ムラの発生を抑えることができる。

[0078] さらに、上記の構成に加えて、本実施の形態の液晶表示装置1では、ソースバスライン12が各画素電極14と重複している領域の少なくとも一部は、対向基板20に形成されたリブ26と重なるように配置されている。リブ26は、液晶分子の配向を制御するために形成されたものであり、リブが形成されている領域は遮光領域(非表示領域)となる。そのため、画素電極14と重なっているソースバスライン12を部分的にリブ26と重なるように配置すれば、ソースバスラインを画素電極上に形成したことによる開口率の低下を抑えることができる。

[0079] なお、ソースバスラインの具体的な配置の仕方は、ソースバスラインを挟んで互いに隣り合う2つの画素電極(ゲートバスラインの延伸方向に隣接して配置された2つの画素電極)の両方にソースバスラインが重なるように蛇行して配置されていれば、特に限定はされないが、ソースバスラインと画素電極との間で形成される静電容量 C_{sd} を、上記の隣接する2つの画素電極間でほぼ等しくすることが好ましい。

- [0080] そのためには、1本のソースバスラインを挟んで互いに隣り合う2つの上記画素電極では、該信号配線と重畳する面積が互いに等しくなるように、上記信号配線および上記画素電極が配置されていることが好ましい。
- [0081] この構成によれば、ソースバスラインと画素電極との間で形成される静電容量 C_{sd} を、隣接する画素電極間でほぼ等しくすることができる。したがって、ドット反転駆動を行った場合に、データ信号の極性反転時に発生するソース電圧の突き上げおよび突き下げに起因して、ソース電圧が設計値からずれてしまうことを防ぐことができる。
- [0082] また、リブと重なっている部分におけるソースバスラインは、画素電極の端部に対して45度から90度の範囲内の角度で傾斜して配置されていることが好ましい。ここで、画素電極の端部に対する角度とは、隣り合って配置された矩形状の2つの画素電極の境界線に対するソースバスラインが配置されている角度のことをいう。つまり、「画素電極の端部に対して90度の角度でソースバスラインが配置されている」とは、2つの画素電極の境界線に対して垂直な方向にソースバスラインが配置されていることを意味する。そして、「画素電極の端部に対して45度の角度でソースバスラインが配置されている」とは、上記の境界線に対して垂直な方向から45度ずれている方向にソースバスラインが配置されていることを意味する。
- [0083] この構成によれば、ソースバスラインが45度以上傾いて画素電極と重なっているため、画素電極の端部に接する距離が短くなり、画素電極の端部に近接したソースバスラインの面積を減らすことができる。これにより、アライメントずれによって発生するソースバスラインと画素電極との間に形成される静電容量 C_{sd} の変化を小さくすることができる。
- [0084] 本実施の形態の液晶表示装置において、ソースバスラインおよびリブの幅は、表示装置の用途、目的などに応じて、設計可能な範囲において適宜設定することができる。例えば、開口率を向上させたい場合には、ソースバスラインの幅はリブの幅よりも小さくすることが好ましい。一方、コントラストを向上させたい場合には、ソースバスラインの幅はリブの幅よりも大きくすることが好ましい。このように、目的に応じて適宜変更すればよい。
- [0085] 上述した実施形態では、ソースバスライン12が対向基板20に形成されたリブ26と

重なるように配置されているものを例に挙げて説明したが、本発明においては、ソースバスラインが、画素電極に形成されたスリットと重なるように配置されていてもよい。

[0086] 図10には、ソースバスラインがスリットと重なっている場合のアクティブマトリクス基板50の構成例を示す。また、図11には、アクティブマトリクス基板50を備えた液晶表示装置51の部分断面の構成であって、図10のA-A'線で示す部分(TFT15、リブ36、スリット14bを含む領域)の断面構成を示している。

[0087] 図10に示すアクティブマトリクス基板50では、スリット14b(配向変更部)とリブ36の位置が、図1に示すアクティブマトリクス基板10と異なっている。図10に示すアクティブマトリクス基板50では、スリット14bとリブ36の配置位置が、図1に示すスリット14aおよびリブ26の配置位置とそれぞれ入れ替わっている。それ以外の構成については、図1に示すアクティブマトリクス基板10と同じであるため、同じ部材には同じ部材番号を付し、その説明を省略する。

[0088] 上記のようなアクティブマトリクス基板50においても、図11に示すように、画素電極14と重なって配置されたソースバスライン12が、表示に影響を与えないスリット14bが形成された位置と部分的に重なるように配置されている。そのため、表示ムラを抑えるために、ソースバスラインを画素電極の中央方向に寄せて配置した場合においても、開口率が低下することを防ぐことができる。

[0089] なお、PVA(Patterned Vertical Alignment)方式を採用した液晶表示装置においては、対向基板側にスリットを形成し、このスリットによって液晶分子の配向を制御している。本発明は、このようなPVA方式の液晶表示装置にも適用可能である。

[0090] 図12には、PVA方式の液晶表示装置61の部分断面の構成を示している。この図は、図1に示すA-A'線部分に相当する部分の断面構成を示している。液晶表示装置61を構成するアクティブマトリクス基板60の平面構成は、図1に示す液晶表示装置1のアクティブマトリクス基板10の平面構成とほぼ同一であるが、液晶表示装置61では、図1に示すリブ26がスリット46(配向変更部)に置き換わっている。

[0091] 上記のようなアクティブマトリクス基板60においても、図12に示すように、画素電極14と重なって配置されたソースバスライン12が、表示に影響を与えないスリット46が形成された位置と部分的に重なるように配置されている。そのため、表示ムラを抑える

ために、ソースバスラインを画素電極の中央方向に寄せて配置した場合においても、開口率が低下することを防ぐことができる。

[0092] 本発明のさらに他の実施形態について、図13を参照しながら説明する。図13は、V字形状のリブおよびスリットが形成されている液晶表示装置に備えられたアクティブマトリクス基板70の部分構成を示す平面図である。

[0093] アクティブマトリクス基板70上には、図13に示すように、図中の横方向に互いに平行に伸びるように設けられた複数のゲートバスライン71と、図中の縦方向に各ゲートバスライン71と交差するように設けられた複数のソースバスライン72とが形成されている。

[0094] 各ゲートバスライン71と各ソースバスライン72との各交差点近傍には、ゲートバスライン71およびソースバスライン72に電氣的に接続されたスイッチング素子として、TFT75が設けられている。画素電極74は、各TFT75に対応して設けられている。TFT75においては、ゲートバスライン71が選択され書き込み信号V_{gh}(High)が印加された場合に、対応するソースバスライン72と画素電極74とが導通し、ソースバスラインに印加されるデータ信号が画素電極74へ書き込まれる。

[0095] TFT75は、ゲート電極71a、ソース電極72aおよびドレイン電極76aが積層されて構成されている。なお、図13では、ドレイン電極76aから引き出されたドレイン引き出し配線76、および、これに接続される容量電極などについては、図示を省略している。

[0096] アクティブマトリクス基板70においても、図1に示すアクティブマトリクス基板10と同様に、画素電極74にスリット74a(配向変更部)が形成されている。また、対向基板(図示せず)には、リブ86(配向変更部)が形成されている。アクティブマトリクス基板70を有する液晶表示装置においては、図13に示すように、1つの画素電極74上に形成されているリブ86およびスリット74aは、ともに直線部と屈曲部とを有するV字形状となっている。

[0097] このように、リブおよびスリットが、直線部と屈曲部とを含むV字形状または楔形状の場合、屈曲部においては、液晶分子の配向が乱れるため、透過率の損失が大きくなる。これは、屈曲部の両側に張り出している各直線部に対して規則的に配列した液

晶分子が屈曲部付近においてぶつかり、配向が乱れるためである。このように液晶分子の配向が乱れた領域では、偏光板を光が通過しにくくなり、透過率の損失が大きくなる。そして、図13に示すように、V字状のリブ86およびスリット74aが複数個同じ向きに配列している場合には、V字の先端部(屈曲部に相当)が並んでいる領域(図13における一点鎖線で示す領域D)では、液晶分子の配向が乱れ、透過率の損失が生じる。

[0098] そこで、図13に示す実施形態では、この領域Dと部分的に重なるように、ソースバスライン72が配置されている。図13において、C1で示す部分およびC2で示す部分が、領域Dとソースバスライン72とが重なっている領域である。このように、透過率の損失の大きい領域Dに重なるようにソースバスライン72を配置することによって、ソースバスラインによる開口率の低下の度合いを抑えることができるため、画素全体としての開口率の低下を抑えることができる。なお、図13に示す実施形態では、C2の長さは、C1の長さの1/2となっているが、本発明ではこのような構成に限定はされない。

[0099] さらに、図13に示す実施形態では、画素電極74上に配置されたソースバスライン72が、リブ86の直線部(図13のAで示す部分)、および、スリット74aの直線部(図13のBで示す部分)とも部分的に重なるように配置されている。このような構成によれば、画素電極74における遮光領域または透過率損失の大きい領域に重なるようにソースバスライン72が配置されることになるため、開口率の低下をより抑えることができる。なお、本実施の形態では、図13に示すAの部分の長さとBの部分の長さとは同じになっているが、本発明はこのような構成に必ずしも限定されない。

[0100] また、上述した実施形態では、SHA構造の液晶表示装置を例に挙げて説明したが、本発明はこのような構成のものに限定されず、NON-SHA構造にも適用することができる。

[0101] なお、本実施の形態において示した液晶表示装置の具体的な構成(具体的には、TFT、補助容量配線などの位置)については、本発明の一例であり、本発明はこのような構成に必ずしも限定はされない。

[0102] 本発明にかかる液晶表示装置は、以上のように、上記信号配線は、上記走査配線の延伸方向に隣接して配置された2つの画素電極の両方と部分的に重畳し、かつ、

上記2つの画素電極の境界から各画素電極の中央方向へ入り込むように配置されているとともに、上記信号配線は、上記画素電極との重畳部の少なくとも一部において、上記液晶層内の液晶分子の配向状態を変化させる配向変更部と重なるように配置されていることを特徴としている。

[0103] したがって、本発明によれば、信号配線を画素電極の中央方向へ寄せて配置した場合においても開口率を低下させることなく、画像の表示ムラを低減させることのできる液晶表示装置を実現することができる。

[0104] 発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内において、いろいろと変更して実施することができるものである。

産業上の利用可能性

[0105] 本発明によれば、開口率を低下させることなく、画像の表示ムラを低減させることのできる液晶表示装置を実現することができる。したがって、本発明は表示品位の向上を目的とする液晶表示装置に適用することが好ましい。

請求の範囲

- [1] アクティブマトリクス基板と、対向基板とを有し、これら各基板の間に液晶層を備えている液晶表示装置において、

上記アクティブマトリクス基板は、複数の走査信号線と、該走査信号線に交差するように配置された複数の信号配線と、上記走査信号線に入力される走査信号が導通を指示した場合に、対応する信号配線と画素電極とを接続するスイッチング素子を含み、上記各走査信号線と各信号配線との組み合わせに対応して設けられた画素部とを有しており、

上記信号配線は、上記走査配線の延伸方向に隣接して配置された2つの画素電極の両方と部分的に重畳し、かつ、上記2つの画素電極の境界から各画素電極の中央方向へ入り込むように配置されているとともに、

上記信号配線は、上記画素電極との重畳部の少なくとも一部において、上記液晶層内の液晶分子の配向状態を変化させる配向変更部と重なるように配置されていることを特徴とする液晶表示装置。

- [2] 上記配向変更部は、上記対向基板に形成されているリブであることを特徴とする請求項1に記載の液晶表示装置。

- [3] 上記配向変更部は、上記画素電極に形成されているスリットであることを特徴とする請求項1に記載の液晶表示装置。

- [4] 上記配向変更部は、上記対向基板に形成されているスリットであることを特徴とする請求項1に記載の液晶表示装置。

- [5] 上記対向基板および上記画素電極には、上記配向変更部として、屈曲した形状のリブまたはスリットがそれぞれ形成されており、

上記信号配線は、上記画素電極との重畳部の少なくとも一部において、上記対向基板および上記画素電極にそれぞれ形成されたリブまたはスリットの屈曲した部分と重なるように配置されていることを特徴とする請求項1に記載の液晶表示装置。

- [6] 上記対向基板には、直線部と屈曲部とを有するリブが形成されているとともに、上記画素電極には、直線部と屈曲部とを有するスリットが形成されており、

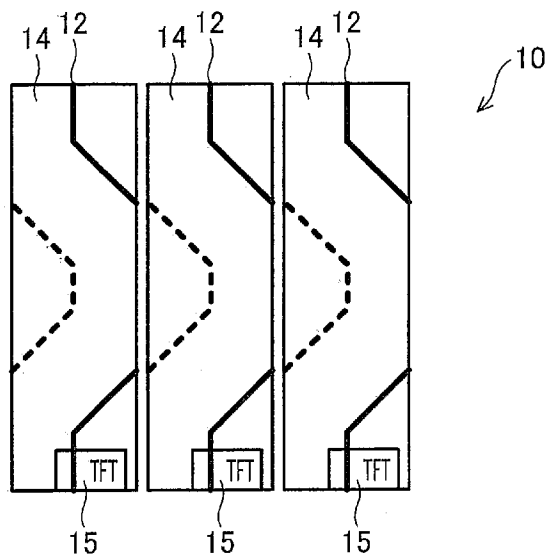
上記信号配線は、上記画素電極との重畳部において、上記リブの直線部および屈

曲部、ならびに、上記スリットの直線部および屈曲部に、それぞれ部分的に重なるように配置されていることを特徴とする請求項1または5に記載の液晶表示装置。

- [7] 1本の上記信号配線を挟んで互いに隣り合う2つの上記画素電極では、該信号配線と重畳する面積が互いに等しくなるように、上記信号配線および上記画素電極が配置されていることを特徴とする請求項1から6の何れか1項に記載の液晶表示装置。

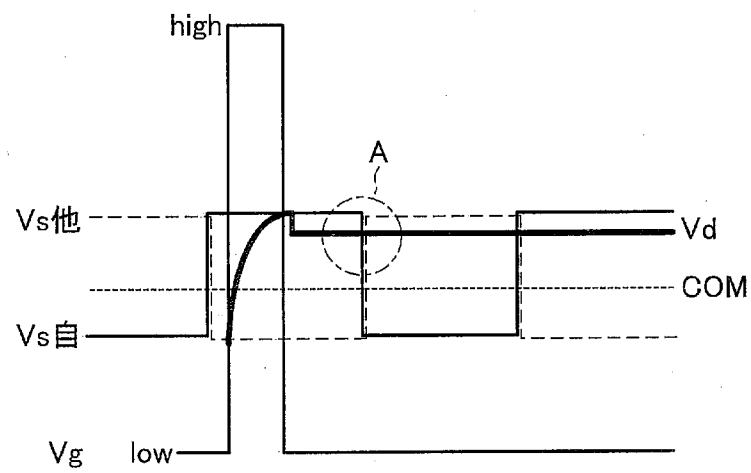
- [8] 上記配向変更部と重なっている部分における上記信号配線は、上記画素電極の端部に対して45度から90度の範囲内の角度で傾斜して配置されていることを特徴とする請求項1から7の何れか1項に記載の液晶表示装置。

[図3]

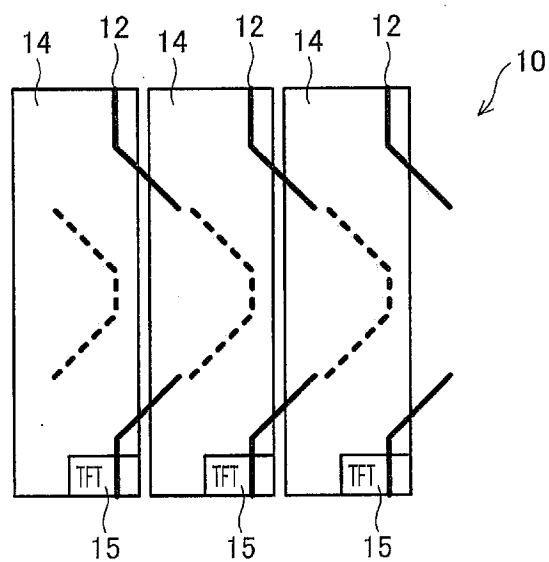


[図4]

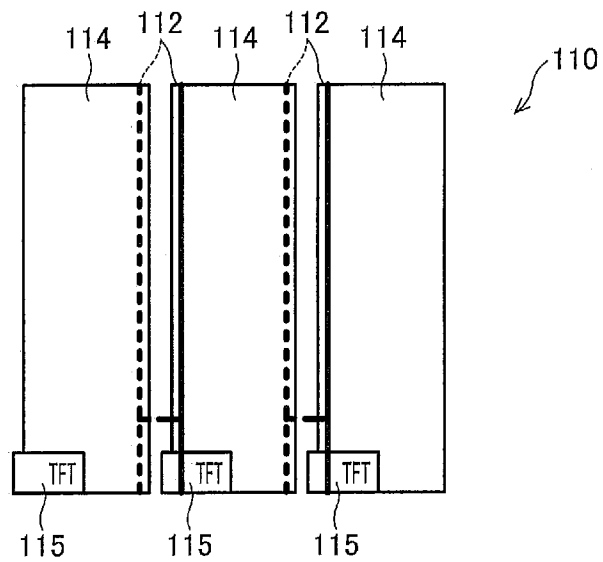
$C_{sd自} = C_{sd他}$ の時



[図5]

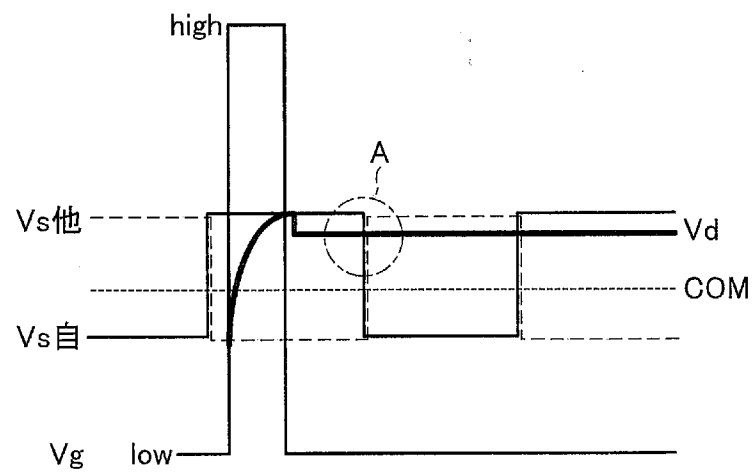


[図6]

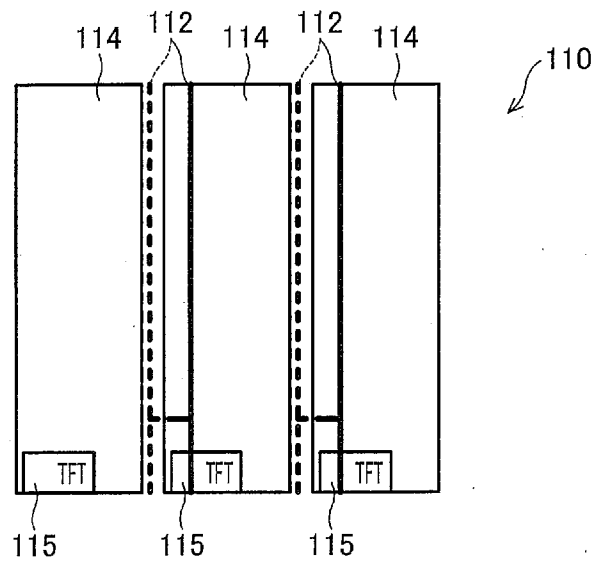


[図7]

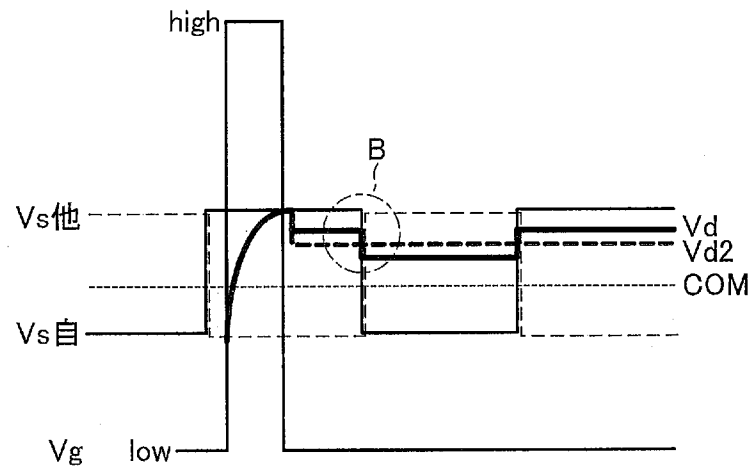
Csd_自=Csd_他の時



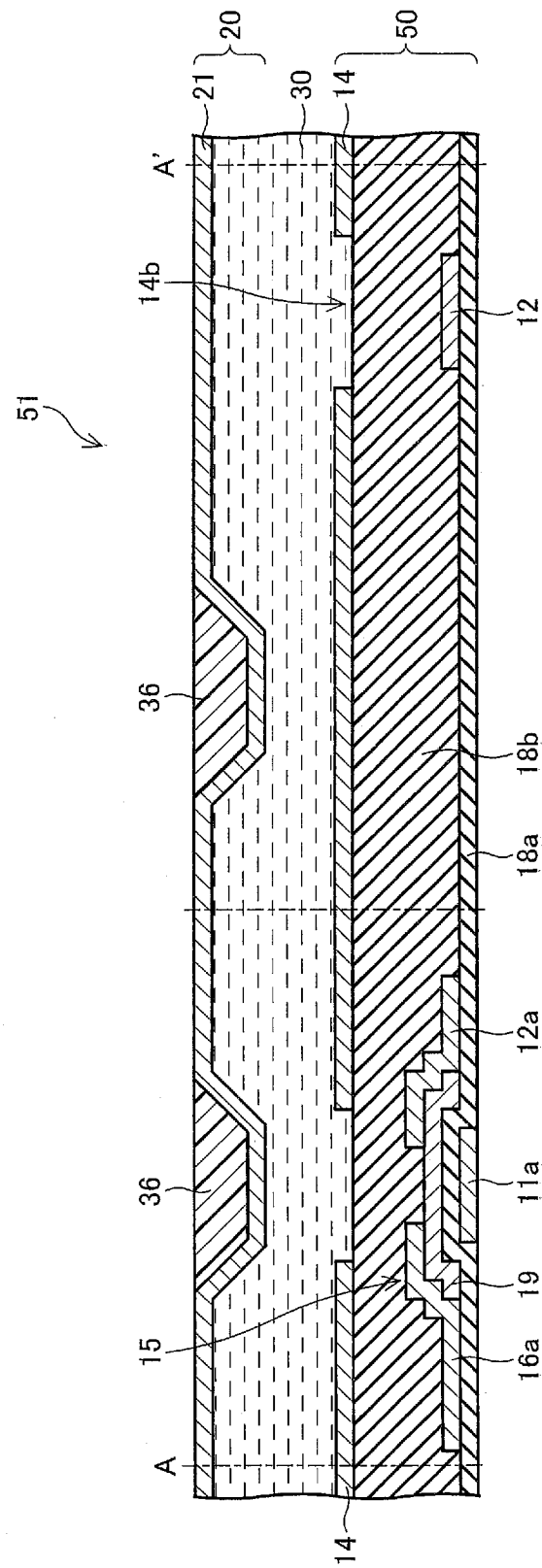
[図8]



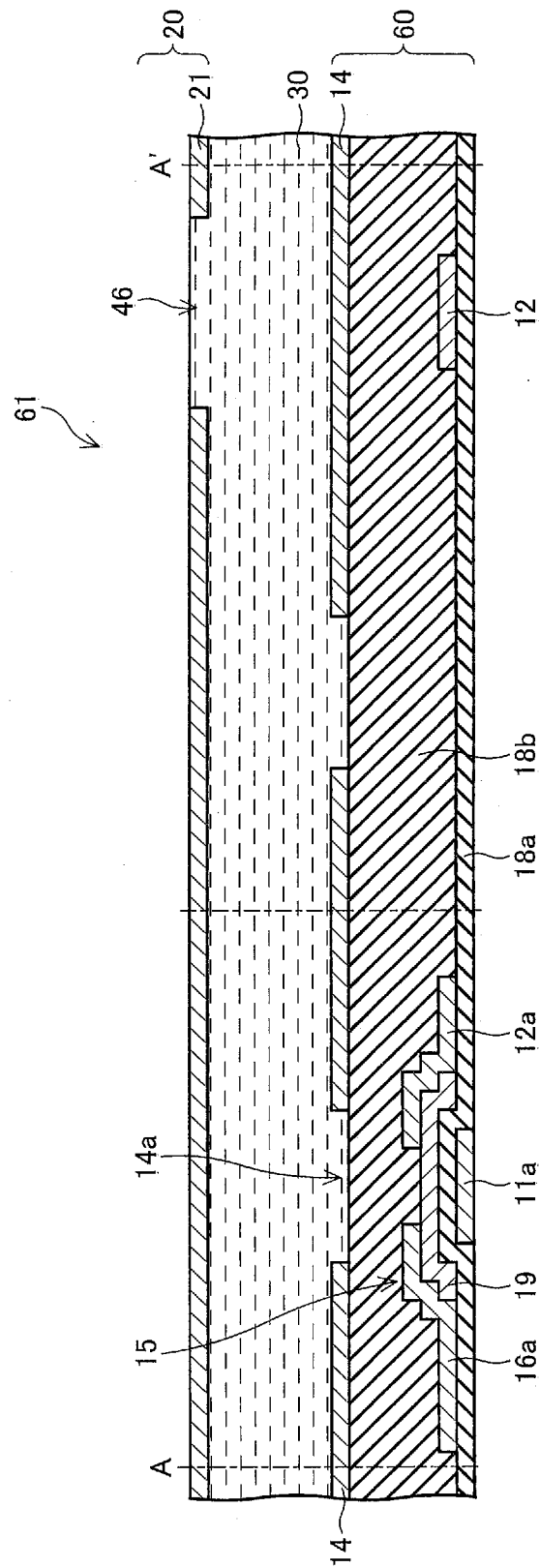
[図9]

 $C_{sd自} > C_{sd他}$ の時

[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066251

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1343(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1343, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-194671 A (Sanyo Electric Co., Ltd.), 19 July, 2001 (19.07.01), Par. Nos. [0031] to [0079]; Figs. 1 to 14 & JP 2001-194671 A & JP 2004-139108 A & JP 2005-92247 A & JP 2005-92248 A & JP 2005-99870 A & US 2002/0076845 A1 & US 2006/0038948 A1 & US 7119870 B1 & US 2006/0285045 A1 & US 2007/0046875 A1 & US 2007/0046876 A1 & EP 1006394 A1 & EP 1734400 A1 & TW 546528 B & KR 10-2000-0035709 A & KR 10-2005-0077810 A & KR 10-2005-0086385 A & KR 10-2005-0086386 A & KR 10-2005-0086387 A	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 October, 2008 (01.10.08)

Date of mailing of the international search report
14 October, 2008 (14.10.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066251

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-215515 A (Chi Mei EL Corp.), 10 August, 2001 (10.08.01), Par. Nos. [0047] to [0054]; Figs. 23 to 27 & US 6424397 B1 & TW 594135 B	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G02F1/1343(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1343, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-194671 A(三洋電機株式会社) 2001. 07. 19, 【0031】 - 【0079】【図 1】 - 【図 14】 & JP 2001-194671 A & JP 2004-139108 A & JP 2005-92247 A & JP 2005-92248 A & JP 2005-99870 A & US 2002/0076845 A1 & US 2006/0038948 A1 & US 7119870 B1 & US 2006/0285045 A1 & US 2007/0046875 A1 & US 2007/0046876 A1 & EP 1006394 A1 & EP 1734400 A1 & TW 546528 B & KR 10-2000-0035709 A & KR 10-2005-0077810 A & KR 10-2005-0086385 A & KR 10-2005-0086386 A & KR 10-2005-0086387 A	1-8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
0 1 . 1 0 . 2 0 0 8

国際調査報告の発送日
1 4 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）	2 L	3 8 1 2
金高 敏康		
電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-215515 A(奇晶光電股▲ふん▼有限公司) 2001.08.10, 【0047】 - 【0054】 【図 23】 - 【図 27】 & US 6424397 B1 & TW 594135 B	1-8