

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月26日(26.01.2017)



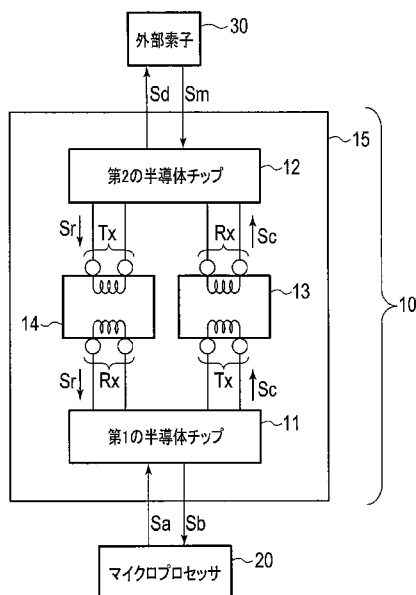
(10) 国際公開番号
WO 2017/013768 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) *H01L 25/00* (2006.01)
H01F 17/00 (2006.01) *H04B 5/02* (2006.01)
- (21) 国際出願番号: PCT/JP2015/070834
- (22) 国際出願日: 2015年7月22日(22.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者: 田島 一修(TAJIMA, Kazunao); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP). 朴 孝静(PARK, Hyojeong); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).
- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



- 11 First semiconductor chip
12 Second semiconductor chip
20 Microprocessor
30 External element

(57) Abstract: The present invention is provided with a first semiconductor chip, a second semiconductor chip disposed so as to be electrically isolated from the first semiconductor chip, and a transmission transformer that is a chip transformer in which a conductor layer and an insulation layer are laminated, the transmission-side terminal of the transmission transformer connecting to the first semiconductor chip and the receiving-side terminal of the transmission transformer connecting to the second semiconductor chip. A control signal for controlling the operation of the second semiconductor chip is transmitted from the first semiconductor chip to the second semiconductor chip via the transmission transformer.

(57) 要約: 第1の半導体チップと、第1の半導体チップと電氣的に絶縁して配置された第2の半導体チップと、導電体層と絶縁層が積層されたチップトランスであって、送信側端子が第1の半導体チップに接続し、受信側端子が第2の半導体チップに接続する送信トランスとを備え、送信トランスを介して第1の半導体チップから第2の半導体チップに第2の半導体チップの動作を制御する制御信号が送信される。



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、互いに絶縁分離された複数の半導体チップを有する半導体装置に関する。

背景技術

[0002] 例えば高い電源電圧で駆動される高電圧系の半導体チップと、この半導体チップの動作を制御する電源電圧の低い半導体チップとを1つの半導体装置として一体化することにより、部品数の低減や省スペース化を実現できる。この場合、高電圧系の半導体チップによる感電事故などを防止するために、半導体チップ間を電氣的に絶縁分離することが好ましい。絶縁分離された半導体チップ間の信号伝播に、オプティカルデバイスやトランスを使用することが有効であると考えられる。例えば、基板トランスを用いることによって信号の伝播速度を高速化する方法が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2013／027454号

発明の概要

発明が解決しようとする課題

[0004] しかしながら、信号伝播にトランスを使用する技術については、十分な検討がなされていない。本発明は、絶縁分離された半導体チップ間の信号伝播速度が向上された半導体装置を提供することを目的とする。

課題を解決するための手段

[0005] 本発明の一態様によれば、（ア）第1の半導体チップと、（イ）第1の半導体チップと電氣的に絶縁して配置された第2の半導体チップと、（ウ）導電体層と絶縁層が積層されたチップトランスであって、送信側端子が第1の

半導体チップに接続し、受信側端子が第2の半導体チップに接続する送信トランスとを備え、送信トランスを介して第1の半導体チップから第2の半導体チップに第2の半導体チップの動作を制御する制御信号が送信される半導体装置が提供される。

発明の効果

[0006] 本発明によれば、絶縁分離された半導体チップ間の信号伝播速度が向上された半導体装置を提供できる。

図面の簡単な説明

[0007] [図1]本発明の実施形態に係る半導体装置の構造例を示す模式図である。

[図2]本発明の実施形態に係る半導体装置に使用されるチップトランスの構造例を示す模式的な断面図である。

[図3]本発明の実施形態に係る半導体装置に使用されるチップトランスの第1のインダクタを示す模式的な斜視図である。

[図4]本発明の実施形態に係る半導体装置に使用されるチップトランスの第2のインダクタを示す模式的な斜視図である。

[図5]本発明の実施形態に係る半導体装置に使用されるチップトランスのシールドを示す模式的な斜視図である。

[図6]本発明の実施形態に係る半導体装置のレイアウト例を示す模式図である。

発明を実施するための形態

[0008] 次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各部の長さの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0009] また、以下に示す実施形態は、この発明の技術的思想を具体化するための

装置や方法を例示するものであって、この発明の技術的思想は、構成部品の形状、構造、配置等を下記のものに特定するものでない。この発明の実施形態は、請求の範囲において、種々の変更を加えることができる。

[0010] 本発明の実施形態に係る半導体装置 10 は、図 1 に示すように、第 1 の半導体チップ 11、第 2 の半導体チップ 12、送信トランス 13 及び受信トランス 14 を備える。第 1 の半導体チップ 11、第 2 の半導体チップ 12、送信トランス 13、及び受信トランス 14 は、絶縁性樹脂などのモールド材 15 によってモールド封止され、一体化されている。第 1 の半導体チップ 11 と第 2 の半導体チップ 12 とは電氣的に絶縁して配置されている。送信トランス 13 及び受信トランス 14 は、導電体層と絶縁層が積層されたチップトランスである。チップトランスの構造の詳細については後述する。

[0011] 第 1 の半導体チップ 11 は、第 2 の半導体チップ 12 の動作を制御する制御信号 S_c を出力する。制御信号 S_c は、送信トランス 13 を介して、第 1 の半導体チップ 11 から第 2 の半導体チップ 12 に送信される。即ち、送信トランス 13 は、送信側端子 T_x が第 1 の半導体チップ 11 に接続し、受信側端子 R_x が第 2 の半導体チップ 12 に接続する。ここで、チップトランスを伝播する信号が外部から入力する端子を「送信側端子」、外部に信号が出力される端子を「受信側端子」という。第 1 の半導体チップ 11 の動作は、マイクロプロセッサ 20 から第 1 の半導体チップ 11 に送信される信号 S_a によって制御される。一方、第 1 の半導体チップ 11 からマイクロプロセッサ 20 に、信号 S_b が送信される。信号 S_b は、外部素子 30、第 2 の半導体チップ 12 及び第 1 の半導体チップ 11 それぞれの状態を確認するための信号である。

[0012] 受信トランス 14 を介して、制御信号 S_c に対応した第 2 の半導体チップ 12 からの戻り信号 S_r が第 1 の半導体チップ 11 に送信される。このため、受信トランス 14 の送信側端子 T_x は第 2 の半導体チップ 12 に接続し、受信側端子 R_x は第 1 の半導体チップ 11 に接続する。戻り信号 S_r は、制御信号 S_c を受信した第 2 の半導体チップ 12 の動作に応じて値が定まるよ

うに発生される。戻り信号 S_r によって、第2の半導体チップ12が正常に動作しているか否かなどを第1の半導体チップ11が判定可能である。

[0013] 第2の半導体チップ12には、外部素子30を駆動する駆動回路が形成されている。そして、第2の半導体チップ12から、外部素子30を駆動する駆動信号 S_d が外部素子30に出力される。一方、外部素子30から第2の半導体チップ12に戻り信号 S_m が出力される。戻り信号 S_m は、外部素子30の状態を確認するための信号である。

[0014] 外部素子30は、例えば絶縁ゲートバイポーラトランジスタ（IGBT）などである。第1の半導体チップ11及び第2の半導体チップ12には、それぞれの半導体チップに電力を供給する個別の電源回路（図示略）が用意されている。

[0015] 例えば10A程度の出力電流を実現するために、第2の半導体チップ12の駆動能力は高く設定される。これにより、第2の半導体チップ12が駆動する外部素子30として最大定格の大きなIGBTを使用した場合にも、外部素子30の高速のオン・オフ動作が可能である。第2の半導体チップ12に要求される駆動能力に応じて、第2の半導体チップ12に電力を供給する電源回路の仕様が設定される。

[0016] 半導体装置10は、例えばハイブリッド車の車載電子回路システムの一部として使用することができる。例えば、第2の半導体チップ12をハイブリッド車の高電圧系回路を駆動する駆動装置として使用する。ここで、高電圧系回路は電気モータを駆動する回路などである。電気モータを駆動するためには、例えば200V系バッテリーの出力を500V～900Vの高電圧に昇圧する。第1の半導体チップ11をハイブリッド車の低電圧系回路を駆動する駆動装置として使用する。ここで、低電圧系回路は、車載電子回路、ヘッドライトやウィンカーなどの灯光類、ガソリンエンジンやディーゼルエンジンなどの内燃機関の発火装置などの、12V系若しくは24V系バッテリーによって電源が供給される回路である。

[0017] 第2の半導体チップ12の動作を制御する第1の半導体チップ11には、

第2の半導体チップ12のような高い駆動能力は必要ない。したがって、第1の半導体チップ11の内部電圧は、例えば数V程度に設定される。

[0018] 既に述べたように、半導体装置10においては、第1の半導体チップ11と第2の半導体チップ12とは電氣的に絶縁して配置されている。そして、制御信号Scが第1の半導体チップ11から第2の半導体チップ12に伝播するチャンネルは、送信トランス13を用いた絶縁構造である。また、戻り信号Srが第2の半導体チップ12から第1の半導体チップ11に伝播するチャンネルは、受信トランス14を用いた絶縁構造である。送信トランス13及び受信トランス14は、パルス信号が伝播可能なパルストランスである。このように、第1の半導体チップ11と第2の半導体チップ12とは電氣的に絶縁されている。これにより、例えば第1の半導体チップ11に人体が接触しても、高電圧が供給される第2の半導体チップ12による感電事故などを抑制できる。

[0019] なお、送信トランス13に基板トランスを使用することも可能である。しかし、チップトランスは基板トランスよりもサイズが小さく、結合容量が小さい。このため、チップトランスを使用することにより、信号の伝播速度を向上できる。また、チップトランスを使用することによって、半導体装置10全体のサイズを小さくすることができる。更に、送信トランス13や受信トランス14のサイズが小さいことにより、半導体装置10が受ける外部磁界の影響を抑制することができる。例えば素子電流の大きな外部素子が送信トランス13の周囲に配置された場合などに、外部素子の動作に起因して発生する磁界によって半導体装置10が受ける影響を抑制できる。

[0020] 次に、送信トランス13や受信トランス14に使用可能なチップトランスの構造例について説明する。送信トランス13や受信トランス14には、例えば図2に示すような構造を採用可能である。

[0021] 図2に示すチップトランス100は、複数の導電体層が絶縁層を挟んで積層された積層構造である。例えばシリコン基板などの半導体基板110上に、酸化シリコン膜などの絶縁膜120を介して、複数の導電体層を含む積層

体 1 3 0 が配置されている。積層体 1 3 0 は、第 1 の導電体層 1 M、第 2 の導電体層 2 M、第 3 の導電体層 3 M、及び第 4 の導電体層 4 M が、絶縁層 1 3 5 を介して積層された構造である。例えば、半導体基板 1 1 0 の膜厚は 4 0 0 μm 程度、積層体 1 3 0 の膜厚は 1 0 ~ 3 0 μm 程度である。

[0022] 第 2 の導電体層 2 M は、図 3 に示すような渦巻き状の導電性パターンを有する第 1 のインダクタ L 1 が形成された第 1 のインダクタ層である。導電性パターンの中心部に位置する第 1 のインダクタ L 1 の一方の端部が、絶縁層 1 3 5 に形成されたプラグ 1 0 1 によって第 1 の導電体層 1 M と電氣的に接続する。「プラグ」は、絶縁層 1 3 5 に形成されたスルーホールに導電性材料を埋め込んだ構造である。

[0023] 第 1 の導電体層 1 M は、プラグ 1 0 2 を介して、チップトランス 1 0 0 の上面に配置されたパッド P 1 a と電氣的に接続されている。つまり、第 1 の導電体層 1 M は、第 1 のインダクタ L 1 とパッド P 1 a とを電氣的に接続する配線の一部として使用される。一方、第 1 のインダクタ L 1 の外縁部に位置する他方の端部は、プラグ 1 0 3 を介して、チップトランス 1 0 0 の上面に配置されたパッド P 1 b と電氣的に接続されている。

[0024] 第 4 の導電体層 4 M は、積層体 1 3 0 表面に露出してチップトランス 1 0 0 の上面に配置されている。第 4 の導電体層 4 M は、図 4 に示すような渦巻き状の導電性パターンを有する第 2 のインダクタ L 2 が形成された第 2 のインダクタ層である。導電性パターンの中心部に位置する第 2 のインダクタ L 2 の一方の端部が、チップトランス 1 0 0 の上面で導電性パターンの内側に配置されたパッド P 2 a と電氣的に接続されている。第 2 のインダクタ L 2 の外縁部に位置する他方の端部は、チップトランス 1 0 0 の上面で導電性パターンの外側に配置されたパッド P 2 b と電氣的に接続されている。

[0025] チップトランス 1 0 0 では、第 1 のインダクタ層と第 2 のインダクタ層とが絶縁層を介して積層された上記構造によって、パッド P 1 a、P 1 b とパッド P 2 a、P 2 b との間で磁界結合による信号伝播が行われる。それぞれの中心位置が平面視で一致するように、第 1 のインダクタ L 1 と第 2 のイン

ダクタL 2とを形成することが好ましい。チップトランス100によれば、パルス幅が数ナノ秒程度の高速なパルス信号通信が可能である。

[0026] ところで、積層体130の下層側である第2の導電体層2Mの膜厚を厚くすると、平坦性が悪くなり、第2の導電体層2M以降の工程で不良が生じるなどの問題が起こる。このため、第4の導電体層4Mの膜厚を厚くすることは比較的容易であるが、第2の導電体層2Mの膜厚を厚くすることは難しい。例えば、第2の導電体層2Mの膜厚を1 μ m程度、第4の導電体層4Mの膜厚を4 μ m程度に設定する。

[0027] チップトランス100を用いて磁界結合による信号伝播を行う場合、安定して高周波の信号伝播を行うためには受信側よりも送信側のオン抵抗が小さいことが好ましい。このため、膜厚が厚い第4の導電体層4Mに形成された第2のインダクタL 2に接続するパッドP 2 a及びパッドP 2 bを送信側端子T xとする。そして、膜厚が薄い第2の導電体層2Mに形成された第1のインダクタL 1に接続するパッドP 1 a及びパッドP 1 bを受信側端子R xとする。これにより、平坦性の良いチップトランス100の製造が容易になる。

[0028] なお、平坦性が確保できる場合や平坦性が問題にならない場合には、第2の導電体層2Mの膜厚を第4の導電体層4Mの膜厚と同程度にしてもよい。或いは第2の導電体層2Mの膜厚を第4の導電体層4Mの膜厚よりも厚くしてもよい。その場合、第2の導電体層2Mに形成される第1のインダクタL 1に接続するパッドP 1 a及びパッドP 1 bを、送信側端子T xとすることができる。そして、第4の導電体層4Mに形成される第2のインダクタL 2に接続するパッドP 2 a及びパッドP 2 bを、受信側端子R xとする。

[0029] チップトランス100では、第1のインダクタL 1と第2のインダクタL 2との間に、図5に示すような導電性のシールド136を配置することが好ましい。シールド136は、第3の導電体層3Mに形成される。これは、以下のような理由による。

[0030] チップトランス100では、第1のインダクタL 1と第2のインダクタL

2の間に寄生容量が形成される。寄生容量に蓄積された電荷が外部回路に移動して、異常な電圧や電流が発生するおそれがある。第1のインダクタL1と第2のインダクタL2の間にシールド136を配置することによって、寄生容量の電荷がシールド136を介して放出される。これにより、半導体装置10の出力にノイズが発生することを抑制できる。

[0031] シールド136は、チップトランス100での磁界通信を妨害しないように形成される。例えば図5に示すようなU字形状の板状導電体のシールド136を使用し、第1のインダクタL1と第2のインダクタL2の中心間をシールド136によって遮蔽しないようする。

[0032] シールド136は、プラグ106を介してチップトランス100の上面に配置されたパッドPsと電氣的に接続される。パッドPsは、例えば受信側端子Rxが接続される半導体チップを介して接地される。

[0033] 第1の導電体層1M、第2の導電体層2M、第3の導電体層3M及び第4の導電体層4Mの材料には、例えばアルミニウム（Al）、銅（Cu）、AlCuなどの導電性材料を使用可能である。また、絶縁層135に埋め込まれるプラグ101～プラグ106にも上記の導電性材料を使用可能である。

[0034] なお、図6では半導体装置10が第1の半導体チップ11、第2の半導体チップ12、送信トランス13及び受信トランス14を備える構成例を示した。しかし、受信トランス14が半導体装置10に含まれなくてもよい。また、半導体装置10が他の半導体チップを備えていてもよい。例えば、外部から供給される高電圧を第1の半導体チップ11に適応した電源電圧に降圧する半導体チップなどを、半導体装置10に内蔵させてもよい。

[0035] また、信号伝播が1チャンネルで行われる半導体装置10では、シリアル送受信機能によって外部素子30の動作が制御される。シリアル送受信機能では、外部素子30をオン状態にするオン信号と外部素子30をオフ状態にするオフ信号を順番に出力する。このシリアル送受信機能を採用することにより、オン信号の駆動信号Sdが入力されるまで外部素子30は確実にオフ状態である。したがって、半導体装置10による制御によれば、パラレル送

受信機能による制御で生じるような、誤ってオン信号の入力が重なることによる誤動作などを防止できる。例えば、車載電子回路システムの一部として使用された半導体装置 10 が電気モータを駆動する場合などに、直列接続された 2 つのトランジスタが同時にオン状態になって大きな貫通電流が流れる事故を防止できる。

[0036] 以上に説明したように、本発明の実施形態に係る半導体装置 10 では、制御信号 S_c が第 1 の半導体チップ 11 から第 2 の半導体チップ 12 に伝播するチャンネルは、送信トランス 13 を用いた絶縁構造である。また、戻り信号 S_r が第 2 の半導体チップ 12 から第 1 の半導体チップ 11 に伝播するチャンネルは、受信トランス 14 を用いた絶縁構造である。つまり、電氣的に絶縁した状態の第 1 の半導体チップ 11 と第 2 の半導体チップとの間の信号伝播が、チップトランス 100 を介して行われる。チップトランス 100 はサイズが小さいため、半導体装置 10 によれば、高速且つ外部からの磁界の影響が抑制された安定した信号の伝播が可能である。

[0037] 本発明の実施形態と異なり、信号伝播経路にオプティカルデバイスを使用した場合には、発光ダイオードなどの発光素子の輝度が劣化することにより受光素子の受光特性が低下し、信号伝播応答性が低くなる。更に、オプティカルデバイスが高温環境下に置かれると発光素子の輝度の劣化や受光素子の受光特性の低下が速くなり、耐用年数が短くなる。

[0038] これに対し、本発明の実施形態に係る半導体装置 10 では、信号伝播経路にオプティカルデバイスではなくトランスを使用するため、信号の伝播応答性が低下することなく、且つ耐用年数が短くなることもない。例えば、环境温度が高温になる車載用としても、実施形態に係る半導体装置 10 は好適である。また、チップトランスを使用することにより、基板トランスを使用する場合に比べて信号の伝播速度や動作の安定性が向上する。

[0039] (その他の実施形態)

上記のように、本発明は実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。

この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。即ち、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な請求の範囲に係る発明特定事項によってのみ定められるものである。

産業上の利用可能性

[0040] 本発明の半導体装置は、複数の半導体チップが互いに絶縁分離されて配置された半導体装置の用途に利用可能である。

請求の範囲

- [請求項1] 第1の半導体チップと、
前記第1の半導体チップと電氣的に絶縁して配置された第2の半導体チップと、
導電体層と絶縁層が積層されたチップトランスであって、送信側端子が前記第1の半導体チップに接続し、受信側端子が前記第2の半導体チップに接続する送信トランスと
を備え、前記送信トランスを介して前記第1の半導体チップから前記第2の半導体チップに前記第2の半導体チップの動作を制御する制御信号が送信されることを特徴とする半導体装置。
- [請求項2] 前記送信トランスが、
渦巻き状の導電性パターンを有する第1のインダクタが形成された第1のインダクタ層と、
渦巻き状の導電性パターンを有する第2のインダクタが形成された第2のインダクタ層と、
前記第1のインダクタ層と前記第2のインダクタ層との間に配置された絶縁層と
を備えるチップトランスであることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1のインダクタ層の上方に配置される前記第2のインダクタ層の膜厚が前記第1のインダクタ層の膜厚よりも厚く、
前記第1のインダクタが前記受信側端子に接続し、
前記第2のインダクタが前記送信側端子に接続することを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記第1のインダクタと前記第2のインダクタとの間で前記絶縁層の内部に配置された導電性のシールドを更に備えることを特徴とする請求項2に記載の半導体装置。
- [請求項5] 前記第1の半導体チップ、前記第2の半導体チップ及び前記送信ト

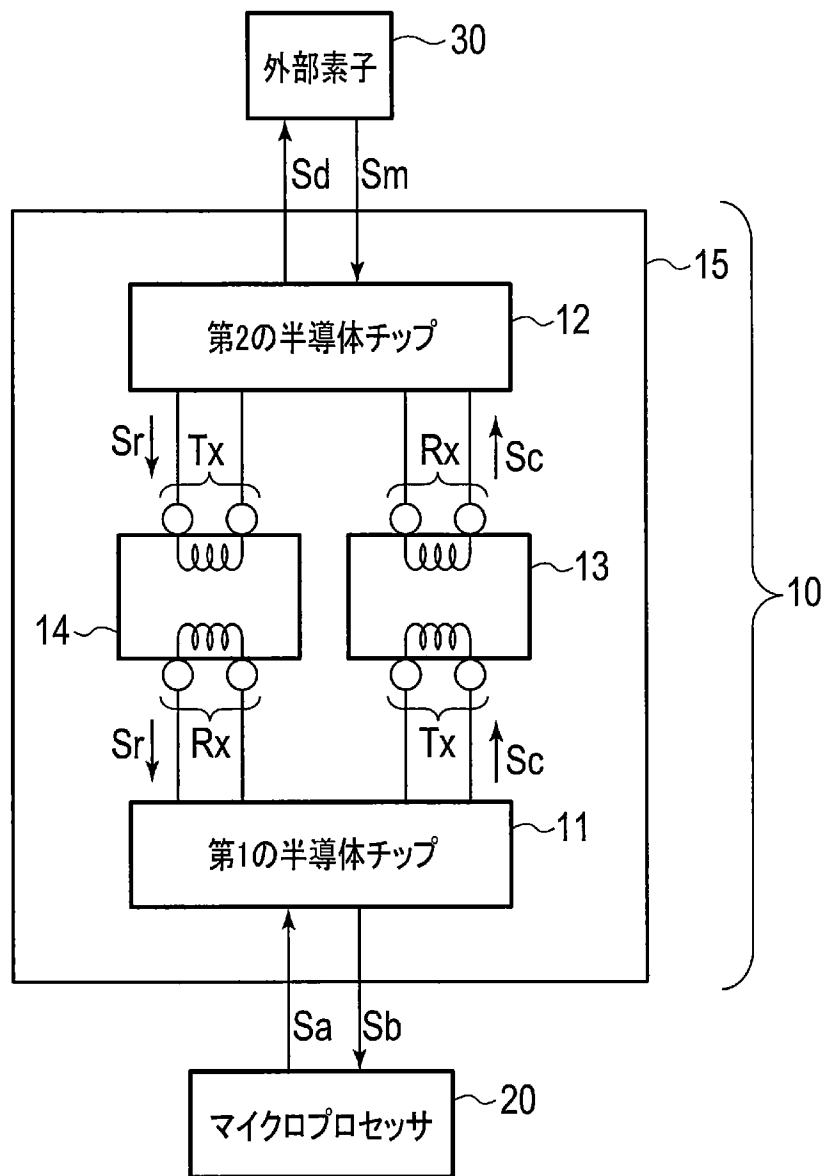
ランスが、モールド封止によって一体化されていることを特徴とする請求項 1 に記載の半導体装置。

[請求項6] 導電体層と絶縁層が積層されたチップトランスであって、送信側端子が前記第 2 の半導体チップに接続し、受信側端子が前記第 1 の半導体チップに接続する受信トランスを更に備え、

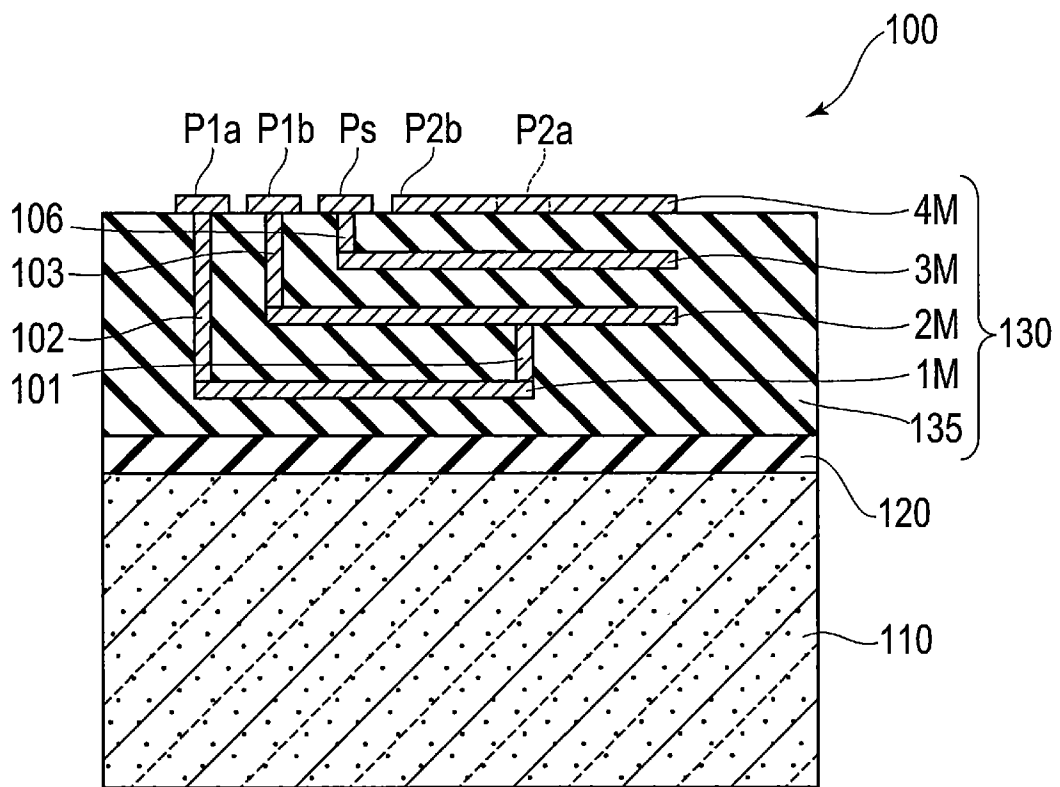
前記受信トランスを介して、前記制御信号に対応した戻り信号が前記第 2 の半導体チップから前記第 1 の半導体チップに送信されることを特徴とする請求項 1 に記載の半導体装置。

[請求項7] 前記第 2 の半導体チップによって駆動される外部素子をオン状態にするオン信号と前記外部素子をオフ状態にするオフ信号を順番に出力するシリアル送受信機能を備えることを特徴とする請求項 1 に記載の半導体装置。

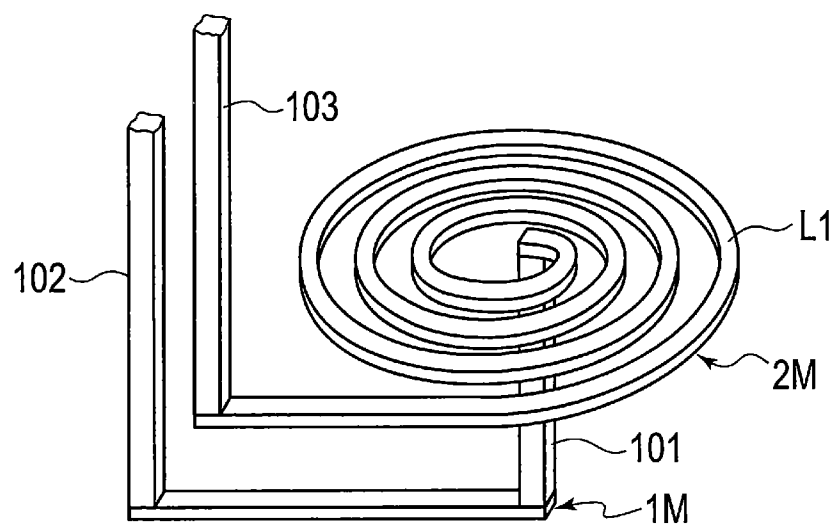
[図1]



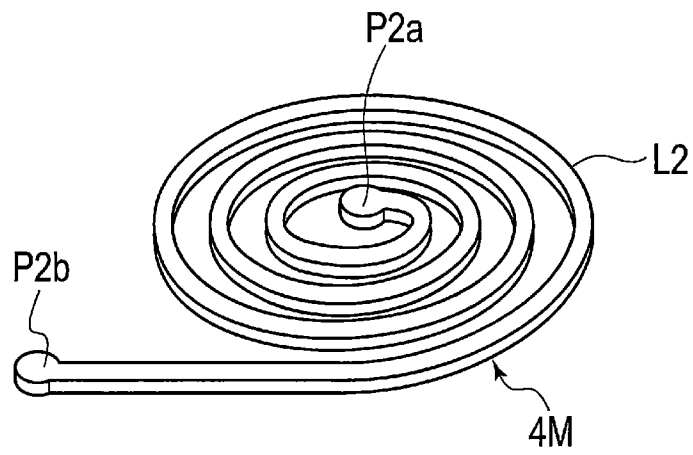
[図2]



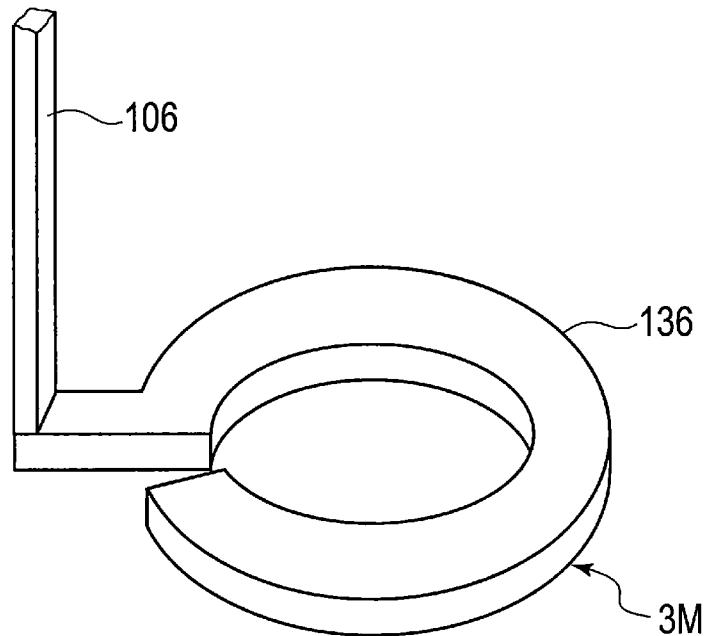
[図3]



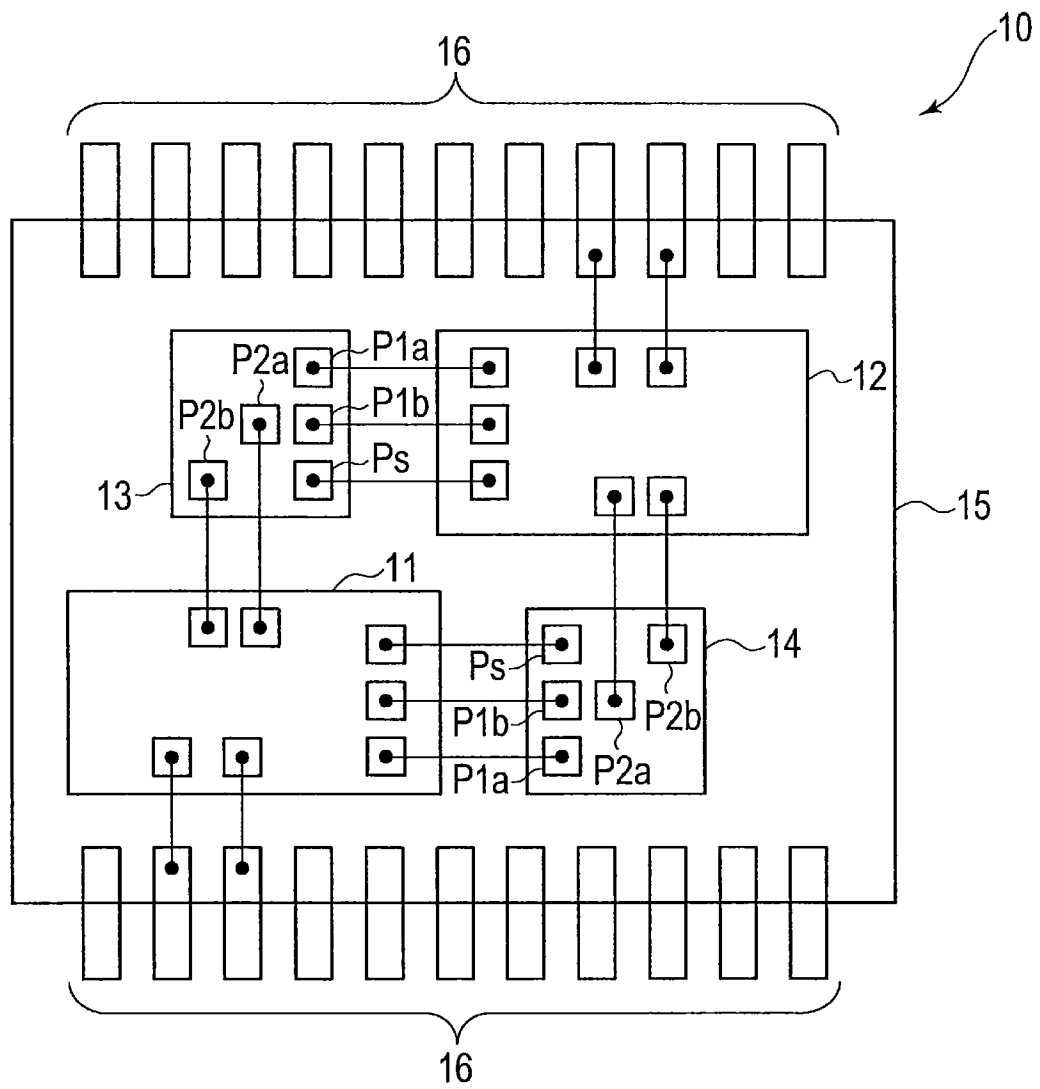
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070834

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/02(2006.01)i, H01F17/00(2006.01)i, H01L25/00(2006.01)i, H04B5/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/02, H01F17/00, H01L25/00, H04B5/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-229812 A (Renesas Electronics Corp.), 07 November 2013 (07.11.2013), paragraphs [0120] to [0132], [0203], [0204], [0210]; fig. 30 & US 2013/0285465 A1	1, 7 2-6
Y A	JP 4-133408 A (Toshiba Lighting & Technology Corp.), 07 May 1992 (07.05.1992), page 2, upper right column, line 3 to lower right column, line 7; fig. 1 (Family: none)	2-4 1, 5-7
Y A	JP 7-66361 A (Hitachi Cable, Ltd.), 10 March 1995 (10.03.1995), paragraph [0008]; fig. 1 to 4 (Family: none)	5 1-4, 6, 7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 September 2015 (16.09.15)

Date of mailing of the international search report
06 October 2015 (06.10.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070834

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/027454 A1 (Sanken Electric Co., Ltd.), 28 February 2013 (28.02.2013), paragraphs [0012], [0022] to [0026]; fig. 1, 4 & JP 2013-46285 A & US 2014/0210047 A1 & CN 103748680 A & KR 10-2014-0058596 A	6 1-5, 7

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H04L25/02(2006.01)i, H01F17/00(2006.01)i, H01L25/00(2006.01)i, H04B5/02(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H04L25/02, H01F17/00, H01L25/00, H04B5/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-229812 A（ルネサスエレクトロニクス株式会社） 2013.11.07,	1, 7
Y	段落[0120]－[0132], [0203], [0204], [0210], 第30図 & US 2013/0285465 A1	2-6
Y	JP 4-133408 A（東芝ライテック株式会社）1992.05.07, 第2ページ右上欄第3行－右下欄第7行, 第1図	2-4
A	（ファミリーなし）	1, 5-7
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 16.09.2015	国際調査報告の発送日 06.10.2015	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 阿部 弘 電話番号 03-3581-1101 内線 3556	5K 9382

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-66361 A (日立電線株式会社) 1995. 03. 10,	5
A	段落[0008], 第 1-4 図 (ファミリーなし)	1-4, 6, 7
Y	WO 2013/027454 A1 (サンケン電気株式会社) 2013. 02. 28,	6
A	段落[0012], [0022]-[0026], 第 1, 4 図 & JP 2013-46285 A & US 2014/0210047 A1 & CN 103748680 A & KR 10-2014-0058596 A	1-5, 7