

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 3 月 3 日 (2005.3.3)

【公開番号】特開 2002-304880 (P2002-304880A)

【公開日】平成 14 年 10 月 18 日 (2002.10.18)

【出願番号】特願 2002-19411 (P2002-19411)

【国際特許分類第 7 版】

G 1 1 C 11/15

G 1 1 C 11/14

H 0 1 L 27/105

H 0 1 L 43/08

【F I】

G 1 1 C 11/15

G 1 1 C 11/14 A

H 0 1 L 43/08 Z

H 0 1 L 27/10 4 4 7

【手続補正書】

【提出日】平成 16 年 4 月 1 日 (2004.4.1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

情報記憶装置であって、
メモリ素子の抵抗クロスポイントアレイと、および
前記メモリ素子のグループに結合され、それらによって共有されている回り込み電流阻止
デバイスとを含む、情報記憶装置。

【請求項 2】

前記阻止デバイスが、ダイオードを含む、請求項 1 の情報記憶装置。

【請求項 3】

前記ダイオードが、反対極性の第 1 および第 2 の半導体層を含み、前記半導体層の各々が
、前記グループ中の前記メモリ素子のすべてに渡って広がっている、請求項 2 の情報記憶
装置。

【請求項 4】

前記阻止デバイスがトランジスタを含む、請求項 1 の情報記憶装置。

【請求項 5】

前記メモリ素子が磁気トンネル接合である、請求項 1 の情報記憶装置。

【請求項 6】

前記阻止デバイス上に導電層を更に含み、前記グループの前記メモリ素子が前記導電層の
上にある、請求項 1 の情報記憶装置。

【請求項 7】

前記グループの前記メモリ素子が、前記阻止デバイスと直接接触する、請求項 1 の情報記
憶装置。

【請求項 8】

前記グループの前記メモリ素子が、前記阻止デバイスと直接接触する共有固定層と、前記
共有固定層の上の共有トンネル障壁と、前記共有トンネル障壁上の個々の自由層とを含む

、請求項 7 の情報記憶装置。

【請求項 9】

メモリ素子の追加のグループとそれらの対応する阻止デバイスが、前記情報記憶装置の少なくとも 1 つの追加の面上に形成され、前記阻止デバイスがアモルファス材料から作成される、請求項 1 の情報記憶装置。

【請求項 10】

M R A M デバイスであって、

磁気トンネル接合のアレイと、および

前記磁気トンネル接合に接続され、それぞれが磁気トンネル接合のグループによって共有されている、複数の回り込み電流阻止デバイスとを含む、M R A M デバイス。

【請求項 11】

前記阻止デバイスとメモリ素子との中間にある導電層を更に含む、請求項 10 の M R A M デバイス。

【請求項 12】

メモリ素子が前記阻止デバイスと直接接触する、請求項 10 の M R A M デバイス。

【請求項 13】

前記メモリ素子のグループが、それらの関連する阻止デバイスと直接接触する共有固定層と、前記共有固定層の上の共有トンネル障壁と、前記共有トンネル障壁上の個々の自由層とを含む、請求項 12 の M R A M デバイス。

【請求項 14】

前記阻止デバイスが、メモリ素子と磁界強化材料でクラディングされたトレースとの間に形成される、請求項 10 の M R A M デバイス。

【請求項 15】

前記阻止デバイスに結合され、書込み動作中に選択されたメモリ素子の抵抗状態を判定するためのセンスアンプを更に含む、請求項 10 の M R A M デバイス。

【請求項 16】

前記アレイのためのワード線とビット線を更に含み、選択されたメモリ素子における読出し動作中、動作電位が選択されたワード線に印加され、前記センスアンプが選択されたビット線に基準電位を印加することにより、前記共有された阻止デバイスと前記選択されたメモリ素子とを介して流れる電流を検知し、前記センスアンプが前記選択されたメモリ素子の抵抗状態を判定するために前記電流を検知する、請求項 15 の M R A M デバイス。

【請求項 17】

前記アレイのためのワード線とビット線を更に含み、読出し動作中、電圧が選択されたビット線に印加され、前記センスアンプが前記ワード線に接続され、前記選択されたビット線に接続された前記阻止デバイスのアノードが同じ電位であるようにされる、請求項 15 の M R A M デバイス。

【請求項 18】

前記阻止デバイスがダイオードを含む、請求項 10 の M R A M デバイス。

【請求項 19】

前記阻止デバイスがトランジスタを含む、請求項 10 の M R A M デバイス。

【請求項 20】

メモリデバイスであって、

メモリ素子の抵抗クロスポイントアレイと、および

前記アレイの選択されたメモリ素子における読出し動作中に回り込み電流を阻止するための複数の手段とを含み、

前記阻止するための各手段が、少なくとも 2 つのメモリ素子によって共有されている、メモリデバイス。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

各ダイオード22は、n型シリコン層22aとp型シリコン層22bを有する。共有される各々のダイオード22は、それに対応するグループ中の全てのメモリ素子12にまたがっている。