

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4700317号
(P4700317)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.

F 1

G09F	9/30	(2006.01)	G09F	9/30	3 3 8
H01L	27/32	(2006.01)	G09F	9/30	3 6 5 Z
H01L	21/20	(2006.01)	H01L	21/20	
H01L	21/336	(2006.01)	H01L	29/78	6 1 2 D
H01L	29/786	(2006.01)	H01L	29/78	6 1 7 U

請求項の数 8 (全 64 頁) 最終頁に続く

(21) 出願番号

特願2004-289047 (P2004-289047)

(22) 出願日

平成16年9月30日 (2004.9.30)

(65) 公開番号

特開2006-106110 (P2006-106110A)

(43) 公開日

平成18年4月20日 (2006.4.20)

審査請求日

平成19年6月29日 (2007.6.29)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 城口 裕子

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 佐藤 久則

最終頁に続く

(54) 【発明の名称】表示装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上に導電層を形成し、
前記導電層上にレジストを形成し、
前記レジストをレーザ光で露光してパターニングし、マスクを形成し、
前記マスクを用いて前記導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、
前記ゲート電極層及び前記第1の電極層上にゲート絶縁層を形成し、
前記ゲート絶縁層上に金属元素を含む金属膜を形成し、
前記金属膜上に半導体層を形成し、
前記半導体層に接して一導電型を有する半導体層を形成し、
前記半導体層及び前記一導電型を有する半導体層を加熱することにより、前記半導体層を結晶化するとともに前記金属元素を前記一導電型を有する半導体層に移動させ、
前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、
前記一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、
前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に第1の絶縁層を形成し、
前記ソース電極層または前記ドレイン電極層に達する第1の開口部を前記第1の絶縁層に形成するとともに、前記第1の電極層に達する第2の開口部を前記第1の絶縁層及び前

記ゲート絶縁層に形成し、

前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極層と、前記第1の電極層とを電気的に接続する配線層を形成することを特徴とする表示装置の作製方法。

【請求項2】

絶縁表面上に導電層を形成し、

前記導電層上にレジストを形成し、

前記レジストをレーザ光で露光してパターニングし、マスクを形成し、

前記マスクを用いて前記導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、

10

前記ゲート電極層及び前記第1の電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層上に半導体層を形成し、

前記半導体層に金属元素を添加し、

前記半導体層に接して一導電型を有する半導体層を形成し、

前記半導体層及び前記一導電型を有する半導体層を加熱することにより、前記半導体層を結晶化するとともに前記金属元素を前記一導電型を有する半導体層に移動させ、

前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、

前記一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、

前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に第1の絶縁層を形成し、

20

前記ソース電極層または前記ドレイン電極層に達する第1の開口部を前記第1の絶縁層に形成するとともに、前記第1の電極層に達する第2の開口部を前記第1の絶縁層及び前記ゲート絶縁層に形成し、

前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極層と、前記第1の電極層とを電気的に接続する配線層を形成することを特徴とする表示装置の作製方法。

【請求項3】

絶縁表面上に導電層を形成し、

前記導電層上にレジストを形成し、

30

前記レジストをレーザ光で露光してパターニングし、マスクを形成し、

前記マスクを用いて前記導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、

前記ゲート電極層及び前記第1の電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層上に金属元素を含む金属膜を形成し、

前記金属膜上に半導体層を形成し、

前記半導体層上に選択的にチャネル保護層を形成し、

前記半導体層及び前記チャネル保護層に接して一導電型を有する半導体層を形成し、

前記半導体層、前記チャネル保護層、及び前記一導電型を有する半導体層を加熱することにより、前記半導体層を結晶化するとともに前記金属元素を前記一導電型を有する半導体層に移動させ、

40

前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、

前記一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、

前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に第1の絶縁層を形成し、

前記ソース電極層または前記ドレイン電極層に達する第1の開口部を前記第1の絶縁層に形成するとともに、前記第1の電極層に達する第2の開口部を前記第1の絶縁層及び前記ゲート絶縁層に形成し、

前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極

50

層と、前記第1の電極層とを電気的に接続する配線層を形成することを特徴とする表示装置の作製方法。

【請求項4】

絶縁表面上に導電層を形成し、
前記導電層上にレジストを形成し、
前記レジストをレーザ光で露光してパターニングし、マスクを形成し、
前記マスクを用いて前記導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、
前記ゲート電極層及び前記第1の電極層上にゲート絶縁層を形成し、
前記ゲート絶縁層上に半導体層を形成し、
前記半導体層上に選択的にチャネル保護層を形成し、
前記半導体層及び前記チャネル保護層に金属元素を添加し、
前記半導体層及び前記チャネル保護層に接して一導電型を有する半導体層を形成し、
前記半導体層、前記チャネル保護層、及び前記一導電型を有する半導体層を加熱することにより、前記半導体層を結晶化するとともに前記金属元素を前記一導電型を有する半導体層に移動させ、
前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、
前記一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、
前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に第1の絶縁層を形成し、
前記ソース電極層または前記ドレイン電極層に達する第1の開口部を前記第1の絶縁層に形成するとともに、前記第1の電極層に達する第2の開口部を前記第1の絶縁層及び前記ゲート絶縁層に形成し、
前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極層と、前記第1の電極層とを電気的に接続する配線層を形成することを特徴とする表示装置の作製方法。

10

20

30

40

50

【請求項5】

請求項1乃至4のいずれか一項において、
前記第1の電極層の一部、及び前記配線層を覆う第2の絶縁層を形成し、
前記第1の電極層上に電界発光層を形成し、
前記電界発光層上に第2の電極層を形成することを特徴とする表示装置の作製方法。

【請求項6】

請求項1乃至5のいずれか一項において、
前記金属元素として鉄、ニッケル、コバルト、ルテニウム、ロジウム、パラジウム、オスニウム、イリジウム、白金、チタン、銅及び金から選ばれた一つ又は複数を用いることを特徴とする表示装置の作製方法。

【請求項7】

請求項1乃至6のいずれか一項において、
前記ゲート絶縁層として、前記ゲート電極層及び前記第1の電極層上に第1のゲート絶縁層を形成し、
前記第1のゲート絶縁層上に第2のゲート絶縁層を形成し、
前記第2のゲート絶縁層上に膜厚0.1nm以上10nm以下の第3のゲート絶縁層を形成することを特徴とする表示装置の作製方法。

【請求項8】

請求項7において、
前記第1のゲート絶縁層として窒化酸化珪素膜を形成し、
前記第2のゲート絶縁層として酸化窒化珪素膜を形成し、
前記第3のゲート絶縁層として窒化珪素膜を形成することを特徴とする表示装置の作製方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置の作製方法、及びそれを用いたテレビジョン装置に関する。

【背景技術】**【0002】**

近年、液晶ディスプレイ（LCD）やELディスプレイに代表されるフラットパネルディスプレイ（FPD）は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビの開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。また、近年液晶テレビに追随し、大画面ELテレビの開発も行われている。10

【0003】

従来の発光素子を有する表示装置において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ（以下、TFTと示す）が用いられている（特許文献1参照。）。

【特許文献1】特開平5-35207号公報**【発明の開示】****【発明が解決しようとする課題】****【0004】**

しかしながら、非晶質半導体膜を用いたTFTを直流駆動した場合は、しきい値がずれやすく、それに伴いTFTの特性にバラツキが生じやすい。このため、非晶質半導体膜を用いたTFTを画素のスイッチングに用いた表示装置は、輝度ムラが発生する。このような現象は、対角30インチ以上（典型的には40インチ以上）の大画面TVであるほど顕著であり、画質の低下が深刻な問題となる。20

【0005】

本発明は、このような状況に鑑みなされたものであり、少ないフォトマスク数で、しきい値のずれが生じにくく、高速動作が可能な逆スタガ型TFTを有する表示装置の作製方法を提供する。更には、少ない原料でコスト削減が可能であり、且つ歩留まりが高い表示装置の作製方法を提供する。

【課題を解決するための手段】

30

【0006】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【0007】

本発明は、結晶化を促進又は助長させる元素（以下、主に金属元素を指すことから金属元素、触媒元素ともいう）を添加し非晶質半導体膜を形成し、15族元素を有する半導体膜または希ガス元素を有する半導体膜を形成し、加熱して結晶性半導体膜を形成と、結晶性半導体膜から金属元素の除去を同時に行なった後、逆スタガ型薄膜トランジスタを形成することを要旨とする。なお、該結晶性半導体膜に15族元素を有する半導体膜を形成した場合、15族元素を有する半導体膜をソース領域及びドレイン領域として用いて、nチャネル型薄膜トランジスタを形成する。また、n型を付与する不純物元素として15族元素を有する半導体膜にp型を付与する不純物元素として13族元素を添加して、pチャネル型薄膜トランジスタを形成する。40

さらには、希ガス元素を有する半導体膜を形成した場合、加熱の後に希ガス元素を有する半導体膜を除去し、ソース領域及びドレイン領域を形成して、nチャネル型薄膜トランジスタ又はpチャネル型薄膜トランジスタを形成する。

【0008】

本発明は、薄膜トランジスタのゲート電極層と画素電極層を同工程同材料を用いて形成し、工程の簡略化と、材料のロスの軽減を達成する。また、本発明において表示装置とは、表示素子として発光素子（EL素子）を有するものであり、発光表示装置、EL表示装置ともいえる。

50

【0009】

本発明の表示装置の作製方法の一は、絶縁表面上に設けられたゲート電極層及び第1の電極層を有し、ゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上に結晶性半導体層を有し、結晶性半導体層に接して一導電型を有する半導体層を有し、一導電性を有する半導体層に接してソース電極層及びドレイン電極層を有し、ソース電極層、ドレイン電極層及び第1の電極層上に第1の絶縁層を有し、第1の絶縁層はソース電極層またはドレイン電極層に達する第1の開口部を有し、ゲート絶縁層及び第1の絶縁層は第1の電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と第1の電極層とが電気的に接続する配線層を有し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を有し、第1の電極層上に電界発光層を有し、電界発光層上に第2の電極層を有する。

10

【0010】

本発明の表示装置の作製方法の一は、絶縁表面上に設けられたゲート電極層及び第1の電極層を有し、ゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上にソース領域及びドレイン領域が設けられた結晶性半導体層を有し、ソース領域及びドレイン領域に接してソース電極層及びドレイン電極層を有し、ソース電極層、ドレイン電極層及び第1の電極層上に第1の絶縁層を有し、第1の絶縁層はソース電極層またはドレイン電極層に達する第1の開口部を有し、ゲート絶縁層及び第1の絶縁層は第1の電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と第1の電極層とが電気的に接続する配線層を有し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を有し、第1の電極層上に電界発光層を有し、電界発光層上に第2の電極層を有する。

20

【0011】

画素領域及び駆動回路領域を同一基板上有し、駆動回路領域において基板上に第1のゲート電極層及び第2のゲート電極層を有し、第1のゲート電極層及び第2のゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上に第1の結晶性半導体層及び第2の結晶性半導体層を有し、第1の結晶性半導体層に接してn型を有する半導体層を有し、第1の結晶性半導体層に接してp型を有する半導体層を有し、n型を有する半導体層に接する第1のソース電極層及び第1のドレイン電極層を有し、p型を有する半導体層に接する第2のソース電極層及び第2のドレイン電極層を有し、画素領域において基板上に第1の電極層を有し、第1の電極層上に電界発光層を有し、電界発光層上に第2の電極層を有する。

30

【0012】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターニングし、マスクを形成し、マスクを用いて導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、ゲート電極層及び前記第1の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属膜を形成し、金属膜上に半導体層を形成し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に第1の絶縁層を形成し、第1の絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び第1の絶縁層とゲート絶縁層に第1の電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び第1の電極層を電気的に接続する配線層を形成し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を形成し、第1の電極層上に電界発光層を形成し、電界発光層上に第2の電極層を形成する。

40

50

【0013】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターニングし、マスクを形成し、マスクを用いて導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、ゲート電極層及び第1の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層に金属元素を添加し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に第1の絶縁層を形成し、第1の絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び第1の絶縁層とゲート絶縁層に第1の電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び第1の電極層を電気的に接続する配線層を形成し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を形成し、第1の電極層上に電界発光層を形成し、電界発光層上に第2の電極層を形成する。10

【0014】

本発明の表示装置の作製方法の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターニングし、マスクを形成し、マスクを用いて導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、ゲート電極層及び第1の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属膜を形成し、金属膜上に半導体層を形成し、半導体層上に選択的にチャネル保護層を形成し、半導体層及びチャネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に第1の絶縁層を形成し、第1の絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び第1の絶縁層とゲート絶縁層に第1の電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び第1の電極層を電気的に接続する配線層を形成し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を形成し、第1の電極層上に電界発光層を形成し、電界発光層上に第2の電極層を形成する。20

【0015】

本発明の表示装置の一は、絶縁表面上に導電層を形成し、導電層上にレジストを形成し、レジストをレーザ光で露光してパターニングし、マスクを形成し、マスクを用いて導電層をパターニングし、ゲート電極層及び第1の電極層を形成し、ゲート電極層及び第1の電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層上に選択的にチャネル保護層を形成し、半導体層及びチャネル保護層に金属元素を添加し、半導体層及びチャネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に第1の絶縁層を形成し、第1の絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び第1の絶縁層とゲート絶縁層に第1の電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び第1の電極層を電気的に接続する配線層を形成し、第1の電極層の一部、及び配線層を覆う第2の絶縁層を形成し、第1の電極層上に電界発光層を形成し、電界発光層上に第2の電極層を形成する。40

【発明の効果】

【0016】

本発明により、少ないフォトマスク数で、結晶性半導体膜で形成される逆スタガ型TFT

50

Tを形成することができる。本発明の逆スタガ型TFTは、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための金属触媒のゲッタリング工程とを同時に使うことが可能であるため、工程数の削減が可能である。特に、加熱処理数を削減できるため、省エネルギー化が可能であり、また、スループットを向上させることができる。

【0017】

また、本発明の逆スタガ型TFTは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、結晶化工程、ゲッタリング工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いTFTを形成することが可能である。また、本発明の発光素子を有する表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることができるものである。10

【0018】

結晶性半導体膜で形成されるTFTは、非晶質半導体膜で形成される逆スタガ型TFTと比較して数10～50倍程度、移動度が高い。また、ソース領域及びドレイン領域には、アクセプター型元素又はドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な発光素子を有する表示装置を作製することができる。

【0019】

また、発光素子を有する表示装置の周辺部に、画素領域内のTFTと同時に走査線駆動回路を形成することが可能である。このため、小型化された表示装置を作製することができる。20

【0020】

また、非晶質半導体膜で形成されるTFTと比較して、しきい値のずれが生じにくく、TFT特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるTFTをスイッチング素子として用いた発光素子を有する表示装置と比較して、表示ムラを低減することが可能である。

【0021】

更には、結晶化工程と共に行われるゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能であり、代表的には6桁以上のON/OFF比を有するTFTを形成することが可能である。このようなTFTを有する表示装置のスイッチング素子に設けることにより、コントラストを向上させることができる。30

【0022】

さらには、上記の作製工程により形成された発光素子を有する表示装置を備えるテレビジョン(EL(エレクトロルミネッセンス)テレビジョンと示す。)を、スループットや歩留まりを向上させることができ、低成本で作製することができる。

【発明を実施するための最良の形態】

【0023】

(実施の形態1)

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。40

【0024】

図28(A)は本発明に係る表示パネルの構成を示す上面図であり、絶縁表面を有する基板2700上に画素2702をマトリクス上に配列させた画素部2701、走査線側入力端子2703、信号線側入力端子2704が形成されている。画素数は種々の規格に従って設ければ良く、XGAであれば $1024 \times 768 \times 3$ (RGB)、UXGAであれば50

$1600 \times 1200 \times 3$ (RGB)、フルスペックハイビジョンに対応させるのであれば
 $1920 \times 1080 \times 3$ (RGB) とすれば良い。

【0025】

画素 2702 は、走査線側入力端子 2703 から延在する走査線と、信号線側入力端子 2704 から延在する信号線とが交差することで、マトリクス状に配設される。画素 2702 のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例は TFT であり、TFT のゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

【0026】

10

図 28 (A) は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する表示パネルの構成を示しているが、図 29 (A) に示すように、COG (Chip on Glass) 方式によりドライバIC 2751 を基板 2700 上に実装しても良い。また他の実装形態として、図 29 (B) に示すような TAB (Tape Automated Bonding) 方式を用いてもよい。ドライバIC は単結晶半導体基板に形成されたものでも良いし、ガラス基板上に TFT で回路を形成したものであっても良い。図 29において、ドライバIC 2751 は、FPC 2750 と接続している。

【0027】

また、画素に設ける TFT を SAS で形成する場合には、図 28 (B) に示すように走査線側駆動回路 3702 を基板 3700 上に形成し一体化することもできる。図 29 (B) において、3701 は画素部であり、信号線側駆動回路は、図 28 (A) と同様に外付けの駆動回路により制御する。画素に設ける TFT を移動度の高い、多結晶 (微結晶) 半導体、単結晶半導体などで形成する場合は、図 28 (C) は、走査線駆動回路 4702 と、信号線駆動回路 4704 をガラス基板 4700 上に一体形成することもできる。

20

【0028】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンに形成するためのマスク層など表示パネルを作製するために必要な物体 (その目的や機能に応じて膜や層などあらゆる形態で存在する) のうち、少なくとも一つ若しくはそれ以上を、選択的に所望な形状にを形成可能な方法により形成して、表示装置を作製することを特徴とするものである。本発明は、薄膜トランジスタや表示装置を構成する、ゲート電極層、ソース電極層、ドレイン電極層などの導電層、半導体層、マスク層、絶縁膜など、所定の形状を有して形成される全ての構成要素に対して適用できる。

30

【0029】

本実施の形態は、レジストを基板全面に塗布形成しプリベークを行なった後、マスクパターンを介して紫外線等を照射し、現像によってレジストパターンを形成するというフォトリソ工程によりマスクを形成する方法を用いている。該レジストパターンをマスクパターンとしてパターンを形成するべき部分に存在する膜をエッティング除去することにより、所望のパターンを形成する。

【0030】

40

本発明では、形成物のパーニング工程において感光性のレジストや感光性物質を含む材料に光を照射し、露光する工程を行う。露光に用いる光は、特に限定されず、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。例えば、紫外線ランプ、ブラックライト、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いてもよい。その場合、ランプ光源は、必要な時間点灯させて照射してもよいし、複数回照射してもよい。

【0031】

露光に用いる光源にレーザ発振器を用いてもよい。レーザ発振器としては、紫外光、可視光、又は赤外光を発振することが可能なレーザ発振器を用いることができる。レーザ発振器としては、KrF、ArF、KrF、XeCl、Xe 等のエキシマレーザ発振器、

50

H e、H e - C d、A r、H e - N e、H F 等の気体レーザ発振器、Y A G、G d V O₄、Y V O₄、Y L F、Y A l O₃などの結晶にC r、N d、E r、H o、C e、C o、T i 又はT mをドープした結晶を使った固体レーザー発振器、G a N、G a A s、G a A l A s、I n G a A s P 等の半導体レーザ発振器を用いることができる。なお、固体レーザ発振器においては、基本波の第1高調波～第5高調波を適用するのが好ましい。

【0032】

感光性物質には大きくわけてネガ型とポジ型がある。ネガ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分のみが残されてパターンが形成される。また、ポジ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分が溶解され、露光されなかった部分のみが残されてパターンが形成される。必要に応じてネガ型とポジ型を使い分けるとよい。10

【0033】

本実施の形態では、露光は基板表面から行っているが、必要に応じて基板裏面から露光を行ってもよい。

【0034】

本発明の実施の形態について、図1乃至図6、図8を用いて説明する。より詳しくは、本発明を適用した表示装置の作製方法について説明する。まず、本発明を適用した、チャネルエッチ型の薄膜トランジスタを有する表示装置の作製方法について説明する。図2～図6（A）は表示装置画素部の上面図であり、図2～図6の（B）は、図2～図6（A）における線A-Cによる断面図、図2～図6の（C）は、図2～図6（A）における線B-Dによる断面図である。20

【0035】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板100の表面が平坦化されるようにCMP法などによって、研磨しても良い。なお、基板100上に、絶縁層を形成してもよい。絶縁層は、CVD法、プラズマCVD法、スピッタリング法、スピント法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成される。この絶縁層は、形成しなくても良いが、基板100からの汚染物質などを遮断する効果がある。基板100として、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mmのような大面積基板を用いることができる。30

【0036】

基板100上に導電膜101を形成する。導電膜101は、パターニングされゲート電極層と画素電極層となる。導電膜101は、印刷法、電界メッキ法、PVD法（Physical Vapor Deposition）、CVD法（Chemical Vapor Deposition）、蒸着法等の公知の手法により高融点材料を用いて形成することが好ましい。高融点材料を用いることにより、後の加熱工程が可能となる。高融点材料としては、タンゲステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、白金（Pt）等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成しても良い。代表的には、基板表面に窒化タンタル膜、その上にタンゲステン膜を積層してもよい。このような反射性を有する金属は、反射型の表示パネルを作製する場合には好ましい。また、珪素に一導電型を付与する不純物元素を添加した材料を用いても良い。例えば、非晶質珪素膜にリン（P）などのn型を付与する不純物元素が含まれたn型を有する珪素膜などを用いることができる。40

【0037】

導電膜101は、画素電極層としても機能するので、透明導電性材料を用いて形成することもできる。画素電極層は、透過型の表示パネルを作製する場合には、インジウム錫
50

酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などにより形成してもよい。好ましくは、スパッタリング法によりインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)などで形成する。より好ましくは、ITOに酸化珪素が2~10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含み酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した酸化インジウム酸化亜鉛合金などの導電性材料を用いても良い。

【0038】

本実施の形態では、導電膜101は、導電性材料としてインジウム錫酸化物(ITO)をスパッタリング法により形成し、550℃で焼成して導電膜101を形成する。また、電極層となる導電膜101は、複数の導電性材料を積層しても良い。
10

【0039】

導電膜101上にフォトリソ工程を用いてレジストからなるマスク102a、マスク102bを形成する。(図2参照。)。

【0040】

マスクは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。また導電膜101に感光性を有する感光性物質を含む導電性材料を用いると、レジストからなるマスクを形成しなくても導電膜101に直接レーザ光を照射し、露光、エッチャントによる除去を行うことで、所望のパターンにパターニングすることができる。この場合、マスクを形成せずともよいので工程が簡略化する利点がある。感光性物質を含む導電性材料は、Ag、Au、Cu、Ni、Al、Ptなどの金属或いは合金と、有機高分子樹脂、光重合開始剤、光重合单量体、または溶剤などからなる感光性樹脂とを含んだものを用いればよい。有機高分子樹脂としては、ノボラック樹脂、アクリル系コポリマー、メタクリル系コポリマー、セルローズ誘導体、環化ゴム系樹脂などを用いる。
20

【0041】

このように微細に加工されたマスク102a、マスク102bを用いて導電膜101をパターニングし、ゲート電極層103、ゲート電極層104、及び画素電極層となる第1の電極層120を形成する(図3参照。)。
30

【0042】

次に、ゲート電極層103、ゲート電極層104、画素電極層120の上にゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105cを形成し3層の積層構造とする。半導体層に接するゲート絶縁膜105cの膜厚は、0.1nm以上10nm以下(好ましくは1nm以上3nm以下)とすることが望ましい。このような構造であると、半導体層中の金属元素のゲッタリング効率も上がり、かつ半導体層への窒化珪素膜の悪影響も軽減できる。また積層される絶縁膜は、同チャンバー内で真空を破らずに同一温度下で、反応ガスを切り変えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。
40

【0043】

ゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105cは、酸化珪素(SiO_x)、窒化珪素(SiNx)、酸化窒化珪素(SiO_xNy)(x>y)、窒化酸化珪素(SiN_xOy)(x>y)などを適宜用いることができる。更には、ゲート電極層103を陽極酸化して、ゲート絶縁膜105aの代わりに、陽極酸化膜を形成しても良い。なお、基板側から不純物などの拡散を防止するため、ゲート絶縁膜105aとしては、窒化珪素(SiNx)、窒化酸化珪素(SiN_xOy)(x>y)などを用いて形成することが好ましい。また、ゲート絶縁膜105bとしては、酸化珪素(SiO_x)、酸化窒化珪素(SiO_xNy)(x>y)を用いて形成することが望ましい。なお、ゲート絶縁膜105cとしては、酸化珪素(SiO_x)、酸化窒化珪素(SiO_xNy)(x>y)を用いて形成することが望ましい。
50

縁膜 105b には、水素が含まれている。また、ゲート絶縁膜 105c としては窒化珪素膜 (SiNx)、あるいは窒化酸化珪素膜 (SiN_xOy) (x > y)などを用いて形成することが好ましい。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。本実施の形態では、SiH₄、NH₃を反応ガスとして窒化珪素膜を膜厚 50 nm ~ 140 nm でゲート絶縁膜 105a を形成し、SiH₄及びN₂Oを反応ガスとして酸化珪素膜を膜厚 100 nm でゲート絶縁膜 105b を積層した後、SiH₄、NH₃を反応ガスとして窒化珪素膜を膜厚 1 nm ~ 3 nm でゲート絶縁膜 105c を形成する。なお、ゲート絶縁膜 105a 及びゲート絶縁膜 105b の膜厚をそれぞれ 50 nm ~ 100 nm とすると好ましい。また、ゲート絶縁膜 105c はその形成条件によっては膜厚は極薄であり、膜として形態を保っていなくてもよい。

【0044】

次に半導体膜を形成する。半導体層の詳細な作製方法を図 8 を用いて説明する。半導体膜は 25 ~ 200 nm (好ましくは 30 ~ 150 nm) の厚さで公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜すればよい。本実施の形態では、非晶質半導体膜を結晶化し、結晶性半導体膜とするものを用いるのが好ましい。

【0045】

半導体膜を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質半導体 (以下「アモルファス半導体 : AS」ともいう。)、該非晶質半導体を熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス (微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。) 半導体などを用いることができる。

【0046】

SAS は、非晶質と結晶構造 (単結晶、多結晶を含む) の中間的な構造を有し、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5 ~ 20 nm の結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm⁻¹ よりも低波数側にシフトしている。X 線回折では珪素結晶格子に由来するとされる (111)、(220) の回折ピークが観測される。未結合手 (ダンギングボンド) の中和剤として水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませている。SAS は、珪化物気体をグロー放電分解 (プラズマ CVD) して形成する。珪化物気体としては、SiH₄、その他にも Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることが可能である。また F₂、GeF₄を混合させても良い。この珪化物気体を H₂、又は、H₂ と He、Ar、Kr、Ne から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は 2 ~ 1000 倍の範囲、圧力は概略 0.1 Pa ~ 133 Pa の範囲、電源周波数は 1 MHz ~ 120 MHz、好ましくは 13 MHz ~ 60 MHz である。基板加熱温度は 300 以下が好ましく、100 ~ 200 の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は 1 × 10²⁰ cm⁻³ 以下とすることが望ましく、特に、酸素濃度は 5 × 10¹⁹ cm⁻³ 以下、好ましくは 1 × 10¹⁹ cm⁻³ 以下となるようにすることが好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好な SAS が得られる。また半導体膜としてフッ素系ガスより形成される SAS 層に水素系ガスより形成される SAS 層を積層してもよい。

【0047】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためにには、図 8 に示す非晶質半導体膜 404 膜中に含まれる酸素、窒素などの不純物濃度を 5 × 10¹⁸/cm³ (以下、濃度はすべて二次イオン質量分析法 (SIMS) にて測定した原子濃度として示す。) 以下に低減させておくと良い。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させ

10

20

30

40

50

る要因となる。

【0048】

本実施の形態では、非晶質半導体膜、又はS A S膜に結晶化を助長する元素を用いた熱結晶化法を用いる。加熱方法としてG R T A (Gas Rapid Thermal Anneal) 法、L R T A (Lamp Rapid Thermal Anneal) 法等のR T A法がある。

【0049】

非晶質半導体膜への金属元素の導入の仕方としては、当該金属元素を非晶質半導体膜の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、C V D法、プラズマ処理法（プラズマC V D法も含む）、吸着法、金属塩の溶液を塗布する方法、イオン注入法、イオンドーピング法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき金属元素膜を形成する下地膜の表面のぬれ性を改善し、下地膜の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのU V光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。10

【0050】

本実施の形態では、ゲート絶縁膜105c上に、結晶化を助長する元素としてNiを用い、N i元素を重量換算で10 p p mを含有した水溶液をスピノコーティング法により塗布し、金属膜403を形成する（図8（A）参照。）。結晶化を助長する元素としては、この珪素の結晶化を助長する金属元素としては鉄（F e）、ニッケル（N i）、チタン（T i）コバルト（C o）、ルテニウム（R u）、ロジウム（R h）、パラジウム（P d）、オスニウム（O s）、イリジウム（I r）、白金（P t）、銅（C u）及び金（A u）から選ばれた一種又は複数種類を用いて、金属膜403を形成することができる。金属膜403はその形成条件によっては膜厚が極薄であり、膜として形態を保っていなくてもよい。結晶化を助長させる効果が得られるように、後の工程で形成する非晶質半導体膜404に接して形成されればよい。20

【0051】

金属膜403上に非晶質半導体膜404を形成する。非晶質半導体膜404としては、S i H₄、H₂の反応ガスにより形成する非晶質珪素を用いる。本実施の形態では、非晶質半導体膜404中の酸素濃度を 5×10^{19} atom / cm³以下、好ましくは 2×10^{19} atom / cm³以下で形成することにより、金属元素として添加したNiがゲッタリングしやすくなる。非晶質半導体膜404の膜厚は30 nm ~ 150 nmが好ましい。本実施の形態では、非晶質半導体膜404を150 nm形成する。30

【0052】

金属元素を用いた結晶化を行った場合、金属元素を低減、又は除去するためにゲッタリング工程を施す。金属膜403の金属元素が非晶質半導体膜404中に拡散し結晶化に寄与した後、金属元素を吸い込み自らに取り込む層として半導体膜を、非晶質半導体膜404に接して形成する。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして金属元素を捕獲する。

【0053】

非晶質半導体膜404上にプラズマC V D法を用いて、半導体膜405a、半導体膜405bを形成する。半導体膜405a、半導体膜405bは不純物元素を有しており、不純物元素としてはn型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン（P）、窒素（N）、ヒ素（A s）、アンチモン（S b）、ビスマス（B i）、ヘリウム（H e）、ネオン（N e）、アルゴン（A r）、K r（クリプトン）、X e（キセノン）から選ばれた一種または複数種を用いることができる。n型を付与する不純物元素を含むn型を有する半導体膜に、アルゴンなどの希ガス元素が含まれるように形成することもできる。本実施の形態では、半導体膜405aを半導体膜405bには、n型を付与する不純物元素（本実施の形態ではリンを用いる）が含まれており、半導体膜405aの不純物元素の濃度は、半導体膜405bより低くなるように形成されている。前記不純物元素は、C V D法などによって、不純物元素を含むように半導体膜を形成しても良いし、4050

半導体膜を形成後に、イオンドーピング法などによって添加してもよい。また、本実施の形態において、非晶質半導体膜404、半導体膜405a、半導体膜405bは、同チャンバー内で真空を破らずに同一温度（本実施の形態では330）下で、反応ガスを切り変えながら連続的に形成する。非晶質半導体膜404を成膜後、半導体膜405a、半導体膜405bを形成する。

【0054】

このときのn型を付与する不純物元素が含まれる半導体膜の不純物のプロファイルを図37に示す。図37(A)は、結晶性半導体膜903上に、プラズマCVD法によりn型を付与する不純物元素が含まれる半導体膜901a、901bを形成した時のn型を付与する不純物元素のプロファイル900aを示す。半導体膜901a、半導体膜901bは、半導体膜405a、半導体膜405bと対応しており、半導体膜901aはn型の低濃度不純物領域（n-領域ともいう）として形成され、半導体膜901bはn型の高濃度不純物領域（n+領域ともいう）として形成されている。よって半導体膜901a、半導体膜901bのそれぞれの膜において深さ方向に対して一定の濃度のn型を付与する不純物元素が分布しており、半導体膜901aの方が、半導体膜901bより低い濃度でn型を付与する不純物元素が分布している。n+領域である半導体膜901bは後にソース領域及びドレイン領域として機能し、n-領域である半導体膜901aはLDD（Lightly Doped Drain）領域として機能する。なお、n+領域とn-領域はそれぞれ作り分けているので界面が存在する。n+領域とn-領域の膜厚制御は、それぞれ各濃度の半導体膜の膜厚を制御することによって達成できる。

【0055】

図37(A)で形成した半導体膜901a及び半導体膜901bにp型を付与する不純物元素としてボロンをイオンドープ法又はイオン注入法によって添加して半導体膜911を形成した時のp型を付与する不純物元素のプロファイル913を図38(A)に示す。p型を付与する不純物元素の濃度の方が、n型を付与する不純物元素の濃度より高く、半導体膜911はp型のを有する半導体膜となっているのがわかる。また、p型を付与する不純物元素は、チャネルドープされるため、結晶性半導体膜903にも添加されている。図38(A)に示すように、半導体膜911の表面付近は、p型を付与する不純物元素濃度が比較的が高いp型の不純物領域（p+領域ともいう）912bとなっており、一方、結晶性半導体膜903に近づくにつれ、p型を付与する不純物元素濃度が比較的減少しておりp型の低濃度不純物領域（p-領域ともいう）912aとなっている。

【0056】

一方、図37(B)は、結晶性半導体膜903上に、非晶質半導体、SAS、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にn型を付与する不純物元素を添加して半導体膜902を形成した時のn型を付与する不純物元素のプロファイル900bを示す。図37(B)に示すように、半導体膜902の表面付近は、n型を付与する不純物元素濃度が比較的が高い。n型を付与する不純物元素濃度が $1 \times 10^{19} / cm^3$ 以上の領域をn型の高濃度不純物領域（n+領域ともいう）904bと示す。一方、結晶性半導体膜903に近づくにつれ、n型を付与する不純物元素濃度が比較的減少している。n型を付与する不純物元素濃度が $5 \times 10^{17} \sim 1 \times 10^{19} / cm^3$ の領域をn型の低濃度不純物領域（n-領域ともいう）904aと示す。n+領域904bは後にソース領域及びドレイン領域として機能し、n-領域904aはLDD領域として機能する。なお、n+領域とn-領域それぞれの界面は存在せず、相対的なn型を付与する不純物元素濃度の濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたn型を付与する不純物元素が含まれる半導体膜902は、添加条件によって濃度プロファイルを制御することが可能であり、n+領域とn-領域の膜厚を適宜制御することが可能である。n+領域とn-領域を有することにより電界の緩和効果が大きくなり、ホットキャリア耐性を高めた薄膜トランジスタを形成することが可能となる。

【0057】

10

20

30

40

50

図37(B)で形成した半導体膜902にp型を付与する不純物元素としてボロンをイオンドープ法又はイオン注入法によって添加して半導体膜921を形成した時のp型を付与する不純物元素のプロファイル923を図38(B)に示す。p型を付与する不純物元素の濃度の方が、n型を付与する不純物元素の濃度より高く、半導体膜921はp型を有する半導体膜(p型の不純物領域を有する半導体膜ともいえる)となっているのがわかる。また、p型を付与する不純物元素は、チャネルドープされるため、結晶性半導体膜903にも添加されている。図38(B)に示すように、半導体膜921の表面付近は、p型を付与する不純物元素濃度が比較的が高いp型の不純物領域(p+領域ともいう)922bとなっており、一方、結晶性半導体膜903に近づくにつれ、p型を付与する不純物元素濃度が比較的減少しておりp型の低濃度不純物領域(p-領域ともいう)922aとなっている。また、n型を付与する不純物元素の添加工程で、その添加条件によって、膜表面の不純物元素濃度が高くなっている場合がある。このような場合は、膜表面を薄くエッチングし、高不純物元素濃度領域の膜を除去してから、p型を付与する不純物元素を添加する工程を行えばよい。

【0058】

本実施の形態では、半導体膜405a、半導体膜405bとして、n型を付与する不純物元素(ドナー型元素)であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、半導体膜405a、半導体膜405bに含まれるn型を付与する不純物元素の濃度を異ならせているので、半導体膜405aはn型の低濃度不純物領域となり、半導体膜405bはn型の高濃度不純物領域となっている。n型の低濃度不純物領域の不純物濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ 、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 、n型の高濃度不純物領域の不純物濃度は、その10倍から100倍が好ましく、 $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ とすることができます。またn型の低濃度不純物領域である半導体膜405aの膜厚は20~200nm、代表的には50~150nmであり、本実施の形態では、膜厚50nmで形成する。n型の高濃度不純物領域である半導体膜405bの膜厚は30~100nm、代表的には40~60nmであり、本実施の形態では、膜厚50nmで形成する。

【0059】

その後、熱処理を行い、非晶質半導体膜を結晶化して結晶性半導体膜406の形成と、結晶性半導体膜406中の金属元素を低減、又は除去するためにゲッタリング工程を同時に行なう。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。ここでは、脱水素化のための熱処理の後、結晶化とゲッタリング工程のための熱処理(550~650で5分~24時間)を行う。また、RTA、GRTAにより結晶化とゲッタリング工程を行っても良い。ここで、加熱にレーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成される TFT のばらつきを抑制することが可能である。又、本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜406に接して形成しているため、金属元素は、図8(C)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜405a、半導体膜405b中に捕獲される。半導体膜405a、半導体膜405bは金属元素を含む半導体膜408a、半導体膜408bとなる。本実施の形態では半導体膜408a、半導体膜408bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。この工程により、結晶性半導体膜406中の結晶化を促進させる元素(本実施の形態ではニッケル元素)がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができます。また、ゲッタリング後の金属触媒が移動した半導体膜408a、半導体膜408bも加熱処理により結晶化される場合がある。なお、本実施の形態においては、ゲッタリング工程と共に、半導体膜408a、半導体膜408b中のn型を付与する不純物元素(ドナー型元素)の活性化を行っている。熱処理は窒素雰囲気下で行ってもよい。また、本実施の形態では、熱処理を550で4時間行うが、熱処理をRTA法により650で6分間で行ってもよい。

10

20

30

40

50

【0060】

このようにして得られた結晶性半導体膜406に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物元素のドーピングは、結晶化工程の前の非晶質半導体膜に行ってもよいし、結晶性半導体膜406中の金属元素をゲッタリング工程によって軽減、除去した後行ってもよい。本実施の形態ではジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行いうイオン注入法を用いてもよい。非晶質半導体膜の状態で不純物元素をドーピングすると、その後の結晶化のための加熱処理によって、不純物の活性化も行うことができる。また、ドーピングの際に生じる欠陥等も改善することができる。

10

【0061】

次に結晶性半導体膜406、半導体膜408a、半導体膜408b上にフォトリソ工程を用いてレジストからなるマスクを形成し、微細に加工されたマスクを用いて結晶性半導体膜406、半導体膜408a、半導体膜408bをパターニングし、結晶性半導体層106、半導体層108、半導体層110、を形成する（図4参照。）。同様に、結晶性半導体層107、半導体層109、半導体層111を形成する。フォトマスクはマスク102aを形成したときと同様にフォトリソ工程によって微細なパターンのマスクを形成すればよい。微細なパターンのマスクによって半導体膜は微細かつ精巧に所望な形状にパターンングすることができる。

【0062】

20

パターニングの際のエッチング加工は、プラズマエッチング（ドライエッチング）又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 などのフッ素系又は Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、あるいは O_2 のガスを用い、 He や Ar などの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0063】

なお、以下の実施形態及び実施例のフォトリソグラフィ工程において、レジストを塗布する前に、半導体膜表面に、膜厚が数nm程度の絶縁膜を形成することが好ましい。この工程により半導体膜とレジストとが直接接触すること回避することが可能であり、不純物が半導体膜中に侵入するのを防止できる。なお、絶縁膜の形成方法としては、オゾン水等の酸化力のある溶液を塗布する方法、酸素プラズマ、オゾンプラズマを照射する方法等が挙げられる。

30

【0064】

次に導電膜をスパッタリング法により形成し、導電膜上にフォトリソ工程を用いてレジストからなるマスクを形成する。マスクを用いて、ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層113、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115を形成し、該ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層113、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115をマスクとして、半導体層106、n型を有する半導体層108及びn型を有する半導体層110、半導体層107、n型を有する半導体層109及びn型を有する半導体層111をパターン加工して、半導体層146、n型を有する半導体層148b及びn型を有する半導体層150b、半導体層147、n型を有する半導体層149a、n型を有する半導体層149b、n型を有する半導体層151a、n型を有する半導体層151bを形成する（図5参照。）。ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層113、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115を形成する工程も、前述したゲート電極層103とを形成したときと同様に形成することができる。ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層114は配線層としても機能する。

40

50

【0065】

ソース電極層又はドレイン電極層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等を主成分とした金属を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0066】

ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層113、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115は、微細なパターンで形成されており、制御性よく形成しなければ形成不良によるショート等の不良を引き起こす。よって、本実施の形態では、半導体層上の微細なパターニングはフォトマスクを作製し、フォトリソグラフィ法を用いたパターニング処理により行う。図4で示すように、基板上にゲート電極層、ゲート絶縁膜、半導体層、n型を有する半導体層が形成されており、これらを覆うように導電膜を全面に形成する。導電膜は蒸着法、CVD法、スパッタ法などによって形成することができる。その後、レジストからなるマスクを形成する。レジストからなるマスクに、光を照射し、露光することによってを感光を行なう。本実施の形態ではポジ型の感光性のレジストを用いるため、露光された領域はエッチングによって除去され、開口部が形成される。開口部を有するマスクを用いて導電膜をエッチングによりパターニングすることによって、ソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層113、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115が形成される。

10

【0067】

ソース電極層又はドレイン電極層、半導体層、ゲート電極層、ゲート絶縁膜を覆うようにパッシベーション膜となる絶縁膜140を成膜することが好ましい。絶縁膜140は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイアモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、半導体層146、半導体層147の界面特性から酸化珪素、又は酸化窒化珪素を形成したのち、外部からの不純物が半導体素子内に侵入するのを防ぐため窒化珪素、又は窒化酸化珪素を形成する積層構造が好ましい。本実施の形態では、半導体層146、半導体層147に接して、酸化珪素膜を膜厚150nm形成した後、同チャンバー内でガス切り替えを行い連続的に窒化珪素膜を膜厚200nm形成する積層構造で絶縁膜140を形成する。

20

【0068】

この後半導体層146、半導体層147を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、絶縁膜140として水素を含む絶縁膜を形成することが好ましい。

30

【0069】

次に、絶縁膜116を形成する。本実施の形態では、絶縁膜110を全面に形成し、レジスト等のマスクによって、エッチングしパターニングする。

40

【0070】

絶縁膜110は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、ダイアモンドライクカーボン(DLC)、窒素含有炭素膜(CN)その他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)、ベンゾシクロブテン、ポリシラザンなどの有機絶縁性材料、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド

50

等の感光性、非感光性の材料を用いて形成してもよい。

【0071】

本実施の形態では、絶縁膜116の材料としては、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に水素、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いた塗布膜を用いる。焼成した後の膜は、アルキル基を含む酸化珪素膜(SiO_x)とも呼べる。

【0072】

絶縁膜140及び絶縁膜116にソース電極層又はドレイン電極層113に達する開口部136と、ソース電極層又はドレイン電極層115に達する開口部138、ゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105c、絶縁膜140、絶縁膜116、だ第1の電極層120に達する開口部139、ゲート電極層103に達する開口部135、ゲート電極層104に達する開口部137を形成する。この開口部もレジストからなるマスクを用いてエッチングし形成する。パターニングに用いるマスクは、フォトリソ工程を用いて形成する。このようにして形成した開口部138及び開口部139に配線層119を形成し、ソース電極層又はドレイン電極層115と第1の電極層120とを電気的に接続する。また、開口部136及び開口部137に配線層118を形成し、ソース電極層又はドレイン電極層113とゲート電極層104とを電気的に接続する。また、開口部135にもゲート電極層103と電気的に接続するようにゲート配線層117を形成する。ゲート配線層117を低抵抗な材料によって形成することで、ゲート電極層103が多少高抵抗の材料であっても、高速動作が可能となり、大きな電流も流すことができる。

【0073】

以上の工程により、基板100上にボトムゲート型(逆スタガ型ともいう。)の薄膜トランジスタと画素電極が接続された表示パネル用のTFT基板が完成する。また本実施の形態の薄膜トランジスタはチャネルエッチ型である。

【0074】

次に、絶縁層121(隔壁、土手とも呼ばれる)を選択的に形成する。絶縁層121は、第1の電極層120上に開口部を有するように形成し、配線層119を覆って形成する。本実施の形態では、絶縁層121を全面に形成し、レジスト等のマスクによって、エッチングしパターニングする。

【0075】

絶縁層121は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。絶縁層121は曲率半径が連続的に変化する形状が好ましく、上に形成される電界発光層122、第2の電極層123の被覆性が向上する。

【0076】

薄膜トランジスタに電気的に接続するように、発光素子を形成する(図1参照。)。

【0077】

電界発光層122を形成する前に、大気圧中で200の熱処理を行い第1の電極層120、絶縁層121中若しくはその表面に吸着している水分を除去する。また、減圧下で200~400、好ましくは250~350に熱処理を行い、そのまま大気に晒さずに電界発光層122を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0078】

電界発光層122として、赤色(R)、緑色(G)、青色(B)の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色(R)、緑色(G)

10

20

30

40

50

G)、青色(B)の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき(低分子または高分子材料など)、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。電界発光層122上に第2の電極層123を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する。

【0079】

図示しないが、第2の電極層123を覆うようにしてパッシベーション膜を設けることは有効である。表示装置を構成する際に設ける保護膜は、単層構造でも多層構造でもよい。パッシベーション膜としては、窒化珪素(SiN)、酸化珪素(SiO₂)、酸化窒化珪素(SiON)、窒化酸化珪素(SiNO)、窒化アルミニウム(AlN)、酸化窒化アルミニウム(AlON)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム(AlNO)または酸化アルミニウム、ダイアモンドライクカーボン(DLC)、窒素含有炭素膜(CNx)を含む絶縁膜からなり、絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜(CNx)＼窒化珪素(SiN)のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。

【0080】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。DLC膜は、プラズマCVD法(代表的には、RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴(ECR)CVD法、熱フィラメントCVD法など)、燃焼炎法、スペッタ法、イオンビーム蒸着法、レーザ蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス(例えばCH₄、C₂H₂、C₆H₆など)とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、CN膜は反応ガスとしてC₂H₄ガスとN₂ガスとを用いて形成すればよい。DLC膜は酸素に対するプロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

【0081】

続いて、シール材を形成し、封止基板を用いて封止する。その後、ゲート電極層103と電気的に接続して形成されるゲート配線層に、フレキシブル配線基板を接続し、外部との電気的な接続をしても良い。これは、ソース配線層でもあるソース電極層又はドレイン電極層112、ソース電極層又はドレイン電極層114と電気的に接続して形成されるソース配線層も同様である。

【0082】

続いて、異方性導電体層を介して、表示装置内の配線層が電気的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担い、FPC(Flexible printed circuit)などを用いることができる。上記工程を経て、チャネルエッチ型のスイッチング用TFT、駆動TFTと容量素子を含む表示パネルが完成する。容量素子は、ソース電極層又はドレイン電極層114とゲート絶縁層105a、ゲート絶縁層105bとゲート電極層104とで形成される。

【0083】

表示装置内の配線層とFPCは端子電極層を用いて接続され、端子電極層はゲート電極層と同材料及び同工程、ソース電極層及びドレイン電極層を兼ねるソース配線層と同材料及び同工程、ゲート配線層と同材料同工程で、それぞれ作製することができる。FPCと表示装置内の配線層との接続例を図42を用いて説明する。

【0084】

図42において、基板1上に薄膜トランジスタ9及び発光素子が設けられた第1の電

10

20

30

40

50

極層 6 が形成され、シール材 3 で対向基板 8 と張り合わされている。表示装置内から延長してシール材外部に形成される配線層と F P C 2 b 及び F P C 2 a は異方性導電膜 7 a 、異方性導電膜 7 b によって接着されている。

【 0 0 8 5 】

図 4 2 (A 1)、(B 1)、(C 1)は表示装置の上面図であり、図 4 2 (A 2)、(B 2)、(C 2)は図 4 2 (A 1)、(B 1)、(C 1)における線 O - P 、線 R - Q の断面図である。図 4 2 (A 1)、(A 2)において、端子電極層 5 a 及び端子電極層 5 b はゲート電極層と同材料同工程で形成されている。端子電極層 5 a にシール材外部に延長して形成されたソース配線層 4 a が接続され、端子電極層 5 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。一方端子電極層 5 b にシール材外部に延長して形成されたゲート配線層 4 b が接続され、端子電極層 5 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。10

【 0 0 8 6 】

図 4 2 (B 1)、(B 2)において、端子電極層 5 5 a 及び端子電極層 5 5 b はソース配線層と同材料同工程で形成されている。端子電極層 5 5 a はシール材外部に延長して形成されたソース配線層で形成され、端子電極層 5 5 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。一方、端子電極層 5 5 b にシール材外部に延長して形成されたゲート配線層 5 4 b が接続され、端子電極層 5 5 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。20

【 0 0 8 7 】

図 4 2 (C 1)、(C 2)において、端子電極層 6 4 a 及び端子電極層 6 4 b はゲート配線層と同材料同工程で形成されている。シール材外部に延長して形成されたソース配線層 6 5 a に端子電極層 6 4 a が接続され、端子電極層 6 4 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。一方、端子電極層 6 4 b はシール材外部に延長して形成されたゲート配線層で形成され、端子電極層 6 4 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。20

【 0 0 8 8 】

本実施の形態では、スイッチング T F T はシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。

【 0 0 8 9 】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度 (2 ~ 5 0 c m² / V s e c 程度) が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。30

【 0 0 9 0 】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。40

【 0 0 9 1 】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このような T F T を表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【 0 0 9 2 】

また、非晶質半導体膜の結晶化とゲッタリング工程を同時に行うことにより、工程の短縮化が可能である。

【 0 0 9 3 】

(実施の形態 2)

本発明の実施の形態について、図9を用いて説明する。本実施の形態は、実施の形態1において、金属膜の形成箇所が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0094】

基板700上にゲート電極層701を形成し、ゲート電極層701を覆うようにゲート絶縁膜702a、ゲート絶縁膜702b及び、ゲート絶縁膜702cを形成する。ゲート絶縁膜702c上に非晶質半導体膜703を形成し、結晶化を助長する元素を有する金属膜704を形成する(図9(A)参照。)。次に、金属膜704上に不純物を有する半導体膜705a、半導体膜705bを形成する(図9(B)参照)。本実施の形態では、半導体膜705a、半導体膜705bとして、n型を付与する不純物元素(ドナー型元素)であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、半導体膜705aは低濃度不純物を付与しており後にLDD領域として機能し、半導体膜705bは高濃度不純物を付与しており後にソース領域及びドレイン領域として機能する。

【0095】

その後、熱処理により、非晶質半導体膜703を結晶化して結晶性半導体膜706の形成と、結晶性半導体膜706中の金属元素を低減、又は除去するためにゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜706に接して形成しているため、加熱処理により金属元素は、図9(C)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜705a、半導体膜705b中に捕獲される。半導体膜705a、半導体膜705bは金属元素を含む半導体膜707a、半導体膜707bとなる。本実施の形態では半導体膜707a、半導体膜707bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

【0096】

次に、結晶性半導体膜706、半導体膜707a、半導体膜707bをフォトリソ工程を用いてパターニングし、結晶性半導体層708、半導体層709a、半導体層709bを形成する。その後、半導体層709b上に導電膜710を形成し、フォトリソ工程を用いてレジストによるマスク711a、マスク711bを形成する(図9(D)参照)。マスク711a、マスク711bを介して導電膜710をパターニングし、ソース電極層又はドレイン電極層712a、ソース電極層又はドレイン電極層712bを形成する。

【0097】

ソース電極層又はドレイン電極層712a、ソース電極層又はドレイン電極層712bをマスクとしてn型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層713、ソース領域またはドレイン領域として機能するn型を有する半導体層714b、半導体層715b、LDDとして機能するn型を有する半導体層714a、半導体層715aが形成される(図9(E)参照。)。

【0098】

以上の工程で、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行なうことが出来、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

【0099】

本実施の形態は、実施の形態1と組み合わせて用いることが可能である。

【0100】

(実施の形態3)

本発明の実施の形態について、図10を用いて説明する。本実施の形態は、実施の形態1において、チャネル保護型の薄膜トランジスタを有する表示装置の例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0101】

基板720上にゲート電極層721を形成し、ゲート電極層721を覆うようにゲート絶縁膜722a、ゲート絶縁膜722b及び、ゲート絶縁膜722cを形成する。ゲート絶縁膜722c上に結晶化を助長する元素を有する金属膜723を形成し、非晶質半導

10

20

30

40

50

体膜 724 を形成する(図 10(A) 参照)。非晶質半導体膜 724 上にチャネル保護膜を形成し、フォトリソ工程を用いてチャネル保護膜のパターニングを行い、チャネル保護膜層 725 を形成する。チャネル保護膜には、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x > y)、窒化酸化珪素(SiN_xO_y)(x > y)などを適宜用いることができる。チャネル保護層 725 を形成することにより、ソース電極層、ドレイン電極層を形成する際にチャネル部の半導体層のエッチングを防ぐことが出来る。本実施例では、チャネル保護膜に窒化珪素を成膜して、チャネル保護層 725 を形成する(図 10(B) 参照)。

【0102】

次に、不純物を有する半導体膜 726a、半導体膜 726b を形成する(図 10(C) 参照)。本実施の形態では、半導体膜 726a、半導体膜 726b として、n型を付与する不純物元素(ドナー型元素)であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、半導体膜 726a は低濃度不純物を付与しており、後にLDD領域として機能し、半導体膜 726b は高濃度不純物を付与しており、後にソース領域及びドレイン領域として機能する。

【0103】

その後、熱処理により、非晶質半導体膜を結晶化して結晶性半導体膜 727 の形成と、結晶性半導体膜 727 中の金属元素を低減、又は除去するためのゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜 727 に接して形成しているため、加熱処理により金属元素は、図 10(D) に示すように、矢印の方向へ加熱処理によって移動し、半導体膜 726a、半導体膜 726b 中に捕獲される。半導体膜 726a、半導体膜 726b は金属元素を含む半導体膜 728a、半導体膜 728b となる。本実施の形態では半導体膜 728a、半導体膜 728b にはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

【0104】

次に、結晶性半導体膜 727、半導体膜 728a、半導体膜 728b をフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターニングし、結晶性半導体層 729、半導体層 730a、半導体層 730b を形成する。その後、半導体層 730b 上に導電膜 731 を形成し、フォトリソ工程を用いてレジストによるマスク 732a、マスク 732b を形成する(図 10(E) 参照)。マスク 732a、マスク 732b を介して導電膜 731 をパターニングし、ソース電極層又はドレイン電極層 733a、ソース電極層又はドレイン電極層 733b を形成する。

【0105】

ソース電極層又はドレイン電極層 733a、ソース電極層又はドレイン電極層 733b をマスクとしてn型を有する半導体膜をエッチングし、ソース領域またはドレイン領域として機能するn型を有する半導体層 735b、半導体層 736b、LDDとして機能するn型を有する半導体層 735a、半導体層 736a が形成される(図 10(F) 参照)。

【0106】

以上の工程で、チャネル部の半導体層がエッチングされない薄膜トランジスタを作製することができる。又、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、工程を短縮して、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

【0107】

この後、実施の形態 1 と同様の工程により、基板 720 上にボトムゲート型(逆スタガ型ともいう。)の薄膜トランジスタと画素電極が接続された表示装置用の TFT 基板が完成する(図 7 参照)。なお、本実施の形態の薄膜トランジスタはチャネル保護型である。

【0108】

(実施の形態 4)

本発明の実施の形態について、図 11 を用いて説明する。本実施の形態は、実施の形

10

20

30

40

50

態 2において、チャネル保護型の薄膜トランジスタを有する表示装置の例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 1 0 9 】

基板 7 4 0 上にゲート電極層 7 4 1 を形成し、ゲート電極層 7 4 1 を覆うようにゲート絶縁膜 7 4 2 a、ゲート絶縁膜 7 4 2 b 及び、ゲート絶縁膜 7 4 2 c を形成する。ゲート絶縁膜 7 4 2 c 上に非晶質半導体膜 7 4 3 を形成し、結晶化を助長する元素を有する金属膜 7 4 4 を形成する(図 1 1 (A) 参照)。非晶質半導体膜 7 4 3 上にチャネル保護膜を形成し、フォトリソ工程を用いてチャネル保護膜のパターニングを行い、チャネル保護膜層 7 4 5 を形成する。チャネル保護膜には、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x > y)、窒化酸化珪素(SiN_xO_y)(x > y)などを適宜用いることができる。チャネル保護層 7 4 5 を形成することにより、ソース電極層、ドレイン電極層を形成する際にチャネル部の半導体層のエッティングを防ぐことが出来る。本実施例では、チャネル保護膜に窒化珪素を成膜して、チャネル保護層 7 4 5 を形成する(図 1 1 (B) 参照)。

【 0 1 1 0 】

次に、不純物を有する半導体膜 7 4 6 a、半導体膜 7 4 6 b を形成する(図 1 1 (C) 参照)。本実施の形態では、半導体膜 7 4 6 a、半導体膜 7 4 6 b として、n 型を付与する不純物元素(ドナー型元素)であるリンを含む n 型を有する半導体膜をプラズマ CVD 法によって形成する。また、半導体膜 7 4 6 a は低濃度不純物を付与しており、後に LDD 領域として機能し、半導体膜 7 4 6 b は高濃度不純物を付与しており、後にソース領域及びドレイン領域として機能する。

【 0 1 1 1 】

その後、熱処理により、非晶質半導体膜を結晶化して結晶性半導体膜 7 4 7 の形成と、結晶性半導体膜 7 4 7 中の金属元素を低減、又は除去するためのゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜 7 4 7 に接して形成しているため、加熱処理により金属元素は、図 1 1 (D) に示すように、矢印の方向へ加熱処理によって移動し、半導体膜 7 4 6 a、半導体膜 7 4 6 b 中に捕獲される。半導体膜 7 4 6 a、半導体膜 7 4 6 b は金属元素を含む半導体膜 7 4 8 a、半導体膜 7 4 8 b となる。本実施の形態では半導体膜 7 4 8 a、半導体膜 7 4 8 b には n 型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

【 0 1 1 2 】

次に、結晶性半導体膜 7 4 7、半導体膜 7 4 8 a、半導体膜 7 4 8 b をフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターニングし、結晶性半導体層 7 4 9、半導体層 7 5 0 a、半導体層 7 5 0 b を形成する。その後、半導体層 7 5 0 b 上に導電膜 7 5 1 を形成し、フォトリソ工程を用いてレジストによるマスク 7 5 2 a、マスク 7 5 2 b を形成する(図 1 1 (E) 参照)。マスク 7 5 2 a、マスク 7 5 2 b を介して導電膜 7 5 1 をパターニングし、ソース電極層又はドレイン電極層 7 5 3 a、ソース電極層又はドレイン電極層 7 5 3 b を形成する。

【 0 1 1 3 】

ソース電極層又はドレイン電極層 7 5 3 a、ソース電極層又はドレイン電極層 7 5 3 b をマスクとして n 型を有する半導体膜をエッティングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 7 5 5 b、半導体層 7 5 6 b、LDD として機能する n 型を有する半導体層 7 5 5 a、半導体層 7 5 6 a が形成される(図 1 1 (F) 参照)。

)。

【 0 1 1 4 】

以上の工程で、チャネル部がエッティングされない薄膜トランジスタを作製することができる。又、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時にを行うことにより、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

【 0 1 1 5 】

10

20

30

40

50

この後、実施の形態1と同様の工程により、基板740上にボトムゲート型(逆スタガ型ともいう。)の薄膜トランジスタと画素電極が接続された表示装置用のTFT基板が完成する(図7参照)。また本実施の形態の薄膜トランジスタはチャネル保護型である。

【0116】

(実施の形態5)

本発明の実施の形態について、図12を用いて説明する。本実施の形態は、実施の形態1において、結晶性半導体膜のゲッタリング工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0117】

基板760上にゲート電極層761を形成し、ゲート電極層761を覆うようにゲート絶縁膜762a及びゲート絶縁膜762bを形成する。なお、図12に示すように、ゲート絶縁膜762b上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を3層構造とする。ゲート絶縁膜762b上に金属膜763を形成し、非晶質半導体膜764を形成する(図12(A)参照。)。結晶化を助長するための金属元素をゲッタリンするゲッタリング層として、希ガス元素を不純物元素として含む半導体層765を形成する(図12(B)参照。)。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜を形成する。

【0118】

その後加熱処理により非晶質半導体膜764を結晶化し、結晶性半導体膜766を形成すると同時に、結晶性半導体膜766中に含まれる金属元素は図12(C)の矢印の方向に移動し、半導体膜764中に捕獲され、半導体膜764は金属元素を有する半導体膜775となる。よって膜中に含まれる金属元素が軽減された結晶性半導体膜766が形成される。そして、ゲッタリングシンクとなっていた半導体膜775、及び半導体膜775上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜766を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜775の除去をTMASH(Tetramethyl ammonium hydroxide)を用いて行う。結晶性半導体膜766上に、図12(D)に示すように一導電型を有する半導体膜767を形成し、結晶性半導体膜766、半導体膜767をフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターニングし、結晶性半導体層768、半導体層769を形成する。なお、本実施の形態では、一導電型を有する半導体膜767としてn型を有する半導体膜を形成する。その後、半導体層769上に導電膜770を形成し、フォトリソ工程を用いてレジストによるマスク771a、マスク771bを用いてパターニングした後、ソース電極層又はドレイン電極層772a、ソース電極層又はドレイン電極層772bを形成する(図12(E)参照。)。

【0119】

ソース電極層又はドレイン電極層772a、ソース電極層又はドレイン電極層772bをマスクとしてn型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層773及びソース領域またはドレイン領域として機能するn型を有する半導体層774a、n型を有する半導体層774bが形成される(図12(F)参照。)。

【0120】

以上の工程で、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。

【0121】

実施の形態1において図8、実施の形態2において図9、実施の形態3において図10、実施の形態において図11及び本実施の形態において図12を用いて示した薄膜トランジスタは、一つの一導電型を有する薄膜トランジスタであるが、同工程で2つ以上の複数の薄膜トランジスタを作製することができる。例えば、nチャネル型薄膜トランジスタを複数形成し、電気的に接続することによって、NMOSで回路を構成することができ、

10

20

30

40

50

pチャネル型薄膜トランジスタを複数形成し、同様に電気的に接続することによって、PMOSで回路を構成することができる。また、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタを電気的に接続したCMOS構造も形成することができ、このようなNMOS、PMOS、CMOSを画素領域や駆動領域に組み込んで、表示装置を作製することができる。

【0122】

本実施の形態は、実施の形態1と組み合わせて用いることが可能である。

【0123】

(実施の形態6)

本発明の実施の形態として、図13を用いて説明する。本実施の形態は、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタの2種類の薄膜トランジスタを作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

10

【0124】

基板430上にゲート電極層431a、ゲート電極層431bを形成しゲート絶縁膜432a、ゲート絶縁膜432bを形成する。なお、図13に示すように、ゲート絶縁膜432b上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を3層構造とする。ゲート絶縁膜432b上に金属膜433を形成する。金属膜433上に非晶質半導体膜434を形成し、n型を有する半導体膜435を形成した後、加熱処理を行う。(図13(A)参照。)。

20

【0125】

加熱処理により、非晶質半導体膜は結晶化され結晶性半導体膜が形成されると同時に、結晶性半導体膜中に含まれる金属元素はゲッタリングされ、矢印の方向に移動しn型を有する半導体膜437中に捕獲され、結晶性半導体膜436が形成される。(図13(B)参照。)。結晶性半導体膜436及びn型を有する半導体膜437をパターニングし、結晶性半導体層438a、結晶性半導体層438bを形成する。その後、結晶性半導体層438a及びn型を有する半導体層439aを覆うマスク440a、結晶性半導体層438b中のチャネル形成領域上のn型を有する半導体層446を覆うマスク440bを形成し、p型を付与する不純物元素441をn型を有する半導体層に添加する。n型を有する半導体層は、n型を付与する不純物元素の濃度の2~10倍の濃度となるようにp型を付与する不純物元素を添加することによって、p型を有する半導体層にその導電型が反転し、p型の不純物領域447a、p型の不純物領域447bを形成することができる(図13(C)参照。)。

30

【0126】

ソース電極層又はドレイン電極層442a、ソース電極層又はドレイン電極層442b、ソース電極層又はドレイン電極層442c、ソース電極層又はドレイン電極層442dをフォトリソ工程によって形成する(図13(D)参照。)。ソース電極層又はドレイン電極層442a、ソース電極層又はドレイン電極層442b、ソース電極層又はドレイン電極層442c、ソース電極層又はドレイン電極層442dをマスクとして、半導体層438a、半導体層438b、n型を有する半導体層439、n型を有する半導体層446をエッチングし、半導体層444a、半導体層444b、n型を有する半導体層445a、n型を有する半導体層445b、p型を有する半導体層445c、p型を有する半導体層445dを形成することができる(図13(E)参照。)。また、エッチングはドライエッティングでもウェットエッティングで行っても良く、ソース電極層又はドレイン電極層のエッティングをエッチャントによるウェットエッティングで行い、半導体層のエッティングをドライエッティングで行っても良い。また、ソース電極層及びドレイン電極層のHNO₃溶液を用いたウェットエッティングを行い、その後O₂アッシングを行ってもよい。

40

【0127】

以上の工程で同一基板上に、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタを形成することができる。

50

【0128】

本実施の形態は、実施の形態1、実施の形態2、実施の形態3、実施の形態4及び実施の形態5それぞれと組み合わせて用いることが可能である。

【0129】

(実施の形態7)

本発明の実施の形態として、図14を用いて説明する。本実施の形態は、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタの2種類の薄膜トランジスタを作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0130】

基板450上にゲート電極層451a、ゲート電極層451bを形成しゲート絶縁膜452a、ゲート絶縁膜452bを形成する。なお、図14に示すように、ゲート絶縁膜752b上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を3層構造とする。ゲート絶縁膜452b上に金属元素453を添加し、非晶質半導体膜454を形成し、希ガス元素を不純物元素として含む半導体膜465を形成する(図14(A)参照。)。次に、加熱処理を行い、非晶質半導体膜454を結晶化させ結晶性半導体膜455を形成すると同時に、結晶性半導体膜455中に含まれる金属元素のゲッタリングを行なう。加熱処理により、結晶性半導体膜455中に含まれる金属元素はゲッタリングされ、矢印の方向に希ガス元素を有する半導体膜456中に移動し捕獲され、結晶性半導体膜455が形成される。(図14(B)参照。)。

10

【0131】

ゲッタリングシンクとして用いた半導体膜456をエッティングによって除去する。結晶性半導体膜455をパターニングし、チャネル形成領域457aを覆うマスク458a、半導体層457bを覆うマスク458bを形成し、n型を付与する不純物元素460を添加し、n型の不純物領域459a、n型の不純物領域459bを形成する(図14(C)参照。)。

20

【0132】

マスク458a、及びマスク458bを除去し、新たにn型の不純物領域459a、チャネル形成領域457a、n型の不純物領域459bを覆うマスク461a、チャネル形成領域465を覆うマスク461bを形成し、p型を付与する不純物元素463を添加する。p型を付与する不純物元素によってp型の不純物領域462a、p型の不純物領域462bを形成する(図14(D)参照。)。n型の不純物領域459a、n型の不純物領域459b、p型の不純物領域462a、p型の不純物領域462bはソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層464a、ソース電極層又はドレイン電極層464b、ソース電極層又はドレイン電極層464c、ソース電極層又はドレイン電極層464dが形成される(図14(E)参照。)。

30

【0133】

以上の工程で同一基板上に、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタを形成することができる。実施の形態6と比べ成膜工程が削減できるため、スループットを向上させることが可能である。

40

【0134】

(実施の形態8)

本発明の実施の形態として、図15を用いて説明する。本実施の形態は、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタの2種類の薄膜トランジスタを作製する例であり、ゲッタリングの工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0135】

基板470上にゲート電極層471a、ゲート電極層471bを形成しゲート絶縁膜472a、ゲート絶縁膜472bを形成する。なお、図15に示すように、ゲート絶縁膜4

50

72b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を3層構造とする。ゲート絶縁膜472b 上に結晶を助長させる金属元素を有する金属膜を形成し、非晶質半導体膜を形成する。金属膜、非晶質半導体膜をパターニングし、金属層484a、金属層484b、非晶質半導体層473a、非晶質半導体層473bを形成する(図15(A)参照。)。

【0136】

チャネル形成領域の非晶質半導体層483aを覆うマスク474a、チャネル形成領域の非晶質半導体層483bを覆うマスク474bを形成し、n型を付与する不純物元素476を添加し、n型の不純物領域475a、n型の不純物領域475b、n型の不純物領域475c、n型の不純物領域475dを形成する(図15(B)参照。)。その後加熱処理を行い、チャネル形成領域の非晶質半導体層483a、チャネル形成領域の非晶質半導体層483bを結晶化させ結晶性半導体層478a、結晶性半導体層478bを形成すると同時に、チャネル形成領域である結晶性半導体層478a、チャネル形成領域である結晶性半導体層478bに含まれる金属元素はゲッタリングされ、それぞれ矢印の方向にn型の不純物領域477a、n型の不純物領域477b、n型の不純物領域477c、n型の不純物領域477dに移動し捕獲され、金属元素が除去、軽減されたチャネル形成領域である結晶性半導体層478a、チャネル形成領域である結晶性半導体層478bが形成される(図15(C)参照。)。また、この熱処理によって、添加されたn型を付与する不純物元素の活性化も行うことができる。

【0137】

n型の不純物領域477a、チャネル形成領域478a、n型の不純物領域477bを覆うマスク479a、チャネル形成領域478bを覆うマスク479bを形成し、p型を付与する不純物元素481を添加する。p型を付与する不純物元素によってp型の不純物領域480a、p型の不純物領域480bを形成する(図15(D)参照。)。n型の不純物領域477a、n型の不純物領域477b、p型の不純物領域480a、p型の不純物領域480bはソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層482a、ソース電極層又はドレイン電極層482b、ソース電極層又はドレイン電極層482c、ソース電極層又はドレイン電極層482dが形成される(図15(E)参照。)。

【0138】

以上の工程で同一基板上に、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタを形成することができる。実施の形態7と比べ成膜工程が削減できるため、スループットを向上させることが可能である。

【0139】

(実施の形態9)

本実施の形態を、図16乃至図21を用いて説明する。本実施の形態は、画素領域を実施の形態1で作製した画素領域で、周辺駆動回路領域も本発明を用いた薄膜トランジスタにより作製され、実施の形態6で作製されるnチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタからなるCMOSを適用している。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0140】

図21は本実施の形態で作製する表示装置の画素領域の上面図であり、図16乃至図19、図20(B)は、各工程の図6における線A-C、B-Dの断面図である。また、図16乃至図19におけるI-Jの領域は、図20(A)の表示装置の周辺駆動回路領域である線I-Jに対応する断面図である。

【0141】

基板300上に導電膜を形成し、レジストからなるマスクによってパターニングを行い、ゲート電極層301、ゲート電極層302、ゲート電極層303、ゲート電極層360a、ゲート電極層360b、画素電極層304を形成する。本実施の形態では、ゲート電極層を透明導電膜の単層で形成するが、積層構造としてもよい。積層構造としては、Ta

10

20

30

40

50

、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的にはTaN\W、TaN\Mo、TaN\Cr、TiN\W、TiN\Mo、TiN\Crなどを用いることができる。本実施の形態では、スパッタリング法によって酸化珪素を含むインジウム錫酸化物(ITSO)を形成し、焼成してゲート電極層形成領域を含む近傍に導電膜を形成する。この導電膜をフォトリソ工程によって微細に加工されたマスクを用いて、精密にパターニングし、ゲート電極層301、ゲート電極層302、ゲート電極層303、ゲート電極層360a、ゲート電極層360b、画素電極層304を形成する。

【0142】

ゲート電極層301、ゲート電極層302、ゲート電極層303、ゲート電極層360a、ゲート電極層360b、画素電極層304上にゲート絶縁膜を形成し、ゲート絶縁膜上に結晶化を促進、助長する元素として、金属膜307を形成する。金属膜307は非常に膜厚が薄いため膜としての形状を保っていない場合がある。本実施の形態では、Niを100ppmを含有した水溶液をスピンドルコート法により塗布し、金属膜307を形成する。金属膜307上に非晶質半導体膜306を形成する(図16(A)参照。)。本実施の形態では、ゲート絶縁膜として、窒化珪素からなるゲート絶縁膜305aと酸化珪素からなるゲート絶縁膜305bを積層する。非晶質半導体膜306は非晶質珪素膜を用いる。なお、図16に示すように、ゲート絶縁膜305b上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を3層構造とする。

【0143】

非晶質半導体膜306上に、n型を有する半導体膜308を形成する。本実施の形態では、n型を有する半導体膜308として、n型を付与する不純物元素としてリン(P)を含む非晶質珪素膜をプラズマCVD法により100nm形成する(図16(B))。次に、非晶質半導体膜306を加熱し、結晶化させると同時に、n型を有する半導体膜308をゲッタリングシンクとして金属元素をゲッタリングする(図16(C)参照。)。加熱処理により、結晶性半導体膜中の金属元素は加熱処理により矢印の方向へ移動し、n型を有する半導体膜308中に捕獲される。よって、非晶質半導体膜306は、膜中の金属元素が軽減された結晶性半導体膜310となり、n型を有する半導体膜308は、n型を付与する不純物元素(本実施の形態ではP)と金属元素(本実施の形態ではNi)を含むn型を有する半導体膜311となる。本実施の形態では、550で4時間加熱処理を行い、結晶性半導体膜310の形成とゲッタリングを行なう。

【0144】

結晶性半導体膜310及びn型を有する半導体膜311をパターニングし、半導体層312、半導体層313、半導体層314、半導体層361、n型を有する半導体層315、n型を有する半導体層316、n型を有する半導体層317、及びn型を有する半導体層362を形成することができる(図17(A)参照。)。これらの半導体層のパターニングも、フォトリソ工程を用いて形成されたレジストマスクを用いて、精密にパターニングすることができる。

【0145】

次に、半導体層312、n型を有する半導体層315を覆うマスク318a、半導体層313のチャネル形成領域及びn型を有する半導体層316のチャネル形成領域を覆うマスク318b、半導体層314及びn型を有する半導体層317を覆うマスク318c、半導体層361及びn型を有する半導体層362を覆うマスク318dを形成する。p型を付与する不純物元素319を添加し、n型を有する半導体層316中に、p型の不純物領域320a、p型の不純物領域320bを形成する(図17(B)参照。)。本実施の形態では、イオンドーピング法を用いてp型を付与する不純物元素(本実施の形態ではボロン(B))を添加する。その後、550で4時間加熱処理を行い、不純物元素の添加領域を活性化する。

【0146】

本実施の形態では、駆動回路領域において、CMOS構成を用いてインバーターとして機能させている。PMOSのみ、NMOSのみの構成の場合においては、一部のTFT

10

20

30

40

50

のゲート電極層とソース電極層又はドレイン電極層とを接続させる。このような例を図3
9に示す。フォトマスクを用いてゲート絶縁層305a、ゲート絶縁層305bの一部を
エッチングして、図39に示すようなコンタクトホール890を形成する。本実施の形態
では、画素電極層となる第1の電極層とソース電極層又はドレイン電極層との接続を、絶
縁層に形成するコンタクトホールを介して行うが、ソース電極層又はドレイン電極層と第
1の電極層を絶縁層を介さないで接続してもよい。この場合、第1の電極層に達する開口
部を、コンタクトホール890と同時に形成することができる。その後、これらのコンタ
クトホールにソース電極層又はドレイン電極層を形成し、それぞれゲート電極層、又は第
1の電極層と電気的に接続する。ソース電極層又はドレイン電極層327bとゲート電極
層302を接続することによって、後に形成する薄膜トランジスタ335と薄膜トランジ
スタ336とがN M O S同士、P M O S同士であってもインバーターとして機能させること
ができる。前述したように本実施の形態では、薄膜トランジスタ335と薄膜トランジ
スタ336とはC M O S構成となっているので、図39で示す構造としなくてもインバー
ターとして機能させることができる。
10

【0147】

マスク318a、マスク318b及びマスク318cを除去した後、半導体層312
、半導体層313、半導体層314、及び半導体層362上に、導電膜を形成し、フォト
リソ工程を用いて形成されたマスクを用い、パターニングしてソース電極層又はドレイン
電極層327a、ソース電極層又はドレイン電極層327b、ソース電極層又はドレイン
電極層327c、ソース電極層又はドレイン電極層328、ソース電極層又はドレイン電
極層366a、ソース電極層又はドレイン電極層366b、ソース電極層又はドレイン電
極層366cを形成する(図17(C)参照。)。また、同工程で、容量素子も形成する
ソース電極層又はドレイン電極層366cも、ゲート電極層360a上のゲート絶縁層3
05b上に形成する。
20

【0148】

ソース電極層又はドレイン電極層327a、ソース電極層又はドレイン電極層327
b、ソース電極層又はドレイン電極層327c、ソース電極層又はドレイン電極層328
、ソース電極層又はドレイン電極層366a、ソース電極層又はドレイン電極層366b
をマスクとして、半導体層312、半導体層313、半導体層314、半導体層361、
n型を有する半導体層315、n型を有する半導体層316、n型を有する半導体層31
7、n型を有する半導体層362をエッチングし、半導体層371、半導体層372、半
導体層373、半導体層375、n型を有する半導体層324a、n型を有する半導体層
324b、p型を有する半導体層325a、p型を有する半導体層325b、n型を有する
半導体層326a、n型を有する半導体層326b、n型を有する半導体層365a、
n型を有する半導体層365bを形成する。エッチングはドライエッティング又はウェット
エッティングを用いることができる。本実施の形態では、ドライエッティング法を用いる。
30

【0149】

以上の工程で、C M O Sを構成するnチャネル型薄膜トランジスタ335及びpチャ
ネル型薄膜トランジスタ336、nチャネル型薄膜トランジスタ337、nチャネル型薄
膜トランジスタ364、容量素子338を形成することができる(図18(A)参照。)
。本実施の形態ではC M O Sの構成としたが、本発明はそれに限定されず、P M O Sの構
成でもN M O Sの構成としてもよい。
40

【0150】

パッシベーション膜となる絶縁膜330を形成する。本実施の形態では、絶縁膜33
0を、半導体層に接する側から、膜厚150nmの酸化珪素膜と膜厚200nmの窒化珪
素膜との積層膜で形成する。絶縁膜330は、他の珪素を含む膜で形成しても良く、酸化
珪素膜の代わりに酸化窒化珪素膜を用い、酸化窒化珪素膜と窒化珪素膜の積層としてもよ
い。

【0151】

絶縁膜330には水素を含ませるように形成し、温度300~500℃室素雰囲気下
50

で加熱処理を行い、半導体層の水素化を行う。

【0152】

絶縁膜330上に絶縁層339を形成する。本実施の形態では、スリッドコーティングを用いて、アルキル基を含む酸化珪素膜を形成する。絶縁層339、絶縁膜330にソース電極層又はドレイン電極層328に達する開口部340b、及びソース電極層又はドレイン電極層366bに達する開口部340dを、絶縁層339、絶縁膜330、ゲート絶縁層305a、ゲート絶縁層305bに、ゲート電極層303に達する開口部340a、ゲート電極層360aに達する開口部340c、及び第1の電極層304に達する開口部340eを形成する(図18(B)参照。)。開口部を形成するパターニングには、本発明のレーザ光による微細加工を用いることができる。また、本実施の形態では、ドライエッティングにより開口部を形成する。10

【0153】

次に配線層341、ゲート配線層342、ゲート配線層367を形成する。本実施の形態では、ゲート配線層、または配線層を、Agを用い、液滴吐出法によって形成する。導電性材料としてAgを含む組成物を開口部340a、開口部340b、開口部340c、開口部340d、開口部340eに吐出し、300で焼成する。以上の工程より、ソース電極層又はドレイン電極層328とゲート電極層360aとを電気的に接続するゲート配線層367と、ソース電極層又はドレイン電極層366bと第1の電極層304とを電気的に接続する配線層341と、ゲート電極層303と電気的に接続するゲート配線層342を形成する(図18(C)参照。)20

【0154】

続いて、土手(隔壁ともよばれる)となる絶縁層343を形成する。絶縁層343は、スピンドル法やディップ法により全面に絶縁層を形成した後、エッティング加工によって図19に示すように開孔を形成する。

【0155】

絶縁層343は、第1の電極層304に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0156】

第1の電極層304上に、電界発光層344、第2の電極層345を積層形成する。その後、封止基板347によって充填剤346を封入して封止する。充填剤346の代わりに、窒素などの不活性ガスを充填してもよい。また、乾燥剤を表示装置内に設置することによって、発光素子の水分による劣化を防止することができる。乾燥剤の設置場所は、封止基板347側でも、素子が形成されている基板300側でもよく、シール材348が形成される領域に基板に凹部を形成して設置してもよい。また、封止基板347の駆動回路領域や配線領域など表示に寄与しない領域に対応する場所に設置すると、乾燥剤が不透明な物質であっても開口率を低下させることができない。充填剤346に吸湿性の材料を含むように形成し、乾燥剤の機能を持たせても良い。以上により、発光素子を用いた表示機能を有する表示装置が完成する(図19参照)。30

【0157】

また、表示装置内部と外部を電気的に接続するための端子電極層352に、異方性導電膜353によってFPC354が接着され、端子電極層352と電気的に接続する。40

【0158】

図20(A)に、表示装置の上面図を示す。図20(A)で示すように、画素領域390、走査線駆動領域391a、走査線駆動領域391b、接続領域393が、シール材348によって、基板300と封止基板347との間に封止され、基板300上にICドライバによって形成された信号線駆動回路392が設けられている。

【0159】

本実施の形態で示す図20の表示装置は、ゲート電極層301、ゲート電極層302、ゲート電極層303、ゲート電極層360a、ゲート電極層360b、第1の電極層304を単層構造で示しているが、前述したように、ゲート電極層を2層以上の複数層積層50

してもよい。ゲート電極層及び第1の電極層を積層構造にした例を図43に示す。

【0160】

積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的にはTaN\W、TaN\Mo、TaN\Cr、TiN\W、TiN\Mo、TiN\Crなどを用いることができる。本実施の形態では第1のゲート電極層301a、第1のゲート電極層302a、第1のゲート電極層303a、第1のゲート電極層360a1、第1のゲート電極層360b1としてTaNを用い、第2のゲート電極層301b、第2のゲート電極層302b、第2のゲート電極層360a2、第2のゲート電極層360b2としてWを用いる。同工程で形成される画素電極層においても、第1の電極層304aとしてTaN膜を、第1の電極層304bとしてW膜を形成する。このようにゲート電極層及び画素電極層を積層構造とすることができる。また、画素電極層を単層構造で形成し、ゲート電極層を積層構造としてもよく、反対に、画素電極層を積層構造としゲート電極層を単層構造としてもよい。表示装置に要求される機能に応じて適宜設定すればよい。10

【0161】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。20

【0162】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0163】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを表示装置のスイッチング素子に設けることにより、コントラストを向上させることができることである。

【0164】

(実施の形態10)

【0165】

本実施の形態では、実施の形態9における表示装置において、配線間の接続構造が異なる例を図21を用いて説明する。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0166】

実施の形態9では、ソース電極層又はドレイン電極層と、ゲート電極層または第1の電極層とを電気的に接続する際、ゲート電極層と層間絶縁層である絶縁膜140及び絶縁層116をバーニングして、形成された開口部を形成している。この方法であると開口部を一回の工程ですべて作製することができるので、工程は簡略化する利点がある。形成する開口部と配線間の接続構造が異なる例を図21に示す。40

【0167】

図21に本実施の形態で作製する表示装置の画素領域の上面図及び断面図を示す。図21(A)は本実施の形態における表示素装置の上面図であり、図21(B)は、図21(A)における線A-Cの断面図、図21(C)は、図21(A)における線B-Dの断面図である。

【0168】

ソース電極層193とゲート電極層104とは、配線層を介しないで、直接ゲート絶縁層に形成された開口部197にて接続している。また、ソース電極層又はドレイン電極層195と第1の電極層120も配線層を介しないで、直接接続する構造となっている。50

このように、ゲート絶縁層を形成した後、ソース電極層又はドレイン電極層を形成する前に、ゲート絶縁層にゲート電極層、又は第1の電極層に達する開口部を形成しておけば、その開口部にソース電極層又はドレイン電極層を形成することによって、間に配線層を設けなくても良い。その後、絶縁膜140、絶縁層116を形成し、開口部135、開口部139を形成する。開口部135にゲート配線層117を形成し、ゲート電極層103と電気的に接続する。このように開口部を形成する工程を分けると、配線間を接続する配線層を形成しなくても良い構造とすることができます。また上面放射型表示装置ならば、反射性を有する材料をソース電極層又はドレイン電極層195に用い、第1の電極層120と積層するような構造であってもよい。

【0169】

10

本実施の形態は、実施の形態1乃至9とそれぞれ組み合わせて用いることが可能である。

【0170】

(実施の形態11)

実施の形態1では、ゲート電極層と、ソース電極層又はドレイン電極層（ソース配線層も含む）及び容量配線層とがゲート絶縁層を介して積層し、ソース電極層又はドレイン電極層（ソース配線層も含む）とゲート配線層とが層間絶縁層を介して積層している多層構造を用いている。本実施の形態では、これらの積層構造が異なる例を図30乃至図35、及び図40を用いて説明する。図30(A)乃至図35(A)は、表示装置の上面図であり、図30(B)乃至図32(B)は、図30(A)乃至図32(A)において線X1-V1による断面図である。図30(A)乃至図32(A)は、表示装置の上面図であり、図30(B)乃至図35(B)は、図30(A)乃至図35(A)において線X1-V1による断面図である。

20

【0171】

図30(A)は、表示装置の上面図であり、図30(B)は、図30(A)における線X1-V1による断面図である。

【0172】

30

図30において、表示装置の画素領域内には、基板600上にゲート電極層601a、ゲート電極層601b、画素電極層611、ゲート絶縁層602a、ゲート絶縁層602b、容量配線層604、ソース電極層又はドレイン電極層603a、ソース電極層又はドレイン電極層603b、ゲート配線層607、半導体層608、n型を有する半導体層609a、n型を有する半導体層609b、パッシベーション膜である絶縁膜605、絶縁層606が形成されている。

【0173】

絶縁膜605は必ずしも必要ではないが、絶縁膜605を形成すると、パッシベーション膜として機能するので、より表示装置の信頼性が向上する。また、絶縁膜605を形成し、熱処理を行うと、絶縁膜605中に含まれる水素によって半導体層の水素化を行うことができる。

【0174】

40

図30(B)で示すようにソース電極層又はドレイン電極層603bは、層間絶縁層である絶縁層606を介して、ゲート配線層607と積層しており、ゲート配線層607は、ゲート電極層601a、ゲート電極層601bと絶縁層606、絶縁膜605、ゲート絶縁層602a、ゲート絶縁層602bに形成されたコンタクトホールで接続されている。よってゲート配線層607と、ソース電極層又はドレイン電極層603b及び容量配線層604とはショートしない構造となっている。

【0175】

図31(A)は、表示装置の上面図であり、図31(B)は、図31(A)における線X2-V2による断面図である。図31において、表示装置の画素領域内には、基板620上にゲート電極層621a、ゲート電極層621b、ゲート絶縁層622a、ゲート絶縁層622b、容量配線層624、ソース電極層又はドレイン電極層623a、ソース電

50

極層又はドレイン電極層 623b、ゲート配線層 627a、ゲート配線層 627b、パッシベーション膜である絶縁膜 625、絶縁層 626 が形成されている。

【0176】

図 31 (B) で示すようにソース電極層又はドレイン電極層 623b は、層間絶縁層である絶縁層 626 を介して、ゲート配線層 627b と積層しており、ゲート配線層 627b は、ゲート電極層 621a、ゲート電極層 621b と絶縁層 626、絶縁膜 625、ゲート絶縁層 622a、ゲート絶縁層 622b に形成されたコンタクトホールで接続されている。よってゲート配線層 627b と、ソース電極層又はドレイン電極層 623b 及び容量配線層 624 とはショートしない構造となっている。また、図 31 で示す表示装置は、ゲート配線層とゲート電極層は連続的ではなく断続的に形成され、お互いにコンタクトホールを介して電気的な接続を取りながら形成されている構造となっている。よって、ソース電極層又はドレイン電極層 623b、容量配線層 624 が形成されている領域では、ゲート電極層 621a とゲート電極層 621b とは、絶縁膜 660 上に形成するゲート配線層 627b とコンタクトホールにおいて接続することで電気的に接続されている。10

【0177】

図 32 (A) は、表示装置の上面図であり、図 32 (B) は、図 32 (A) における線 X3 - V3 による断面図である。図 32 において、表示装置の画素領域内には、基板 630 上にゲート電極層 631a、ゲート電極層 631b、ゲート絶縁層 632a、ゲート絶縁層 632b、容量配線層 634、ソース電極層又はドレイン電極層 633a、ソース電極層又はドレイン電極層 633b、ゲート配線層 637a、ゲート配線層 637b、配線層 638a、配線層 638b、パッシベーション膜である絶縁膜 635、絶縁層 636 が形成されている。20

【0178】

図 32 (B) で示すようにソース電極層又はドレイン電極層 633b は、層間絶縁層である絶縁層 636 を介して、ゲート配線層 637b と積層している。図 31 で示す表示装置において、ゲート電極層 621a とゲート配線層 627a 及びゲート配線層 627b とは直接接続している。しかし図 32 で示す表示装置では、ゲート電極層 631a と、ゲート配線層 637a 及びゲート配線層 637b とは、ソース電極層と同材料、同工程で形成される配線層 638a を介して電気的に接続される。よって、ゲート電極層 631a はゲート絶縁層 632a、ゲート絶縁層 632b 上に形成される配線層 638a とコンタクトホールで接続し、配線層 638a は、ゲート配線層 637a 及びゲート配線層 637b とコンタクトホールを介して接続する。よって、ゲート電極層 631a、ゲート配線層 637a、及びゲート配線層 637b は電気的に接続する。ソース電極層又はドレイン電極層 633b、容量配線層 634 は層間絶縁層である絶縁層 636 を介してゲート配線層 637b と積層されるので、ソース電極層又はドレイン電極層 633b 及び容量配線層 634 とゲート配線層 637b とはショートしない構造となっている。30

【0179】

図 30、図 31 及び図 32 は層間絶縁層として絶縁層を、広範囲にわたって覆うように形成した場合を示した。図 33、図 34 及び図 35 は配線層間に隔てる層間絶縁層を、フォトリソ工程を用いて必要な個所のみに選択的に形成する例を示す。40

【0180】

図 33 は図 30 に、図 34 は図 31 に、図 35 は図 32 の表示装置にそれぞれ対応しており、層間絶縁層の構造が異なる構造となっている。図 33 (A) は、表示装置の上面図であり、図 33 (B) は、図 33 (A) における線 Y1 - Z1 による断面図である。図 33 において、ソース電極層又はドレイン電極層 603b 及び容量配線層 604 を覆うように絶縁層 650 がフォトリソ工程により形成されている。その絶縁層 650 上を跨ぐようにゲート配線層 607 が形成されている。ゲート配線層 607 上には、パッシベーション膜として絶縁膜 660 が形成されている。絶縁膜 660 は必ずしも必要ではないが、形成することで信頼性を向上させることができる。また本実施の形態では、絶縁層 650 単層で形成するが、絶縁層 650 の上、または下に絶縁膜を形成して積層構造としてもよい50

。

【 0 1 8 1 】

図 3 4 (A) は、表示装置の上面図であり、図 3 4 (B) は、図 3 4 (A) における線 Y 2 - Z 2 による断面図である。図 3 4 においても図 3 3 と同様に、ソース電極層又はドレイン電極層 6 2 3 b 及び容量配線層 6 2 4 を覆うように絶縁層 6 5 1 が、フォトリソ工程により選択的に形成されている。その絶縁層 6 5 1 上を跨ぐようにゲート配線層 6 2 7 b が形成され、ゲート電極層 6 2 1 a とコンタクトホールにより接続されている。ゲート配線層 6 2 7 a 上には、パッシベーション膜として絶縁膜 6 6 1 が形成されている。

【 0 1 8 2 】

図 3 5 (A) は、表示装置の上面図であり、図 3 5 (B) は、図 3 5 (A) における線 Y 3 - Z 3 による断面図である。図 3 5 においても図 3 3 と同様に、ソース電極層又はドレイン電極層 6 3 3 b 及び容量配線層 6 3 4 を覆うように絶縁層 6 5 2 が、フォトリソ工程により選択的に形成されている。その絶縁層 6 5 2 上を跨ぐようにゲート配線層 6 3 7 b が形成され、配線層 6 3 8 a を介してゲート配線層 6 3 7 a 及びゲート電極層 6 3 1 a と電気的に接続している。

【 0 1 8 3 】

絶縁層 6 5 0 、絶縁層 6 5 1 、絶縁層 6 5 2 のように配線層間のショートを防ぐための絶縁層を、フォトリソ工程を用いて選択的に形成すると、材料のロスが軽減する。また、直接配線間が接するように形成することができるので、絶縁層にコンタクトホールを形成する工程が減る。よって、工程が簡略化し低いコスト、高い生産性を得ることができる。

【 0 1 8 4 】

図 4 0 の表示装置もソース電極層又はドレイン電極層 6 4 3 b 及び容量配線層 6 4 4 と配線層 6 4 7 b を物理的に隔てるために設ける絶縁層 6 5 3 をフォトリソ工程を用いて選択的に形成する例である。図 3 3 乃至図 3 5 における表示装置では、絶縁層上にゲート配線層を跨ぐように形成することで、ソース電極層又はドレイン電極層とゲート配線層とのショートを防いでいた。図 4 1 の表示装置では、ゲート電極層 6 4 1 a 、ゲート電極層 6 4 1 b を形成する工程で、配線層 6 4 7 a 、配線層 6 4 7 b を形成する。その後ソース電極層又はドレイン電極層 6 4 3 a 、容量配線層 6 4 4 を形成する前に、配線層 6 4 7 a 、配線層 6 4 7 b を覆うゲート絶縁層 6 4 2 の一部をエッティングによって除去する。図 4 0 (A) の表示装置上面図に示すように、ゲート絶縁層 6 4 2 は、半導体層上、ゲート電極層とソース電極層又はドレイン電極層が積層する領域、容量素子を形成する領域上に存在するが、配線層 6 4 7 a 、配線層 6 4 7 b 、配線層 6 4 8 a 、配線層 6 4 8 b が形成される領域は除去されている。よって、コンタクトホールを形成することなく、配線層同士は直接接続することができる。配線層 6 4 7 b 上の一部に絶縁層 6 5 3 を液滴吐出法によって選択的に形成し、絶縁層 6 5 3 上にソース電極層又はドレイン電極層 6 4 3 a 、容量配線層 6 4 4 を形成する。ソース電極層又はドレイン電極層 6 4 3 b 及び容量配線層 6 4 4 を形成するのと同工程で、配線層 6 4 8 a 、配線層 6 4 8 b をゲート電極層 6 4 1 a 、ゲート電極層 6 4 1 b とそれぞれ接するように形成する。配線層 6 4 8 a と配線層 6 4 8 b とは、絶縁層 6 5 3 の下で配線層 6 4 7 b によって電気的に接続されている。このように、絶縁層 6 5 3 の下層でゲート配線層とゲート電極層を電気的に接続することができる。

【 0 1 8 5 】

以上の工程で示すように、信頼性の高い表示装置を低コストで生産性よく作製することができる。

【 0 1 8 6 】

なお、本実施形態において図 3 0 乃至図 3 5 は実施の形態 1 で示したように、ゲート絶縁膜を 3 層構造としている。

【 0 1 8 7 】

本実施の形態は、実施の形態 1 乃至 1 0 とそれぞれ組み合わせて用いることが可能で

10

20

30

40

50

ある。

【0188】

(実施の形態12)

次に、実施の形態1乃至10によって作製される表示パネルに駆動用のドライバ回路を実装する様について説明する。

【0189】

まず、COG方式を採用した表示装置について、図29(A)を用いて説明する。基板2700上には、文字や画像などの情報を表示する画素部2701が設けられる。複数の駆動回路が設けられた基板を、矩形状に分断し、分断後の駆動回路(以下ドライバICと表記)2751は、基板2700上に実装される。図29(A)は複数のドライバIC2751、ドライバIC2751の後にFPC2750を実装する形態を示す。また、分割する大きさを画素部の信号線側の辺の長さとほぼ同じにし、単数のドライバICに、該ドライバICの先にテープを実装してもよい。10

【0190】

また、TAB方式を採用してもよく、その場合は、図29(B)で示すように複数のテープを貼り付けて、該テープにドライバICを実装すればよい。COG方式の場合と同様に、単数のテープに単数のドライバICを実装してもよく、この場合には、強度の問題から、ドライバICを固定する金属片等と一緒に貼り付けるとよい。

【0191】

これらの表示パネルに実装されるドライバICは、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形状の基板上に複数個作り込むとよい。20

【0192】

つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15~80mm、短辺が1~6mmの矩形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

【0193】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さにあり、長辺が15~80mmで形成されたドライバICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なくて済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウェハからICチップを取り出す場合と比較すると、大きな優位点である。30

【0194】

また、図28(B)のように走査線側の駆動回路3704は基板上に一体形成される場合、画素領域3701の外側の領域には、信号線側の駆動回路駆動回路が形成されたドライバICが実装される。これらのドライバICは、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域3701の端部で数ブロック毎に区分して引出線を形成し、ドライバICの出力端子のピッチに合わせて集められる。40

【0195】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、本発明を用いた薄膜トランジスタを用いることができる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。

【0196】

画素領域は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。画素領域に配置されるトランジスタとしても、本発明を用いた薄50

膜トランジスタを適用することができる。本発明を適用して作製される薄膜トランジスタは、簡略化した工程で比較的高移動度が得られるため、大画面の表示装置を作製する上で有効である。従って、この薄膜トランジスタを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現した表示パネルを作製することができる。

【0197】

図29(A)、(B)のように走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするとよい。

【0198】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにすることが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャネル長などはミクロンルールで設定することが好適である。なおチャネル長方向とは、チャネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。

【0199】

ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

【0200】

ドライバICの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じても熱応力が発生することなく、 TFTで作製された回路の特性を損なうことはない。その他にも、本実施の形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らすことができる。

【0201】

以上のようにして、発光(EL)表示パネルに駆動回路を組み入れることができる。

【0202】

本実施の形態は、実施の形態1乃至10とそれぞれ組み合わせて用いることが可能である。

【0203】

(実施の形態13)

本実施の形態では、上記実施の形態において、ゲート電極層とソース電極層及びドレイン電極層との端部の位置関係、即ちゲート電極層の幅とチャネル長の大きさの関係について、図26を用いて説明する。

【0204】

図26(A)は基板540上に形成された、ゲート電極層541、ゲート絶縁層542a、ゲート絶縁層542b、半導体層543、一導電型を有する半導体層544a、一導電型を有する半導体層544b、ソース電極層又はドレイン電極層545a、ソース電極層又はドレイン電極層545bからなる薄膜トランジスタである。

【0205】

図26(A)は、ゲート電極層541上をソース電極層及びドレイン電極層545a、ソース電極層及びドレイン電極層545bの端部がc1だけ重なっている。ここでは、ソース電極層及びドレイン電極層545a、ソース電極層及びドレイン電極層545bとが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極層の幅b1がチャネル長a1よりも大きい。オーバーラップ領域の幅c1は、(b1-a1)/2で表される

10

20

30

40

50

。このようなオーバーラップ領域を有するnチャネルTFTは、ソース電極層及びドレイン電極層と、半導体領域との間に、n+領域とn-領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

【0206】

図26(B)は基板550上に形成された、ゲート電極層551、ゲート絶縁層552a、ゲート絶縁層552b、半導体層553、一導電型を有する半導体層554a、一導電型を有する半導体層554b、ソース電極層又はドレイン電極層555a、ソース電極層又はドレイン電極層555bからなる薄膜トランジスタである。

【0207】

図26(B)は、ゲート電極層551の端部と、ソース電極層及びドレイン電極層555a、ソース電極層及びドレイン電極層555bの端部が一致している。即ち、ゲート電極層の幅b2とチャネル長a2とが等しい。

【0208】

図26(C)は基板560上に形成された、ゲート電極層561、ゲート絶縁層562a、ゲート絶縁層562b、半導体層563、一導電型を有する半導体層564a、一導電型を有する半導体層564b、ソース電極層又はドレイン電極層565a、ソース電極層又はドレイン電極層565bからなる薄膜トランジスタである。

【0209】

図26(C)は、ゲート電極層561とソース電極層及びドレイン電極層565a、ソース電極層及びドレイン電極層565aの端部とがc3だけ離れている。ここでは、ここでは、ゲート電極層561と、ソース電極層及びドレイン電極層565a、ソース電極層及びドレイン電極層565aとが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極層の幅b3がチャネル長a3よりも小さい。オフセット領域の幅c3は、(a3 - b3) / 2で表される。このような構造のTFTは、オフ電流を低減することができるため、該TFTを表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

【0210】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造のTFTとしても良い。この様な構造のTFTも、オフ電流を低減することができる。

【0211】

なお、本実施の形態では、実施の形態1で示したように、ゲート絶縁膜を3層構造としている。

【0212】

本実施の形態は、実施の形態1乃至12とそれぞれ組み合わせて用いることが可能である。

【0213】

(実施の形態14)

上記実施の形態において、チャネル形成領域表面に対して垂直な端部を有するソース電極層及びドレイン電極層を示したが、この構造に限定されない。本実施の形態では、一導電型を有する半導体層の形状が異なる例を図25を用いて説明する。

【0214】

図25は基板520上に形成された、ゲート電極層521、ゲート絶縁層522a、ゲート絶縁層522b、半導体層523、一導電型を有する半導体層524a、一導電型を有する半導体層524b、ソース電極層又はドレイン電極層525a、ソース電極層又はドレイン電極層525bからなる薄膜トランジスタである。

【0215】

図25に示すように、一導電型を有する半導体層524a、及び一導電型を有する半導体層524bは、チャネル形成領域表面に対して90度より大きく、180度未満、好ましくは95~140度、さらに好ましくは135度~140度を有する端部であっても

10

20

30

40

50

よい。また、ソース電極層とチャネル形成領域表面との角度を 1、ドレイン電極層とチャネル形成領域表面との角度を 2 とすると、1 と 2 が等しくてもよい。また、異なっていてもよい。このような形状のソース電極及びドレイン電極は、ドライエッチング法により形成することが可能である。

【0216】

本実施の形態は、実施の形態 1 乃至 13 とそれぞれ組み合わせて用いることが可能である。

【0217】

(実施の形態 15)

本実施の形態では、上記実施の形態に適応可能な半導体膜の結晶化工程を図 24 を用いて説明する。図 24 (B) は、図 24 (A) の上面図である。また、図 24 (D) は、図 24 (C) の上面図である。

【0218】

図 24において、基板 500 上に、ゲート電極層 501、ゲート絶縁膜 502a、ゲート絶縁膜 502b が形成され、次に、金属膜を形成後、フォトリソ工程を用いて金属膜をパターニングして選択的に金属層 503 形成した後、非晶質半導体膜 504 が形成されている。半導体膜 504 上に不純物を含む半導体膜 505 を形成する(図 24 (A))。本実施例では、不純物を含む半導体膜 505 には、n 型を付与する不純物元素(本実施の形態ではリンを用いる)が含まれている。なお、本実施の形態では、実施の形態 1 で示したように、ゲート絶縁膜を 3 層構造としている。

【0219】

次に、加熱処理により、非晶質半導体膜 504 の結晶化とゲッタリングを同時に行なう。非晶質半導体膜を加熱すると、図 24 (C) 及び図 24 (D) の矢印で示すように、金属層 503 と半導体膜との接触部分から、基板の表面に平行な方向へ結晶成長が発生し、結晶性半導体膜 506 が形成する。また、不純物を含む半導体膜 505 は、金属元素を有した不純物を含む半導体膜 507 が形成される。なお、金属層 503 から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。

【0220】

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、より高い移動度を有する薄膜トランジスタを形成することができる。

【0221】

本実施の形態は、実施の形態 1 乃至 14 とそれぞれ組み合わせて用いることが可能である。

【0222】

(実施の形態 16)

本発明の半導体装置に具備される保護回路の一例について説明する。

【0223】

図 29 で示すように、外部回路と内部回路の間に保護回路 2713 を形成することができる。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1 つの入力端子に対応した保護回路の等価回路図の構成について、図 41 を用いて説明する。図 41 (A) に示す保護回路は、p チャネル型薄膜トランジスタ 7220、7230、容量素子 7210、7240、抵抗素子 7250 を有する。抵抗素子 7250 は 2 端子の抵抗であり、一端には入力電圧 V_{in} (以下、 V_{in} と表記) が、他端には低電位電圧 V_{SS} (以下、 V_{SS} と表記) が与えられる。

【0224】

図 41 (B) に示す保護回路は、p チャネル型薄膜トランジスタ 7220、7230 を、整流性を有するダイオード 7260、7270 で代用した等価回路図である。図 41 (

10

20

30

40

50

C)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図41(D)に示す保護回路は、抵抗7280、7290と、nチャネル型薄膜トランジスタ7300を有する。図41(E)に示す保護回路は、抵抗7280、7290、pチャネル型薄膜トランジスタ7310及びnチャネル型薄膜トランジスタ7320を有する。保護回路を設けることで電位の急激な変動を防いで、素子の破壊又は損傷を防ぐことができ、信頼性が向上する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

【0225】

10

本実施の形態は、実施の形態1乃至15とそれぞれ組み合わせて用いることが可能である。

【0226】

(実施の形態17)

本発明を適用して薄膜トランジスタを形成し、該薄膜トランジスタを用いて表示装置を形成することができるが、発光素子を用いて、なおかつ、該発光素子を駆動するトランジスタとしてN型トランジスタを用いた場合、該発光素子から発せられる光は、下面放射、上面放射、両面放射のいずれかを行う。ここでは、いずれの場合に応じた発光素子の積層構造について、図45を用いて説明する。

【0227】

20

また、本実施の形態では、本発明を適用したチャネルエッチ型の薄膜トランジスタ671、681及び691を用いる。本実施の形態では、半導体層として結晶性の構造を有する珪素膜を用い、一導電型の半導体層としてN型の半導体層を用いる。N型半導体層を形成するかわりに、PH₃ガスによるプラズマ処理を行うことによって、半導体層に導電型を付与してもよい。半導体層は本実施の形態に限定されず、一導電型の半導体層を形成せず、結晶性半導体層に不純物を導入(添加)して一導電型を有する不純物領域を形成してもよい。

【0228】

また、薄膜トランジスタはチャネル保護層を有するチャネル保護型の薄膜トランジスタでもよく、スピンドル法、ディップ法やスリッドコーティング法等を用いてポリイミド又はポリビニルアルコール等を全面に塗布した後、フォトリソ工程を用いてパターンを形成しチャネル保護層を形成する。チャネル保護層としては、無機材料(酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など)、感光性または非感光性の有機材料(有機樹脂材料)(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど)、低誘電率であるLOW-k材料などの一種、もしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。塗布法で得られるTOF膜やSOG膜なども用いることができる。

30

【0229】

40

まず、基板680側に放射する場合、つまり下面放射を行う場合について、図45(A)を用いて説明する。この場合、薄膜トランジスタ681に電気的に接続するように、ソース電極層又はドレイン電極層に接続する配線層682に接して、第1の電極層684、電界発光層685、第2の電極層686が順に積層される。光が透過する基板680は透光性を有する必要がある。次に、基板690と反対側に放射する場合、つまり上面放射を行う場合について、図45(B)を用いて説明する。薄膜トランジスタ691は、前述した薄膜トランジスタの同様に形成することができる。

【0230】

50

薄膜トランジスタ 691 に電気的に接続するソース電極層又はドレイン電極層に接続する配線層 692 が第1の電極層 684 と接し、電気的に接続する。薄膜トランジスタ 691 のゲート電極層は積層構造となっており、同工程同材料で形成される第1の電極層も第1の電極層 693a、第1の電極層 693b の積層構造となっている。第1の電極層 693a は反射性を有する金属層であり、発光素子から放射される光を矢印の上面に反射する。よって、第1の電極層 693b において光が透過しても、該光は第1の電極層 693a において反射され、基板 690 と反対側に放射する。もちろん第1の電極層は反射性を有する金属層の単層構造でもよい。第1の電極層 693a、第1の電極層 693b、電界発光層 694、第2の電極層 695 が順に積層される。最後に、光が基板 670 側とその反対側の両側に放射する場合、つまり両面放射を行う場合について、図 45 (C) を用いて説明する。薄膜トランジスタ 671 は、薄膜トランジスタ 681 と同様のチャネルエッチ型の薄膜トランジスタであり。薄膜トランジスタ 671 に電気的に接続するソース電極層又はドレイン電極層と接続する配線層 675 に第1の電極層 672 が電気的に接続している。第1の電極層 672、電界発光層 673、第2の電極層 674 が順に積層される。このとき、第1の電極層 672 と第2の電極層 674 のどちらも透光性を有する材料、又は光を透過できる厚さで形成すると、両面放射が実現する。この場合、光が透過する絶縁層や基板 670 も透光性を有する必要がある。
10

【0231】

本実施の形態において適用できる発光素子の形態を図 44 に示す。発光素子は、電界発光層 860 を第1の電極層 870 と第2の電極層 850 で挟んだ構成になっている。第1の電極層及び第2の電極層は仕事関数を考慮して材料を選択する必要があり、そして第1の電極層及び第2の電極層は、画素構成によりいずれも陽極、又は陰極となりうる。本実施の形態では、駆動用 TFT の極性が N チャネル型であるため、第1の電極層を陰極、第2の電極層を陽極とすると好ましい。また駆動用 TFT の極性が p チャネル型である場合、第1の電極層を陽極、第2の電極層を陰極とするとよい。
20

【0232】

図 44 (A) 及び (B) は、第1の電極層 870 が陽極であり、第2の電極層 850 が陰極である場合であり、電界発光層 860 は、第1の電極層 870 側から、HIL (ホール注入層) / HTL (ホール輸送層) 804、EML (発光層) 803、ETL (電子輸送層) / EIL (電子注入層) 802、第2の電極層 850 の順に積層するのが好ましい。図 44 (A) は第1の電極層 870 から光を放射する構成であり、第1の電極層 870 は透光性を有する酸化物導電性材料からなる電極層 805 で構成し、第2の電極層は電界発光層 860 側から、LiF や MgAg などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されている。図 44 (B) は第2の電極層 850 から光を放射する構成であり、第1の電極層は、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層 807 と、酸化珪素を 1 ~ 15 原子% の濃度で含む酸化物導電性材料で形成する第2の電極層 806 より構成されている。第2の電極層は、第2の電極層は電界発光層 860 側から、LiF や MgAg などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されているがいずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第2の電極層 850 から光を放射することが可能となる。
30
40

【0233】

図 44 (C) 及び (D) は、第1の電極層 870 が陰極であり、第2の電極層 850 が陽極である場合であり、電界発光層 860 は、陰極側から EIL (電子注入層) / ETL (電子輸送層) 802、EML (発光層) 803、HTL (ホール輸送層) / HIL (ホール注入層) 804、陽極である第2の電極層 850 の順に積層するのが好ましい。図 44 (C) は第1の電極層 870 から光を放射する構成であり、第1の電極層 870 は電界発光層 860 側から、LiF や MgAg などアルカリ金属又はアルカリ土類金属を含む電
50

極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されているが、いずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第 1 の電極層 870 から光を放射することが可能となる。第 2 の電極層は、電界発光層 860 側から、酸化珪素を 1 ~ 15 原子% の濃度で含む酸化物導電性材料で形成する第 2 の電極層 806 、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層 807 より構成されている。図 44 (D) は第 2 の電極層 850 から光を放射する構成であり、第 1 の電極層 870 は電界発光層 860 側から、LiF や MgAg などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されており、膜厚は電界発光層 860 で発光した光を反射可能な程度に厚く形成している。第 2 の電極層 850 は、透光性を有する酸化物導電性材料からなる電極層 805 で構成されている。なお電界発光層は、積層構造以外に単層構造、又は混合構造をとることがある。

【 0234 】

また、電界発光層として、赤色 (R) 、緑色 (G) 、青色 (B) の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色 (R) 、緑色 (G) 、青色 (B) の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき（低分子または高分子材料など）、この場合マスクを用いずとも、RGB の塗り分けを行うことができるため好ましい。

【 0235 】

また上面放射型の場合で、第 2 の電極層に透光性を有するITO や ITO を用いる場合、ベンゾオキサゾール誘導体 (BzOS) に Li を添加した BzOS - Li などを用いることができる。また例えば EML は、R 、 G 、 B のそれぞれの発光色に対応したドーパント (R の場合 DCM 等、G の場合 DMQD 等) をドープした Alq₃ を用いればよい。

【 0236 】

なお、電界発光層は上記材料に限定されない。例えば、CuPc や PEDOT の代わりに酸化モリブデン (MoO_x : x = 2 ~ 3) 等の酸化物と -NPD やルブレンを共蒸着して形成し、ホール注入性を向上させることもできる。また電界発光層の材料は、有機材料（低分子又は高分子を含む）、又は有機材料と無機材料の複合材料として用いることができる。以下発光素子を形成する材料について詳細に述べる。

【 0237 】

電荷注入輸送物質のうち、特に電子輸送性の高い物質としては、例えばトリス (8-キノリノラト) アルミニウム（略称：Alq₃ ）、トリス (5-メチル-8-キノリノラト) アルミニウム（略称：Almq₃ ）、ビス (10-ヒドロキシベンゾ [h] -キノリナト) ベリリウム（略称：BeBq₂ ）、ビス (2-メチル-8-キノリノラト) -4- フェニルフェノラト - アルミニウム（略称：BALq ）など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等が挙げられる。また正孔輸送性の高い物質としては、例えば 4,4'-ビス [N-(1-ナフチル)-N-フェニル-アミノ] - ビフェニル（略称：-NPD ）や 4,4'-ビス [N-(3-メチルフェニル)-N-フェニル-アミノ] - ビフェニル（略称：TPD ）や 4,4',4''-トリス (N,N-ジフェニル-アミノ) - トリフェニルアミン（略称：TDATA ）、4,4',4''-トリス [N-(3-メチルフェニル)-N-フェニル-アミノ] - トリフェニルアミン（略称：MTDATA ）などの芳香族アミン系（即ち、ベンゼン環 - 窒素の結合を有する）の化合物が挙げられる。

【 0238 】

また、電荷注入輸送物質のうち、特に電子注入性の高い物質としては、フッ化リチウム (LiF) 、フッ化セシウム (CsF) 、フッ化カルシウム (CaF₂) 等のようなアルカリ金属又はアルカリ土類金属の化合物が挙げられる。また、この他、Alq₃ のような電子輸送性の高い物質とマグネシウム (Mg) のようなアルカリ土類金属との混合物であつてもよい。

【 0239 】

10

20

30

40

50

電荷注入輸送物質のうち、正孔注入性の高い物質としては、例えば、モリブデン酸化物（M_oO_x）やバナジウム酸化物（V_Ox）、ルテニウム酸化物（R_uO_x）、タングステン酸化物（W_Ox）、マンガン酸化物（M_nO_x）等の金属酸化物が挙げられる。また、この他、フタロシアニン（略称：H₂Pc）や銅フタロシアニン（CuPc）等のフタロシアニン系の化合物が挙げられる。

【0240】

発光層は、発光波長帯の異なる発光層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R（赤）、G（緑）、B（青）の各色に対応した発光層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルターを設けた構成とすることで、色純度の向上や、画素部の鏡面化（映り込み）の防止を図ることができる。10 フィルターを設けることで、従来必要であるとされていた円偏光版などを省略することが可能となり、発光層から放射される光の損失を無くすことができる。さらに、斜方から画素部（表示画面）を見た場合に起こる色調の変化を低減することができる。

【0241】

発光材料には様々な材料がある。低分子系有機発光材料では、4-ジシアノメチレン-2-メチル-6-(1,1,7,7-テトラメチルジュロリジル-9-エニル)-4H-ピラン（略称：DCJT）、4-ジシアノメチレン-2-t-ブチル-6-(1,1,7,7-テトラメチルジュロリジル-9-エニル)-4H-ピラン（略称：DPA）、ペリフランテン、2,5-ジシアノ-1,4-ビス(10-メトキシ-1,1,7,7-テトラメチルジュロリジル-9-エニル)ベンゼン、N,N'-ジメチルキナクリドン（略称：DMQd）、クマリン6、クマリン545T、トリス(8-キノリノラト)アルミニウム（略称：Alq₃）、9,9'-ビアントリル、9,10-ジフェニルアントラセン（略称：DPA）や9,10-ビス(2-ナフチル)アントラセン（略称：DNA）等を用いることができる。また、この他の物質でもよい。20

【0242】

一方、高分子系有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することができるるので、素子の作製が比較的容易である。高分子系有機発光材料を用いた発光素子の構造は、低分子系有機発光材料を用いたときと基本的には同じであり、陰極／有機発光層／陽極となる。しかし、高分子系有機発光材料を用いた発光層を形成する際には、低分子系有機発光材料を用いたときのような積層構造を形成させることは難しく、多くの場合2層構造となる。具体的には、陰極／発光層／正孔輸送層／陽極という構造である。30

【0243】

発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【0244】

ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン)[PPV]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン)[RO-PPV]、40 ポリ(2-(2'-エチル-ヘキソキシ)-5-メトキシ-1,4-フェニレンビニレン)[MEH-PPV]、ポリ(2-(ジアルコキシフェニル)-1,4-フェニレンビニレン)[ROP_h-PPV]等が挙げられる。ポリパラフェニレン系には、ポリパラフェニレン[PPP]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレン)[RO-PP]、ポリ(2,5-ジヘキソキシ-1,4-フェニレン)等が挙げられる。ポリチオフェン系には、ポリチオフェン[PT]の誘導体、ポリ(3-アルキルチオフェン)[PAT]、ポリ(3-ヘキシリチオフェン)[PHT]、ポリ(3-シクロヘキシリチオフェン)[PCHT]、ポリ(3-シクロヘキシリ-4-メチルチオフェン)[PCHMT]、ポリ(3,4-ジシクロヘキシリチオフェン)[PDCHT]、ポリ[3-(4-オクチルフェニル)-チオフェン][POPT]、ポリ[3-(4-オクチルフェニル)-50

2,2ビチオフェン] [PTOPT] 等が挙げられる。ポリフルオレン系には、ポリフルオレン [PF] の誘導体、ポリ(9,9-ジアルキルフルオレン) [PDAF]、ポリ(9,9-ジオクチルフルオレン) [PDOF] 等が挙げられる。

【0245】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンドルコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。10

【0246】

また、発光層は単色又は白色の発光を呈する構成とすることができます。白色発光材料を用いる場合には、画素の光放射側に特定の波長の光を透過するフィルター(着色層)を設けた構成としてカラー表示を可能にすることができます。

【0247】

白色に発光する発光層を形成するには、例えば、Alq₃、部分的に赤色発光色素であるナイルレッドをドープしたAlq₃、Alq₃、p-EtTAZ、TPD(芳香族ジアミン)を蒸着法により順次積層することで白色を得ることができます。また、スピンドルコートを用いた塗布法によりELを形成する場合には、塗布した後、真空加熱で焼成が好み。例えば、正孔注入層として作用するポリ(エチレンジオキシチオフェン)/ポリ(スチレンスルホン酸)水溶液(PEDOT/PSS)を全面に塗布、焼成し、その後、発光層として作用する発光中心色素(1,1,4,4-テトラフェニル-1,3-ブタジエン(TPB)、4-ジシアノメチレン-2-メチル-6-(p-ジメチルアミノ-スチリル)-4H-ピラン(DCM1)、ナイルレッド、クマリン6など)ドープしたポリビニカルバゾール(PVK)溶液を全面に塗布、焼成すればよい。20

【0248】

発光層は単層で形成することもでき、ホール輸送性のポリビニカルバゾール(PVK)に電子輸送性の1,3,4-オキサジアゾール誘導体(PBD)を分散させてもよい。また、30wt%のPBDを電子輸送剤として分散し、4種類の色素(TPB、クマリン6、DCM1、ナイルレッド)を適定量分散することで白色発光が得られる。ここで示した白色発光が得られる発光素子の他にも、発光層の材料を適宜選択することによって、赤色発光、緑色発光、または青色発光が得られる発光素子を作製することができます。30

【0249】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができます。一般にアクセプター材料と共に水に溶解させたものをスピンドルコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。40

【0250】

さらに、発光層は、一重項励起発光材料の他、金属錯体などを含む三重項励起材料を用いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なくて済むという特徴がある。すなわち、赤色画素に適用した場合、発光素子に流す電流量が少なくて済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高50

い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

【0251】

三重項励起発光材料の一例としては、金属錯体をドーパントとして用いたものがあり、第三遷移系列元素である白金を中心金属とする金属錯体、イリジウムを中心金属とする金属錯体などが知られている。三重項励起発光材料としては、これらの化合物に限られることはなく、上記構造を有し、且つ中心金属に周期表の8～10属に属する元素を有する化合物を用いることも可能である。

【0252】

以上に掲げる発光層を形成する物質は一例であり、正孔注入輸送層、正孔輸送層、電子注入輸送層、電子輸送層、発光層、電子ブロック層、正孔ブロック層などの機能性の各層を適宜積層することで発光素子を形成することができる。また、これらの各層を合わせた混合層又は混合接合を形成しても良い。発光層の層構造は変化しうるものであり、特定の電子注入領域や発光領域を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする变形は、本発明の趣旨を逸脱しない範囲において許容されうるものである。10

【0253】

上記のような材料で形成した発光素子は、順方向にバイアスすることで発光する。発光素子を用いて形成する表示装置の画素は、単純マトリクス方式、若しくは実施例2で示すようなアクティブマトリクス方式で駆動することができる。いずれにしても、個々の画素は、ある特定のタイミングで順方向バイアスを印加して発光させることとなるが、ある一定期間は非発光状態となっている。この非発光時間に逆方向のバイアスを印加することで発光素子の信頼性を向上させることができる。発光素子では、一定駆動条件下で発光強度が低下する劣化や、画素内で非発光領域が拡大して見かけ上輝度が低下する劣化モードがあるが、順方向及び逆方向にバイアスを印加する交流的な駆動を行うことで、劣化の進行を遅くすることができ、発光装置の信頼性を向上させることができる。また、デジタル駆動、アナログ駆動どちらでも適用可能である。20

【0254】

よって、図45には図示していないが、基板680の封止基板にカラーフィルタ（着色層）を形成してもよい。カラーフィルタ（着色層）は液滴吐出法によって形成することができ、その場合、前述の下地前処理として光照射処理などを適用することができる。本発明を用いると、所望なパターンに制御性よくカラーフィルタ（着色層）を形成することができる。カラーフィルタ（着色層）を用いると、高精細な表示を行うこともできる。カラーフィルタ（着色層）により、各RGBの発光スペクトルにおいてプロードなピークを鋭くなるように補正できるからである。30

【0255】

以上、各RGBの発光を示す材料を形成する場合を説明したが、単色の発光を示す材料を形成し、カラーフィルターや色変換層を組み合わせることによりフルカラー表示を行うことができる。カラーフィルタ（着色層）や色変換層は、例えば第2の基板（封止基板）に形成し、基板へ張り合わせればよい。また上述したように、単色の発光を示す材料、カラーフィルタ（着色層）、及び色変換層のいずれも液滴吐出法により形成することができる。40

【0256】

もちろん単色発光の表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示装置を形成してもよい。エリアカラータイプは、パッシブマトリクス型の表示部が適しており、主に文字や記号を表示することができる。

【0257】

上記構成において、陰極としては、仕事関数が小さい材料を用いることが可能で、例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれでもよい。またシングレット材料、トリプレット

材料、又はそれらを組み合わせた材料や、有機化合物又は無機化合物を含む電荷注入輸送物質及び発光材料で形成し、その分子数から低分子系有機化合物、中分子系有機化合物（昇華性を有さず、且つ分子数が20以下、又は連鎖する分子の長さが10μm以下の有機化合物を指していう）、高分子系有機化合物から選ばれた一種又は複数種の層を含み、電子注入輸送性又は正孔注入輸送性の無機化合物と組み合わせてもよい。第1の電極層684、第1の電極層693a、第1の電極層672は光を透過する透明導電膜を用いて形成し、例えはITO、ITSOの他、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。なお、第1の電極層684、第1の電極層693a、第1の電極層693b、第1の電極層672形成前に、酸素雰囲気中でのプラズマ処理や真空雰囲気下での加熱処理を行うとよい。隔壁（土手ともいう）は、珪素を含む材料、有機材料及び化合物材料を用いて形成する。また、多孔質膜を用いても良い。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。本実施の形態は、実施の形態1乃至16とそれぞれ組み合わせて用いることが可能である。
10

(実施の形態18)

本実施の形態で示す表示パネルの画素の構成について、図46に示す等価回路図を参照して説明する。

【0258】

図46(A)に示す画素は、列方向に信号線710及び電源線711、電源線712、電源線713、行方向に走査線714が配置される。また、TFT701は、スイッチング用TFT、TFT703は駆動用TFT、TFT704は電流制御用TFTであり、他に容量素子702及び発光素子705を有する。
20

【0259】

図46(C)に示す画素は、TFT703のゲート電極が、行方向に配置された電源線715に接続される点が異なっており、それ以外は図46(A)に示す画素と同じ構成である。つまり、図46(A)(C)に示す両画素は、同じ等価回路図を示す。しかしながら、行方向に電源線712が配置される場合(図46(A))と、列方向に電源線715が配置される場合(図46(C))では、各電源線は異なるレイヤーの導電体層で形成される。ここでは、TFT703のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図46(A)(C)として分けて記載する。
30

【0260】

図46(A)(C)に示す画素の特徴として、画素内にTFT703、TFT704が直列に接続されており、TFT703のチャネル長L₃、チャネル幅W₃、TFT704のチャネル長L₄、チャネル幅W₄は、L₃/W₃:L₄/W₄=5~6000:1を満たすように設定される点が挙げられる。6000:1を満たす場合の一例としては、L₃が500μm、W₃が3μm、L₄が3μm、W₄が100μmの場合がある。また本発明を用いると、微細なパターニングができるので、このようなチャネル幅が短い微細な配線も、ショート等の不良が生じることなく安定的に形成することができる。よって、図47(A)(C)のような画素を十分機能させるのに必要な電気特性を有するTFTを形成でき、表示能力の優れた信頼性の高い表示パネルを作製することが可能となる。
40

【0261】

なお、TFT703は、飽和領域で動作し発光素子705に流れる電流値を制御する役目を有し、TFT704は線形領域で動作し発光素子705に対する電流の供給を制御する役目を有する。両TFTは同じ導電型を有していると作製工程上好ましい。またTFT703には、エンハンスマント型だけでなく、ディプリーション型のTFTを用いてもよい。上記構成を有する本発明は、TFT704が線形領域で動作するために、TFT704のV_{GS}の僅かな変動は発光素子705の電流値に影響を及ぼさない。つまり、発光素子705の電流値は、飽和領域で動作するTFT703により決定される。上記構成を有する本発明は、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。
50

【 0 2 6 2 】

図46(A)～(D)に示す画素において、TFT701は、画素に対するビデオ信号の入力を制御するものであり、TFT701がオンして、画素内にビデオ信号が入力されると、容量素子702にそのビデオ信号が保持される。なお図46(A)(C)には、容量素子702を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでもかなうことが可能な場合には、明示的に容量素子702を設けなくてもよい。

【 0 2 6 3 】

発光素子705は、2つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間（陽極と陰極の間）に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【 0 2 6 4 】

図46(B)に示す画素は、TFT706と走査線716を追加している以外は、図46(A)に示す画素構成と同じである。同様に、図46(D)に示す画素は、TFT706と走査線716を追加している以外は、図46(C)に示す画素構成と同じである。

【 0 2 6 5 】

TFT706は、新たに配置された走査線716によりオン又はオフが制御される。TFT706がオンになると、容量素子702に保持された電荷は放電し、TFT706がオフする。つまり、TFT706の配置により、強制的に発光素子705に電流が流れない状態を作ることができる。従って、図46(B)(D)の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【 0 2 6 6 】

図46(E)に示す画素は、列方向に信号線750、電源線751、電源線752、行方向に走査線753が配置される。また、TFT741はスイッチング用TFT、TFT743は駆動用TFTであり、他に容量素子742及び発光素子744を有する。図46(F)に示す画素は、TFT745と走査線754を追加している以外は、図46(E)に示す画素構成と同じである。なお、図46(F)の構成も、TFT745の配置により、デューティ比を向上することが可能となる。

【 0 2 6 7 】

以上のように、本発明を用いると、配線等のパターンを形成不良を生じることなく精密に安定して形成することができる。TFTに高い電気的特性や信頼性をも付与することができ、使用目的に合わせて画素の表示能力を向上するための応用技術にも十分対応できる。

【 0 2 6 8 】

本実施の形態は、実施の形態1乃至17とそれぞれ組み合わせて用いることが可能である。

【 0 2 6 9 】**(実施の形態19)**

図22は、本発明を適用して作製されるTFT基板2800を用いてEL表示モジュールを構成する一例を示している。図22において、TFT基板2800上には、画素により構成された画素部が形成されている。

【 0 2 7 0 】

図22では、画素部の外側であって、駆動回路と画素との間に、画素に形成されたものと同様なTFT又はそのTFTのゲートとソース若しくはドレインの一方とを接続してダイオードと同様に動作させた保護回路部2801が備えられている。駆動回路2809は、単結晶半導体で形成されたドライバIC、ガラス基板上に多結晶半導体膜で形成されたスティックドライバIC、若しくはSASで形成された駆動回路などが適用されている。

10

20

30

40

50

【0271】

TFT基板2800は、液滴吐出法で形成されたスペーサ2806a、スペーサ2806bを介して封止基板2820と固着されている。スペーサは、基板の厚さが薄く、また画素部の面積が大型化した場合にも、2枚の基板の間隔を一定に保つために設けておくことが好ましい。TFT2802、TFT2803とそれぞれ接続する発光素子2804、発光素子2805上であって、TFT基板2800と封止基板2820との間にある空隙には透光性の樹脂材料を充填して固体化しても良いし、無水化した窒素若しくは不活性気体を充填させても良い。

【0272】

図22では発光素子2804、発光素子2805、発光素子2815を上面放射型（トップエミッション型）の構成とした場合を示し、図中に示す矢印の方向に光を放射する構成としている。各画素は、画素を赤色、緑色、青色として発光色を異なれておくことで、多色表示を行うことができる。また、このとき封止基板2820側に各色に対応した着色層2807a、着色層2807b、着色層2807cを形成しておくことで、外部に放射される発光の色純度を高めることができる。また、画素を白色発光素子として着色層2807a、着色層2807b、着色層2807cと組み合わせても良い。

10

【0273】

外部回路である駆動回路2809は、TFT基板2800の一端に設けられた走査線若しくは信号線接続端子と、配線基板2810で接続される。また、TFT基板2800に接して若しくは近接させて、ヒートパイプ2813と放熱板2812を設け、放熱効果を高める構成としても良い。

20

【0274】

なお、図22では、トップエミッションのELモジュールとしたが、発光素子の構成や外部回路基板の配置を変えてボトムエミッション構造、もちろん上面、下面両方から光が放射する両面放射構造としても良い。トップエミッション型の構成の場合、隔壁となる絶縁層を着色しブラックマトリクスとして用いてもよい。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、顔料系の黒色樹脂やカーボンブラック等を混合させて形成すればよく、その積層でもよい。

【0275】

また、TFT基板2800において、画素部が形成された側にシール材や接着性の樹脂を用いて樹脂フィルムを貼り付けて封止構造を形成てもよい。本実施の形態では、ガラス基板を用いるガラス封止を示したが、樹脂による樹脂封止、プラスチックによるプラスチック封止、フィルムによるフィルム封止、など様々な封止方法を用いることができる。樹脂フィルムの表面には水蒸気の透過を防止するガスバリア膜を設けておくと良い。フィルム封止構造とすることで、さらなる薄型化及び軽量化を図ることができる。

30

【0276】

本実施の形態は、実施の形態1乃至18とそれぞれ組み合わせて用いることが可能である。

【0277】

(実施の形態20)

40

上記実施の形態により作製されるEL表示パネルによって、ELテレビジョン装置を完成させることができる。EL表示パネルには、図28(A)で示すような構成として画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とが、図29(B)のようなTAB方式により実装される場合と、図29(A)のようなCOG方式により実装される場合と、図28(B)に示すようにSASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合、また図28(C)のように画素部と信号線側駆動回路と走査線側駆動回路を基板上に一体形成する場合などがあるが、どのような形態としても良い。

【0278】

その他の外部回路の構成として、映像信号の入力側では、チューナで受信した信号のう

50

ち、映像信号を増幅する映像信号增幅回路と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路などからなっている。コントロール回路は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0279】

チューナで受信した信号のうち、音声信号は、音声信号增幅回路に送られ、その出力は音声信号処理回路を経てスピーカに供給される。制御回路は受信局（受信周波数）や音量の制御情報を入力部から受け、チューナや音声信号処理回路に信号を送出する。

【0280】

表示モジュールを、図36(A)、(B)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。図22のようなEL表示モジュールを用いると、ELテレビジョン装置を完成することができる。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、本発明によりテレビジョン装置を完成させることができる。

【0281】

また、EL表示モジュールは、図23に示すように、位相差板や偏光板を用いて、外部から入射する光の反射光を遮断する構成にしてもよい。図23はトップエミッション型の構成であり、隔壁となる絶縁層3605を着色しブラックマトリクスとして用いている。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、カーボンブラック等を混合させててもよく、その積層でもよい。本実施の形態では、顔料系の黒色樹脂を用いる。位相差板3603、位相差板3604としては /4 \ /2 を用い、光を制御できるように設計すればよい。構成としては、TFT基板2800\発光素子2804\封止基板（封止材）2820\位相差板3603、位相差板3604（/4 \ /2)\偏光板3602となり、発光素子から放射された光は、これらを通過し偏光板側より外部に放射される。この位相差板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の表示装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜3601を有していても良い。これにより、より高繊細で精密な画像を表示することができる。

【0282】

筐体2001に発光素子（EL素子）を利用した表示用パネル2002が組みこまれ、受信機2005により一般的のテレビ放送の受信をはじめ、モ뎀2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

【0283】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。サブ画面2008も視野角の優れたEL表示用パネルで形成しても良い。本発明を用いると、このような大型基板を用いて、多くのTFTや電子部品を用いても、信頼性の高いEL表示装置とすることができます。

【0284】

図36(B)は例えば20~80インチの大型の表示部を有するテレビジョン装置であり、筐体2010、表示部2011、操作部であるリモコン装置2012、スピーカー部2013等を含む。本発明は、表示部2011の作製に適用される。図36(B)のテレビジョン装置は、壁かけ型となっており、設置するスペースを広く必要としない。

【0285】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをは

10

20

30

40

50

じめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0286】

(実施の形態21)

本発明を適用して、様々な表示装置を作製することができる。即ち、それら表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

【0287】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パソコン用コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの例を図27に示す。

【0288】

図27（A）は、ノート型パソコン用コンピュータであり、本体2101、筐体2102、表示部2103、キーボード2104、外部接続ポート2105、ポインティングマウス2106等を含む。本発明は、表示部2103の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

【0289】

図27（B）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2201、筐体2202、表示部A2203、表示部B2204、記録媒体（DVD等）読み込み部2205、操作キー2206、スピーカー部2207等を含む。表示部A2203は主として画像情報を表示し、表示部B2204は主として文字情報を表示するが、本発明は、これら表示部A、B2203、2204の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

【0290】

図27（C）は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示部2304、操作スイッチ2305、アンテナ2306等を含む。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化する携帯電話であっても、信頼性の高い高画質な画像を表示できる。

【0291】

図27（D）はビデオカメラであり、本体2401、表示部2402、筐体2403、外部接続ポート2404、リモコン受信部2405、受像部2406、バッテリー2407、音声入力部2408、操作キー2409等を含む。本発明は、表示部2402に適用することができる。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化するビデオカメラであっても、信頼性の高い高画質な画像を表示できる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

【0292】

(実施の形態22)

本発明により無線チップ（無線プロセッサ、無線メモリ、無線タグともよぶ）として機能する半導体装置を形成することができる。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図47（A）参照）、包装用容器類（包装紙やボトル等、図47（C）参照）、記録媒体（DVDソフトやビデオテープ等、図47（B）参照）、乗物類（自転車等、図47（D）参照）、身の回り品（鞄や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札（図47（E）、図47（F）参照）等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。

10

20

30

40

50

【0293】

無線チップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証書類等に無線チップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。本発明より形成することが可能な無線チップは、基板上に形成した薄膜集積回路を、公知の剥離工程により剥離した後、カバー材に設けるため、小型、薄型、軽量であり、物品に実装しても、デザイン性を損なうことがない。更には、可とう性を有するため、瓶やパイプなど曲面を有するものにも用いることが可能である。10

【0294】

また、本発明より形成することが可能な無線チップを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、荷札に設けられる無線チップに記録された情報を、ベルトコンベアの脇に設けられたリーダライタで読み取ることで、流通過程及び配達先等の情報が読み出され、商品の検品や荷物の分配を簡単に行うことができる。

【0295】

本発明より形成することが可能な無線チップの構造について図48を用いて説明する。20
無線チップは、薄膜集積回路9303及びそれに接続されるアンテナ9304とで形成される。また、薄膜集積回路及びアンテナは、カバー材9301、9302により挟持される。薄膜集積回路9303は、接着剤を用いてカバー材に接着してもよい。図48においては、薄膜集積回路9303の一方が、接着剤9320を介してカバー材9301に接着されている。

【0296】

薄膜集積回路9303は、実施形態1～15のいずれかで示されるTFTを用いて形成した後、公知の剥離工程により剥離してカバー材に設ける。また、薄膜集積回路9303に用いられる半導体素子はこれに限定されない。例えば、TFTの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。30

【0297】

図48で示すように、薄膜集積回路9303のTFT上には層間絶縁膜9311が形成され、層間絶縁膜9311を介してTFTに接続するアンテナ9304が形成される。また、層間絶縁膜9311及びアンテナ9304上には、窒化珪素膜等からなるバリア膜9312が形成されている。

【0298】

アンテナ9304は、金、銀、銅等の導電体を有する液滴を液滴吐出法により吐出し、乾燥焼成して形成する。液滴吐出法によりアンテナを形成することで、工程数の削減が可能であり、それに伴うコスト削減が可能である。

【0299】

カバー材9301、9302は、ラミネートフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と、接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどを用いることが好ましい。ラミネートフィルムは、熱圧着により、被処理体とラミネート処理が行われるものであり、ラミネート処理を行う際には、ラミネートフィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。40

【0300】

また、カバー材に紙、繊維、カーボングラファイト等の焼却無公害素材を用いることに50

より、使用済み無線チップの焼却、又は裁断することが可能である。また、これらの材料を用いた無線チップは、焼却しても有毒ガスを発生しないため、無公害である。

【0301】

なお、図48では、接着剤9320を介してカバー材9301に無線チップを設けているが、該カバー材9301の代わりに、物品に無線チップを貼付けて、使用しても良い。

【図面の簡単な説明】

【0302】

【図1】本発明の表示装置を説明する図。

【図2】本発明の表示装置の作製方法を説明する図。

【図3】本発明の表示装置の作製方法を説明する図。

10

【図4】本発明の表示装置の作製方法を説明する図。

【図5】本発明の表示装置の作製方法を説明する図。

【図6】本発明の表示装置の作製方法を説明する図。

【図7】本発明の表示装置の作製方法を説明する図。

【図8】本発明の表示装置の作製方法を説明する図。

【図9】本発明の表示装置の作製方法を説明する図。

【図10】本発明の表示装置の作製方法を説明する図。

【図11】本発明の表示装置の作製方法を説明する図。

【図12】本発明の表示装置の作製方法を説明する図。

【図13】本発明の表示装置の作製方法を説明する図。

20

【図14】本発明の表示装置の作製方法を説明する図。

【図15】本発明の表示装置の作製方法を説明する図。

【図16】本発明の表示装置の作製方法を説明する図。

【図17】本発明の表示装置の作製方法を説明する図。

【図18】本発明の表示装置の作製方法を説明する図。

【図19】本発明の表示装置の作製方法を説明する図。

【図20】本発明の表示装置の作製方法を説明する図。

【図21】本発明の表示装置の作製方法を説明する図。

【図22】本発明のEL表示モジュールの構成を説明する図。

【図23】本発明のEL表示モジュールの構成を説明する図。

30

【図24】本発明の表示装置の説明する図。

【図25】本発明の表示装置の説明する図。

【図26】本発明の表示装置の説明する図。

【図27】本発明が適用される電子機器を示す図。

【図28】本発明のEL表示パネルを説明する上面図。

【図29】本発明のEL表示パネルを説明する上面図。

【図30】本発明の表示装置の説明する図。

【図31】本発明の表示装置の説明する図。

【図32】本発明の表示装置の説明する図。

【図33】本発明の表示装置の説明する図。

40

【図34】本発明の表示装置の説明する図。

【図35】本発明の表示装置の説明する図。

【図36】本発明が適用される電子機器を示す図。

【図37】本発明の表示装置の説明する図。

【図38】本発明の表示装置の説明する図。

【図39】本発明の表示装置の説明する図。

【図40】本発明の表示装置の説明する図。

【図41】本発明が適用される保護回路を示す図。

【図42】本発明のEL表示パネルを説明する図。

【図43】本発明の表示装置の説明する図。

50

【図44】本発明に適用できる発光素子の構成を説明する図。

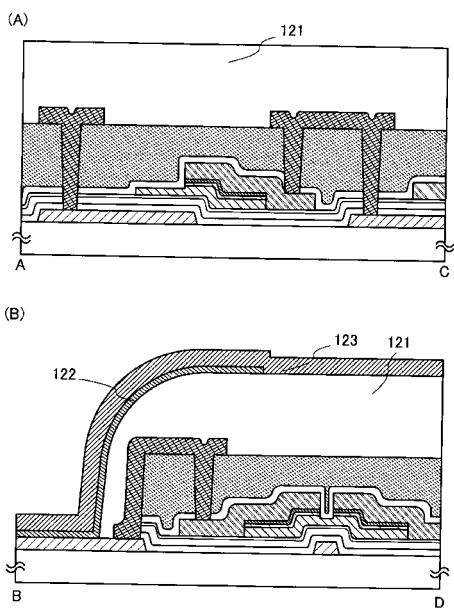
【図45】本発明の表示装置の説明する図。

【図46】本発明のEL表示パネルに適用できる画素の構成を説明する回路図。

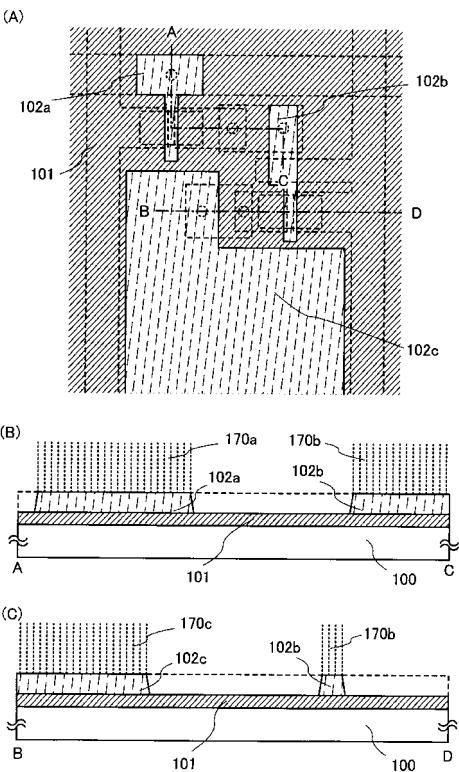
【図47】本発明が適用される半導体装置を示す図。

【図48】本発明が適用される半導体装置を示す図。

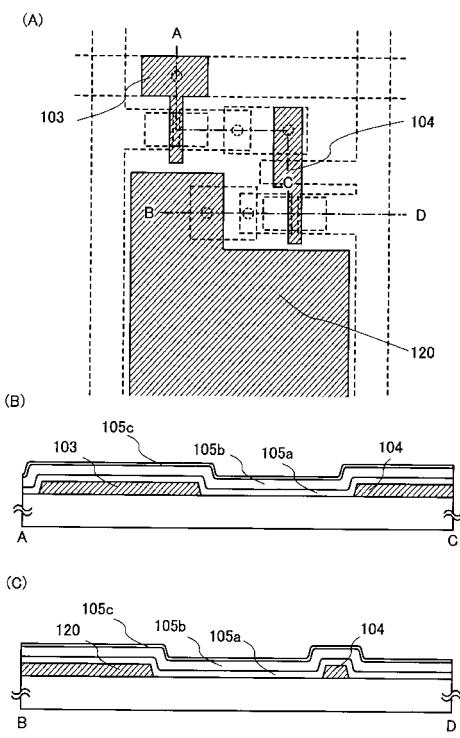
【図1】



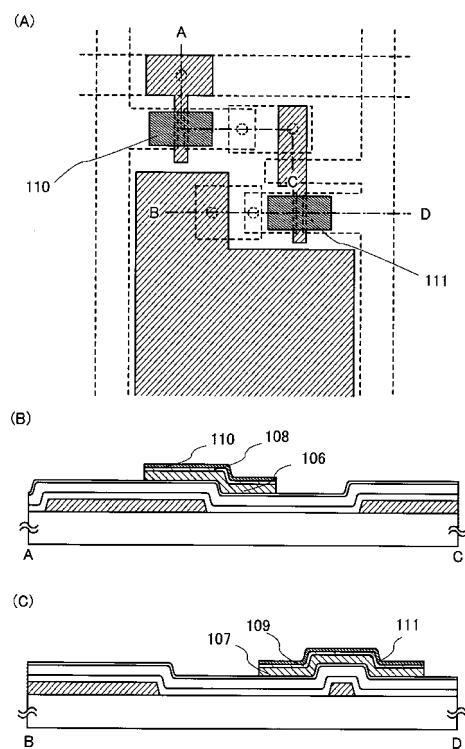
【図2】



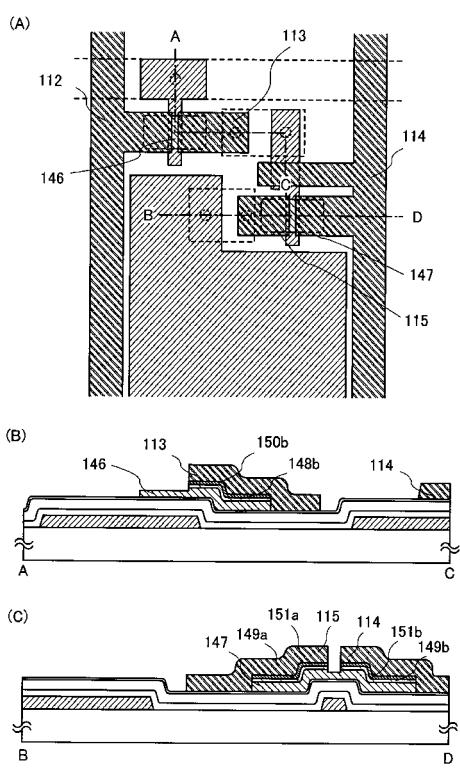
【図3】



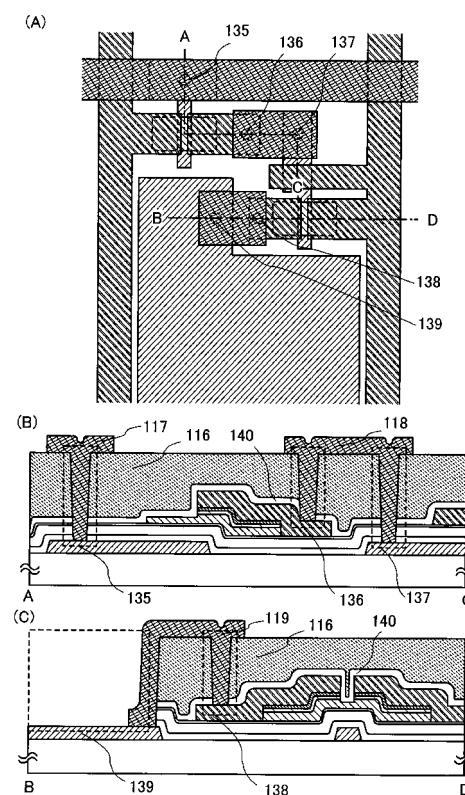
【図4】



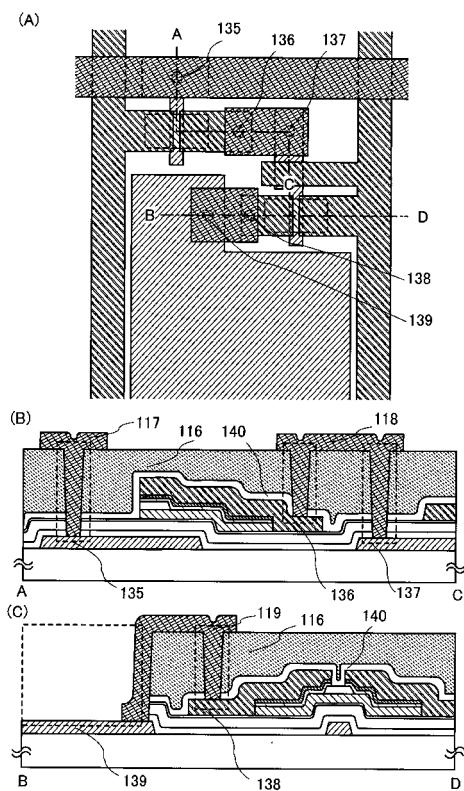
【図5】



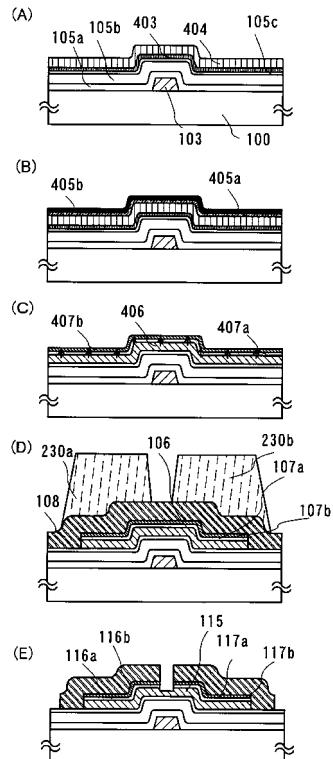
【図6】



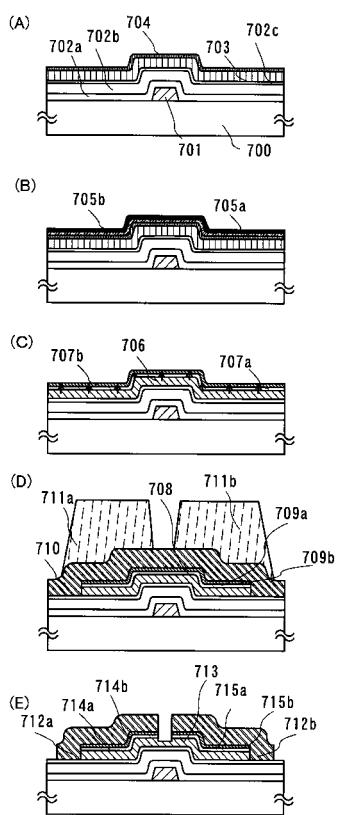
【図7】



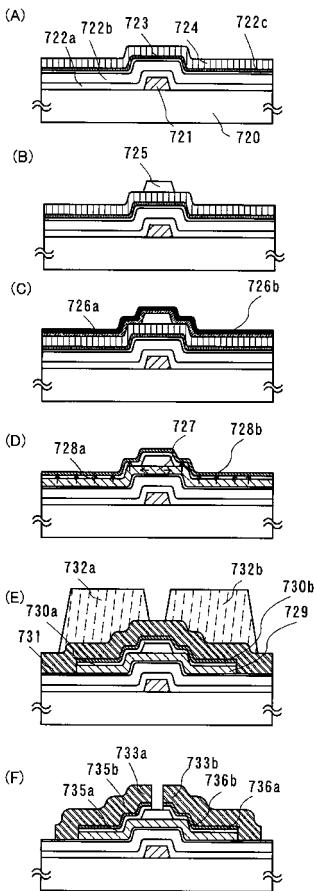
【図8】



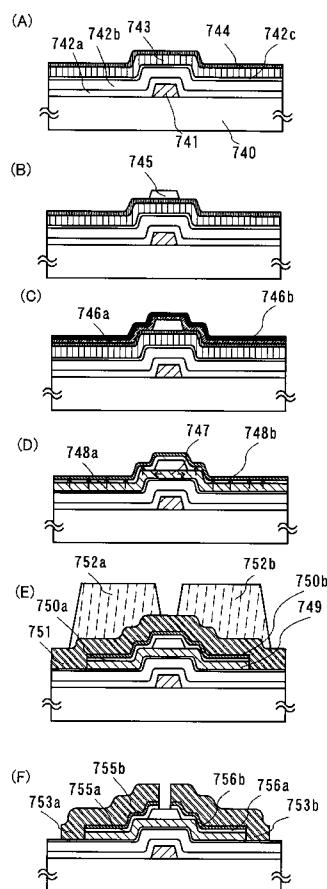
【図9】



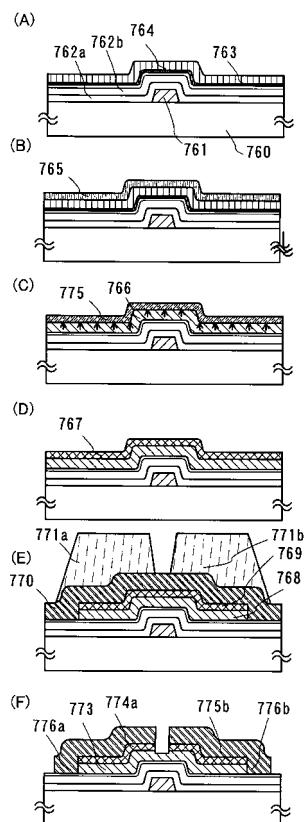
【図10】



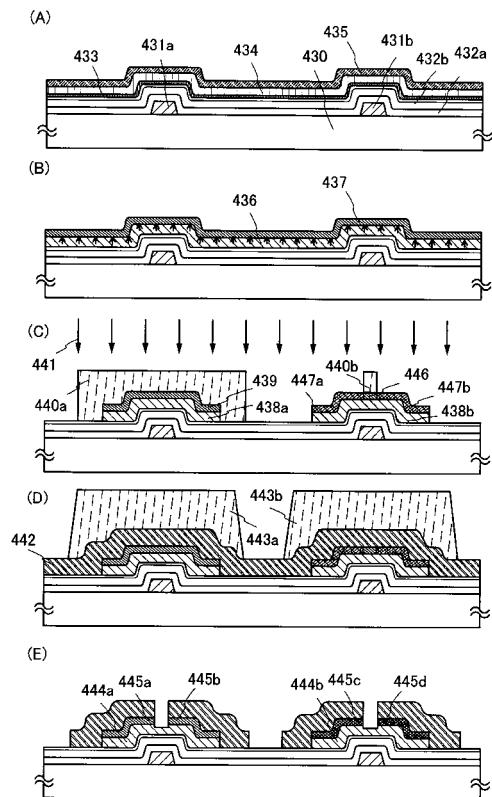
【図11】



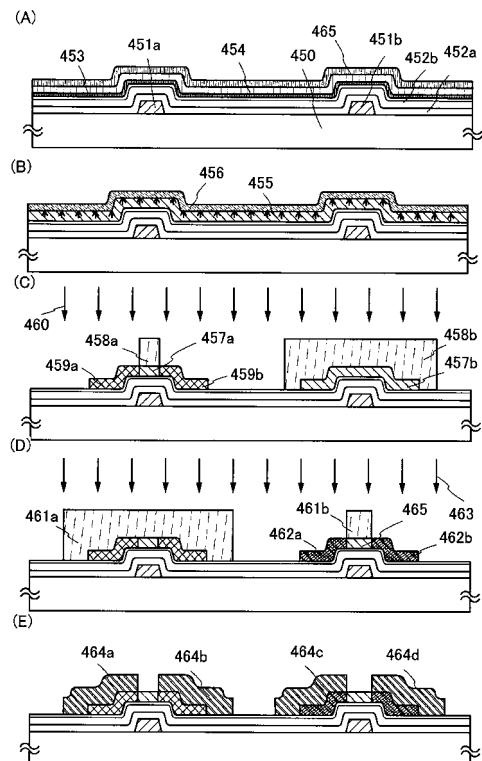
【図12】



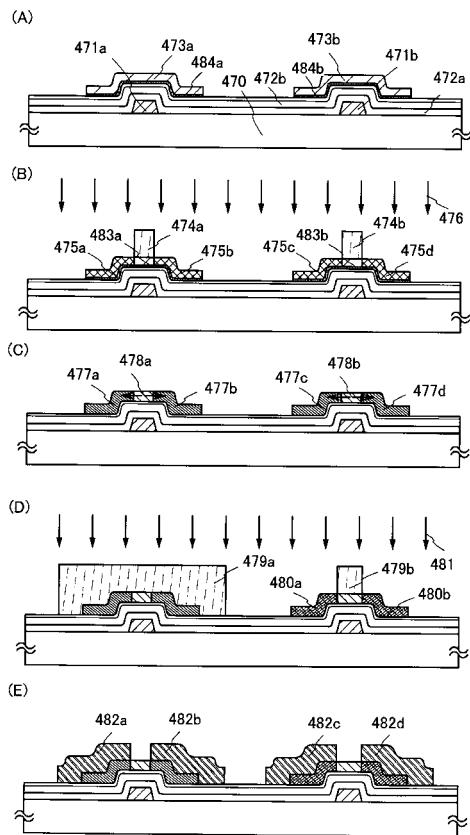
【図13】



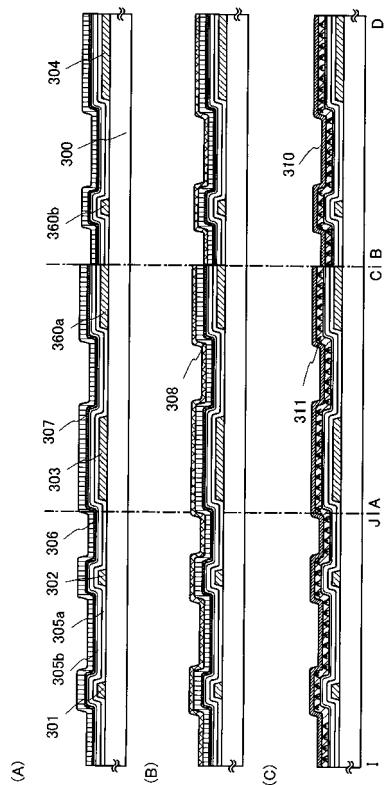
【図14】



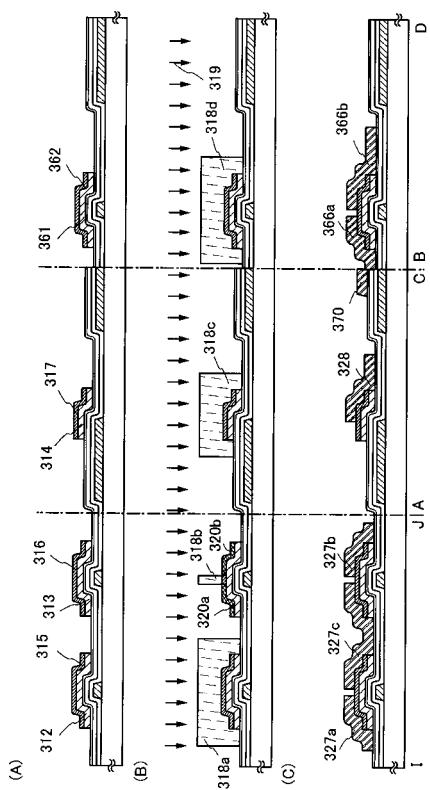
【図15】



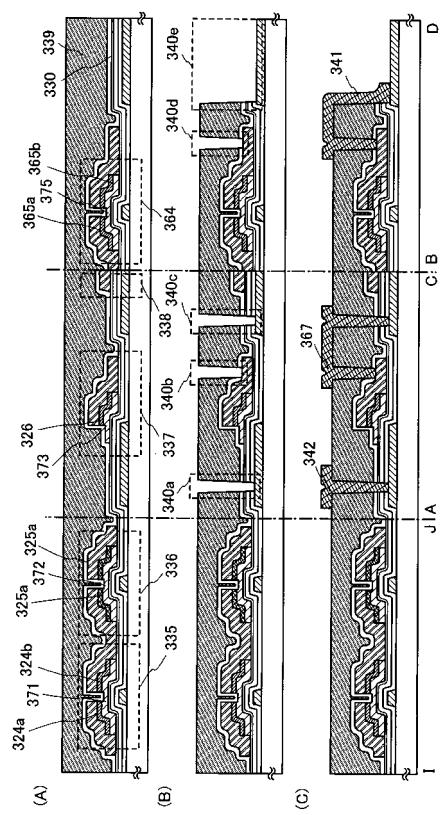
【 図 1 6 】



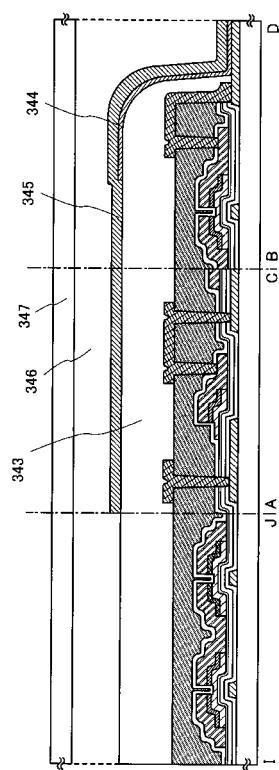
【図17】



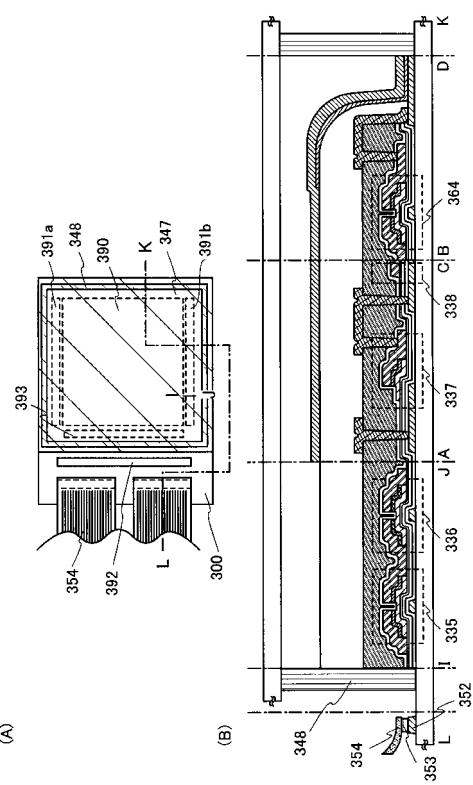
【 図 1 8 】



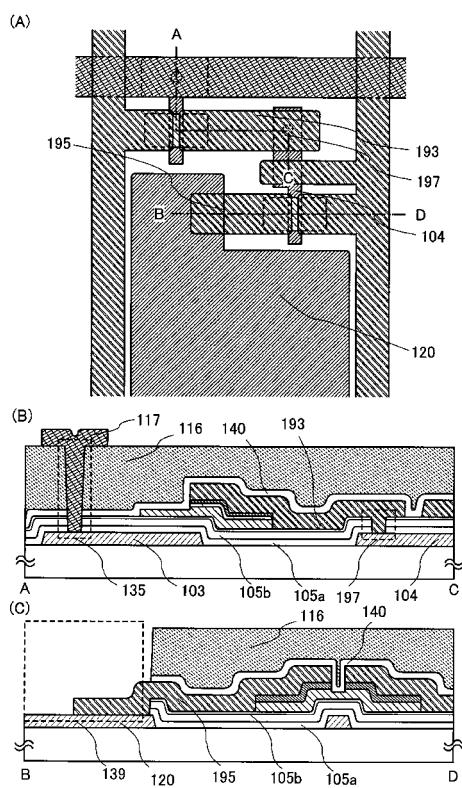
【図19】



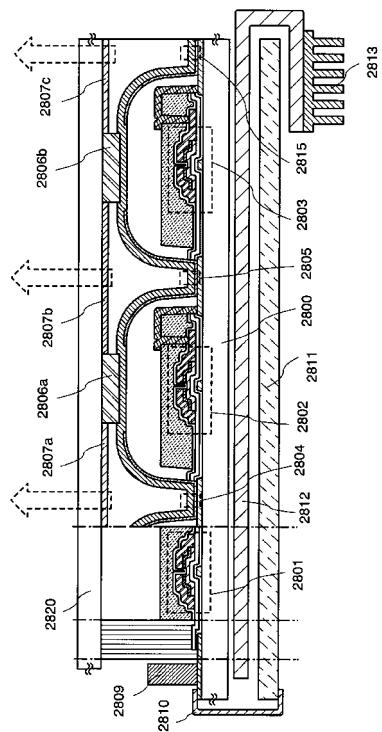
【図20】



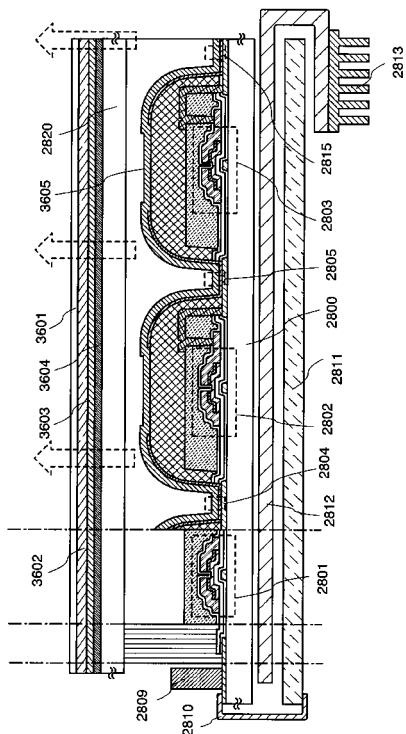
【図21】



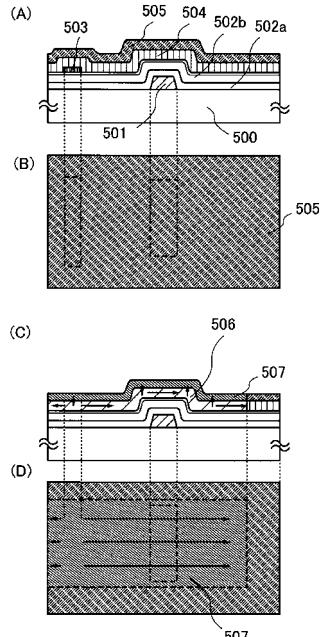
【図22】



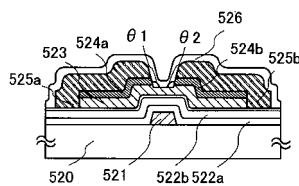
【図23】



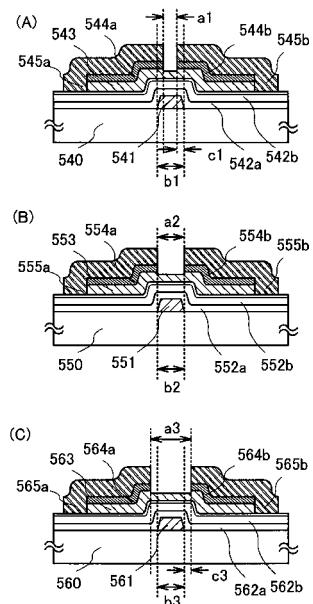
【図24】



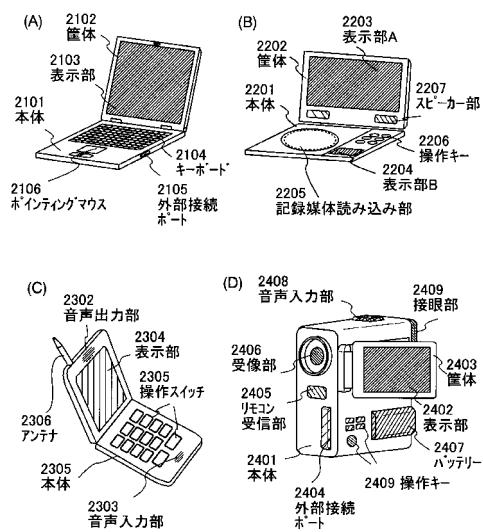
【図25】



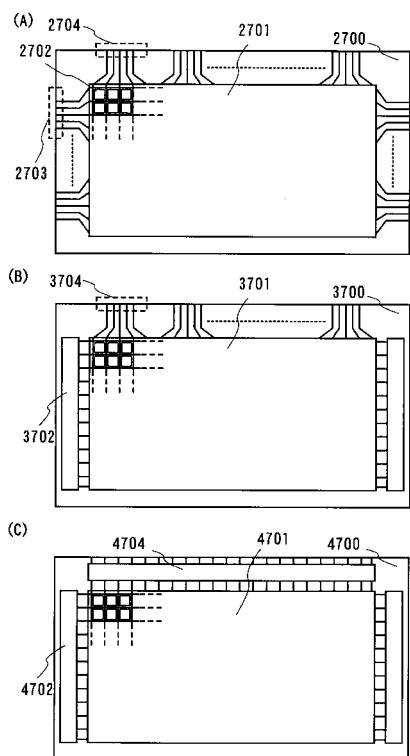
【図26】



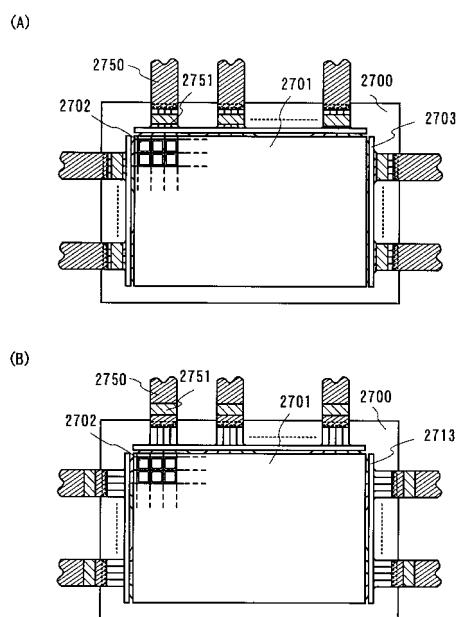
【図27】



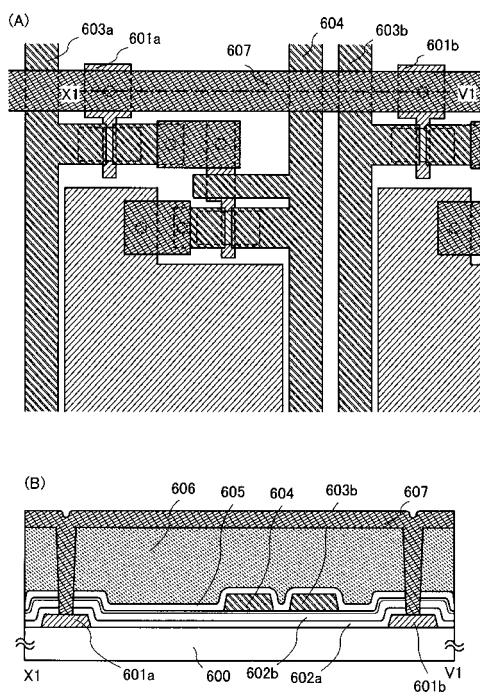
【図28】



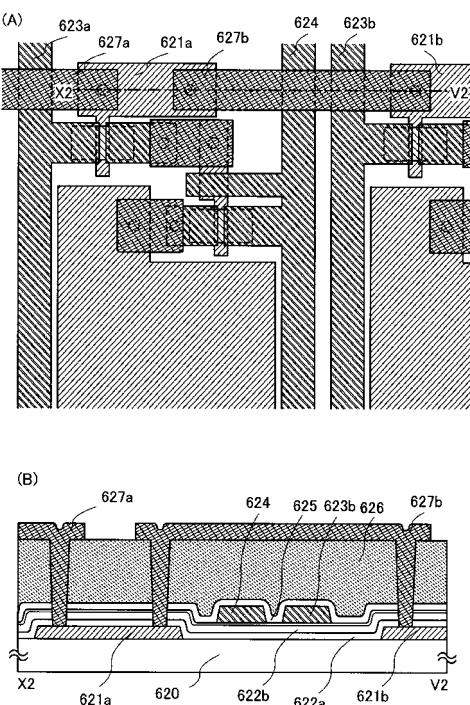
【図29】



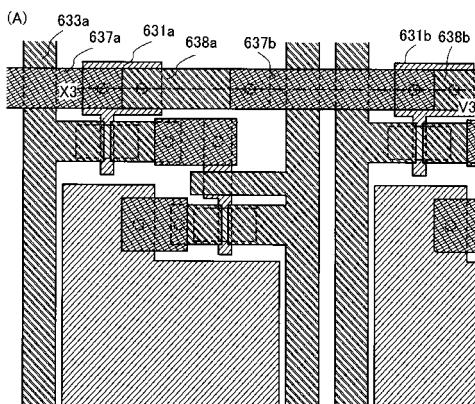
【図30】



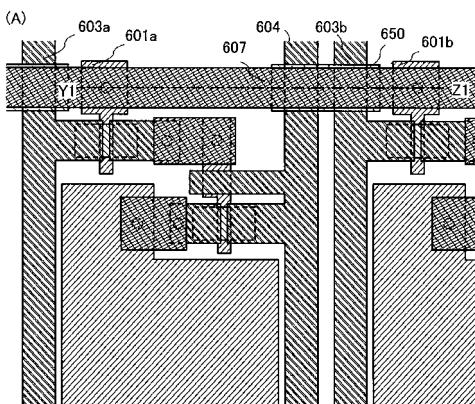
【図31】



【図32】

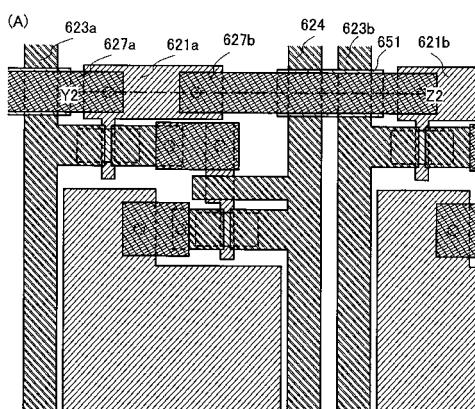


【図33】

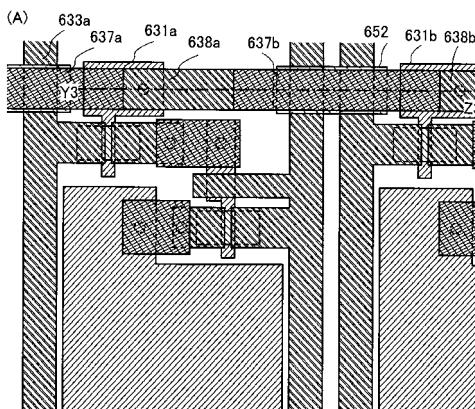


(B) Cross-sectional diagram of a semiconductor device structure. The diagram shows a trench with a depth of 660. The bottom of the trench is labeled 601, and the side walls are labeled 602a, 602b, 603a, and 603b. The bottom of the trench is labeled 604. The top of the trench is labeled 607. The width of the trench is indicated by a dimension line between 601 and 603b, with a value of 650.

【図3-4】

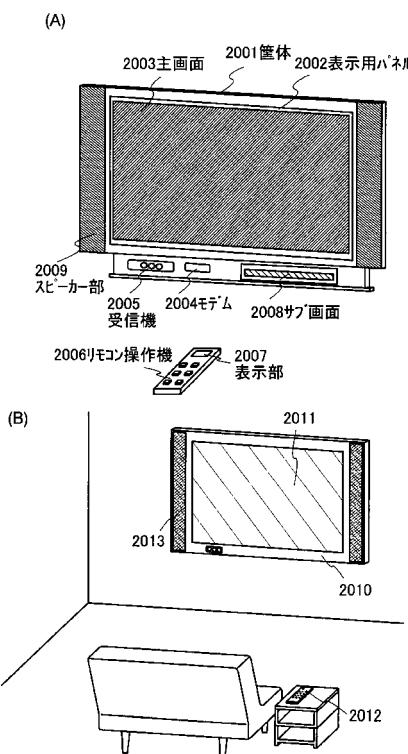


【図35】

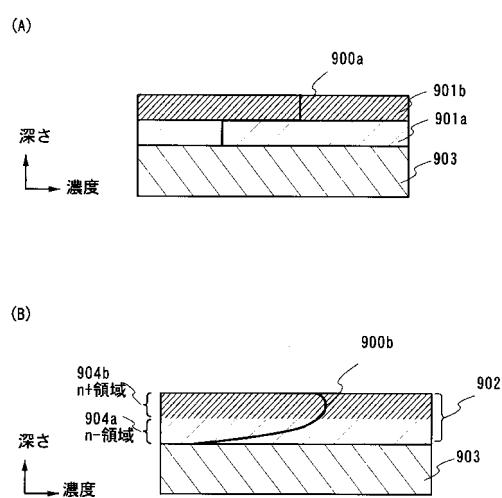


(B) Cross-sectional view of the semiconductor device during the formation of the second insulating film 637b and the second conductive film 638b. The figure shows the structure after the first insulating film 637a and the first conductive film 638a have been formed. The second insulating film 637b is being deposited over the top surface of the first conductive film 638a and the side walls of the first insulating film 637a. The second conductive film 638b is being deposited onto the second insulating film 637b. Various regions are labeled with reference numerals: 637a, 637b, 638a, 638b, 652, 662, 631a, 632b, 632a, 633b, 634, 630, 631b, and Z3.

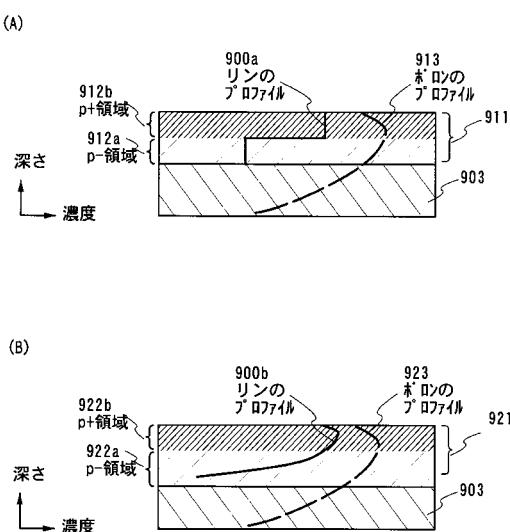
【図36】



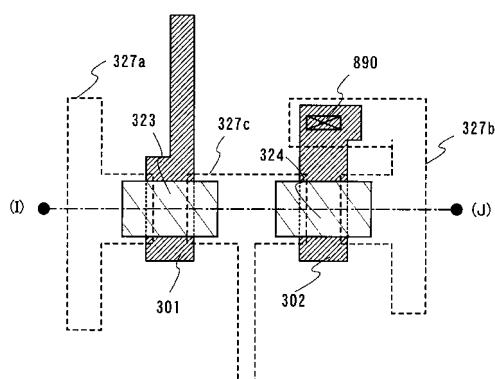
【図37】



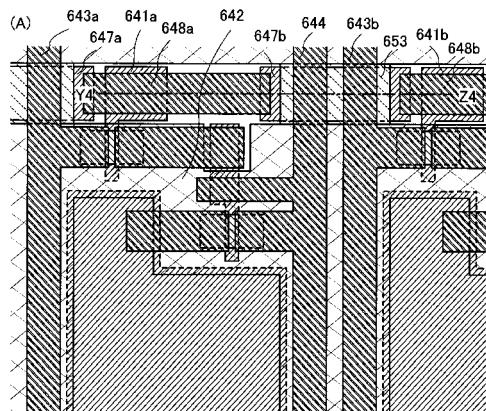
【図38】



【図39】

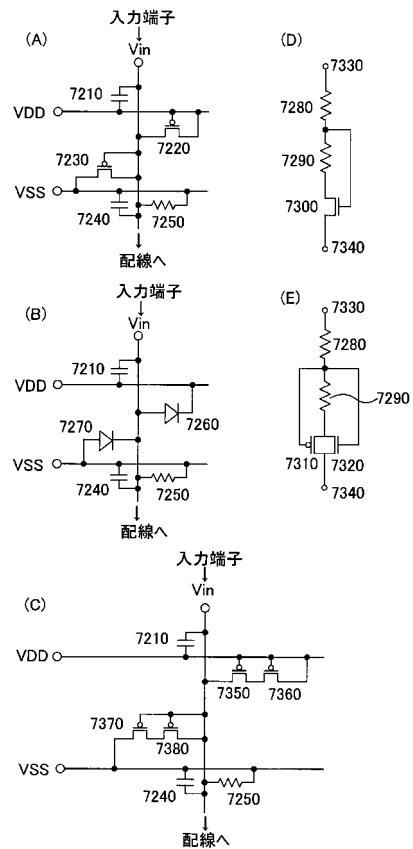


【図40】

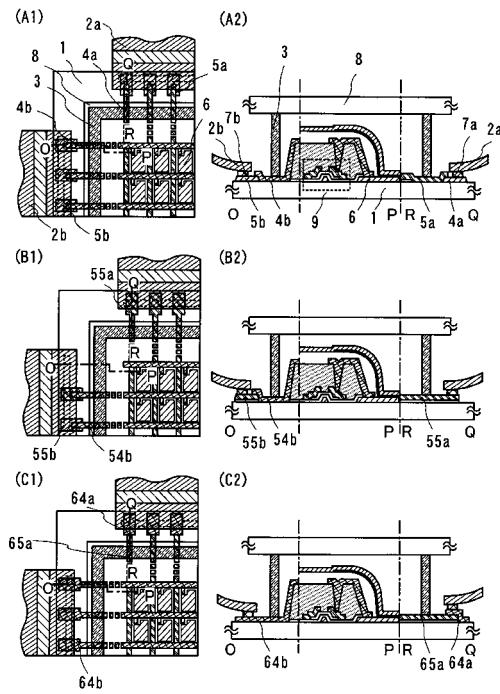


(B) Cross-sectional diagram of a semiconductor device structure. The diagram shows a layered structure with labels: 648a, 641a, 653, 647b, 64n, 641b, Z4, 644, 643b, 663, and 648b. The structure includes a hatched region and several contact or via openings.

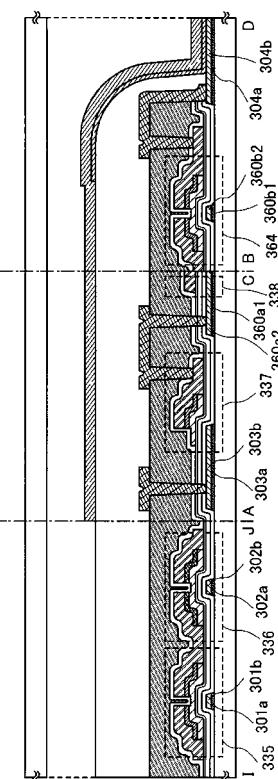
【図41】



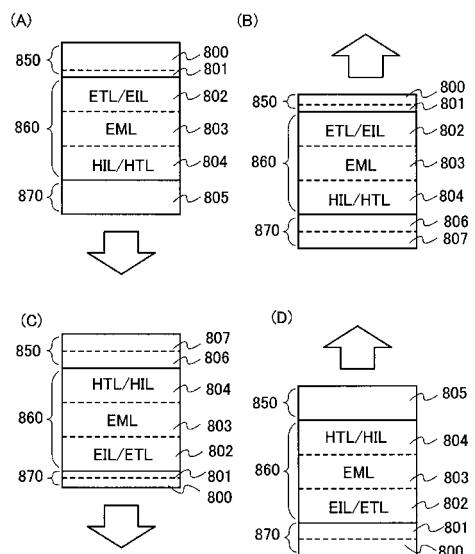
【図42】



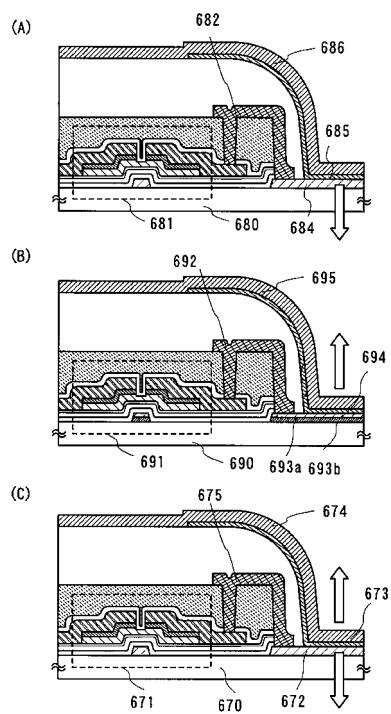
【図43】



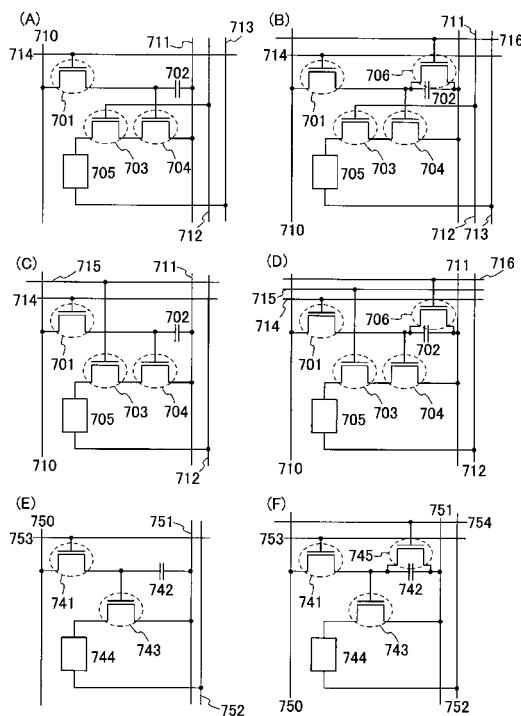
【図44】



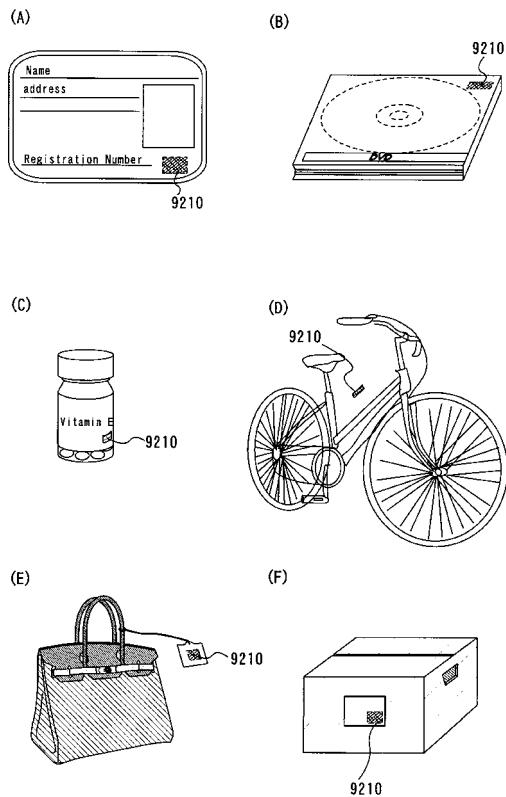
【図45】



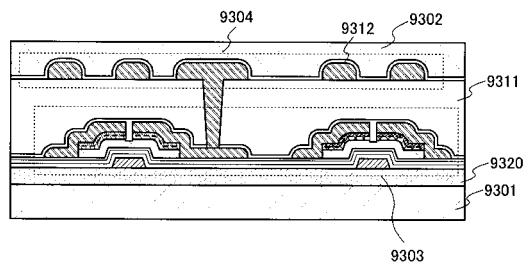
【図46】



【図47】



【図 4 8】



フロントページの続き

(51)Int.Cl.	F I
H 0 1 L 29/423 (2006.01)	H 0 1 L 29/78 6 1 2 B
H 0 1 L 29/49 (2006.01)	H 0 1 L 29/78 6 2 7 C
H 0 5 B 33/14 (2006.01)	H 0 1 L 29/78 6 2 7 G
	H 0 1 L 29/78 6 2 7 Z
	H 0 1 L 29/58 G
	H 0 5 B 33/14 Z

(56)参考文献 特開2001-125134(JP,A)
特開2002-246601(JP,A)
特開平09-036373(JP,A)
特開平04-253028(JP,A)
特開2000-172198(JP,A)
特開2001-135573(JP,A)
特開2000-269513(JP,A)
特開2002-328617(JP,A)
特開平06-075248(JP,A)
特開2000-228526(JP,A)
特開2004-031543(JP,A)
特開平06-333825(JP,A)
特開平11-103068(JP,A)
特開2004-022900(JP,A)
特開2003-234291(JP,A)
特開2002-280301(JP,A)
特開2002-094066(JP,A)
特開2003-186421(JP,A)
特開2001-320056(JP,A)
特開2004-006728(JP,A)
特開平09-246564(JP,A)
特開平07-183274(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5、1 / 1 3 5 - 1 / 1 3 6 8、
G 0 9 F 9 / 0 0 - 9 / 3 0、9 / 3 0 7 - 9 / 4 6、
H 0 1 L 2 1 / 1 8 - 2 1 / 2 0、2 1 / 2 8 - 2 1 / 2 8 8、
2 1 / 3 3 6、2 1 / 3 4 - 2 1 / 3 6、
2 1 / 4 4 - 2 1 / 4 4 5、2 1 / 8 4、
2 7 / 3 2、2 9 / 4 0 - 2 9 / 4 9、
2 9 / 7 8 6、2 9 / 8 7 2、5 1 / 5 0、
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8