



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월01일
 (11) 등록번호 10-1436037
 (24) 등록일자 2014년08월25일

(51) 국제특허분류(Int. Cl.)
 H01F 27/00 (2006.01)
 (21) 출원번호 10-2008-0075390
 (22) 출원일자 2008년08월01일
 심사청구일자 2013년07월23일
 (65) 공개번호 10-2009-0014964
 (43) 공개일자 2009년02월11일
 (30) 우선권주장
 JP-P-2007-00204325 2007년08월06일 일본(JP)
 (56) 선행기술조사문헌
 JP2006173525 A
 JP07029732 A
 JP11251143 A
 KR1020030030957 A

(73) 특허권자
 신꼬오텐기 고교 가부시킴가이샤
 일본국 나가노켄 나가노시 오시마다마치 80
 (72) 발명자
 후지이 도모하루
 일본국 나가노켄 나가노시 오시마다마치 80 신꼬
 오텐기 고교가부시킴가이샤 내
 스노하라 마사히로
 일본국 나가노켄 나가노시 오시마다마치 80 신꼬
 오텐기 고교가부시킴가이샤 내
 나카무라 마나부
 일본국 나가노켄 나가노시 오시마다마치 80 신꼬
 오텐기 고교가부시킴가이샤 내
 (74) 대리인
 문기상, 문두현

전체 청구항 수 : 총 2 항

심사관 : 류정현

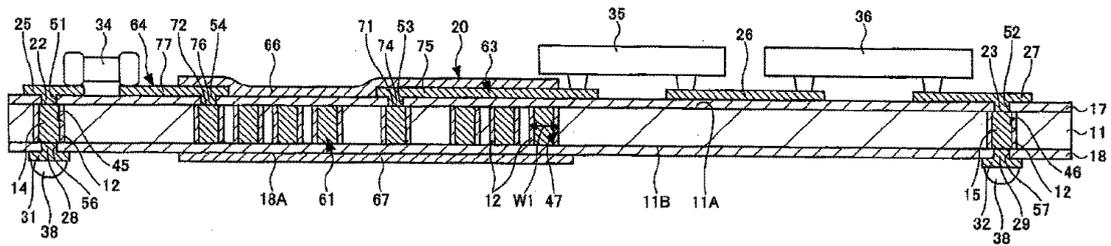
(54) 발명의 명칭 인덕터 소자 및 그 제조 방법

(57) 요약

본 발명에 의하면, 반도체 기판 상에 형성된 인덕터 소자는 상기 반도체 기판을 관통하고 나선형 모양을 이루고 도전성을 갖는 인덕터 본체, 및 상기 인덕터 본체의 측면과 상기 반도체 기판 사이에 설치되는 절연막을 포함하고 있다.

대표도

10



특허청구의 범위

청구항 1

반도체 기판에 형성된 인덕터 소자에 있어서,

일 단부로부터 다른 단부에 걸쳐 평면에서 볼 때 나선형 모양을 이루고, 상기 일 단부로부터 상기 다른 단부에 이르는 전체가 상기 반도체 기판을 관통하도록 설치된, 도전성을 갖는 인덕터 본체와,

상기 인덕터 본체의 측면과 상기 반도체 기판 사이에 설치된 절연막과,

상기 인덕터 본체의 상하 방향에 각각 설치된 자성체를 갖는 것을 특징으로 하는 인덕터 소자.

청구항 2

제 1 항에 있어서,

상기 반도체 기판의 한쪽 면, 및 상기 반도체 기판의 한쪽 면으로부터 노출되는 상기 인덕터 본체를 덮도록 설치된 제 2 절연막과,

상기 제 2 절연막 상에 설치되며, 상기 제 2 절연막을 개재하여 상기 인덕터 본체와 접촉된 배선 패턴을 갖고,

상기 자성체의 한쪽은, 상기 배선 패턴의 일부를 덮도록 설치되어 있는 것을 특징으로 하는 인덕터 소자.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 인덕터 소자 및 그 제조 방법에 관한 것으로, 특히 반도체 기판에 형성되는 인덕터 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 휴대용 정보 통신 장치 및 무선 LAN(Local Area Network)에 사용되는 일부 고주파 모듈 및 전압 변환 모듈에서는, 모듈의 크기를 줄이기 위해 인덕터 소자(도 1 참조)를 반도체 기판에 형성한다.

[0003] 도 1은 종래의 인덕터 소자를 나타내는 단면도이다.

[0004] 도 1을 참조하면, 종래의 인덕터 소자(200)는 절연막(202, 205), 인덕터 본체(203), 및 배선 패턴(206, 207)을 갖는다. 절연막(202)은 반도체 기판(201)의 상면에 설치되어 있다. 절연막(202)은 인덕터 본체(203)로부터 반도체 기판(201)을 절연시키는 역할을 한다.

[0005] 도 2는 도 1에 예시된 인덕터 본체를 나타내는 평면도이다.

[0006] 도 1 및 도 2를 참조하면, 인덕터 본체(203)는 나선형 모양을 이루고 있으며 절연막(202) 상에 설치되어 있다. 인덕터 본체(203)는 접속부(203A, 203B)를 갖는다. 접속부(203A)는 배선 패턴(206)과 접속되어 있다. 접속부(203B)는 배선 패턴(207)과 접속되어 있다.

[0007] 절연막(205)은 인덕터 본체(203)를 피복하기 위해 절연막(202) 상에 설치되어 있다. 절연막(205)은 접속부(203A)의 상면을 노출하는 개구부(211) 및 접속부(203B)의 상면의 일부를 노출하는 개구부(212)를 갖는다.

[0008] 배선 패턴(206)은 개구부(211) 및 절연막(205) 상에 설치되어 있다. 배선 패턴(206)은 인덕터 본체(203)와 전기적으로 접속되어 있다. 배선 패턴(206)은 도시하지 않은 전자 부품(예를 들면, 반도체 칩)과 전기적으로 접속되어 있다.

[0009] 배선 패턴(207)은 개구부(212) 및 절연막(205) 상에 설치되어 있다. 배선 패턴(207)은 인덕터 본체(203)와 전기적으로 접속되어 있다. 배선 패턴(207)은 도시하지 않은 전자 부품(예를 들면, 캐패시터)과 전기적으로 접속되어 있다.

[0010] 상술한 구성을 갖는 인덕터 소자(200)에서는, 인덕터 소자(200)의 크기를 줄이기 위해 인덕터 본체(203)의 외주 측면 길이(J)를 감소시키고, 인덕터 본체(203)의 폭(K)을 줄이고 인덕터 본체(203)의 권선수를 증가시킨다.

[0011] 도 3 내지 도 8은 종래의 인덕터 소자를 제조하는 공정을 나타내는 도면들이다. 도 3 내지 도 8에서, 종래의 인덕터 소자(200)와 동일한 부품은 동일한 참조 번호를 갖는다.

[0012] 먼저 도 3에 나타난 단계에서, CVD법에 의해 절연막(202)(예를 들면, 산화막)을 반도체 기판(201) 상에 형성한 다음, 증착법 또는 스퍼터링법에 의해 도전막(215)을 절연막(202) 상에 형성한다.

[0013] 이어서 도 4에 나타난 단계에서, 레지스트막(216)을 인덕터 본체(203)가 형성될 영역에 대응하는 부분의 도전막(215) 상에 형성한다. 다음 도 5에 나타난 단계에서, 레지스트막(216)을 마스크로 사용하는 이방성 식각(anisotropic etching)에 의해 도 4에 나타난 도전막(215)을 패터닝하여 인덕터 본체(203)를 형성한다.

[0014] 이후 도 6에 나타난 단계에서, 도 5에 나타난 레지스트막(216)을 제거한다. 다음 도 7에 나타난 단계에서, 개구부(211, 212)를 갖는 절연막(205)을 도 6에 나타난 구조 상에 형성한다.

[0015] 이어서 도 8에 나타난 단계에서, 배선 패턴(206, 207)을 도 3 내지 도 6에 나타난 단계와 같은 방식으로 형성한다. 따라서, 인덕터 소자(200)가 제조된다(예를 들면, 특허 문헌 1 참조).

[0016] [특허 문헌 1] 일본국 특허 공개 공보 제2005-79286

발명의 내용

해결 하고자하는 과제

- [0017] 그러나 종래의 인덕터 소자(200)에서는, 인덕터 본체(203)의 외주 측면 길이(J)를 감소시키고, 인덕터 본체(203)의 폭(K)을 줄이고 인덕터 본체(203)의 권선수를 증가시킴으로써 인덕터 소자(200)의 크기를 줄이는 것을 연구하고 있다. 그러나 이 경우, 인덕터 본체(203)의 저항 손실이 증가하여 인덕터 소자(200)의 특성이 열화되는 문제점이 있다.
- [0018] 그러므로 인덕터 본체(203)의 저항 손실의 증가를 억제하기 위해, 인덕터 본체(203)를 구성하는 도전막(215)의 두께를 증가시키는 것이 제안되고 있다. 그러나 종래의 인덕터 소자(200)에서는 스퍼터링법 또는 증착법을 사용하여 인덕터 본체(203)를 형성한다. 이런 이유로, 도전막(215)의 두께를 증가시키는 것이 어렵다. 그러므로 종래의 인덕터 소자(200)에서, 인덕터 소자(200)의 크기를 줄이는 경우 인덕터 본체(203)의 저항 손실의 증가를 억제할 수 없는 문제점이 있다.

과제 해결수단

- [0019] 본 발명의 예시적인 실시예는 크기를 줄일 수 있고 저항 손실의 증가를 억제할 수 있는 인덕터 소자 및 그 제조 방법에 관한 것이다.
- [0020] 본 발명의 일 관점은 반도체 기판 상에 형성된 인덕터 소자에 관한 것으로, 반도체 기판을 관통하고 나선형 모양을 이루고 도전성을 갖는 인덕터 본체, 및 상기 인덕터 본체의 측면과 상기 반도체 기판 사이에 설치되는 절연막을 포함한다.
- [0021] 본 발명에 의하면, 반도체 기판을 관통하고 나선형 모양을 이루고 도전성을 갖는 인덕터 본체를 설치함으로써, 인덕터 소자의 크기를 줄이고 인덕터 소자의 두께를 증가시킬 수 있다(인덕터 본체의 두께를 반도체 기판의 두께와 거의 동일하게 되도록 하는 것이 가능하다). 그러므로, 인덕터 소자의 저항 손실의 증가를 억제할 수 있다.
- [0022] 본 발명의 또 다른 관점은 반도체 기판 상에 형성된 인덕터 소자에 관한 것으로, 반도체 기판을 관통하고 동심원으로 배치되는 복수의 제 1 도전성 부재, 반도체 기판을 관통하고 동심원으로 배치되는 복수의 제 2 도전성 부재, 제 1 도전성 부재의 측면과 제 2 도전성 부재의 측면 사이 및 제 1 및 제 2 도전성 부재의 측면과 반도체 기판 사이에 설치되는 절연막, 및 제 1 도전성 부재를 상기 제 1 도전성 부재와 인접하는 제 2 도전성 부재와 전기적으로 접속하는 도전성 부재 접속 배선 패턴을 포함하고, 제 1 도전성 부재 및 제 2 도전성 부재는 절연막을 통해 교대로 배치되어 있다.
- [0023] 본 발명에 의하면, 제 1 도전성 부재 및 제 2 도전성 부재는 절연막을 통해 교대로 배치되고, 도전성 부재 접속 배선 패턴은 제 1 도전성 부재를 상기 제 1 도전성 부재와 인접하는 제 2 도전성 부재와 전기적으로 접속한다. 따라서, 반도체 기판은 제 1 도전성 부재와 제 2 도전성 부재 사이에 존재하지 않는다. 그러므로, 인덕터 소자의 크기를 줄일 수 있다.
- [0024] 더욱이, 제 1 및 제 2 도전성 부재의 두께를 증가시킬 수 있다(이 경우, 제 1 및 제 2 도전성 부재의 두께는 반도체 기판의 두께와 동일하게 되도록 설정된다). 그러므로, 인덕터 소자의 저항 손실의 증가를 억제할 수 있다.
- [0025] 본 발명의 다른 관점은 도전성을 갖는 인덕터 본체를 포함하는 인덕터 소자의 제조 방법에 관한 것으로, 반도체 기판을 관통하는 나선형 모양을 이루는 트렌치부를 형성하는 트렌치부 형성 단계, 트렌치부의 측면과 대응하는 부분의 반도체 기판 상에 절연막을 형성하는 절연막 형성 단계, 및 절연막이 설치되는 트렌치부에 인덕터 본체를 형성하는 인덕터 본체 형성 단계를 포함한다.
- [0026] 본 발명에 의하면, 반도체 기판을 관통하는 나선형 모양을 이루는 트렌치부를 형성한 다음, 상기 트렌치부의 측면과 대응하는 부분의 반도체 기판 상에 절연막을 형성하고, 이후 절연막이 설치되는 트렌치부에 인덕터 본체를 형성함으로써, 인덕터 소자의 크기를 줄이고 인덕터 본체의 두께를 증가시킬 수 있다. 그러므로, 인덕터 소자의 저항 손실의 증가를 억제할 수 있다.
- [0027] 본 발명의 다른 관점은 반도체 기판 상에 형성된 인덕터 소자의 제조 방법에 관한 것으로, 반도체 기판 상에 복수의 제 1 관통 트렌치를 동심원으로 형성하는 제 1 관통 트렌치 형성 단계, 제 1 관통 트렌치의 측면과 대응하는 부분의 반도체 기판 상에 제 1 절연막을 형성하는 제 1 절연막 형성 단계, 상기 제 1 절연막 형성 단계 후 제 1 관통 트렌치에 각각 제 1 도전성 부재를 형성하는 제 1 도전성 부재 형성 단계, 제 1 절연막 사이에 위치

하는 부분의 반도체 기판을 제거하여 제 1 절연막 사이에 복수의 제 2 관통 트렌치를 형성하는 제 2 관통 트렌치 형성 단계, 제 1 절연막이 형성되지 않은 제 2 관통 트렌치의 측면과 대응하는 부분의 반도체 기판 상에 제 2 절연막을 형성하는 제 2 절연막 형성 단계, 제 1 및 제 2 절연막을 형성한 후 제 2 관통 트렌치에 각각 제 2 도전성 부재를 형성하는 제 2 도전성 부재 형성 단계, 및 제 1 도전성 부재를 상기 제 1 도전성 부재와 인접하는 제 2 도전성 부재와 전기적으로 접속하는 도전성 부재 접속 배선 패턴을 형성하는 도전성 부재 접속 배선 패턴 형성 단계를 포함한다.

[0028] 본 발명에 의하면, 제 1 절연막이 설치되는 제 1 관통 트렌치에 제 1 도전성 부재를 형성하고, 이어서 제 1 절연막 사이에 위치하는 부분의 반도체 기판을 제거하여 제 1 절연막 사이에 복수의 제 2 관통 트렌치를 형성한 다음, 제 1 절연막이 형성되지 않은 제 2 관통 트렌치의 측면과 대응하는 부분의 반도체 기판 상에 제 2 절연막을 형성한 후, 제 2 관통 트렌치에 각각 제 2 도전성 부재를 형성한다. 따라서, 제 1 도전성 부재와 제 2 도전성 부재 사이에 반도체 기판이 설치되지 않는다. 따라서, 인덕터 소자의 크기를 줄일 수 있다.

[0029] 더욱이, 제 1 및 제 2 도전성 부재의 두께를 증가시킬 수 있다. 그러므로, 인덕터 소자의 저항 손실의 증가를 억제할 수 있다.

효 과

[0030] 본 발명에 의하면, 인덕터 소자의 크기를 줄이고 인덕터 소자의 저항 손실의 증가를 억제할 수 있다.

발명의 실시를 위한 구체적인 내용

[0031] 다른 특징 및 이점은 다음의 상세한 설명, 첨부된 도면 및 특허청구범위로부터 명백할 것이다.

[0032] 다음, 본 발명에 의한 실시예를 도면을 참조하여 설명한다.

[0033] (제 1 실시예)

[0034] 도 9는 본 발명의 제 1 실시예에 의한 인덕터 소자를 포함하는 고주파 모듈을 나타내는 단면도이다.

[0035] 도 9를 참조하면, 고주파 모듈(10)은 반도체 기판(11), 절연막(12, 17, 18), 관통 비어(14, 15), 인덕터 소자(20), 비어(22, 23, 28, 29), 배선(25~27), 패드(31, 32), 칩 캐패시터(34), 고주파용 반도체 칩(35), CPU용 반도체 칩(36), 및 외부 접속 단자(38)를 포함하고 있다.

[0036] 반도체 기판(11)은 박판으로 형성되고 관통홀(45, 46) 및 나선형 모양을 이루는 트렌치부(47)를 갖는다. 트렌치부(47)는 반도체 기판(11)을 관통하도록 형성된다. 트렌치부(47)는 아래에 기술되는 인덕터 본체(61)를 배치하는 역할을 한다. 트렌치부(47)의 폭(W1)은, 예를 들면 60 μm 가 되도록 설정할 수 있다. 반도체 기판(11)을 위해, 예를 들면 실리콘 기판을 사용할 수 있다. 반도체 기판(11)으로 실리콘 기판을 사용하는 경우, 반도체 기판(11)의 두께는, 예를 들면 200 μm 내지 500 μm 가 되도록 설정될 수 있다.

[0037] 절연막(12)은 관통 비어(14, 15)의 측면과 반도체 기판(11)(즉, 관통홀(45, 46)의 측면과 대응하는 부분의 반도체 기판(11)) 사이 및 인덕터 본체(61)의 측면과 반도체 기판(11)(즉, 트렌치부(47)의 측면과 대응하는 부분의 반도체 기판(11)) 사이에 설치되어 있다. 절연막(12)은 관통 비어(14, 15) 및 인덕터 본체(61)로부터 반도체 기판(11)을 절연하는 역할을 한다. 절연막(12)을 위해, 예를 들면 산화막을 사용할 수 있다. 절연막(12)으로 산화막을 사용하는 경우, 절연막(12)의 두께는, 예를 들면 0.5 μm 내지 2.0 μm 가 되도록 설정될 수 있다.

[0038] 관통 비어(14)는 절연막(12)이 형성되는 관통홀(45)에 설치되어 있다. 관통 비어(14)의 상단은 비어(22)와 접속되고 관통 비어(14)의 하단은 비어(28)와 접속된다. 관통 비어(14)는 비어(22)와 접속되는 배선(25)과 비어(28)와 접속되는 패드(31)를 전기적으로 접속한다. 관통 비어(14)의 재료를 위해, 예를 들면 Cu를 사용할 수 있다.

[0039] 관통 비어(15)는 절연막(12)이 형성되는 관통홀(46)에 설치되어 있다. 관통 비어(15)의 상단은 비어(23)와 접속되고 관통 비어(15)의 하단은 비어(29)와 접속된다. 관통 비어(15)는 비어(23)와 접속되는 배선(27)과 비어(29)와 접속되는 패드(32)를 전기적으로 접속한다. 관통 비어(15)의 재료를 위해, 예를 들면 Cu를 사용할 수 있다.

[0040] 절연막(17)은 반도체 기판(11)의 상면(11A)을 피복하도록 설치되어 있다. 절연막(17)은 개구부(51~54)를 갖는다. 개구부(51)는 관통 비어(14)의 상부에 위치하는 부분의 절연막(17)을 관통하도록 형성된다. 개구부(52)는 관통 비어(15)의 상부에 위치하는 부분의 절연막(17)을 관통하도록 형성된다. 개구부(53, 54)가 형성되는

위치는 인덕터 소자(20)의 구조의 설명에서 기술될 것이다. 절연막(17)을 위해, 예를 들면 산화막을 사용할 수 있다. 절연막(17)으로 산화막을 사용하는 경우, 절연막(17)의 두께는, 예를 들면 0.5 μm 내지 2.0 μm 가 되도록 설정될 수 있다.

- [0041] 절연막(18)은 반도체 기판(11)의 하면(11B)을 피복하도록 설치되어 있다. 절연막(18)은 개구부(56, 57)를 갖는다. 개구부(56)는 관통 비어(14)의 하부에 위치하는 부분의 절연막(18)을 관통하도록 형성된다. 개구부(57)는 관통 비어(15)의 하부에 위치하는 부분의 절연막(18)을 관통하도록 형성된다. 절연막(18)을 위해, 예를 들면 산화막을 사용할 수 있다. 절연막(18)으로 산화막을 사용하는 경우, 절연막(18)의 두께는, 예를 들면 0.5 μm 내지 2.0 μm 가 되도록 설정될 수 있다.
- [0042] 인덕터 소자(20)는 절연막(12, 17, 18), 나선형 모양을 이루는 트렌치부(47), 인덕터 본체(61), 배선 패턴(63, 64), 및 자성체(66, 67)를 갖는다.
- [0043] 도 10은 도 9에 예시된 인덕터 본체를 나타내는 평면도이다.
- [0044] 도 9 및 도 10을 참조하면, 인덕터 본체(61)는 절연막(12)(반도체 기판(11)을 관통하는 트렌치)이 형성되는 트렌치부(47)에 설치되고, 나선형 모양을 이룬다. 인덕터 본체(61)는 도전성을 가지며 트렌치부(47)를 충전하는 도전막으로 구성되어 있다. 인덕터 본체(61)의 상면은 반도체 기판(11)의 상면(11A)과 거의 동일한 레벨에 있고, 인덕터 본체(61)의 하면은 반도체 기판(11)의 하면(11B)과 거의 동일한 레벨에 있다. 즉, 인덕터 본체(61)는 인덕터 본체(61)의 두께(인덕터 본체(61)를 구성하는 도전막의 두께)가 반도체 기판(11)의 두께와 거의 동일하게 되는 방식으로 구성되어 있다.
- [0045] 반도체 기판(11)을 관통하고 나선형 모양을 이루고 도전성을 갖는 인덕터 본체(61)를 설치함으로써, 인덕터 소자(20)의 크기를 줄일 수 있으며, 또한 인덕터 본체(61)의 두께(도전막의 두께)를 증가시킬 수 있다(구체적으로, 인덕터 본체(61)의 두께가 반도체 기판(11)의 두께와 거의 동일하게 되도록 설정할 수 있다). 그러므로, 인덕터 소자(20)의 저항 손실의 증가를 억제할 수 있다.
- [0046] 인덕터 본체(61)는 접속부(71, 72)를 갖는다. 접속부(71)의 상면은 절연막(17)의 개구부(53)으로부터 노출되어 있다. 개구부(53)는 접속부(71) 상에 위치하는 부분의 절연막(17)을 관통하도록 형성된다. 접속부(71)는 개구부(53)에 설치된 부분의 배선 패턴(63)과 접속된다.
- [0047] 접속부(72)의 상면은 절연막(17)의 개구부(54)로부터 노출되어 있다. 개구부(54)는 접속부(72) 상에 위치하는 부분의 절연막(17)을 관통하도록 형성된다. 접속부(72)는 개구부(54)에 설치되는 부분의 배선 패턴(64)과 접속된다. 개구부(53, 54)를 갖는 절연막(17)은 접속부(71, 72)의 상면 및 인덕터 본체(61)가 형성되는 영역과 대응하는 부분의 반도체 기판(11)의 상면(11A)을 제외하는 부분의 인덕터 본체(61)를 피복하도록 배치된다.
- [0048] 배선 패턴(63)은 비어(74) 및 상기 비어(74)와 일체로 구성되는 배선(75)을 갖는다. 비어(74)는 개구부(53)에 설치되어 있다. 비어(74)는 접속부(71)와 접속된다. 배선(75)은 비어(74) 및 절연막(17) 상에 설치되어 있다. 고주파용 반도체 칩(35)은 배선(75) 상에 탑재된다. 배선 패턴(63)은 고주파용 반도체 칩(35)을 인덕터 본체(61)와 전기적으로 접속한다. 배선 패턴(63)의 재료를 위해, 예를 들면 Cu를 사용할 수 있다.
- [0049] 배선 패턴(64)은 비어(76) 및 상기 비어(76)와 일체로 구성되는 배선(77)을 갖는다. 비어(76)는 개구부(54)에 설치되어 있다. 비어(76)는 접속부(72)와 접속된다. 배선(77)은 비어(76) 및 절연막(17) 상에 설치되어 있다. 칩 캐패시터(34)는 배선(77) 상에 탑재된다. 배선 패턴(64)은 칩 캐패시터(34)를 인덕터 본체(61)와 전기적으로 접속한다. 배선 패턴(64)의 재료를 위해, 예를 들면 Cu를 사용할 수 있다.
- [0050] 자성체(66)는 인덕터 본체(61) 위에 배치되는 부분의 절연막(17) 및 배선(75, 77) 상에 설치되어 있다. 자성체(66)의 재료를 위해, 예를 들면 페라이트(ferrite)를 사용할 수 있다. 자성체(66)의 재료로 페라이트를 사용하는 경우, 자성체(66)의 두께는, 예를 들면 0.5 μm 내지 20 μm 가 되도록 설정할 수 있다.
- [0051] 자성체(67)는 인덕터 본체(61) 아래에 배치되는 부분의 절연막(18)의 표면(18A) 상에 설치되어 있다. 자성체(67)의 재료를 위해, 예를 들면 페라이트를 사용할 수 있다. 자성체(67)의 재료로 페라이트를 사용하는 경우, 자성체(67)의 두께는, 예를 들면 0.5 μm 내지 20 μm 가 되도록 설정할 수 있다.
- [0052] 인덕터 본체(61)의 상하 방향에 자성체(66, 67)를 설치함으로써, 인덕터 본체(61)의 인덕턴스 값을 증가시킬 수 있다. 그러므로 인덕터 소자(20)의 특성을 향상시킬 수 있다.
- [0053] 도 9를 참조하면, 비어(22)는 개구부(51)에 설치되어 있다. 비어(22)의 상단은 배선(25)과 접속되고 비어(22)의

하단은 관통 비어(14)의 상단과 접속된다. 비어(22)는 배선(25)과 일체로 구성되어 있다.

- [0054] 비어(23)는 개구부(52)에 설치되어 있다. 비어(23)의 상단은 배선(27)과 접속되고 비어(23)의 하단은 관통 비어(15)의 상단과 접속된다. 비어(23)는 배선(27)과 일체로 구성되어 있다.
- [0055] 배선(25)은 절연막(17) 및 비어(22) 상에 설치되어 있다. 배선(25)은 비어(22)를 통해 관통 비어(14)와 전기적으로 접속된다. 칩 캐패시터(34)는 배선(25) 상에 탑재된다. 배선(25)은 칩 캐패시터(34) 및 배선 패턴(64)을 통해 인덕터 본체(61)와 전기적으로 접속된다.
- [0056] 배선(26)은 절연막(17) 상에 설치되어 있다. 고주파용 반도체 칩(35) 및 CPU용 반도체 칩(36)은 배선(26) 상에 탑재된다. 배선(26)은 고주파용 반도체 칩(35)을 통해 배선 패턴(63)과 전기적으로 접속된다. 더욱이, 배선(26)은 CPU용 반도체 칩(36)을 통해 배선(27)과 전기적으로 접속된다.
- [0057] 배선(27)은 절연막(17) 및 비어(23) 상에 설치되어 있다. 배선(27)은 비어(23)를 통해 관통 비어(15)와 전기적으로 접속된다. CPU용 반도체 칩(36)은 배선(27) 상에 탑재된다. 배선(27)은 CPU용 반도체 칩(36)을 통해 배선(26)과 전기적으로 접속된다.
- [0058] 비어(28)는 개구부(56)에 설치되어 있다. 비어(28)는 패드(31)와 일체로 구성되어 있다. 비어(28)의 상단은 관통 비어(14)의 하단과 접속된다. 비어(28)는 관통 비어(14)를 통해 비어(22)와 전기적으로 접속된다. 비어(29)는 개구부(57)에 설치되어 있다. 비어(29)는 패드(32)와 일체로 구성되어 있다. 비어(29)의 상단은 관통 비어(15)의 하단과 접속된다. 비어(29)는 관통 비어(15)를 통해 비어(23)와 전기적으로 접속된다.
- [0059] 패드(31)는 비어(28)의 하단 및 절연막(18)의 표면(18A) 상에 설치되어 있다. 패드(31)는 비어(28)를 통해 관통 비어(14)와 전기적으로 접속된다. 외부 접속 단자(38)는 패드(31)의 하면에 설치되어 있다.
- [0060] 패드(32)는 비어(29)의 하단 및 절연막(18)의 표면(18A) 상에 설치되어 있다. 패드(32)는 비어(29)를 통해 관통 비어(15)와 전기적으로 접속된다. 외부 접속 단자(38)는 패드(32)의 하면에 설치되어 있다. 비어(22, 23, 28, 29), 배선(25~27) 및 패드(31, 32)의 재료를 위해, 예를 들면 Cu를 사용할 수 있다.
- [0061] 칩 캐패시터(34)는 배선(25, 27) 상에 탑재된다. 칩 캐패시터(34)는 임피던스를 조절하고 바이패스 캐패시터로 기능하는 전자 부품이다. 고주파용 반도체 칩(35)은 배선(26, 27) 상에 탑재된다. 고주파용 반도체 칩(35)은 신호를 변조/복조하는 전자 부품이다. CPU용 반도체 칩(36)은 배선(26, 27) 상에 탑재된다. CPU용 반도체 칩(36)은 신호를 제어 및 처리하는 전자 부품이다.
- [0062] 외부 접속 단자(38)는 패드(31, 32)의 하면에 설치되어 있다. 외부 접속 단자(38)를 위해, 예를 들면 납땀 볼을 사용할 수 있다.
- [0063] 본 실시예에 따른 인덕터 소자에 의하면, 반도체 기판(11)을 관통하고 나선형 모양을 이루고 도전성을 갖는 인덕터 본체(61)를 설치함으로써, 인덕터 소자(20)의 크기를 줄일 수 있으며, 또한 인덕터 본체(61)의 두께(도전막의 두께)를 증가시킬 수 있다(구체적으로, 인덕터 본체(61)의 두께를 반도체 기판(11)의 두께와 거의 동일하게 되도록 설정할 수 있다). 그러므로, 인덕터 소자(20)의 저항 손실의 증가를 억제할 수 있다.
- [0064] 더욱이 본 실시예에 의한 인덕터 소자(20)를 고주파 모듈(10)에 설치함으로써, 반도체 기판(11)의 평면 방향으로 크기를 줄일 수 있다. 그러므로, 고주파 모듈(10)의 크기를 줄일 수 있다.
- [0065] 본 실시예에서는 인덕터 소자(20)를 고주파 모듈(10)에 적용하는 경우를 예로 들어 설명하였지만, 본 실시예에 의한 인덕터 소자(20)는, 예를 들면 아래에 설명하는 도 11에 나타낸 전압 변환 모듈(80)에 설치될 수도 있다(예를 들면, DC-DC 변환기 또는 조절기를 특정 전압 변환 모듈(80)을 위해 사용한다).
- [0066] 도 11은 본 발명의 제 1 실시예에 의한 인덕터 소자를 포함하는 전압 변환 모듈을 나타내는 단면도이다. 도 11에서는, 상술한 고주파 모듈(10)(도 9 참조)과 동일한 부품은 동일한 참조 번호를 갖는다.
- [0067] 도 11을 참조하면, 전압 변환 모듈(80)은 배선(26), 고주파용 반도체 칩(35) 및 상술한 고주파 모듈(10)에 설치되는 CPU용 반도체 칩(36)을 부품으로부터 제외하고, 배선(81), 반도체 칩(84) 및 칩 저항(85)을 설치하고, 칩 캐패시터(34)를 배선(25, 81) 상에 탑재하는 것 이외에는 고주파 모듈(10)과 동일한 구조를 갖는다.
- [0068] 배선(81)은 배선(25, 77) 사이에 위치하는 부분의 절연막(17) 상에 설치되어 있다. 칩 캐패시터(34) 및 칩 저항(85)은 배선(81) 상에 탑재된다.
- [0069] 반도체 칩(84)은 배선(27, 75) 상에 탑재된다. 반도체 칩(84)은 배선 패턴(63)을 통해 인덕터 본체(61)와 전기

적으로 접속된다. 반도체 칩(84)을 위해, 예를 들면 스위칭 기능을 갖는 반도체 칩을 사용할 수 있다.

- [0070] 칩 저항(85)은 배선(25, 81) 상에 탑재된다. 칩 저항(85)은 배선(81)을 통해 칩 캐패시터(34)와 전기적으로 접속된다. 칩 저항(85)은 반도체 칩(84)에 인가되는 전압을 검출하는 역할을 한다.
- [0071] 상술한 구조를 갖는 전압 변환 모듈(80)에 본 실시예에 의한 인덕터 소자(20)를 설치함으로써, 반도체 기관(11)의 평면 방향으로 크기를 줄일 수 있다. 그러므로 전압 변환 모듈(80)의 크기를 줄일 수 있다.
- [0072] 도 12 내지 도 21은 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 공정을 나타낸 도면들이다. 도 12 내지 도 21에서는, 제 1 실시예에 의한 인덕터 소자(20)와 동일한 부품은 동일한 참조 번호를 갖는다.
- [0073] 먼저, 도 12에 나타난 단계에서, 개구부(91A)를 갖는 레지스트막(91)을 박판으로 변경된 반도체 기관(11) 상에 형성한다. 이때, 개구부(91A)를 형성하여 인덕터 본체(61)가 설치되는 영역과 대응하는 부분의 반도체 기관(11)의 상면(11A)을 노출시킨다. 개구부(91A)는 평면에서 볼 때 나선형 모양을 이룬다. 반도체 기관(11)을 위해, 예를 들면 실리콘 기관을 사용할 수 있다. 반도체 기관(11)으로 실리콘 기관을 사용하는 경우, 반도체 기관(11)의 두께는, 예를 들면 200 μm 내지 500 μm 가 되도록 설정할 수 있다.
- [0074] 이어서 도 13에 나타난 단계에서, 레지스트막(91)을 마스크로 사용하여 이방성 식각(예를 들면, 건식 식각)을 수행하여 반도체 기관(11)을 관통함으로써, 나선형 모양을 이루는 트렌치부(47)를 형성한다(트렌치부 형성 단계). 트렌치부(47)의 폭(W1)은, 예를 들면 60 μm 가 되도록 설정될 수 있다. 다음 도 14에 나타난 단계에서, 도 13에 나타난 레지스트막(91)을 제거한다.
- [0075] 다음 도 15에 나타난 단계에서, 적어도 트렌치부(47)의 측면과 대응하는 부분의 반도체 기관(11)의 표면을 피복하도록 절연막(12)을 형성한다(절연막 형성 단계). 절연막(12)을 위해, 예컨대 산화막(예를 들면, 0.5 μm 내지 2.0 μm 의 두께)을 사용할 수 있다. 본 실시예에서는, 반도체 기관(11)의 양면(11A, 11B) 상에 절연막(12)이 형성되는 경우를 예로 사용하여 아래에 설명한다.
- [0076] 이후 도 16에 나타난 단계에서, 급전층(93)을 도 15에 나타난 구조의 하면에 형성한다(급전층 형성 단계). 급전층(93)을 위해, 예컨대 금속 호일(예를 들면, Cu 호일) 또는 금속 판(예를 들면, Cu 판)을 사용할 수 있다. 구체적으로, 예를 들면 금속 호일(예를 들면, Cu 호일) 또는 금속 판(예를 들면, Cu 판)을 도 15에 나타난 구조의 하면과 접합하여 급전층(93)을 형성한다.
- [0077] 이어서 도 17에 나타난 단계에서, 전력을 급전층(93)에 공급하여 전해 도금법에 의해 트렌치부(47)를 충전하도록 도전막(95)을 형성한다(도전막 형성 단계). 도전막(95)은 인덕터 본체(61)의 기재로서 역할을 한다. 도전막(95)을 위해, 예를 들면 Cu 도금막을 사용할 수 있다.
- [0078] 다음 도 18에 나타난 단계에서, 반도체 기관(11)의 상면(11A)과 하면(11B) 및 급전층(93)으로부터 돌출된 부분의 절연막(12) 및 도전막(95)을 제거한다. 구체적으로, 절연막(12) 및 도전막(95)을 반도체 기관(11)의 상면(11A)이 노출될 때까지 연마하고, 또한 반도체 기관(11)의 하면(11B)이 노출될 때까지 절연막(12), 급전층(93) 및 도전막(95)을 연마한다. 따라서, 부분의 절연막(12)과 도전막(95)과 급전층(93)을 제거한다(도전막 제거 단계 및 급전층 제거 단계). 따라서, 반도체 기관(11)을 관통하는 인덕터 본체(61)가 형성된다(도 16 내지 도 18에 나타난 단계는 인덕터 본체 형성 단계와 대응한다). 인덕터 본체(61)의 폭은, 예를 들면 60 μm 가 되도록 설정될 수 있다.
- [0079] 절연막(12)을 형성하고 나선형 모양을 이루는 트렌치부(47)에 인덕터 본체(61)를 설치함으로써, 인덕터 소자(20)의 크기를 줄이고 인덕터 본체(61)의 두께(인덕터 본체(61)를 구성하는 도전막(95)의 두께)를 증가시킬 수 있다. 그러므로, 인덕터 소자(20)의 저항 손실의 증가를 억제할 수 있다.
- [0080] 다음 도 19에 나타난 단계에서, 개구부(53, 54)를 갖는 절연막(17)을 도 18에 나타난 구조의 상면에 형성하고 절연막(18)을 도 18에 나타난 구조의 하면에 형성한다. 이때, 개구부(53)를 형성하여 인덕터 본체(61) 상에 설치되는 접속부(71)의 상면을 노출한다. 개구부(54)를 형성하여 인덕터 본체(61) 상에 설치된 접속부(72)의 상면을 노출한다. 절연막(17, 18)을 위해, 예를 들면 산화막을 사용할 수 있다. 절연막(17)으로 산화막을 사용하는 경우, 예를 들면 열산화법(thermal oxidation method) 또는 CVD법을 통해 산화막을 설치한 다음, 이렇게 설치된 산화막의 부분에 대해 이방성 식각을 수행함으로써 절연막(17)을 형성할 수 있다. 예를 들면, 열산화법 또는 CVC법을 통해 절연막(18)을 형성할 수 있다. 산화막을 절연막(17, 18)으로 사용하는 경우, 예를 들면 절연막(17, 18)의 두께를 0.5 μm 내지 2.0 μm 가 되도록 설정할 수 있다.
- [0081] 다음 도 20에 나타난 단계에서, 배선 패턴(63, 64)을 도 19에 나타난 구조 상에 형성한다. 구체적으로, 배선 패

턴(63, 64)은 예를 들면 세미애디티브법(semi-additive method)에 의해 형성될 수 있다. 배선 패턴(63, 64)을 위해, 예를 들면 Cu 도금막을 사용할 수 있다.

- [0082] 이어서 도 21에 나타난 단계에서, 인덕터 본체(61) 및 배선(75, 77) 위에 배치된 부분의 절연막(17)을 피복하도록 자성체(66)를 형성하고 인덕터 본체(61) 아래에 배치된 부분의 절연막(18)을 피복하도록 자성체(67)를 형성한다. 따라서, 제 1 실시예에 의한 인덕터 소자(20)가 제조된다.
- [0083] 인덕터 본체(61) 위와 아래에 자성체(66, 67)를 형성함으로써, 인덕터 본체(61)의 인덕턴스 값을 증가시킬 수 있다. 그러므로, 인덕터 소자(20)의 특성을 향상시킬 수 있다.
- [0084] 자성체(66, 67)는 스퍼터링법을 통해 도 20에 나타난 구조의 상면과 하면에 페라이트 막을 설치한 다음, 예를 들면 식각을 통해 불필요한 부분의 페라이트 막을 제거함으로써 형성된다. 자성체(66, 67)는 인쇄법에 의해 형성될 수도 있다.
- [0085] 본 실시예에 따른 인덕터 소자의 제조 방법에 의하면, 반도체 기판(11)을 관통하도록 나선형 모양을 이루는 트렌치부(47)를 형성한 다음, 트렌치부(47)의 측면과 대응하는 부분의 반도체 기판(11) 상에 절연막(12)을 형성하고, 그 후에 절연막(12)이 설치되는 트렌치부(47)에 인덕터 본체(61)를 형성함으로써, 인덕터 소자(20)의 크기를 줄이고 인덕터 본체(61)의 두께(인덕터 본체(61)를 구성하는 도전막(95)의 두께)를 증가시킬 수 있다. 그러므로, 인덕터 소자(20)의 저항 손실의 증가를 억제할 수 있다.
- [0086] (제 2 실시예)
- [0087] 도 22는 본 발명의 제 2 실시예에 의한 인덕터 소자를 포함하는 고주파 모듈을 나타내는 단면도이다. 도 22에서는, 제 1 실시예에 기술된 고주파 모듈(10)(도 9 참조)과 동일한 부품은 동일한 참조 번호를 갖는다.
- [0088] 도 22를 참조하면, 고주파 모듈(100)은 제 1 실시예에 기술된 고주파 모듈(10)에 설치되는 인덕터 소자(20) 대신에 인덕터 소자(110)가 설치되는 것 이외에는 고주파 모듈(10)과 동일한 구조를 갖는다.
- [0089] 인덕터 소자(110)는 절연막(12, 17, 18), 제 1 관통 트렌치(114~116), 제 2 관통 트렌치(118, 119), 인덕터 본체(120), 절연막(17, 18), 배선 패턴(63, 64), 및 자성체(66, 67)를 갖는다.
- [0090] 도 23은 제 1 및 제 2 관통 트렌치의 형성 위치 및 모양을 설명하는 도면이다.
- [0091] 도 22 및 도 23을 참조하면, 제 1 관통 트렌치(114~116)는 반도체 기판(11)을 관통하도록 형성되고 서로 다른 크기를 가지며 동심원으로 배치되어 있다. 제 1 관통홀(114~116)은 부분적으로 불연속이고 평면 상에서 볼 때, 프레임의 형상을 이루고 있다.
- [0092] 제 1 관통 트렌치(114)는 제 1 관통 트렌치(115)의 외부에 배치되어 있다. 제 1 관통 트렌치(114)는 아래에 기술되는 제 1 도전성 부재(121)(인덕터 본체(120)의 부품 중 하나)가 설치되어 있다.
- [0093] 제 1 관통 트렌치(115)는 제 1 관통 트렌치(114)의 내부에 배치되어 있다. 제 1 관통 트렌치(115)는 아래에 기술되는 제 1 도전성 부재(122)(인덕터 본체(120)의 부품 중 하나)가 설치되어 있다.
- [0094] 제 1 관통 트렌치(116)는 제 1 관통 트렌치(115)의 내부에 배치되어 있다. 제 1 관통 트렌치(116)는 아래에 기술되는 제 1 도전성 부재(123)(인덕터 본체(120)의 부품 중 하나)가 설치되어 있다. 제 1 관통 트렌치(114)와 제 1 관통 트렌치(115) 사이의 간격은 제 1 관통 트렌치(115)와 제 1 관통 트렌치(116) 사이의 간격과 거의 동일하게 설정된다. 제 1 관통 트렌치(114~116)의 폭은, 예를 들면 60 μm 가 되도록 설정될 수 있다. 절연막(12)은 제 1 관통 트렌치(114~116)의 측면과 반도체 기판(11) 사이에 설치되어 있다.
- [0095] 제 2 관통 트렌치(118, 119)는 반도체 기판(11)을 관통하도록 형성되고 서로 다른 크기를 가지며 동심원으로 배치되어 있다. 제 2 관통 트렌치(118, 119)는 부분적으로 불연속이고 평면 상에서 볼 때, 프레임의 형상을 이루고 있다.
- [0096] 제 2 관통 트렌치(118)는 제 1 관통 트렌치(114)와 제 1 관통 트렌치(115)의 사이에 배치되어 있다. 제 2 관통 트렌치(118)는 제 1 관통 트렌치(115)를 둘러싸는 모양을 이루고 있다. 절연막(12)은 제 2 관통 트렌치(118)의 측면과 제 1 관통 트렌치(114, 115)의 측면 사이에 그리고 제 2 관통 트렌치(118)의 측면과 반도체 기판(11) 사이에 설치되어 있다. 제 2 관통 트렌치(118)는 절연막(12)으로 구성된다. 제 2 관통 트렌치(118)는 아래에 기술되는 제 2 도전성 부재(124)(인덕터 본체(120)의 부품 중 하나)로 설치되어 있다.
- [0097] 제 2 관통 트렌치(119)는 제 1 관통 트렌치(115)와 제 1 관통 트렌치(116)의 사이에 배치되어 있다. 제 2 관통

트렌치(119)는 제 1 관통 트렌치(116)를 둘러싸는 모양을 이루고 있다. 절연막(12)은 제 2 관통 트렌치(119)의 측면과 제 1 관통 트렌치(115, 116)의 측면 사이에 그리고 제 2 관통 트렌치(119)의 측면과 반도체 기판(11) 사이에 설치되어 있다. 제 2 관통 트렌치(119)는 절연막(12)으로 구성된다. 제 2 관통 트렌치(119)는 아래에 기술되는 제 2 도전성 부재(125)(인덕터 본체(120)의 부품 중 하나)로 설치되어 있다. 제 2 관통 트렌치(118, 119)의 폭은, 예를 들면 60 μm 가 되도록 설정할 수 있다.

- [0098] 도 24는 본 발명의 제 2 실시예에 의한 인덕터 소자를 나타내는 평면도이다. 도 24에서는, 도 22에 나타난 구조와 동일한 부품은 동일한 참조 번호를 갖는다.
- [0099] 도 22 및 도 24를 참조하면, 인덕터 본체(120)는 제 1 도전성 부재(121~123), 제 2 도전성 부재(124, 125), 및 도전성 부재 접속 배선 패턴(131~134)을 갖는다.
- [0100] 도 25는 도 22에 예시된 인덕터 본체를 나타내는 평면도이다. 도 25에서, 도전성 부재 접속 배선 패턴(131~134)은 설명의 편의상 나타내지 않는다. 또한 도 25에서는, 도 22에 나타난 구조와 동일한 부품은 동일한 참조 번호를 갖는다.
- [0101] 다음 도 22, 도 24 및 도 25를 참조하여, 제 1 도전성 부재(121~123) 및 제 2 도전성 부재(124, 125)를 순차적으로 기술한다.
- [0102] 제 1 도전성 부재(121)는 절연막(12)이 형성되어 있는 제 1 관통 트렌치(114)에 배치된다. 따라서, 제 1 도전성 부재(121)의 측면은 절연막(12)으로 피복된다. 제 1 도전성 부재(121)의 상단면은 반도체 기판(11)의 상면(11A)과 거의 동일한 레벨에 있고 제 1 도전성 부재(121)의 하단면은 반도체 기판(11)의 하면(11B)과 거의 동일한 레벨에 있다.
- [0103] 제 1 도전성 부재(121)는 제 1 접속부(121A) 및 제 2 접속부(121B)를 갖는다. 제 1 접속부(121A)는 배선 패턴(63) 상에 설치되는 비어(74)와 접속된다. 제 1 접속부(121A)는 배선 패턴(63)을 통해 고주파용 반도체 칩(35)과 전기적으로 접속된다. 제 2 접속부(121B)는 도전성 부재 접속 배선 패턴(131)과 접속된다. 제 2 접속부(121B)는 도전성 부재 접속 배선 패턴(131)을 통해 제 2 도전성 부재(124)와 전기적으로 접속된다.
- [0104] 제 1 도전성 부재(122)는 절연막(12)이 형성되어 있는 제 1 관통 트렌치(115)에 배치된다. 따라서, 제 1 도전성 부재(122)의 측면은 절연막(12)으로 피복된다. 제 1 도전성 부재(122)의 상단면은 반도체 기판(11)의 상면(11A)과 거의 동일한 레벨에 있고 제 1 도전성 부재(122)의 하단면은 반도체 기판(11)의 하면(11B)과 거의 동일한 레벨에 있다.
- [0105] 제 1 도전성 부재(122)는 제 1 접속부(122A) 및 제 2 접속부(122B)를 갖는다. 제 1 접속부(122A)는 도전성 부재 접속 배선 패턴(132)과 접속된다. 제 1 접속부(122A)는 도전성 부재 접속 배선 패턴(132)을 통해 제 2 도전성 부재(124)와 전기적으로 접속된다. 제 2 접속부(122B)는 도전성 부재 접속 배선 패턴(133)과 접속된다. 제 2 접속부(122B)는 도전성 부재 접속 배선 패턴(133)을 통해 제 2 도전성 부재(125)와 전기적으로 접속된다.
- [0106] 제 1 도전성 부재(123)는 절연막(12)이 형성되어 있는 제 1 관통 트렌치(116)에 배치된다. 따라서, 제 1 도전성 부재(123)의 측면은 절연막(12)으로 피복된다. 제 1 도전성 부재(123)의 상단면은 반도체 기판(11)의 상면(11A)과 거의 동일한 레벨에 있고 제 1 도전성 부재(123)의 하단면은 반도체 기판(11)의 하면(11B)과 거의 동일한 레벨에 있다.
- [0107] 제 1 도전성 부재(123)는 제 1 접속부(123A) 및 제 2 접속부(123B)를 갖는다. 제 1 접속부(123A)는 도전성 부재 접속 배선 패턴(134)과 접속된다. 제 1 접속부(123A)는 도전성 부재 접속 배선 패턴(134)을 통해 제 2 도전성 부재(125)와 전기적으로 접속된다. 제 2 접속부(123B)는 배선 패턴(64) 상에 설치되는 비어(76)와 접속된다. 제 2 접속부(123B)는 배선 패턴(64)을 통해 칩 캐패시터(34)와 전기적으로 접속된다.
- [0108] 제 2 도전성 부재(124)는 절연막(12)으로 둘러싸인 제 2 관통 트렌치(118)에 배치된다. 제 2 도전성 부재(124)의 측면은 절연막(12)으로 피복된다. 제 2 도전성 부재(124)는 절연막(12)을 통해 제 1 도전성 부재(121, 122)와 인접해 있다. 제 2 도전성 부재(124)의 상단면은 반도체 기판(11)의 상면(11A)과 거의 동일한 레벨에 있고 제 2 도전성 부재(124)의 하단면은 반도체 기판(11)의 하면(11B)과 거의 동일한 레벨에 있다.
- [0109] 제 2 도전성 부재(124)는 제 1 접속부(124A) 및 제 2 접속부(124B)를 갖는다. 제 1 접속부(124A)는 도전성 부재 접속 배선 패턴(131)과 접속된다. 제 1 접속부(124A)는 도전성 부재 접속 배선 패턴(131)을 통해 제 1 도전성 부재(121)에 설치되는 제 2 접속부(121B)와 전기적으로 접속된다. 제 2 접속부(124B)는 도전성 부재 접속 배선 패턴(132)과 접속된다. 제 2 접속부(124B)는 도전성 부재 접속 배선 패턴(132)을 통해 제 1 도전성 부재(122)에

설치되는 제 1 접속부(122A)와 전기적으로 접속된다.

- [0110] 제 2 도전성 부재(125)는 절연막(12)으로 둘러싸인 제 2 관통 트렌치(119)에 배치된다. 제 2 도전성 부재(125)의 측면은 절연막(12)으로 피복된다. 제 2 도전성 부재(125)는 절연막(12)을 통해 제 1 도전성 부재(122, 123)와 인접해 있다. 제 2 도전성 부재(125)의 상단면은 반도체 기관(11)의 상면(11A)과 거의 동일한 레벨에 있고 제 2 도전성 부재(125)의 하단면은 반도체 기관(11)의 하면(11B)과 거의 동일한 레벨에 있다.
- [0111] 제 2 도전성 부재(125)는 제 1 접속부(125A) 및 제 2 접속부(125B)를 갖는다. 제 1 접속부(125A)는 도전성 부재 접속 배선 패턴(133)과 접속된다. 제 1 접속부(125A)는 도전성 부재 접속 배선 패턴(133)을 통해 제 1 도전성 부재(122)에 설치되는 제 2 접속부(122B)와 전기적으로 접속된다. 제 2 접속부(125B)는 도전성 부재 접속 배선 패턴(134)과 접속된다. 제 2 접속부(125B)는 도전성 부재 접속 배선 패턴(134)을 통해 제 1 도전성 부재(123)에 설치되는 제 1 접속부(123A)와 전기적으로 접속된다.
- [0112] 상술한 바와 같이, 제 1 도전성 부재(121~123) 및 제 2 도전성 부재(124, 125)는 절연막(12)을 통해 교대로 배치된다.
- [0113] 따라서, 제 1 도전성 부재(121~123) 및 제 2 도전성 부재(124, 125)는 제 1 도전성 부재(121, 122) 및 제 2 도전성 부재(124)가 절연막(12)을 통해 서로 인접하고 제 1 도전성 부재(122, 123) 및 제 2 도전성 부재(125)가 절연막(12)을 통해 서로 인접하는 방식으로 교대로 배치된다. 따라서, 반도체 기관(11)은 제 1 및 제 2 도전성 부재(121~125) 사이에 설치되지 않으므로 인덕터 본체(120)의 크기(구체적으로, 반도체 기관(11)의 상면(11A) 또는 하면(11B))의 방향으로 인덕터 본체(120)의 크기는 감소된다. 따라서 인덕터 소자(110)의 크기를 줄일 수 있다.
- [0114] 더욱이, 제 1 및 제 2 도전성 부재(121~125)의 두께를 증가시킬 수 있다(이 경우, 제 1 및 제 2 도전성 부재(121~125)의 두께를 반도체 기관(11)의 두께와 동일하게 설정함). 그러므로, 인덕터 소자(110)의 저항 손실의 증가를 억제할 수 있다.
- [0115] 또한, 고주파 모듈(100)에 상술한 바와 같이 구성된 인덕터 본체(120)를 갖는 인덕터 소자(110)를 설치함으로써, 반도체 기관(11)의 평면 방향(상면(11A) 또는 하면(11B)의 방향)으로 크기를 줄일 수 있다. 그러므로 고주파 모듈(100)의 크기를 줄일 수 있다.
- [0116] 도 24를 참조하면, 도전성 부재 접속 배선 패턴(131)은 비어(141, 142) 및 배선(143)을 갖는다. 비어(141)는 제 1 접속부(124A) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(141)는 제 1 접속부(124A)와 접속된다. 비어(142)는 제 2 접속부(121B) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(142)는 제 2 접속부(121B)와 접속된다. 배선(143)은 비어(141, 142) 및 절연막(17) 상에 설치되어 있다. 배선(143)은 비어(141, 142)의 상단과 접속된다. 배선(143)은 비어(141, 142)와 일체로 구성된다. 도전성 부재 접속 배선 패턴(131)은 제 1 도전성 부재(121)와 상기 제 1 도전성 부재(121)와 인접하여 배치되는 제 2 도전성 부재(124)를 전기적으로 접속한다.
- [0117] 도전성 부재 접속 배선 패턴(132)은 비어(144, 145) 및 배선(146)을 갖는다. 비어(144)는 제 1 접속부(122A) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(144)는 제 1 접속부(122A)와 접속된다. 비어(145)는 제 2 접속부(124B) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(145)는 제 2 접속부(124B)와 접속된다. 배선(146)은 비어(144, 145) 및 절연막(17) 상에 설치되어 있다. 배선(146)은 비어(144, 145)의 상단과 접속된다. 배선(146)은 비어(144, 145)와 일체로 구성된다. 도전성 부재 접속 배선 패턴(132)은 제 1 도전성 부재(122)와 상기 제 1 도전성 부재(122)와 인접하여 배치되는 제 2 도전성 부재(124)를 전기적으로 접속한다.
- [0118] 도전성 부재 접속 배선 패턴(133)은 비어(147, 148) 및 배선(149)을 갖는다. 비어(147)는 제 1 접속부(125A) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(147)는 제 1 접속부(125A)와 접속된다. 비어(148)는 제 2 접속부(122B) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(148)는 제 2 접속부(122B)와 접속된다. 배선(149)은 비어(147, 148) 및 절연막(17) 상에 설치되어 있다. 배선(149)은 비어(147, 148)의 상단과 접속된다. 배선(149)은 비어(147, 148)와 일체로 구성된다. 도전성 부재 접속 배선 패턴(133)은 제 1 도전성 부재(122)와 상기 제 1 도전성 부재(122)와 인접하여 배치되는 제 2 도전성 부재(124)를 전기적으로 접속한다.
- [0119] 도전성 부재 접속 배선 패턴(134)은 비어(151, 152) 및 배선(153)을 갖는다. 비어(151)는 제 1 접속부(123A) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(151)는 제 1 접속부(123A)와 접속된다. 비

어(152)는 제 2 접속부(125B) 상에 배치되는 부분의 절연막(17)을 관통하도록 설치되어 있다. 비어(152)는 제 2 접속부(125B)와 접속된다. 배선(153)은 비어(151, 152) 및 절연막(17) 상에 설치되어 있다. 배선(153)은 비어(151, 152)의 상단과 접속된다. 배선(153)은 비어(151, 152)와 일체로 구성된다. 도전성 부재 접속 배선 패턴(134)은 제 1 도전성 부재(123)와 상기 제 1 도전성 부재(123)와 인접하여 배치되는 제 2 도전성 부재(125)를 전기적으로 접속한다.

- [0120] 인덕터 본체(120)(제 1 도전성 부재(121~123), 제 2 도전성 부재(124, 125), 및 도전성 부재 접속 배선 패턴(131~134)을 포함하는 구조)는 평면상에서 본 나선형 모양을 이루고 있다.
- [0121] 따라서, 제 1 도전성 부재(121~123)와 상기 제 1 도전성 부재와 인접하는 제 2 도전성 부재(124, 125)를 전기적으로 접속하는 도전성 부재 접속 배선 패턴(131~134)이 설치되고, 또한 제 1 도전성 부재(121~123), 제 2 도전성 부재(124, 125), 및 도전성 부재 접속 배선 패턴(131~134)에 의해 구성되는 인덕터 본체(120)는 평면 상에서 볼 때, 나선형 모양을 이루게 된다. 따라서, 인덕터 본체(120)에 전류를 나선형 모양으로 흐르게 하는 것이 가능하다.
- [0122] 도 22 및 도 24를 참조하면, 절연막(17)은 인덕터 본체(120)의 상면 및 반도체 기관(11)의 상면(11A)을 피복하도록 설치된다. 절연막(17)은 도시되지 않은 복수의 개구부(비어(141, 142, 144, 145, 147, 152, 153)를 배치하는 개구부) 및 개구부(53, 54)를 갖는다. 개구부(53)는 제 1 접속부(121A)의 상면을 노출하도록 형성된다. 개구부(54)는 제 2 접속부(123B)의 상면을 노출하도록 형성된다. 절연막(18)은 인덕터 본체(120)의 하면 및 반도체 기관(11)의 하면(11B)을 피복하도록 설치된다.
- [0123] 배선 패턴(63)은 절연막(17) 및 개구부(53) 상에 설치된다. 배선 패턴(63)은 제 1 도전성 부재(121) 상에 설치된 제 1 접속부(121A)와 접속된다. 배선 패턴(63)은 인덕터 본체(120)와 고주파용 반도체 칩(35)을 전기적으로 접속한다.
- [0124] 배선 패턴(64)은 절연막(17) 및 개구부(54) 상에 설치된다. 배선 패턴(64)은 제 1 도전성 부재(123)에 설치된 제 2 접속부(123B)와 접속된다. 배선 패턴(64)은 인덕터 본체(120)와 칩 캐패시터(34)를 전기적으로 접속한다.
- [0125] 자성체(66)는 인덕터 본체(120) 위에 배치되는 부분의 절연막(17) 및 배선(75, 77) 상에 설치된다. 자성체(67)는 인덕터 본체(120) 아래에 배치되는 부분의 절연막(18)의 표면(18A) 상에 설치된다. 자성체(66, 67)의 재료로써, 예를 들면 페라이트를 사용할 수 있다. 자성체(66, 67)의 재료로 페라이트를 사용하는 경우, 자성체(66, 67)의 두께는, 예를 들면 0.5 μm 내지 20 μm 가 되도록 설정될 수 있다.
- [0126] 인덕터 본체(120)의 상하 방향에 자성체(66, 67)를 설치함으로써, 인덕터 본체(120)의 인덕턴스 값을 증가시킬 수 있다. 그러므로 인덕터 소자(110)의 특성을 향상시킬 수 있다.
- [0127] 본 실시예에 따른 인덕터 소자에 의하면, 제 1 도전성 부재(121~123) 및 제 2 도전성 부재(124, 125)는 제 1 도전성 부재(121, 122) 및 제 2 도전성 부재(124)가 절연막(12)을 통해 서로 인접하고 제 1 도전성 부재(122, 123) 및 제 2 도전성 부재(125)가 절연막(12)을 통해 서로 인접하는 방식으로 교대로 배치된다. 따라서, 반도체 기관(11)은 제 1 및 제 2 도전성 부재(121~125) 사이에 설치되지 않으므로 인덕터 본체(120)의 크기는 감소된다. 따라서 인덕터 소자(110)의 크기를 줄일 수 있다.
- [0128] 더욱이, 제 1 및 제 2 도전성 부재(121~125)의 두께를 증가시킬 수 있다(이 경우, 제 1 및 제 2 도전성 부재(121~125)의 두께를 반도체 기관(11)의 두께와 동일하게 설정함). 그러므로, 인덕터 소자(110)의 저항 손실의 증가를 억제할 수 있다.
- [0129] 또한 고주파 모듈(100)에 본 실시예에 의한 인덕터 소자(110)를 설치함으로써, 반도체 기관(11)의 평면 방향(상면(11A) 또는 하면(11B)의 방향)으로 크기를 줄일 수 있다. 그러므로, 고주파 모듈(100)의 크기를 줄일 수 있다.
- [0130] 본 실시예에서는 인덕터 소자(110)를 고주파 모듈(100)에 적용하는 경우를 예로서 사용하여 설명하였지만, 제 1 실시예에 기술된 전압 변환 모듈(80)(도 11 참조)에 설치되는 인덕터 소자(20) 대신에 인덕터 소자(110)를 설치할 수도 있다. 이 경우, 인덕터 소자(20)가 설치되는 경우와 비교하여 전압 변환 모듈(80)의 크기를 더 많이 줄일 수 있다.
- [0131] 도 26 내지 도 37은 본 발명의 제 2 실시예에 의한 인덕터 소자의 제조 단계를 나타내는 도면들이다. 도 38은 도 27에 예시된 구조를 나타내는 평면도이고, 도 39는 도 31에 예시된 구조를 나타내는 평면도이고, 도 40은 도 32에 예시된 구조를 나타내는 평면도이다. 도 26 내지 도 40에서, 제 2 실시예에 의한 인덕터 소자(110)와 동일

한 부품은 동일한 참조 번호를 갖는다. 더욱이 도 39에서, 설명의 편의상 레지스트막(159)은 나타내지 않는다.

- [0132] 먼저 도 26에 나타낸 단계에서, 동심원으로 배치된 개구부(156A~156C)를 갖는 레지스트막(156)이 박판으로 형성된 반도체 기관(11) 상에 형성된다. 반도체 기관(11)을 위해, 예를 들면 실리콘 기관을 사용할 수 있다. 반도체 기관(11)을 위해 실리콘 기관을 사용하는 경우, 반도체 기관(11)의 두께는, 예를 들면 200 μm 내지 500 μm 가 되도록 설정될 수 있다. 개구부(156A)는 제 1 관통 트렌치(114)가 설치되는 영역과 대응하는 부분의 반도체 기관(11)의 상면(11A)을 노출하도록 형성되고, 개구부(156B)는 제 1 관통 트렌치(115)가 설치되는 영역과 대응하는 부분의 반도체 기관(11)의 상면(11A)을 노출하도록 형성된다. 더욱이, 개구부(156C)는 제 1 관통 트렌치(116)가 설치되는 영역과 대응하는 부분의 반도체 기관(11)의 상면(11A)을 노출하도록 형성된다.
- [0133] 이어서 도 27에 나타낸 단계에서, 도 26에 나타낸 레지스트막(156)을 마스크로 사용하여 이방성 식각(예를 들면, 건식 식각)을 수행하여 개구부(156A~156C)에 노출된 부분의 반도체 기관(11)을 관통하여 제 1 관통 트렌치(114~116)를 동심원으로 형성한다(제 1 관통 트렌치(114~116)가 형성되는 반도체 기관(11)을 나타내는 도 37의 평면도 참조)(제 1 관통 트렌치 형성 단계). 제 1 관통 트렌치(114~116)의 폭은, 예를 들면 60 μm 가 되도록 설정될 수 있다. 이 경우, 제 1 관통 트렌치(114~116)의 설치 피치는, 예를 들면 61.5 μm 가 되도록 설정될 수 있다.
- [0134] 다음 도 28에 나타낸 단계에서, 제 1 실시예에서 설명한 도 15 내지 도 18에 나타낸 단계와 같은 처리를 수행하여 제 1 관통 트렌치(114~116)의 측면과 대응하는 부분의 반도체 기관(11)의 표면을 피복하는 절연막(12)을 형성한 다음(제 1 절연막 형성 단계), 제 1 도전성 부재(121~123)를 절연막(12)이 설치되는 제 1 관통 트렌치(114~116)에 형성한다(제 1 도전성 부재 형성 단계).
- [0135] 반도체 기관(11)을 관통하는 제 1 관통 트렌치(114~116)에 제 1 도전성 부재(121~123)를 형성함으로써, 제 1 도전성 부재(121~123)의 두께를 증가시킬 수 있다. 따라서, 인덕터 소자(110)의 저항 손실의 증가를 억제할 수 있다.
- [0136] 절연막(12)을 위해 예컨대, 산화막을 사용할 수 있다(예를 들면, 0.5 μm 내지 2.0 μm 의 두께). 절연막(12)으로 산화막을 사용하는 경우, 예를 들면 열산화법 또는 CVD법에 의해 절연막(12)을 형성할 수 있다. 제 1 도전성 부재(121~123)의 재료를 위해, 예를 들면 Cu를 사용할 수 있다. 제 1 도전성 부재(121~123)의 재료를 위해 Cu를 사용하는 경우, 예를 들면 반도체 기관(11)의 하면(11B)에 급전층(93)을 고착시킨 다음(급전층 형성 단계), 전해 도금법에 의해 급전층(93) 상에 Cu 도금막을 석출 및 성장시켜 제 1 관통 트렌치(114~116)를 Cu 도금막으로 충전하고(제 1 도금막 형성 단계), 이후 반도체 기관(11) 및 급전층(93)의 상면(11A)과 하면(11B)으로부터 돌출된 부분의 Cu 도금막 및 절연막(12)을 제거한다(제 1 도금막 제거 단계 및 급전층 제거 단계). 따라서, 제 1 도전성 부재(121~123)가 형성된다. 제 1 도전성 부재(121~123)의 폭은, 예를 들면 60 μm 가 되도록 설정될 수 있다.
- [0137] 이어서 도 29에 나타낸 단계에서, 고정 접착 시트(158)가 도 28에 나타낸 구조의 하면에 고착된다. 고정 접착 시트(158)의 두께는, 예를 들면 30 μm 가 되도록 설정할 수 있다.
- [0138] 다음 도 30에 나타낸 단계에서, 개구부(159A)를 갖는 레지스트막(159)이 도 29에 나타낸 구조 상에 형성된다. 개구부(159A)는 제 1 도전성 부재(121, 123)와 제 1 도전성 부재(122) 사이에 위치하는 부분의 반도체 기관(11)의 상면(11A)을 노출하도록 형성된다.
- [0139] 이후 도 31에 나타낸 단계에서, 레지스트막(159)을 마스크로 사용하는 이방성 식각을 개구부(159A)(절연막(12)(제 1 절연막) 사이에 배치되는 부분의 반도체 기관(11))에 노출된 부분의 반도체 기관(11) 위로 수행하여 제 2 관통 트렌치(118, 119)를 형성한다(제 2 관통 트렌치(118, 119)가 형성되는 반도체 기관(11)을 나타낸 도 38의 평면도 참조)(제 2 관통 트렌치 형성 단계). 제 2 관통 트렌치(118, 119)의 폭은, 예를 들면 60 μm 가 되도록 설정될 수 있다.
- [0140] 다음 도 32에 나타낸 단계에서, 도 31에 나타낸 레지스트막(159)을 제거하고 절연막(12)(제 1 절연막)이 형성되지 않은 제 2 관통 트렌치(118, 119)의 측면과 대응하는 부분의 반도체 기관(11)의 표면 상에 절연막(12)(제 2 절연막)을 형성한다(제 2 절연막 형성 단계). 절연막(12)(제 2 절연막)을 위해, 예를 들면 산화막을 사용할 수 있다. 산화막을 절연막(12)(제 2 절연막)으로 사용하는 경우, 절연막(12)(제 2 절연막)은, 예를 들면 열산화법 또는 CVD법에 의해 형성될 수 있다.
- [0141] 이어서 도 33에 나타낸 단계에서, 급전층(161)이 도 32에 나타낸 구조의 상면을 피복하도록 형성된다(급전층 형성 단계). 급전층(161)을 위해, 예컨대 금속 호일(예를 들면, Cu 호일) 또는 금속 판(예를 들면, Cu 판)을 사용

할 수 있다. 구체적으로, 급전층(161)은 예를 들면 도 32에 나타난 구조의 하면에 금속 호일(예를 들면, Cu 호일) 또는 금속 판(예를 들면, Cu 판)을 고착하여 형성된다.

- [0142] 다음 도 34에 나타난 단계에서, 도 33에 나타난 구조 상에 설치된 고정 접촉 시트(158)를 박리한다. 이후 도 35에 나타난 단계에서, 제 1 실시예에 기술된 도 17 및 도 18에 나타난 단계와 동일한 처리를 수행하여 제 2 관통 트렌치(118, 119)에 제 2 도전성 부재(124, 125)를 형성한다(제 2 도전성 부재 형성 단계). 제 2 도전성 부재(124, 125)를 위해, 예를 들면 Cu 도금막(제 2 도금막)을 사용할 수 있다. 또한 제 2 도전성 부재(124, 125)의 폭은, 예를 들면 60 μm 가 되도록 설정될 수 있다.
- [0143] 따라서, 절연막(12)(제 1 절연막) 사이에 배치되는 부분의 반도체 기관(11)을 식각 처리하여 제 2 관통 트렌치(118, 119)를 형성하고 상기 제 2 관통 트렌치(118, 119)에 제 2 도전성 부재(124, 125)를 형성하므로 반도체 기관(11)은 제 1 도전성 부재(121~123)와 제 2 도전성 부재(124, 125) 사이에 설치되지 않는다. 그러므로, 인덕터 소자(110)의 크기를 줄일 수 있다.
- [0144] 또한 반도체 기관(11)을 관통하는 제 2 관통 트렌치(118, 119)에 제 2 도전성 부재(124, 125)를 형성함으로써, 제 2 도전성 부재(124, 125)의 두께를 증가시킬 수 있다. 그러므로, 인덕터 소자(110)의 저항 손실의 증가를 억제할 수 있다.
- [0145] 이후 도 36에 나타난 단계에서, 개구부(53, 54)를 갖는 절연막(17)을 도 35에 나타난 구조의 상면에 형성하고 제1 실시예에 기술된 도 19에 나타난 단계와 동일한 기술에 의해 절연막(18)을 도 35에 나타난 구조의 하면에 형성한다. 개구부(53)는 제 1 도전성 부재(121)에 설치되는 제 1 접속부(121A)를 노출하도록 형성되고, 개구부(54)는 제 1 도전성 부재(123)에 설치되는 제 2 접속부(123B)를 노출하도록 형성된다.
- [0146] 다음 도 37에 나타난 단계에서, 배선 패턴(63, 64) 및 도전성 부재 접속 배선 패턴(131~134)(미도시)을 제 1 실시예에 기술된 도 20에 나타난 동일한 기술에 의해 동시에 도 37에 나타난 구조의 상면에 형성한다(예를 들면, 세미에디티브법)(도전성 부재 접속 배선 패턴 형성 단계). 따라서, 인덕터 본체(120)가 형성된다.
- [0147] 다음, 제 1 실시예에 기술된 도 21에 나타난 단계와 동일한 기술에 의해 자성체(66)를 인덕터 본체(120)의 상면 측에, 및 자성체(67)를 인덕터 본체(120)의 하면측에 형성한다(예를 들면, 스퍼터링법)(자성체 형성 단계). 따라서, 인덕터 소자(110)가 제조된다. 자성체(66, 67)를 위해 페라이트 막을 사용하는 경우, 자성체(66, 67)의 두께는, 예를 들면 0.5 μm 내지 20 μm 가 되도록 설정될 수 있다.
- [0148] 인덕터 본체(120)의 위와 아래에 자성체(66, 67)를 형성함으로써, 인덕터 본체(120)의 인덕턴스 값을 증가시킬 수 있다. 그러므로, 인덕터 소자(110)의 특성을 향상시킬 수 있다.
- [0149] 본 실시예에 따른 인덕터 소자의 제조 방법에 의하면, 제 1 도전성 부재(121~123)를 절연막(12)(제 1 절연막)이 설치되는 제 1 관통 트렌치(114~116)에 형성한 다음, 제 1 도전성 부재(121, 123)와 제 1 도전성 부재(122) 사이에 위치하는 부분의 반도체 기관(11)을 제거하여 제 2 관통 트렌치(118, 119)를 형성하고, 이후 절연막(12)(제 2 절연막)을 절연막(12)(제 1 절연막)이 설치되지 않는 제 2 관통 트렌치(118, 119)의 측면과 대응하는 부분의 반도체 기관(11) 상에 형성하고, 이어서 제 2 도전성 부재(124, 125)를 제 2 관통 트렌치(118, 119)에 형성하므로, 반도체 기관(11)은 제 1 도전성 부재(121~123)와 제 2 도전성 부재(124, 125) 사이에 설치되지 않는다. 따라서 인덕터 소자(110)의 크기를 줄일 수 있다.
- [0150] 더욱이, 제 1 및 제 2 도전성 부재(121~125)의 두께를 증가시킬 수 있다. 그러므로, 인덕터 소자(110)의 저항 손실의 증가를 억제할 수 있다.
- [0151] 본 발명에 의한 바람직한 실시예를 위에 상세히 기술하였지만, 본 발명은 특정 실시예로 제한되지 않으며 특허 청구범위에 기술된 본 발명의 범위로부터 이탈하지 않고 여러 변경 및 변형이 가능하다.
- [0152] 예를 들면, 제 1 실시예에 기술된 인덕터 본체(61)는 원형으로 나선형 모양을 이룰 수도 있다. 더욱이, 제 2 실시예에 기술된 인덕터 본체(120)는, 예를 들면 원형으로 나선형 모양을 이룰 수도 있다. 또한, 제 1 실시예 및 제 2 실시예의 구조는 결합될 수도 있다. 예를 들면, 제 1 실시예에 기술된 인덕터 본체(61)는 반도체 기관을 관통하고 동심원으로 배치되는 복수의 제 1 도전성 부재, 반도체 기관을 관통하고 동심원으로 배치되는 복수의 제 2 도전성 부재, 및 제 1 도전성 부재와 상기 제 1 도전성 부재와 인접하는 제 2 도전성 부재를 전기적으로 접속하는 도전성 부재 접속 배선 패턴에 의해 구성될 수도 있으며, 제 1 도전성 부재, 제 2 도전성 부재, 및 도전성 부재 접속 배선 패턴은 평면 상에서 볼 때, 나선형 모양을 이룬다.
- [0153] 본 발명은 크기를 줄일 수 있고 저항 손실의 증가를 억제할 수 있는 인덕터 소자 및 그 제조 방법에 적용 가능

하다.

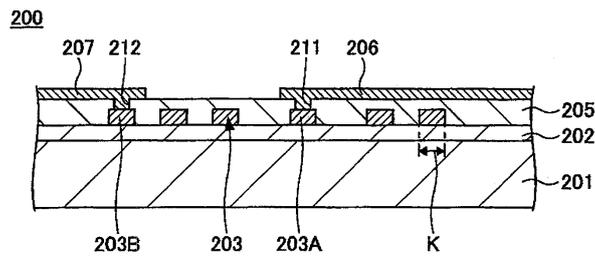
도면의 간단한 설명

- [0154] 도 1은 종래의 인덕터 소자를 나타내는 단면도.
- [0155] 도 2는 도 1에 예시된 인덕터 본체를 나타내는 평면도.
- [0156] 도 3은 종래의 인덕터 소자를 제조하는 단계를 나타내는 도면(#1).
- [0157] 도 4는 종래의 인덕터 소자를 제조하는 단계를 나타내는 도면(#2).
- [0158] 도 5는 종래의 인덕터 소자를 제조하는 단계를 나타내는 도면(#3).
- [0159] 도 6은 종래의 인덕터 소자를 제조하는 단계를 나타내는 도면(#4).
- [0160] 도 7은 종래의 인덕터 소자를 제조하는 단계를 나타내는 도면(#5).
- [0161] 도 8은 종래의 인덕터 소자를 제조하는 단계를 나타내는 도면(#6).
- [0162] 도 9는 본 발명의 제 1 실시예에 의한 인덕터 소자를 포함하는 고주파 모듈을 나타내는 단면도.
- [0163] 도 10은 도 9에 예시된 인덕터 본체를 나타내는 평면도.
- [0164] 도 11은 본 발명의 제 1 실시예에 의한 인덕터 소자를 포함하는 전압 변환 모듈을 나타내는 단면도.
- [0165] 도 12는 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#1).
- [0166] 도 13은 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#2).
- [0167] 도 14는 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#3).
- [0168] 도 15는 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#4).
- [0169] 도 16은 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#5).
- [0170] 도 17은 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#6).
- [0171] 도 18은 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#7).
- [0172] 도 19는 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#8).
- [0173] 도 20은 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#9).
- [0174] 도 21은 본 발명의 제 1 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#10).
- [0175] 도 22는 본 발명의 제 2 실시예에 의한 인덕터 소자를 포함하는 고주파 모듈을 나타내는 단면도.
- [0176] 도 23은 제 1 및 제 2 관통 트렌치의 형성 위치 및 모양을 설명하는 도면.
- [0177] 도 24는 본 발명의 제 2 실시예에 의한 인덕터 소자를 나타내는 평면도.
- [0178] 도 25는 도 22에 예시된 인덕터 본체를 나타내는 평면도.
- [0179] 도 26은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#1).
- [0180] 도 27은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#2).
- [0181] 도 28은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#3).
- [0182] 도 29는 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#4).
- [0183] 도 30은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#5).
- [0184] 도 31은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#6).
- [0185] 도 32는 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#7).
- [0186] 도 33은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#8).

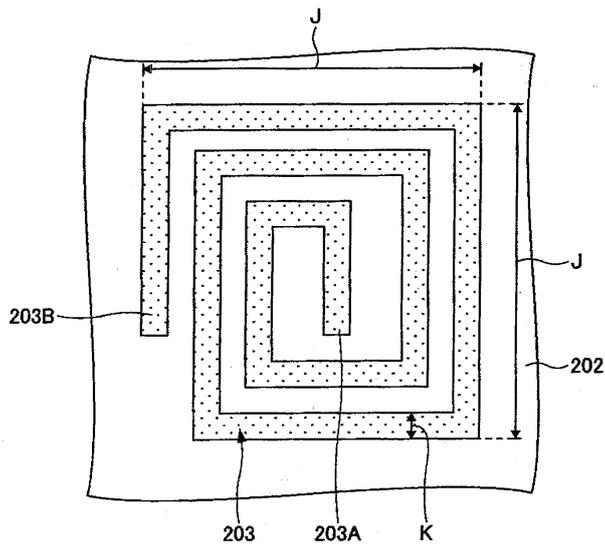
- [0187] 도 34는 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#9).
- [0188] 도 35는 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#10).
- [0189] 도 36은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#11).
- [0190] 도 37은 본 발명의 제 2 실시예에 의한 인덕터 소자를 제조하는 단계를 나타내는 도면(#12).
- [0191] 도 38은 도 27에 예시된 구조를 나타내는 평면도.
- [0192] 도 39는 도 31에 예시된 구조를 나타내는 평면도.
- [0193] 도 40은 도 32에 예시된 구조를 나타내는 평면도.

도면

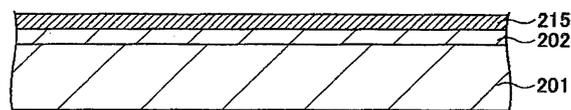
도면1



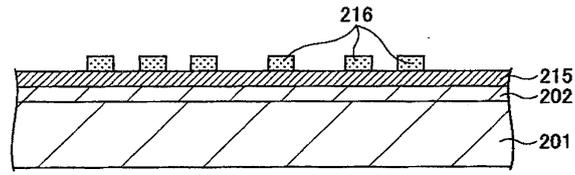
도면2



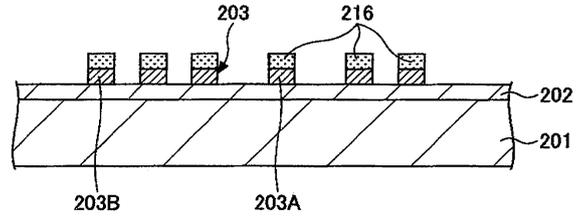
도면3



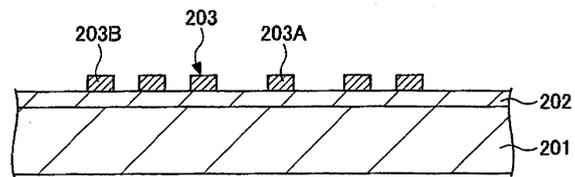
도면4



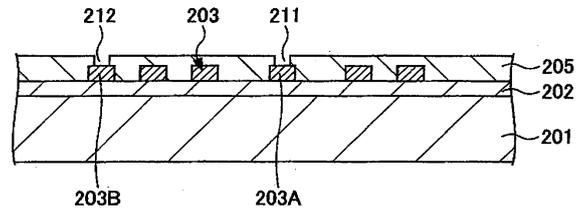
도면5



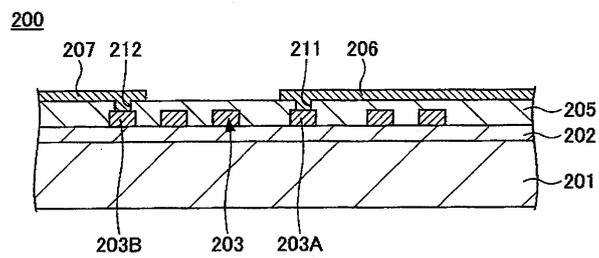
도면6



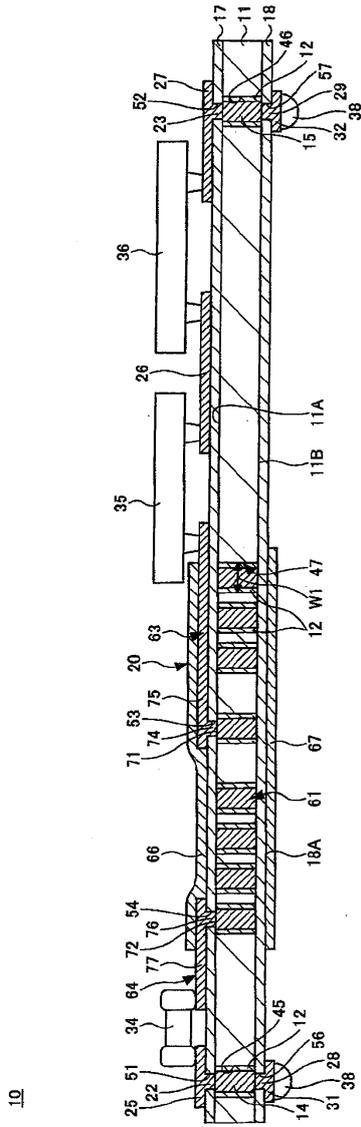
도면7



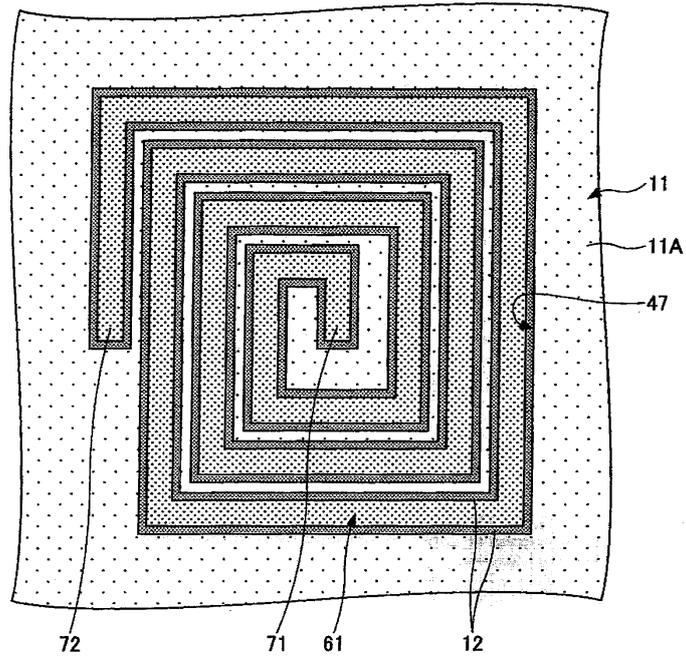
도면8



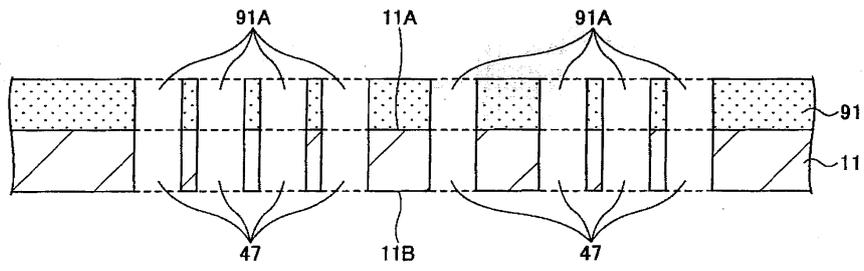
도면9



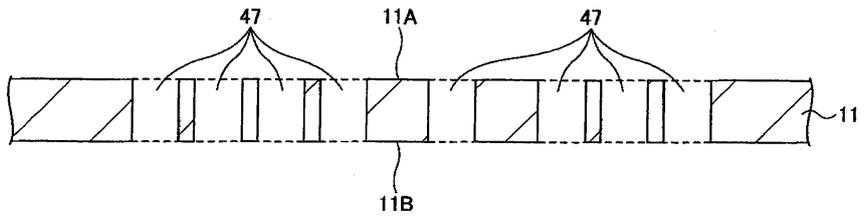
도면10



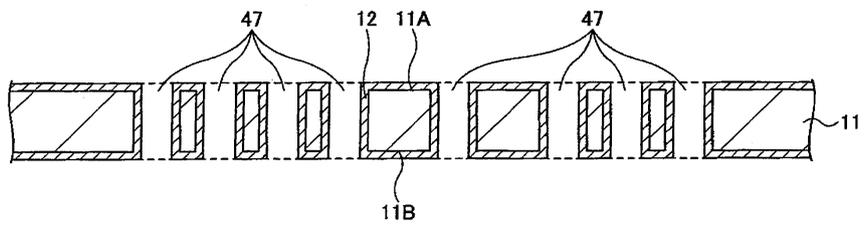
도면13



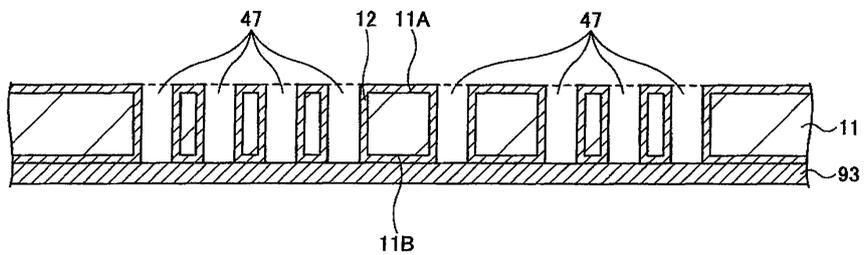
도면14



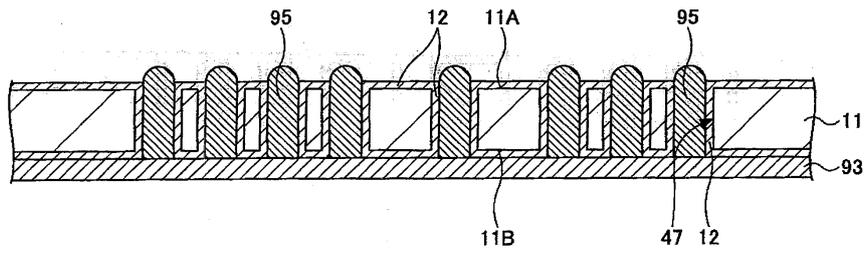
도면15



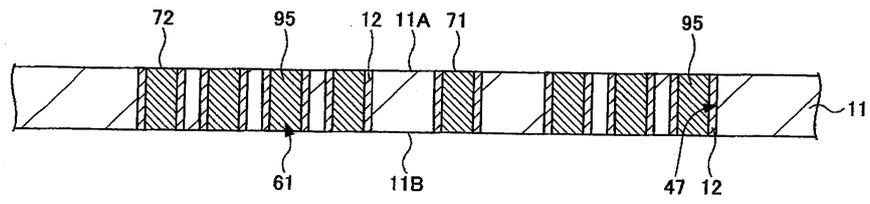
도면16



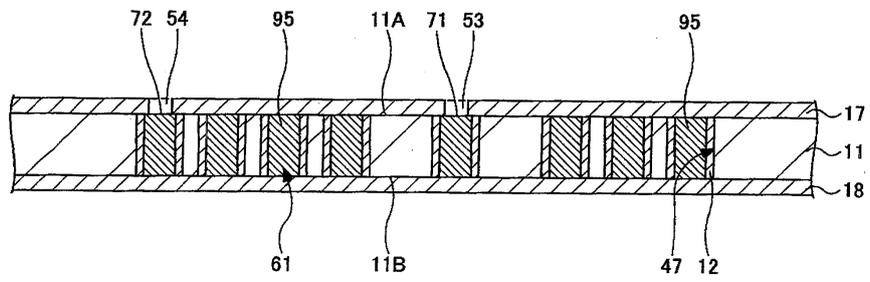
도면17



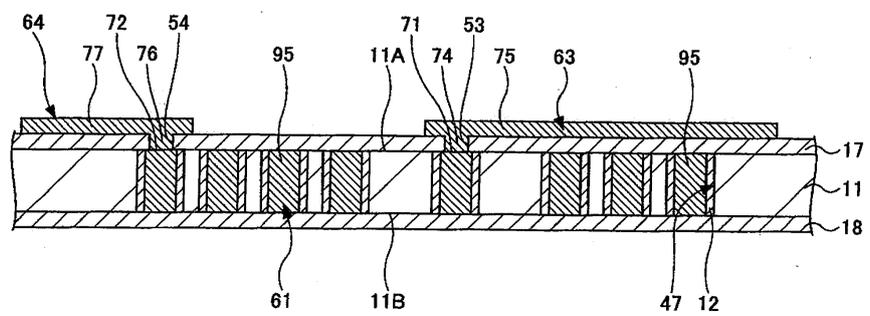
도면18



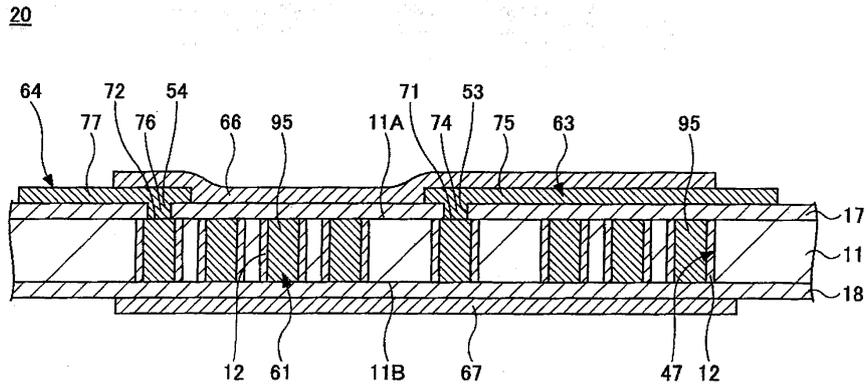
도면19



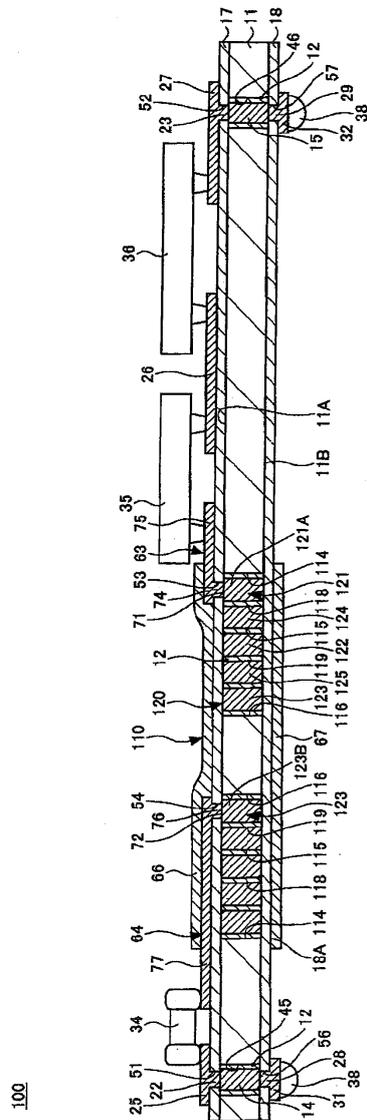
도면20



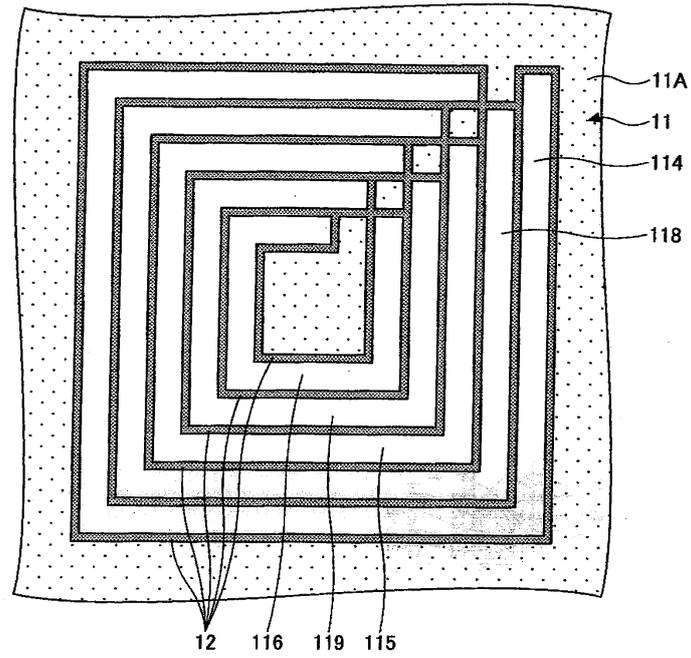
도면21



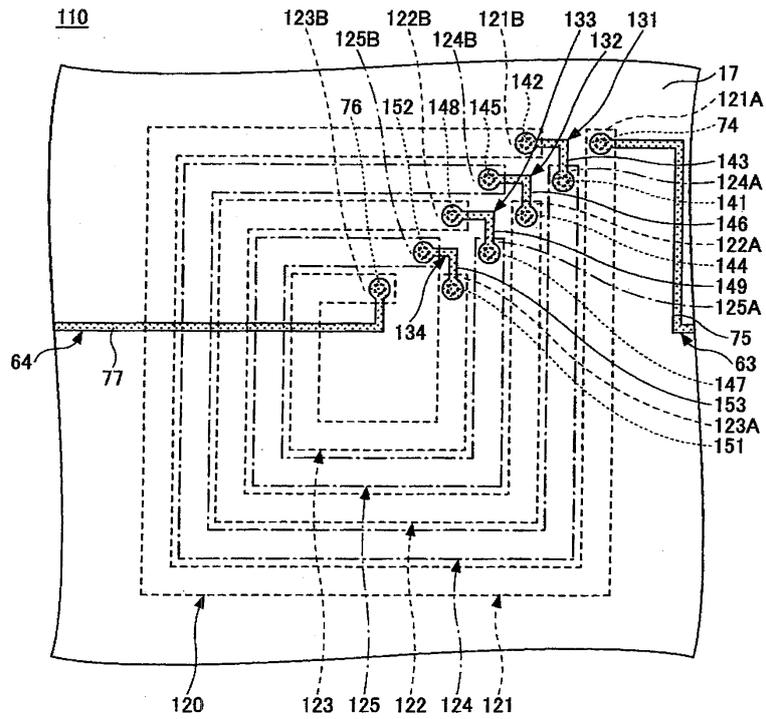
도면22



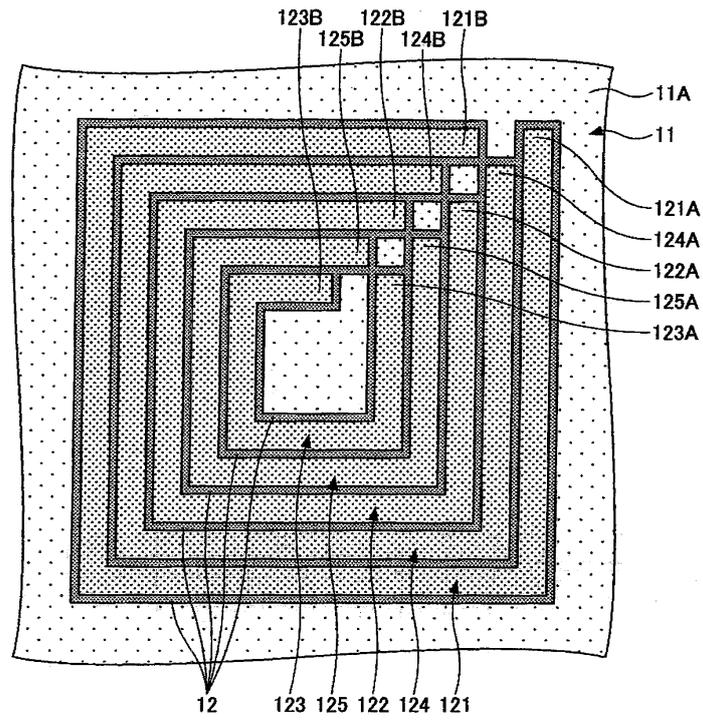
도면23



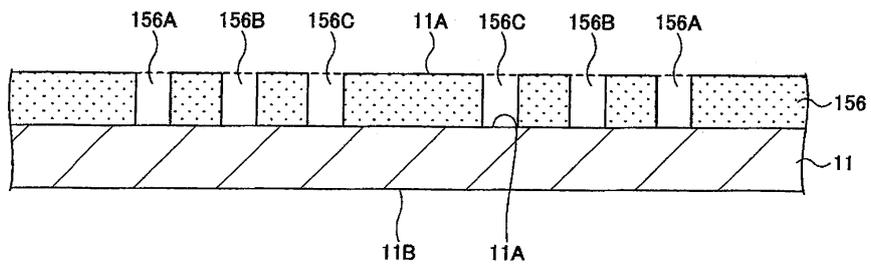
도면24



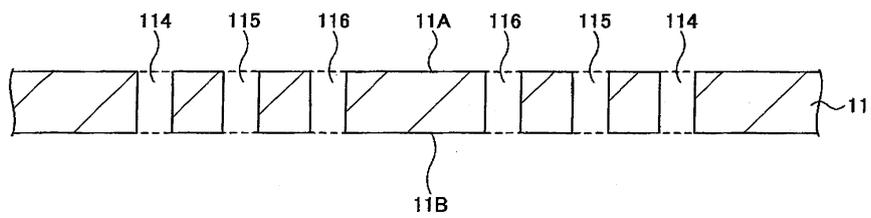
도면25



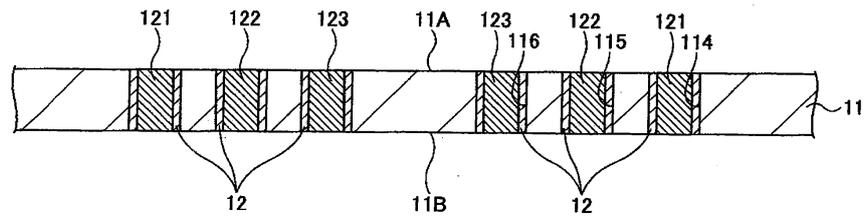
도면26



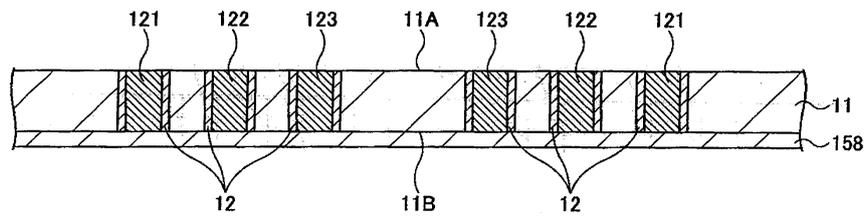
도면27



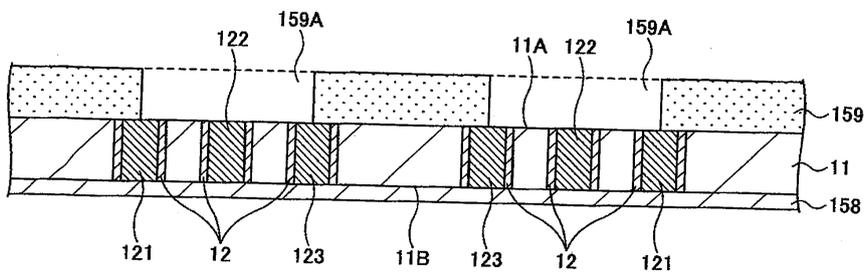
도면28



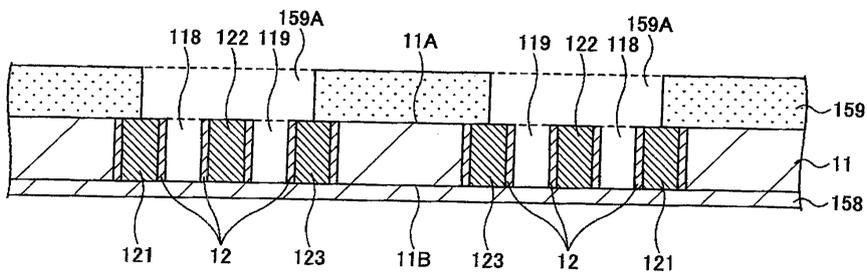
도면29



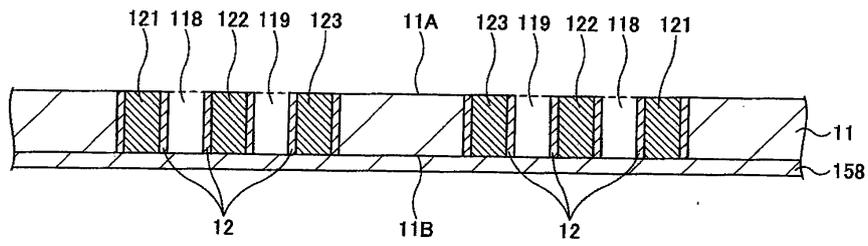
도면30



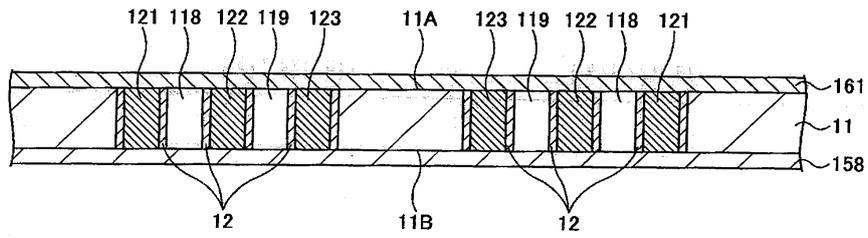
도면31



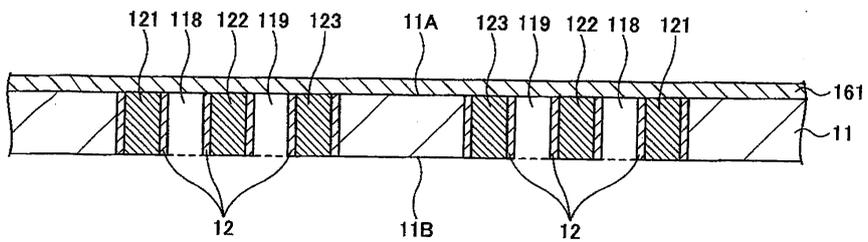
도면32



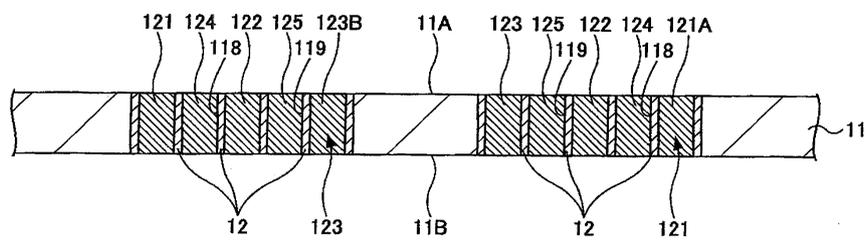
도면33



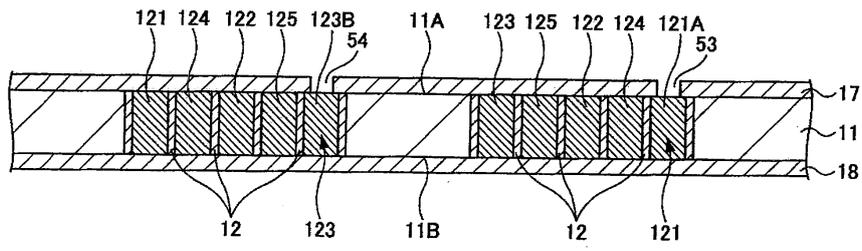
도면34



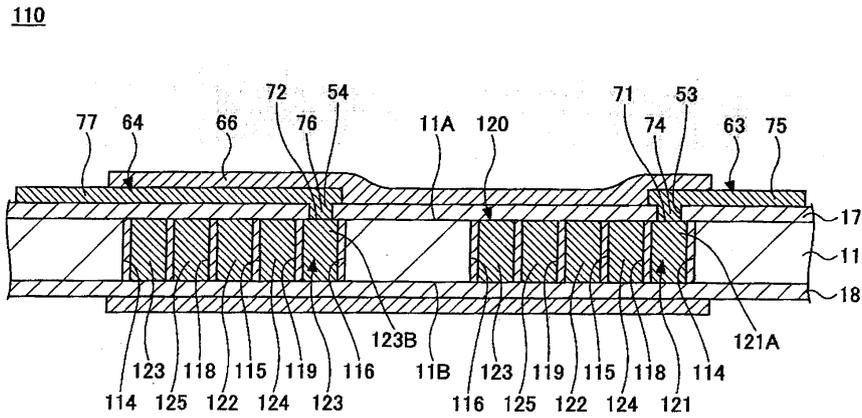
도면35



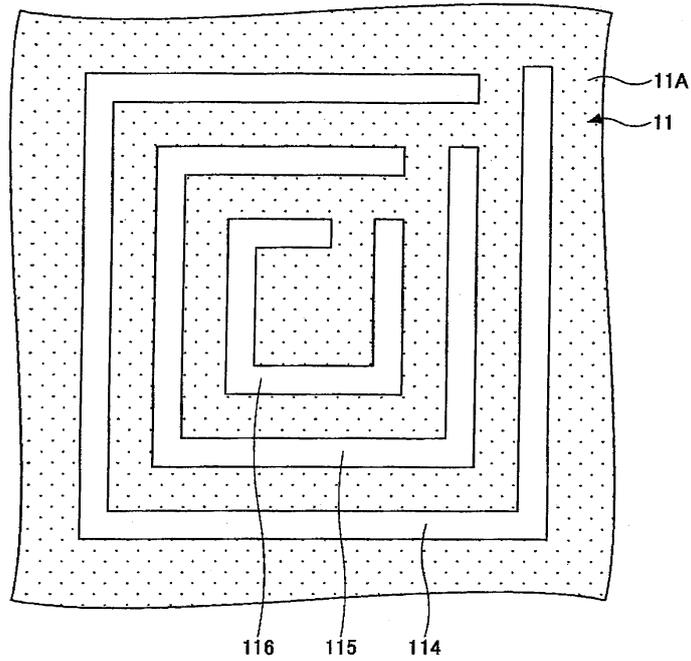
도면36



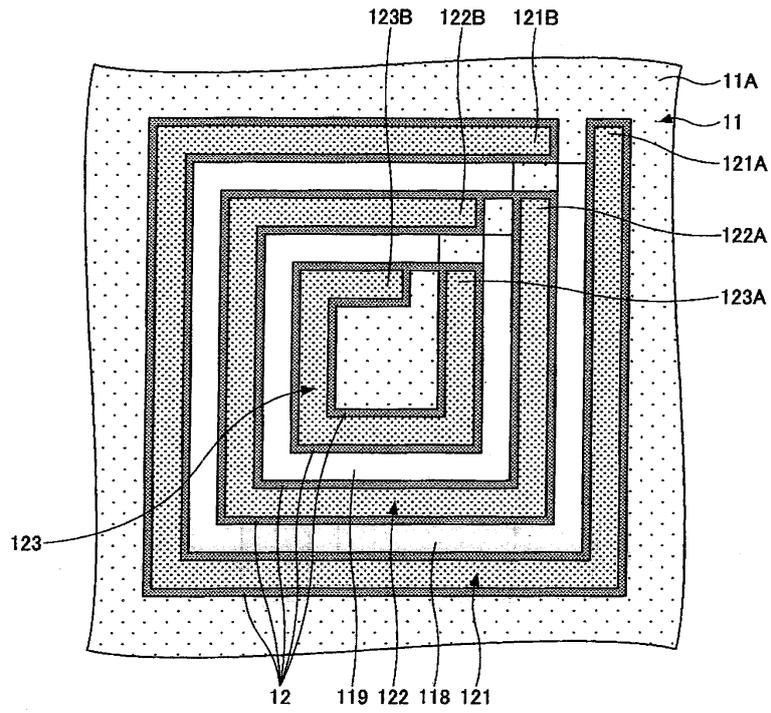
도면37



도면38



도면39



도면40

