(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0073290
(43) 공개일자 2018년07월02일

(51) 국제특허분류(Int. Cl.)
G06G 7/184 (2006.01)
(52) CPC특허분류
G06G 7/184 (2013.01)
(21) 출원번호 10-2016-0176971
(22) 출원일자 2016년12월22일
심사청구일자 2016년12월22일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
안길초
서울특별시 강남구 논현로 205, 3동 1007호(도곡동, 도곡한신아파트)
곽용식
경기도 부천시 조마루로 47, 2414동 204호(상동, 행복한마을 한양하이타운로즈빌1차)
(74) 대리인
특허법인충현

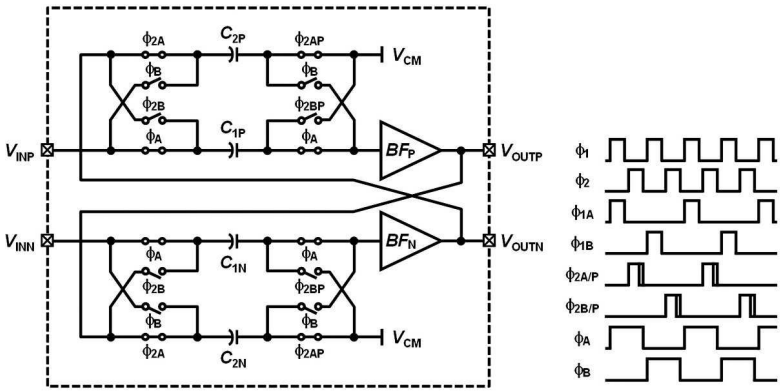
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **단일 이득 버퍼를 이용한 스위치드-캐패시터 적분기**

(57) 요 약

본 발명은 단일 이득 버퍼를 이용한 적분기에 관한 것으로서, 포지티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하고, 더한 값들을 누적하여 저장하는 포지티브 차동 스위치드-캐패시터와, 네거티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하고, 더한 값들을 누적하여 저장하는 네거티브 차동 스위치드-캐패시터와, 포지티브 입력신호들이 더해진 값을 적분 캐패시터로 전달하는 포지티브 단일 이득 버퍼 및 네거티브 입력신호들이 더해진 값을 적분 캐패시터로 전달하는 네거티브 단일 이득 버퍼를 포함한다.

대 표 도 - 도1



- BF_P : 포지티브 단일 이득 버퍼, BF_N : 네거티브 단일 이득 버퍼
- C_{1P} : 제1 포지티브 적분 캐패시터, C_{2P} : 제2 포지티브 적분 캐패시터
- C_{1N} : 제1 네거티브 적분 캐패시터, C_{2N} : 제2 네거티브 적분 캐패시터

이 발명을 지원한 국가연구개발사업

과제고유번호	IITP-2016-H8601-16-1004
부처명	미래창조과학부
연구관리전문기관	정보통신기술진흥센터
연구사업명	대학ICT연구센터육성지원사업
연구과제명	현장진료를 위한 IT융합 휴대용 초음파 영상 시스템 개발
기 여 율	1/1
주관기관	서강대학교 산학협력단
연구기간	2016.01.01 ~ 2016.12.31

명 세 서

청구범위

청구항 1

포지티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하고, 상기 더한 값들을 누적하여 저장하는 포지티브 차동 스위치드-캐패시터;

네거티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하고, 상기 더한 값들을 누적하여 저장하는 네거티브 차동 스위치드-캐패시터;

상기 포지티브 입력신호들이 더해진 값을 적분 캐패시터로 전달하는 포지티브 단일 이득 버퍼; 및

상기 네거티브 입력신호들이 더해진 값을 적분 캐패시터로 전달하는 네거티브 단일 이득 버퍼;를 포함하는, 단일 이득 버퍼를 이용한 적분기.

청구항 2

제 1 항에 있어서,

상기 포지티브 차동 스위치드 커패시터는,

상기 포지티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하는 제1 포지티브 적분 캐패시터;

상기 적분 캐패시터에 의해 더해진 신호값들을 단일 이득 버퍼로부터 전달받아 누적하여 저장하는 제2 포지티브 적분 캐피시터; 및

위상변화에 따라 상기 포지티브 입력신호를 더하는 실행 및 상기 더해진 입력신호 값들을 누적하여 저장하는 실행을 교번하도록 스위칭하는 복수의 스위치를 포함하여 구성되는, 단일 이득 버퍼를 이용한 적분기.

청구항 3

제 2 항에 있어서,

상기 네거티브 차동 스위치드 커패시터는,

상기 네거티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하는 제1 네거티브 적분 캐패시터;

상기 적분 캐패시터에 의해 더해진 신호값들을 상기 단일 이득 버퍼로부터 전달받아 누적하여 저장하는 제2 네거티브 적분 캐피시터; 및

위상변화에 따라 상기 네거티브 입력신호를 더하는 실행 및 상기 더해진 입력신호 값들을 누적하여 저장하는 실행을 교번하도록 스위칭하는 복수의 스위치를 포함하여 구성되는, 단일 이득 버퍼를 이용한 적분기.

청구항 4

제 3 항에 있어서,

상기 제1 포지티브 적분 캐패시터, 제1 네거티브 적분 캐패시터, 제2 포지티브 적분 캐피시터 및 제2 네거티브 적분 캐패시터는 캐패시터의 크기가 동일한 경우,

위상 ϕ_{1A} 동안, 상기 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터에 저장되어 있는 전하 $Q_{1P}(n)$와 $Q_{1N}(n)$는 $Q_{1P}(n) = C_{1P} \cdot [V_{OUTP}(n) - V_{INP}(n)]$ $Q_{1N}(n) = C_{1N} \cdot [V_{OUTN}(n) - V_{INN}(n)]$로 계산되는, 단일 이득 버퍼를 이용한 적분기.

청구항 5

제 4 항에 있어서,

위상 ϕ_{2A}동안 의 적분기의 입력신호는 상기 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터에 각각

연결되어 이전 상기 위상 ϕ_{1A} 때 저장되어 있던 값에 더해지고, 이렇게 더해진 값은 상기 포지티브 단일 이득 버퍼 및 네거티브 단일 이득 버퍼를 통해 상기 제2 포지티브 적분 캐패시터 및 제2 네거티브 적분 캐패시터에

$$Q_{1P}(n+1/2) = C_{1P} \cdot [V_{OUTP}(n+1/2) - V_{INP}(n+1/2)]$$
$$Q_{1N}(n+1/2) = C_{1N} \cdot [V_{OUTN}(n+1/2) - V_{INN}(n+1/2)]$$
$$Q_{2P}(n+1/2) = C_{2P} \cdot V_{OUTN}(n+1/2)$$
$$Q_{2N}(n+1/2) = C_{2N} \cdot V_{OUTP}(n+1/2)$$

저장되며, 이 때 각 캐패시터에 저장되는 전하는 로 계산되는, 단일 이득 버퍼를 이용한 적분기.

청구항 6

제 5 항에 있어서,

위상 ϕ_{1B}동안의 적분기의 입력신호는 상기 제2 포지티브 적분 캐패시터 및 제2 네거티브 적분 캐패시터를 통해

$$Q_{2P}(n+1) = C_{2P} \cdot [V_{OUTP}(n+1) - V_{INP}(n+1)]$$
$$Q_{2N}(n+1) = C_{2N} \cdot [V_{OUTN}(n+1) - V_{INN}(n+1)]$$

전달되고, 각 적분 캐패시터에 저장되는 전하량은 로 계산되는, 단일 이득 버퍼를 이용한 적분기.

청구항 7

제 6 항에 있어서,

전하량 보존 법칙에 따라 상기 적분기의 출력은

$$V_{OUT}(n+1) = V_{OUT}(n) + V_{IN}(n) + V_{IN}(n+1/2) - V_{IN}(n+1)$$
$$where\ V_{OUT} = V_{OUTP} - V_{OUTN},\ V_{IN} = V_{INP} - V_{INN}$$

으로 계산되고, 상기 전달함수를 z 도메인(z-domain)으로 변환하면, $V_{OUT}(z) = V_{OUT}(z) \cdot z^{-1} + (1 + z^{-1/2} - z^{-1}) \cdot V_{IN}(z)$로 계산되는, 단일 이득 버퍼를 이용한 적분기.

청구항 8

제 1항에 있어서,

상기 포지티브 단일 이득 버퍼 및 네거티브 단일 이득 버퍼는,

소스-팔로워 또는 단일-이득 피드백 차동증폭기로 구성되는, 단일 이득 버퍼를 이용한 적분기.

발명의 설명

기 술 분 야

[0001] 본 발명은 단일 이득 버퍼를 이용한 적분기에 관한 것으로, 특히 빠른 속도에서도 저전력 및 소면적 구현이 가능한 단일 이득 버퍼 기반 스위치드-캐패시터 적분기에 관한 것이다.

배 경 기 술

[0002] 적분기 회로는 아날로그 컴퓨터 (Analog Computer), 아날로그 디지털 변환기(Analog-to-Digital Converter) 및 파형 정형 (Wave Shaping) 등과 같은 응용 회로 구현에 사용되는 중요 블록으로 구현 방법에 따라 크게 CT(Continuos-Time) 적분기와 DT(Discrete-Time) 적분기로 나눌 수 있다.

[0003] DT 적분기는 스위치드-캐패시터 회로 기법을 사용하기 때문에 상대적으로 정확한 전달함수의 계수를 얻을 수 있어 설계가 용이하고, 특히 델타-시그마 아날로그 디지털 변환기에서는 CT 적분기에 비해 클록 지터(clock jitter)에 영향을 덜 받는 장점을 갖는다.

[0004] 하지만, 이동통신 시스템과 같이 넓은 대역폭을 필요로 하는 응용분야에서는 DT 적분기의 활용도가 많이 제한된다. 사용되는 응용 시스템에 따라 DT 적분기의 동작 클록 속도가 수백 MHz 이상이 되어야 하는데, 기존의 폐쇄 루프(closed-loop) 구조 기반 DT 스위치드-캐패시터 적분기로 이 동작속도를 만족시키기 위해서는 증폭기의 대역폭 설계 요구 조건이 매우 넓어짐으로 인해 소비전력이 늘어나고, 회로가 차지하는 면적이 늘어나는 문제가

있다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) Razavi; Design of Analog CMOS Integrated Circuits; Mcgraw-Hill; International Edition 2001; p. 441.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명이 해결하고자 하는 첫 번째 과제는 기존 폐쇄루프로 구성된 스위치드-캐패시터 적분기에 비해 더 넓은 대역폭을 얻을 수 있는 기술적 수단을 제공하는데 있다.

[0007] 또한, 본 발명이 해결하고자 하는 두 번째 과제는 기존의 복잡한 구조를 갖는 증폭기 대신 상대적으로 간단한 구조의 소스-팔로워를 단일 이득 버퍼로 이용하여 적분기를 구현함으로써, 고속 동작의 DT 적분기 구현 시 전체 면적과 소모 전력을 줄일 수 있는 기술적 수단을 제공하는데 있다.

과제의 해결 수단

[0008] 본 발명의 일실시 예에 따른 단일 이득 버퍼를 이용한 적분기는, 극성이 다른 각 입력신호를 이전 위상에서 저장되어 있던 값에 더하는 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터와, 상기 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터 각각에 의해 더해진 신호값들을 각각 누적하여 저장하는 제2 포지티브 적분 캐피시터 및 제2 네거티브 적분 캐패시터 및 상기 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터로부터 전달받은 신호를 상기 제2 포지티브 적분 캐패시터 및 제2 네거티브 적분 캐패시터로 전달하는 포지티브 단일 이득 버퍼 및 네거티브 단일 이득 버퍼를 포함한다.

[0009] 본 발명의 다른 실시 예에 의하면, 위상변화에 따라 상기 입력신호를 더하는 실행 및 상기 더해진 입력신호 값들을 누적하여 저장하는 실행을 교번하도록 스위칭하는 복수의 스위치를 더 포함한다.

[0010] 본 발명의 또 다른 실시 예에 의하면, 상기 제1 포지티브 적분 캐패시터, 제1 네거티브 적분 캐패시터, 제2 포지티브 적분 캐피시터 및 제2 네거티브 적분 캐패시터의 크기가 동일한 경우, 위상 ϕ_{1A} 동안 상기 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터에 저장되어 있는 전하는

$$Q_{1P}(n) = C_{1P} \cdot [V_{OUTP}(n) - V_{INP}(n)]$$
$$Q_{1N}(n) = C_{1N} \cdot [V_{OUTN}(n) - V_{INN}(n)]$$

로 계산된다.

[0011] 본 발명의 또 다른 실시 예에 의하면, 위상 ϕ_{2A}동안의 적분기의 입력신호는 상기 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터에 각각 연결되어 이전 상기 위상 ϕ_{1A} 때 저장되어 있던 값에 더해지고, 이렇게 더해진 값은 상기 포지티브 단일 이득 버퍼 및 네거티브 단일 이득 버퍼를 통해 상기 제2 포지티브 적분 캐패시터 및 제2 네거티브 적분 캐패시터에 저장되며, 이 때 각 캐패시터에 저장되는 전하는

$$Q_{1P}(n+1/2) = C_{1P} \cdot [V_{OUTP}(n+1/2) - V_{INP}(n+1/2)]$$
$$Q_{1N}(n+1/2) = C_{1N} \cdot [V_{OUTN}(n+1/2) - V_{INN}(n+1/2)]$$
$$Q_{2P}(n+1/2) = C_{2P} \cdot V_{OUTN}(n+1/2)$$
$$Q_{2N}(n+1/2) = C_{2N} \cdot V_{OUTP}(n+1/2)$$

로 계산된다.

[0012] 본 발명의 또 다른 실시 예에 의하면, 위상 ϕ_{1B} 동안의 적분기의 입력신호는 상기 제2 포지티브 적분 캐패시터 및 제2 네거티브 적분 캐패시터를 통해 전달되고, 각 적분 캐패시터에 저장되는 전하량은

$$Q_{2P}(n+1) = C_{2P} \cdot [V_{OUTP}(n+1) - V_{INP}(n+1)]$$
$$Q_{2N}(n+1) = C_{2N} \cdot [V_{OUTN}(n+1) - V_{INN}(n+1)]$$

로 계산된다.

[0013] 본 발명의 또 다른 실시 예에 의하면, 전하량 보존 법칙에 따라 상기 적분기의 출력은

$$V_{OUT}(n+1) = V_{OUT}(n) + V_{IN}(n) + V_{IN}(n+1/2) - V_{IN}(n+1)$$
$$where\ V_{OUT} = V_{OUTP} - V_{OUTN},\ V_{IN} = V_{INP} - V_{INN}$$

으로 계산되고, 상기 전달함수를 z 도메인(z-domain)으로 변환하면, $V_{OUT}(z) = V_{OUT}(z) \cdot z^{-1} + (1 + z^{-1/2} - z^{-1}) \cdot V_{IN}(z)$ 으로 계산된다.

[0014] 본 발명의 또 다른 실시예에 의하면, 상기 포지티브 단일 이득 버퍼 및 네거티브 단일 이득 버퍼는 소스-팔로워 혹은 단일-이득 피드백 (unit-gain feedback) 차동증폭기를 통해 구현이 가능하다.

[0015] 본 발명의 또 다른 실시 예에 의하면, 신호를 이전 위상에서 저장되어 있던 값에 더하고, 상기 더한 값들을 누적하여 저장하는 포지티브 차동 스위치드-캐패시터와, 네거티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하고, 상기 더한 값들을 누적하여 저장하는 네거티브 차동 스위치드-캐패시터와, 상기 포지티브 입력신호들이 더해진 값을 적분 캐패시터로 전달하는 포지티브 단일 이득 버퍼 및 상기 네거티브 입력신호들이 더해진 값을 적분 캐패시터로 전달하는 네거티브 단일 이득 버퍼를 포함하여 구성된다.

[0016] 본 발명의 또 다른 실시 예에 의하면, 상기 포지티브 차동 스위치드 커패시터는, 상기 포지티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하는 제1 포지티브 적분 캐패시터와, 상기 적분 캐패시터에 의해 더해진 신호값들을 상기 단일 이득 버퍼로부터 전달받아 누적하여 저장하는 제2 포지티브 적분 캐피시터 및 위상변화에 따라 상기 포지티브 입력신호를 더하는 실행 및 상기 더해진 입력신호 값들을 누적하여 저장하는 실행을 교번하도록 스위칭하는 복수의 스위치를 포함하여 구성된다.

[0017] 본 발명의 또 다른 실시 예에 의하면, 네거티브 차동 스위치드 커패시터는, 상기 네거티브 입력신호를 이전 위상에서 저장되어 있던 값에 더하는 제1 네거티브 적분 캐패시터와, 상기 적분 캐패시터에 의해 더해진 신호값들을 상기 단일 이득 버퍼로부터 전달받아 누적하여 저장하는 제2 네거티브 적분 캐피시터 및 위상변화에 따라 상기 네거티브 입력신호를 더하는 실행 및 상기 더해진 입력신호 값들을 누적하여 저장하는 실행을 교번하도록 스위칭하는 복수의 스위치를 포함하여 구성된다.

[0018] 본 발명의 또 다른 실시예에 의하면, 상기 포지티브 단일 이득 버퍼 및 네거티브 단일 이득 버퍼는 소스-팔로워 혹은 단일-이득 피드백 (unit-gain feedback) 차동증폭기를 통해 구현이 가능하다. 이번 실시 예는 소스-팔로워를 활용하여 구현하였다.

발명의 효과

[0019] 본 발명의 일실시 예에 따르면, 단일 이득 버퍼를 이용하여 적분기의 구조를 개방 루프(open-loop)로 구현함으로써, 기존의 폐쇄 루프 적분기에서 피드백으로 인해 발생하는 오버헤드를 제거하였기 때문에 기존의 커패시터-피드백 구조의 적분기에 비해 더 빠른 고속 동작이 가능하다.

[0020] 아울러, 본 발명의 일실시 예에 따르면, 복잡한 구조의 증폭기 대신 상대적으로 더 간단한 구조의 소스-팔로워 회로를 단일 이득 버퍼로 이용하여 적분기를 구현함으로써, DT 적분기의 전체 면적을 줄일 수 있고, 소모 전력 또한 줄일 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일실시예에 따른 단일 이득 버퍼를 이용한 적분기를 구성하는 상세 회로도 및 타이밍 다이어그램을 도시한다.

도 2a 내지 도 2c는 본 발명의 일실시 예에 따른 적분기의 각 위상에 따른 상세 회로도 및 타이밍 다이어그램을 도시한다.

도 3은 본 발명의 일실시예로 소스-팔로워 구조의 단일 이득 버퍼를 도시하는 도면이다.

도 4는 단일-이득 피드백 (unit-gain feedback) 차동증폭기를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명의 실시 예들을 설명하기에 앞서, 고속으로 동작하는 DT 적분기 구현 시 기존의 폐쇄루프 구조 스위치드-캐패시터 적분기 회로에서 발생하는 문제점들을 검토한 후, 이들 문제점을 해결하기 위해 본 발명의 실시 예들이 채택하고 있는 기술적 수단을 개괄적으로 소개하도록 한다.

[0023] 통신 시스템과 같이 수십 MHz 이상의 넓은 신호 대역폭을 필요로 하는 응용분야에서 종래의 DT 적분기 활용도가

많이 제한되어 왔다. 기존 폐쇄루프의 DT 적분기 구조로 이 동작 속도를 만족시키기 위해서는 적분기 내부 증폭기의 대역폭 설계 요구조건이 크게 증가함으로 인해 적분기 회로가 소비하는 전력과 차지하는 면적이 늘어나기 때문이다.

[0024] 따라서 본 발명의 실시 예들은 단일 이득 버퍼를 이용하여 적분기의 구조를 개방 루프(open-loop)로 구현함으로써, 기존의 폐쇄 루프로 구성된 적분기에 비해 더 빠른 클록 속도로 동작할 수 있는 기술적 수단을 제안한다.

[0025] 더불어, 본 발명의 실시 예들은 복잡한 구조의 증폭기 대신 상대적으로 더 간단한 구조의 소스-팔로워 회로를 단일 이득 버퍼로 이용하여 적분기를 구현함으로써, 적분기의 면적과 소모 전력을 줄일 수 있는 기술적 수단을 제안한다.

[0026] 이하에서는 도면을 참조하여 본 발명의 실시 예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 또한, 도면 전체에 걸쳐 동일한 구성 요소들은 가능한 한 동일한 도면 부호로 나타내고 있음에 유의하여야 한다.

[0028] 도 1은 본 발명의 일실시예에 따른 단일 이득 버퍼를 이용한 적분기를 구성하는 상세 회로도 및 타이밍 다이어그램을 도시한다.

[0029] 도 1을 참조하면, 포지티브 차동 스위치드-캐패시터는 제1 포지티브 적분 캐패시터 C_{1F}와 제2 포지티브 적분 캐패시터 C_{2F} 및 복수의 스위치를 포함한다.

[0030] 상기 복수의 스위치는 위상변화에 따라 상기 포지티브 입력신호를 더하는 실행 및 상기 더해진 입력신호 값들을 저장하는 실행을 교번하도록 스위칭하는 역할을 한다.

[0031] 위상 ϕ_{2A} 동안, 제2 포지티브 적분 캐패시터 C_{2F}는 제1 포지티브 적분 캐패시터 C_{1F}에 의해 더해진 입력신호 값들을 누적하여 저장한다. 이때, 포지티브 단일 이득 버퍼 BF_F는 제1 포지티브 적분 캐패시터 C_{1F}에 의해 더해진 입력신호 값들을 제2 포지티브 적분 캐패시터 C_{2F}로 전달하는 역할을 한다.

[0032] 네거티브 차동 스위치드-캐패시터는 제1 네거티브 적분 캐패시터 $C_{1\Lambda}$와 제2 네거티브 적분 캐패시터 $C_{2\Lambda}$ 및 복수의 스위치를 포함하여 구성된다.

[0033] 상기 복수의 스위치는 위상변화에 따라 상기 네거티브 입력신호를 더하는 실행 및 상기 더해진 입력신호 값들을 저장하는 실행을 교번하도록 스위칭하는 역할을 한다.

[0034] 위상 ϕ_{2A} 동안, 제2 네거티브 적분 캐패시터 $C_{2\Lambda}$는 제1 네거티브 적분 캐패시터 $C_{1\Lambda}$에 의해 더해진 입력신호 값들을 누적하여 저장한다. 포지티브 단일 이득 버퍼 BF_F와 마찬가지로, 네거티브 단일 이득 버퍼 BF_Λ는 제1 네거티브 적분 캐패시터 $C_{1\Lambda}$에 의해 더해진 입력신호 값들을 제2 네거티브 적분 캐패시터 $C_{2\Lambda}$로 전달하는 역할을 한다.

[0036] 이하, 도 2a 내지 도 2c를 참조하여 본 발명의 일실시 예에 따른 단일 이득 버퍼를 이용한 적분기의 동작을 설명하기로 한다.

[0037] 도 2a 내지 도 2c는 본 발명의 일실시 예에 따른 적분기의 각 위상에 따른 상세 회로도 및 타이밍 다이어그램을 도시한다.

[0038] 먼저, 제1 포지티브 적분 캐패시터 C_{1F}, 제1 네거티브 적분 캐패시터 $C_{1\Lambda}$, 제2 포지티브 적분 캐피시터 C_{2F} 및 제2 네거티브 적분 캐패시터 $C_{2\Lambda}$는 캐패시터의 크기가 동일하다고 가정한다.

[0040] 도 2a를 참조하면, 위상 ϕ_{1A} 동안 상기 제1 포지티브 적분 캐패시터 및 제1 네거티브 적분 캐패시터에 저장되어

있는 전하 $Q_{1P}(n)$와 $Q_{1N}(n)$는 [수학식 1] $$Q_{1P}(n) = C_{1P} \cdot [V_{OUTP}(n) - V_{INP}(n)]$$ $$Q_{1N}(n) = C_{1N} \cdot [V_{OUTN}(n) - V_{INN}(n)]$$ 로 계산된다.

[0041] 이를 위해, 복수의 스위치는 포지티브 신호입력노드부터 제1 포지티브 적분 캐패시터 C_{1F} 및 포지티브 단일 이득 버퍼 BF_F의 입력노드를 연결하고, 네거티브 신호입력노드부터 제1 네거티브 적분 캐패시터 C_{1N} 및 네거티브 단일 이득 버퍼 BF_N의 입력노드를 연결되게 한다.

[0043] 다음, 도 2b를 참조하면, 위상 ϕ_{2A}동안의 입력신호 $V_{INP}(n+1/2)$와 $V_{INN}(n+1/2)$은 제1 포지티브 적분 캐패시터 C_{1F} 및 제1 네거티브 적분 캐패시터 C_{1N}에 각각 연결되어 이전 상기 위상 ϕ_{1A} 때 저장되어 있던 값에 더해진다. 이때, 상기 더해진 값은 포지티브 단일 이득 버퍼 BF_F 및 네거티브 단일 이득 버퍼 BF_N를 통해 제2 포지티브 적분 캐패시터 C_{2F} 및 제2 네거티브 적분 캐패시터 C_{2N}에 저장되고, 각 캐패시터에 저장되는 전하는

[수학식 2]
$$Q_{1P}(n+1/2) = C_{1P} \cdot [V_{OUTP}(n+1/2) - V_{INP}(n+1/2)]$$
$$Q_{1N}(n+1/2) = C_{1N} \cdot [V_{OUTN}(n+1/2) - V_{INN}(n+1/2)]$$
$$Q_{2P}(n+1/2) = C_{2P} \cdot V_{OUTN}(n+1/2)$$
$$Q_{2N}(n+1/2) = C_{2N} \cdot V_{OUTP}(n+1/2)$$
로 계산된다.

[0044] 이를 위해, 포지티브 스위치드-캐패시터 블록 내부에 있는 복수의 스위치는 포지티브 신호입력노드부터 제1 포지티브 적분 캐패시터 C_{1F} 및 포지티브 단일 이득 버퍼 BF_F의 입력노드를 연결하고, 포지티브 단일 이득 버퍼 BF_F의 출력노드를 제2 네거티브 적분 캐패시터 C_{2N}에 연결시킨다. 또한, 네거티브 스위치드-캐패시터 블록 내부에 있는 복수의 스위치는 네거티브 신호입력노드부터 제1 네거티브 적분 캐패시터 C_{1N} 및 네거티브 단일 이득 버퍼 BF_N의 입력노드를 연결하고, 네거티브 단일 이득 버퍼 BF_N의 출력노드를 제2 포지티브 적분 캐패시터 C_{2F}에 연결시킨다.

[0046] 다음, 도 2c를 참조하면, 위상 ϕ_{1B} 동안의 적분기의 입력신호 $V_{INP}(n+1)$와 $V_{INN}(n+1)$은 제2 포지티브 적분 캐패시터 C_{2F} 및 제2 네거티브 적분 캐패시터 C_{2N}를 통해 전달된다. 이때, 제2 포지티브 적분 캐패시터 C_{2F} 및 제2 네거티브 적분 캐패시터 C_{2N}에 저장되는 전하량은 [수학식 3] $$Q_{2P}(n+1) = C_{2P} \cdot [V_{OUTP}(n+1) - V_{INP}(n+1)]$$ $$Q_{2N}(n+1) = C_{2N} \cdot [V_{OUTN}(n+1) - V_{INN}(n+1)]$$ 로 계산된다.

[0047] 이를 위해, 포지티브 스위치드-캐패시터 블록 내부에 있는 복수의 스위치는 포지티브 신호입력노드로부터 제2 포지티브 적분 캐패시터 C_{2F}와 포지티브 단일 이득 버퍼 BF_F의 입력 노드를 연결되게 한다. 또한, 네거티브 스위치드-캐패시터 블록 내부에 있는 복수의 스위치는 네거티브 신호입력노드로부터 제2 네거티브 적분 캐패시터 C_{2N}와 네거티브 단일 이득 버퍼 BF_N의 입력 노드를 연결되게 한다.

[0048] 전하량 보존 법칙에 따라 적분기의 전체 전달함수는 [수학식 4] $$V_{OUT}(n+1) = V_{OUT}(n) + V_{IN}(n) + V_{IN}(n+1/2) - V_{IN}(n+1)$$ $$where\ V_{OUT} = V_{OUTP} - V_{OUTN},\ V_{IN} = V_{INP} - V_{INN}$$ 으로 계산된다. 이때, 상기 전달함수를 z 도메인(z-domain)으로 변환하면, [수학식 5] $V_{OUT}(z) = V_{OUT}(z) \cdot z^{-1} + (1 + z^{-1/2} - z^{-1}) \cdot V_{IN}(z)$로 계산된다.

[0049] 이와 같은 본 발명의 일실시예에 따른 단일 이득 버퍼를 이용한 적분기의 구조는 두 개의 차동 스위치-커패시터 네트워크가 각각 신호를 더하는 역할과, 그 더해진 값을 단일 이득 버퍼를 통해 전달받아 저장하는 역할을 번갈아가며 수행함으로써, 적분기의 전달함수를 얻을 수 있다.

[0050] 단일 이득 버퍼를 이용한 개방루프 형태의 적분기 구조는 피드백으로 인해 발생하는 오버헤드(overhead)를 제거하였기 때문에, 종래의 커패시터-피드백 구조의 적분기에 비해 더 넓은 대역폭을 얻을 수 있으며, 이에 따라 전력 소모를 줄일 수 있는 장점을 갖는다.

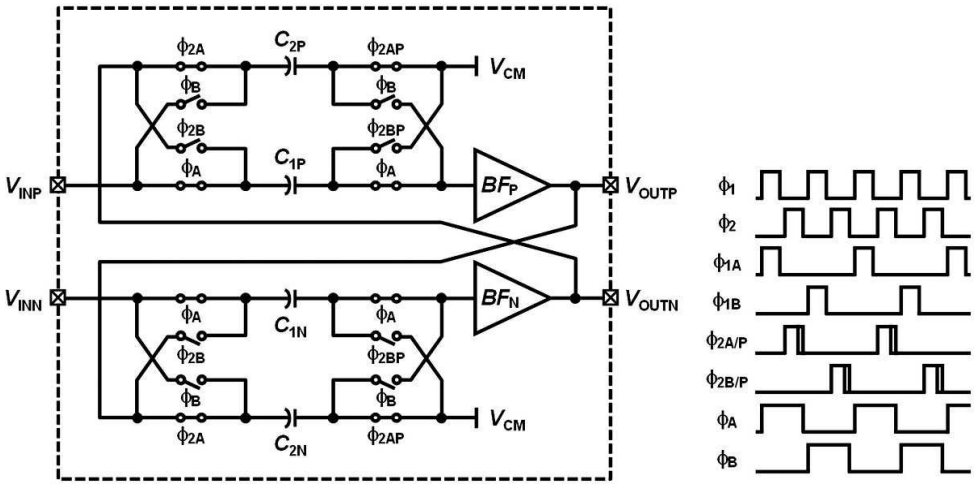
[0052] 도 3은 본 발명의 일실시 예에 따른 소스-팔로워를 이용한 단일 이득 버퍼의 회로도를 도시한다. 도 3을 참조하면, 본 발명의 실시 예에 따른 단일 이득 버퍼는 바이어스 전류를 위한 PMOS 소자 M_{BS}와 PMOS 소스-팔로워 소자 M_{SF}로 구성될 수 있다. PMOS 소스-팔로워 소자 M_{SF}는 body-effect로 인한 비선형성과 gain error를 최소화하기 위해 body와 source 노드를 연결하여 구현할 수 있다.

[0053] 도 4는 본 발명의 일실시 예에 따른 단일-이득 피드백 (unit-gain feedback) 차동증폭기의 회로도를 도시한다. 도 4에 도시된 바와 같이 본 발명의 실시 예에 의한 단일 이득 버퍼는 차동 증폭기 A에 단일-이득 네거티브 피드백을 사용하여 구현할 수 있다.

[0055] 이상에서 본 발명에 대하여 그 다양한 실시 예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

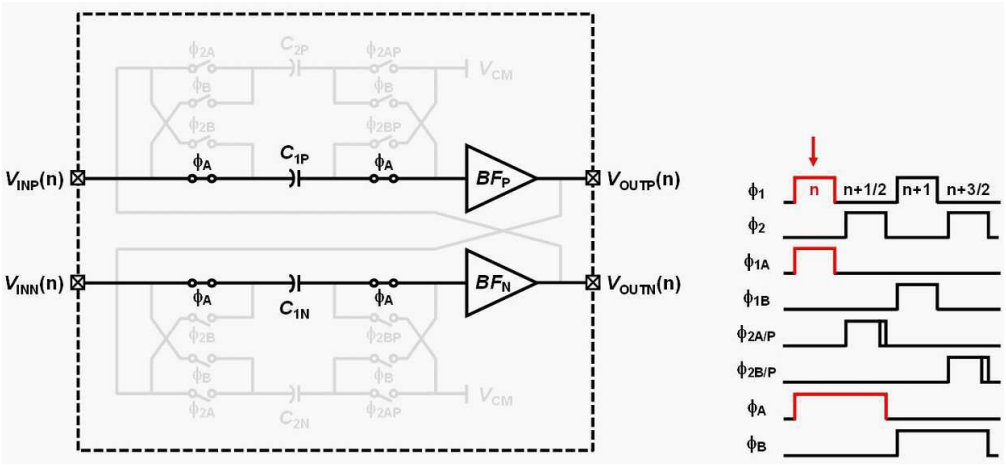
도면

도면1

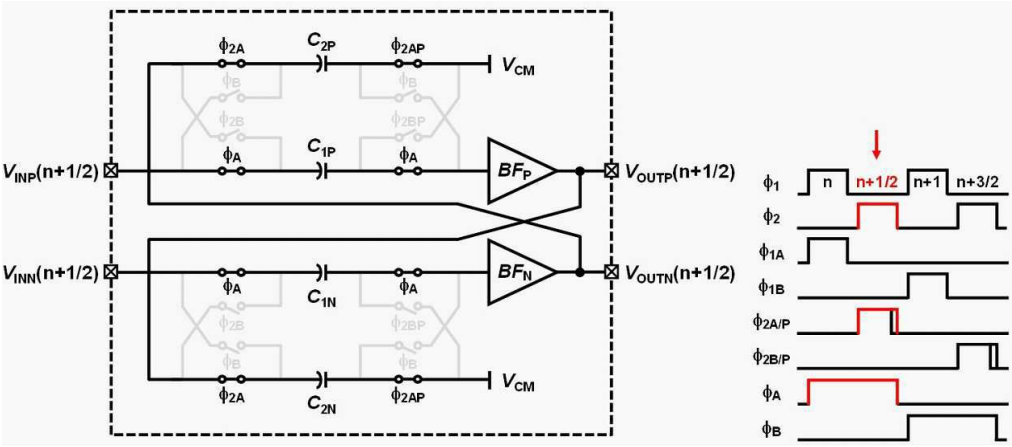


- BF_P : 포지티브 단일 이득 버퍼, BF_N : 네거티브 단일 이득 버퍼
- C_{1P} : 제1 포지티브 적분 캐패시터, C_{2P} : 제2 포지티브 적분 캐패시터
- C_{1N} : 제1 네거티브 적분 캐패시터, C_{2N} : 제2 네거티브 적분 캐패시터

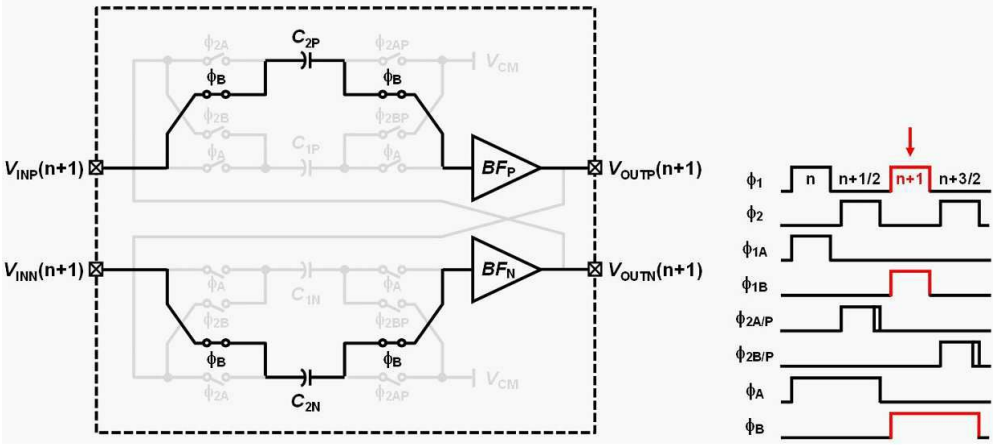
도면2a



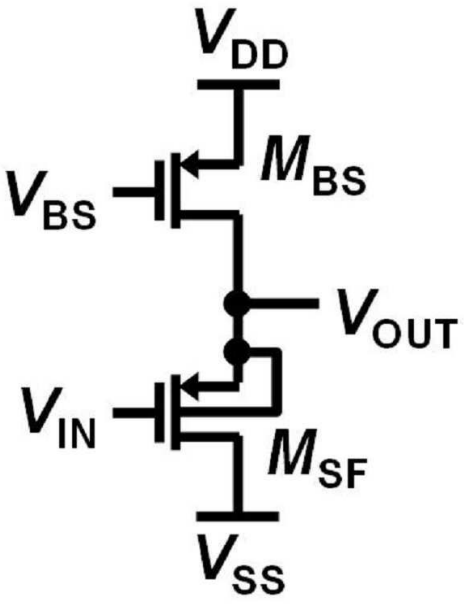
도면2b



도면2c



도면3



도면4

