Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 860053

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 07.09.79 (21) 2815622/18-24

с присоединением заявки № –

(23) Приоритет –

Опубликовано 30.08.81. Бюллетень № 32

Дата опубликования описания 30.08.81

(51) М. Кл.^{3} G 06 F 5/02

(53) УДК 681.325 (088.8)

(72) Автор изобретения В.И. Омельченко

(71) Заявитель Таганрогский радиотехнический институт им. В.Д. Калмыкова

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОЙ ДРОБИ В ДВОИЧНУЮ ДРОБЬ

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано при построении двоично-десятичных преобразователей.

Известен преобразователь двоично-десятичной дроби в двоичную дробь, содержащий регистр тетрады, регистр старших разрядов, дешифратор, группу элементов И, сумматор, генератор, формирователь, регистр служебной информации, счетчик адреса, регистр двоичного порядка, блок памяти. Преобразование в данном устройстве основано на суммировании двоичных коэффициентов тетрад с последующим умножением на двоичный коэффициент, однозначно определяемый по десятичному порядку [1].

Недостаток этого преобразователя состоит в относительно низком быстродействии

Наиболее близким к предлагаемому по технической сущности является преобразователь двоично-десятичной дроби в двоичную дробь, содержащий регистр тетрады, вход которого является информационным входом преобразователя, первый дешифратор, группу элементов И, сумматор, генератор импульсов, вход которого является входом пуска преобразователя, распределитель импульсов, регистр служебной информации, счетчик адреса, регистр двоичного порядка, первый блок памяти, вход которого соединен с выходом счетчика адреса, выход регистра тетрады соединен с информационным входом первого дешифратора, выход которого соединен с первыми входами элементов И группы, выходы которых соединены с входом сумматора, выходы сумматора являются выходами мантиссы преобразователя, выход генератора импульсов соединен с тактовым входом распределителя импульсов, управляющий вход которого является управляющим входом преобразователя, первый информационный вход распределителя импульсов соединен с первым выходом регистра служебной информации, первый, второй и третий входы которого соответственно являются входом десятичного порядка преобразователя, входом знака порядка преобразователя и входом признака десятичной мантиссы преобразователя, второй выход регистра служебной информации соединен со вторым информационным входом распределителя импульсов и первым входом счетчика адреса, второй вход которого соединен с третьим выходом ре-

2

гистра служебной информации и третьим информационным входом распределителя импульсов, первый, второй, третий и четвертый выходы которого соединены соответственно с тактовыми входами регистра тетрады, первого дешифратора, сумматора и счётчика адреса, первый выход регистра двоичного порядка является выходом порядка преобразователя [2].

Недостаток известного преобразователя также состоит в относительно низком быстродействии, связанном с необходимостью умножения полноразрядных чисел.

Цель изобретения - повышение быстродействия.

Поставленная цель достигается тем, что в преобразователь двоично-десятичной дроби в двоичную дробь дополнительно введены сдвигатель, второй дешифратор, второй блок памяти, вход которого соединен с выходом второго дешифратора, а выход соединен с входом регистра двоичного порядка, второй выход которого соединен с управляющими входами сдвигателя, информационный вход которого соединен с выходом первого блока памяти, выход сдвигателя соединен со вторыми входами элементов И группы, а первый, второй и третий входы второго дешифратора соединены соответственно с пятым выходом распределителя импульсов, вторым и третьим выходами регистра служебной информации.

Кроме того, в преобразователе счетчик адреса выполнен реверсивным.

На чертеже представлена блок-схема предлагаемого преобразователя.

Схема включает информационный вход 1, регистр 2 тетрады, первый дешифратор 3, группу элементов И 4, сумматор 5, выходы 6 мантиссы преобразователя, вход 7 пуска преобразователя, генератор 8 импульсов, распределитель 9 импульсов, управляющий вход 10 преобразователя, вход 11 десятичного порядка преобразователя, вход 12 знака порядка преобразователя, вход 13 признака десятичной мантиссы преобразователя, регистр 14 служебной информации, реверсивный счетчик 15 адреса, регистр 16 двоичного порядка, выход 17 порядка преобразователя, первый блок 18 памяти, сдвигатель 19, второй дешифратор 20, второй блок 21 памяти.

Управляющий вход 10 служит для подачи управляющего сигнала с устройства ввода (не показан). Первый выход распределителя 9 импульсов соединен с выходом регистра 2 тетрады для сдвига его содержимого на две позиции в сторону младших разрядов. Второй и третий выходы распределителя 9 импульсов соответственно соединены с вторым входом первого дешифратора 3 и входом сумматора 5 для подачи сигнала анализа и сдвига содержимого сумматора 5 на две позиции в сторону младших разрядов. Выход первого блока 18 памяти соединен с первым входом сдвигателя 19 для подачи двоичного эквивалента вида $10^{\pm P-i}$. Выход второго дешифратора 20 соединен с входом второго блока 21 памяти, хранящего двоичные порядки. Выход сдвигателя 19 соединен с вторым входом элементов И 4 группы для передачи приведенного двоичного эквивалента вида $10^{\pm P-i} \cdot 2^{\pm m}$

Преобразование осуществляется в соответствии со следующим соотношением

$$A_2 = \sum_{i=1}^{i=j} T_i (10^{\pm P-i})_2 2^{\pm m} 2^{\pm m}, \quad (1)$$

где A_2 - двоичная мантисса;
m - двоичный порядок;
i - номер десятичного разряда;
T - тетрада десятичного числа;
P - десятичный порядок;
$(10^{\pm P-i})_2 2^{\pm m}$ - приведенный двоичный эквивалент.

Преобразование двоично-десятичного числа основано на суммировании произведений десятичных тетрад на приведенный двоичный эквивалент и присвоении результату необходимого двоичного порядка. Причем приведенный двоичный эквивалент $(10^{\pm P-i})_2 \cdot 2^{\pm m}$ получается из двоичного эквивалента $10^{\pm P-i}$, хранимого в первом блоке 18 памяти, путем сдвига на $2^{\pm m}$.

Соотношение (1) реализуется в следующей последовательности.

По входу 7 поступает сигнал "Пуск" на генератор 8 импульсов, который вырабатывает серию импульсов. Эта серия поступает на распределитель 9 импульсов. Затем на регистр 14 служебной информации поочередно поступают знак десятичного порядка, десятичный порядок и признак десятичной мантиссы по входам 11-13. После этого по входу 1 на регистр 2 тетрады поступает старшая тетрада преобразуемого двоично-десятичного числа. Одновременно по входу 10 поступает управляющий сигнал, который запускает распределитель 9, обеспечивающий нормальное функционирование всего преобразователя в целом. В первом такте счетчик 15 устанавливает некоторый адрес, который определяется величиной и знаком десятичного порядка. Во втором такте он изменяет свое состояние на единицу (отрицательную при $P>0$, положительную при $P<0$), устанавливая тем самым истинный адрес обращения к блоку 18 памяти. Счетчик 15 адреса выполнен реверсивным, т.е. работает в двух режимах: режиме вычитания и суммирования импульсов. При этом во втором такте первого цикла он работает в режиме вычитания импульсов, во всех последующих циклах в режиме суммирования импульсов. Од-

новременно во втором такте дешифратор 20 устанавливает адрес обращения по второму блоку 21 памяти. В третьем такте производится обращение к первому и второму блокам 18 и 21 памяти. При этом из первого блока 18 памяти читается двоичный эквивалент вида $10^{\pm p-1}$, соответствующий старшей тетраде, хранящейся на регистре 2 тетрады. Первый блок 18 памяти хранит 2^{p+1} двоичных эквивалентов. Если бы не было сдвигателя 19, то требовалось бы хранить 2^{p+1} массивов по l двоичных эквивалентов в каждом. Сдвигатель 19 совместно с регистром 16 двоичного порядка позволяют получить необходимые приведенные двоичные эквиваленты. В четвертом такте производится образование приведенного двоичного эквивалента $10^{\pm p-1} \cdot 2^{\pm m}$ путем сдвига двоичного эквивалента, поступившего на вход сдвигателя 19, на величину, хранимую в регистре 16 двоичного порядка. Направление сдвига определяется знаковым разрядом последнего. Сдвигатель 19 конструктивно выполнен в виде нескольких ступеней, каждая из которых передает информацию либо со сдвигом, либо без сдвига в зависимости от того, нуль или единицу имеет соответствующий разряд регистра 16. В пятом такте первый дешифратор 3 производит анализ состояния младшей пары разрядов регистра 2 тетрады и происходит передача приведенного двоичного эквивалента через группу элементов И 4 на сумматор 5. При этом дешифратор 3 вырабатывает три типа передач: памяти кодом, прямым кодом со сдвигом на одну позицию в сторону старших разрядов, дополнительным кодом. В шестом такте производится суммирование передаваемой информации с содержимым сумматора 5. В седьмом такте производится сдвиг в сторону младших разрядов на две позиции содержимого регистра 2 тетрады и сумматора 5. В восьмом такте первый дешифратор 3 анализирует состояние младшей пары разрядов регистра 2 и производится передача двоичного эквивалента со сдвигателя 19 на сумматор 5 либо прямым кодом, либо прямым кодом со сдвигом на одну позицию в сторону старших разрядов, либо дополнительным кодом. В девятом такте производится суммирование содержимого сумматора 5 с первым частичным произведением. На этом цикл преобразования старшей тетрады заканчивается.

С приходом последующих тетрад описанный процесс чтения двоичных эквивалентов вида $10^{\pm p-1}$ и образования приведенных двоичных эквивалентов повторяется еще $(J-1)$ раз и аналогичен работе в первом цикле. Отличие состоит в том, что во втором и последующих циклах счетчик 15 работает только в суммирующем режиме, а расшифровка адреса и чтение из второго блока 21 памяти не производится, так как величина сдвига определяется двоичным порядком, хранящимся на регистре 16 двоичного порядка и записанным в первом цикле. Съем результата преобразования производится с сумматора 5 и регистра 16 двоичного порядка. Причем знак двоичного порядка противоположен знаку производимого сдвига.

Для выявления технико-экономического эффекта следует отметить, что процесс преобразования в известном преобразователе осуществляется в два этапа. Причем на первом этапе производится суммирование произведений преобразуемых тетрад на соответствующие им двоичные эквиваленты, а на втором сумма двоичных эквивалентов тетрад умножается на считываемый из блока памяти двоичный коэффициент, однозначно определяемый по величине и знаку десятичного порядка. На втором этапе требуется умножение полноразрядных чисел.

В предлагаемом устройстве умножения полноразрядных чисел производить не нужно, так как блок памяти хранит приведенные двоичные эквиваленты вида $10^{\pm p-1}$. Поэтому выигрыш равен времени, затрачиваемому на умножение двух n разрядных чисел.

Формула изобретения

Преобразователь двоично-десятичной дроби в двоичную дробь, содержащий регистр тетрады, вход которого является информационным входом преобразователя, первый дешифратор, группу элементов И, сумматор, генератор импульсов, вход которого является входом пуска преобразователя, распределитель импульсов, регистр служебной информации, счетчик адреса, регистр двоичного порядка, первый блок памяти, вход которого соединен с выходом счетчика адреса, выход регистра тетрады соединен с информационным входом первого дешифратора, выход которого соединен с первыми входами элементов И группы, выходы которых соединены с входом сумматора, выходы сумматора являются выходами мантиссы преобразователя, выход генератора импульсов соединен с тактовым входом распределителя импульсов, управляющий вход которого является управляющим входом преобразователя, первый информационный вход распределителя импульсов соединен с первым выходом регистра служебной информации, первый, второй и третий входы которого соответственно являются входом десятичного порядка преобразователя, входом знака порядка преобразователя и входом признака десятичной мантиссы преобразовате-

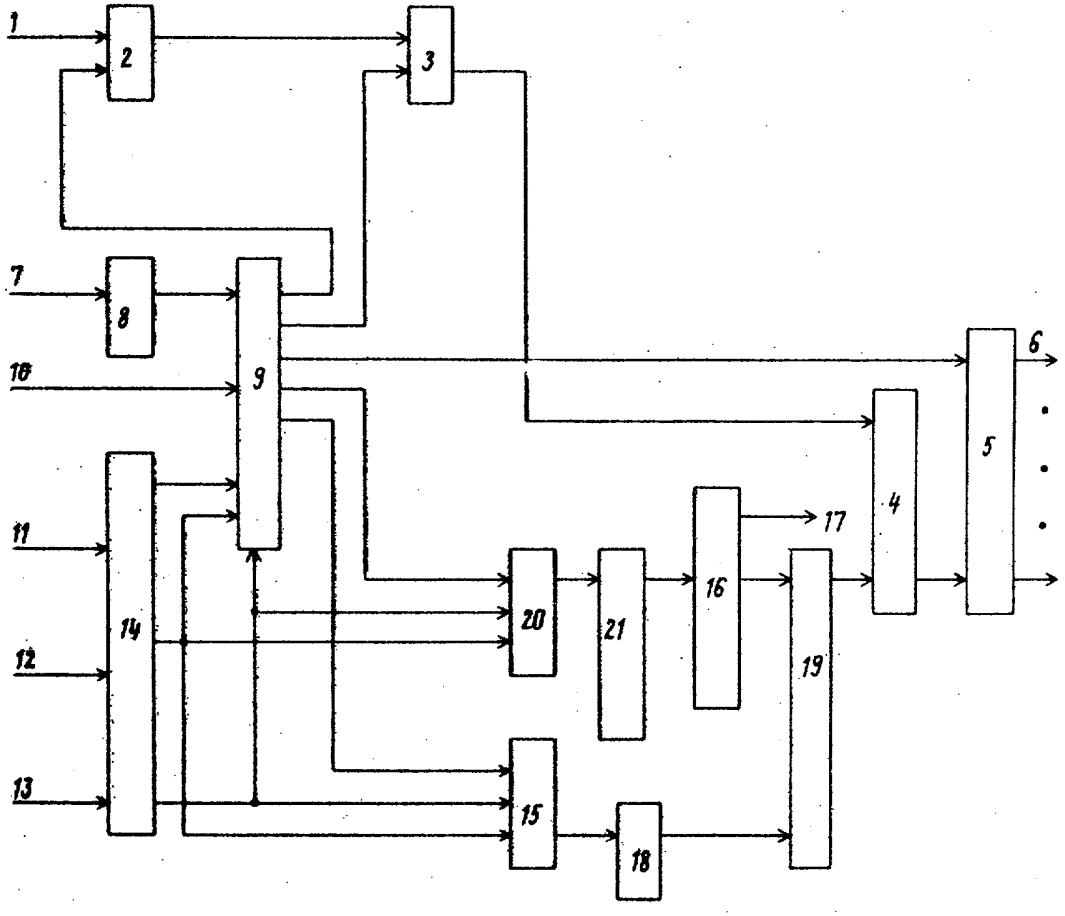
ля, второй выход регистра служебной информации соединен со вторым информационным входом распределителя импульсов и первым входом счетчика адреса, второй вход которого соединен с третьим выходом регистра служебной информации и третьим информационным входом распределителя импульсов, первый, второй, третий и четвертый выходы которого соединены соответственно с тактовыми входами регистра тетрады, первого дешифратора, сумматора и счетчика адреса, первый выход регистра двоичного порядка является выходом порядка преобразователя, отличающийся тем, что, с целью повышения быстродействия, в него введены сдвигатель, второй дешифратор, второй блок памяти, вход которого соединен с выходом второго дешифратора, а выход соединен с входом регистра двоичного порядка, второй выход которого соединен с управляющими входами сдвигателя, информационный вход которого соединен с выходом блока памяти, выход сдвигателя соединен со вторыми входами элементов И группы, а первый, второй и третий входы второго дешифратора соединены соответственно с пятым выходом распределителя импульсов, вторым и третьим выходами регистра служебной информации.

2. Преобразователь по п. 1, отличающийся тем, что в нем счетчик адреса выполнен реверсивным.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР по заявке № 2649587/24, кл. G06 F 5/02, 1975.

2. Авторское свидетельство СССР по заявке № 2818807/24, кл. G06 F 5/02, 20.08.79 (прототип).



Составитель М.Аршавский
Редактор А. Лежнина Техред А. Бабинец Корректор М. Коста

Заказ 7548/73 Тираж 745 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4