(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/31

(45) 공고일자 2001년07월12일
(11) 등록번호 10 - 0292088
(24) 등록일자 2001년03월20일

---

(21) 출원번호	10 - 1998 - 0032106	(65) 공개번호	특2000 - 0013319
(22) 출원일자	1998년08월07일	(43) 공개일자	2000년03월06일

---

(73) 특허권자 주성엔지니어링(주)
황 철 주
경기 광주군 오포면 능평리 49

(72) 발명자 황철주
경기도 성남시 분당구 서현동 87 한신아파트 121동 401호

(74) 대리인 허진석

심사관 : 신창우

---

(54) 반도체소자 제조방법

요약

본 발명은 반도체 소자의 캐퍼시터 형성공정에 있어서 고유전박막으로 탄탈륨질화산화막을 이용하는 동시에 캐퍼시터 형성시 발생하는 오염을 효과적으로 방지하여 캐퍼시터의 성능을 크게 향상시킬 수 있는 방법에 관한 것이다. 본 발명에 의하면, 사전 세정공정, 하부전극 형성공정, 도핑공정, 탄탈륨질화산화막 형성공정 및 상부전극 형성공정의 일부 또는 전부를 일관적으로 진행할 수 있으므로 자연산화막의 성장 및 오염입자의 발생을 방지할 수 있다.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조방법에 관한 것으로, 특히 반도체 소자의 캐퍼시터 형성공정에 있어서 고유전박막으로 탄탈륨질화산화막을 이용하는 동시에 캐퍼시터 형성시 발생하는 오염을 효과적으로 방지하여 캐퍼시터의 성능을 크게 향상시킬 수 있는 방법에 관한 것이다.

반도체 소자의 집적도가 높아짐에 따라 셀의 면적은 급격하게 축소되는 추세에 있으나, 셀 면적의 감소에도 불구하고 반도체 소자가 우수한 특성을 가지기 위해서는 셀 정전용량이 일정량 이상으로 유지되어야 한다. 따라서, 셀 동작에 필요한 정전용량은 그대로 유지하면서 반도체소자의 신뢰성도 확보할 수 있는 공정개발이 현재 여러 가지 반도체장치에서 해결되어야 할 가장 큰 과제로 대두되고 있다.

반도체 소자의 캐퍼시터에 있어서 실리콘질화막 및 실리콘산화막의 복합층을 유전막으로 이용하는 NO(Nitride-Oxide) 캐퍼시터가 종래에 많이 사용되었었다. 그런데, 이러한 NO 캐퍼시터는, 캐퍼시터용 전극의 표면적을 증가시키기 위해 반구형실리콘을 이용해도, 현재 반도체 소자에서 요구되는 고유전률을 충족시키지 못하는 실정이다. 그 이유는 실리콘질화막과 실리콘산화막의 유전률이 각각 7과 3.5로서 낮은 값을 갖기 때문이다.

한편, 실리콘질화막 및 실리콘산화막의 복합층이 가지는 저유전률의 단점을 보완하기 위해, 최근에 고유전막 재료로 채택되어 사용되는 탄탈륨산화막(Ta_2O_5)은 유전률이 25 정도로서 비교적 높은 값을 갖는다. 그러나, 탄탈륨산화막 내의 산소가 결핍되는 현상이 자주 발생하기 때문에 이로 인해 유전률이 떨어지고 누설전류가 크게 증가하여 원하는 전기적 특성을 만족하지 못하는 실정이다. 또한, 상부전극으로 보통 이용되는 다결정실리콘이나 금속질화막 등과 계면특성이 나쁠 뿐 아니라 높은 고유 응력(intrinsic stress) 스트레스 상태에 있기 때문에 전기적인 특성도 열악하여 개선점이 많이 남아 있는 상태이다.

한편, 종래의 캐퍼시터 형성에 공정에 따르면, 하부전극 형성 전 표면 세정, 하부전극 형성, 유전막형성, 상부전극 형성 등의 공정이 여러 공정장비를 이동하면서 진행되기 때문에 반도체 기판이 대기에 노출되어 자연산화막이 형성되거나 오염이 되는 문제가 있었다. 이러한 자연산화막과 불순물의 오염은 캐퍼시터의 정전용량을 감소시키고 누설전류를 증가시키는 등 반도체 소자의 전기적 특성을 악화시키는 요인이 되었다. 또한 이러한 단계들이 각각 다른 장비에서 진행하므로 공정이 복잡하여 공정진행이 지연될 뿐 아니라 수율이 낮아지는 문제가 있었다.

종래기술을 이용한 반도체 소자의 캐퍼시터 형성방법을 간략히 설명하면 다음과 같다. 먼저, 반도체 기판에 캐퍼시터 형성 전 공정, 예컨대 콘택구조를 형성한 후, 그 콘택에 하부전극 구조를 형성한다. 이어서, 하부전극이 형성된 웨이퍼를 희석된 HF 수용액에 담가(wet HF dip), 하부전극 상에 존재하는 자연산화막을 제거한다. 이와 같은 습식세정(wet cleaning)을 실시한 반도체 기판에 자연산화막이 재형성되는 것을 방지하기 위해 적어도 2시간 이내에 유전막을 형성한다. 이 유전막이 산화막 계열일 경우는 상기 반도체 기판을 산소분위기에서 열처리하여 유전막의 막질을 개선한다. 이 때, 산소분위기를 형성하기 위해 O_2나 N_2O 혹은 O_3가스를 이용한다. 열처리는 보통 가열로(furnace)나 급속열처리(Rapid Thermal Process; RTP)장비를 사용하여 행한다. 다음 단계로 유전막에 상부전극을 화학기상 증착법 혹은 스퍼터링법으로 증착한다. 상부전극으로는 보통 금속질화막이나 다결정 실리콘이 사용된다. 상부전극의 형성 후에는 사진공정 및 식각공정을 적용하여 반도체 소자의 캐퍼시터 제조를 완료한다.

이와 같은 종래의 캐퍼시터 형성방법은 다음과 같은 문제를 갖고 있다.

첫째, 자연산화막을 습식세정하기 때문에, 산화막이 완전히 제거되지 않거나, 반도체 기판이 불순물에 다시 오염된다. 일반적으로, 자연산화막 등의 계면물질과 불순물, 오염입자(particle) 등은 반도체 소자의 캐퍼시터의 성능에 큰 영향을 끼친다. 종래기술에 의하면, 반도체 소자의 캐퍼시터를 형성하는 단계를 수행하기 위해 반도체 기판이 여러 장비를 이동한다. 이 때, 반도체 기판이 대기 중에 노출됨으로써 그 표면에 수십 Å의 자연산화막이 형성된다. 이러한 자연산화막은 반도체 소자의 전기적·물리적 특성을 저하시킨다. 그런데, 자연산화막의 제거에 있어서, 종래와 같이 HF 담금(dip) 등의 습식 화학세정(wet chemical cleaning)공정을 사용할 경우 자연산화막이 완전히 제거되지 않는 경우가 많다. 그리고, 습식세정시 습식조(wet bath)로부터의 불순물과 오염입자에 반도체 기판이 오염되기 쉽다. 둘째, 종래기술에 따르면, 캐퍼시터용 유전막으로써 탄탈륨산화막을 이용할 때, 잔류가스나 부산물 그리고 대기에 노출될 때 흡착된 수분에 의해서 탄탈륨산화막 내에서 산소 결핍이 심화되어 누설 전류가 증가되는 문제가 있다. 셋째, 탄탈륨산화막의 형성 후, 산소분위기에서 웨이퍼를 열처리할 때 800℃ 이상의 고온에서 가스가 오버 플로우(over-flow)되어, 비정질인 탄탈륨산화막이 원주(columnar) 구조로 결정화된다. 이 때, 결정립계를 따라서 산소가 빠르게 확산하여, 하부전극으로 다결정실리콘을 이용할 경우에, 다결정실리콘층과 탄탈륨산화막의 사이에 실리콘질화산화막(SiON)이 두껍게 형

성되어 전체 캐퍼시터의 정전용량을 감소시키는 원인이 된다. 넷째, 종래의 제조 방법은 공정 단계가 복잡하여 수율이 낮기 때문에 가열로를 사용할 경우는 대구경 기판의 처리에 부적합한 문제가 있다. 다섯째, 캐퍼시터의 상부전극으로 금속질화물이 주로 사용되는데, 이 금속질화물이 탄탈륨산화막과 반응을 일으켜 유전특성을 열화시킬 뿐 아니라 탄탈륨산화막과 금속질화물 간의 접착성(adhesion)이 나빠서 캐퍼시터의 전기적특성이 열화된다.

그 외에, 반도체 장비 운용 상의 문제가 있다. 캐퍼시터 형성의 단위공정인 표면 전처리, 하부전극형성, 유전막형성 및 처리, 상부전극형성 등의 공정이 순차적으로 서로 다른 장비에서 이루어지므로 처리소요시간(turn around time)이 길고, 시간지연 없이(no-time delay) 공정을 진행하기 위해서는 다음 공정 장비 할당(allocation)을 위해 장비를 대기시켜야 하므로 장비의 유휴시간(idle time)이 길다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 기술적 과제는 다수의 단위공정을 차례로 진행할 경우라도 자연산화막의 성장 및 오염입자의 발생을 방지할 수 있는 반도체 소자의 제조방법을 제공하는 데 있다.

본 발명의 다른 기술적 과제는 공정을 단순화하여 수율을 증대시킬 수 있을 뿐 아니라 처리기판 간의 공정 균일도(wafer to wafer uniformity)를 높일 수 있는 반도체 소자의 제조방법을 제공하는 데 있다.

본 발명의 또 다른 기술적 과제는 종래기술에서 채용했던 유전막을 대신에 우수한 고유전막특성과 안정성을 갖는 새로운 유전막인 탄탈륨질화산화막을 이용한 반도체 소자의 제조방법을 제공하는 데 있다.

본 발명의 또 다른 기술적 과제는 상·하부전극과의 계면 이질감이 적고, 산소공극에 의한 누설전류의 문제가 없는 유전막을 이용한 반도체 소자의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기한 기술적 과제들을 해결하기 위한 본 발명의 반도체 소자 제조방법은, 적어도 하나 이상의 반응기 모듈을 가지는 반도체 공정처리장치에서 반도체 소자를 제조하되; 상기 공정처리장치의 반응기 내에 소정 공정을 거친 반도체 기판을 위치시키는 단계와; $TaCl_5$, $Ta[N(CH_3)_2]_5$, $Ta(OC_2H_5)_{5-n}(OCH_2CH_2OCH_3)_n$, $Ta[N(C_2H_5)_2]_5$ 및 $Ta(OC_2H_5)_5$로 구성된 화합물군으로부터 선택된 어느 하나를 탄탈륨 원료로 사용하여 1 mTorr 100 Torr 범위의 증착압력과 300 700℃ 범위의 증착온도에서 화학기상증착공정으로 상기 반도체 기판 상에 탄탈륨질화산화막을 형성하는 단계를 포함하는 것을 특징으로 한다, 단, n은 $1 \le n \le 4$ 인 정수.

이 경우, 상기 탄탈륨질화산화막을 형성한 반응기와 동일한 반응기에서 상기 반도체 기판을 인-시튜 플라즈마 세정하는 단계를 상기 탄탈륨질화산화막의 형성단계 전에 먼저 거치는 것이 바람직하다.

상기 플라즈마 세정단계에서는, 할로겐원소 함유기체의 플라즈마를 이용하거나, 할로겐원소 함유기체에 비활성 기체를 혼합하여 사용하거나, 할로겐원소 함유기체의 플라즈마와 수소성분을 함유한 기체의 플라즈마를 함께 사용할 수도 있다.

한편, 상기 탄탈륨질화산화막의 형성단계 직전에 캐퍼시터용 하부전극을 형성하는 단계를 더 포함할 수도 있다. 즉, 플라즈마 세정이 행해졌다면 그 이후에, 플라즈마 세정이 행해지지 않았다면 그대로, 탄탈륨질화산화막의 형성 직전에 하부전극을 형성할 수도 있다. 이 때, 상기 하부전극으로서 도전성 불순물이 도핑된 실리콘막, 질화 금속막, 노블 금속막, 내화물 금속막, 니어-노블 금속막 및 전도성 산화막으로 구성된 도전성 박막군으로부터 선택된 어느 하나를 이용할 수 있다. 그 외에도, 상기 하부전극으로서 플라즈마 도핑이 실시된, 버섯돌기를 갖는 다결정 실리콘막을 이용할 수도 있다.

상기 탄탈륨질화산화막을 형성한 후에는 그 계면특성 및 막질을 개선하기 위해, 이를 플라즈마 처리하는 단계를 더 거치되, 상기 탄탈륨질화산화막의 형성공정이 진행된 반응기와 동일한 반응기 또는 저산소 분위기를 통해 이동한 다른 반응기에서 상기 플라즈마 처리단계를 진행하는 것이 바람직하다. 이 때, 탄탈륨질화산화막의 플라즈마 처리단계에서는 산소성분함유 화합물 기체, 질소성분함유 화합물 기체 및 수소성분함유 화합물 기체로 구성된 기체군으로부터 선택된 어느 하나의 플라즈마를 이용하는 것이 더 바람직하다.

상기 탄탈륨 원료가 $TaCl_5$인 경우에는 상기 $TaCl_5$와 함께 산소함유기체와 질소함유기체를 상기 반응기에 공급하여 상기 화학기상증착공정을 행하는 것이 바람직하고, 상기 탄탈륨 원료가 $Ta[N(CH_3)_2]_5$혹은 $Ta[N(C_2H_5)_2]_5$인 경우에는 상기 $Ta[N(CH_3)_2]_5$혹은 $Ta[N(C_2H_5)_2]_5$와 함께 산소함유기체를 상기 반응기에 공급하여 상기 화학기상증착공정을 행하는 것이 바람직하다.

탄탈륨질화산화막의 형성을 위한 반응가스에, 수소성분함유기체, 비활성기체 및 비활성원소함유기체로 구성된 기체군으로부터 선택된 적어도 어느 하나의 기체를 더 첨가할 수 있다.

또한, 상기 탄탈륨질화산화막의 형성단계에서 사용되는 기체를 플라즈마에 의해 이온화하여 사용할 수도 있다.

이러한 방법으로 탄탈륨질화산화막을 형성한 다음에는 상부전극을 형성하는 단계를 더 진행하되, 상기 상부전극으로서 도전성 불순물이 도핑된 실리콘막, 질화 금속막, 노블 금속막, 내화물 금속막, 니어-노블 금속막 및 전도성 산화막으로 구성된 도전성 박막군으로부터 선택된 어느 하나를 사용하는 것이 바람직하다.

이하, 반도체 소자의 캐퍼시터 형성공정을 본 발명의 바람직한 실시예로 설명하기로 한다.

실시예에 따르면, 복수의 반응기 모듈을 가지는 반도체 공정처리장치에서 캐퍼시터 형성공정이 진행된다. 처리장치의 반응기 내에는, 캐퍼시터 형성 전 공정이 완료된 반도체 기판을 장착되며, 하부전극을 형성하기에 앞서 반도체 기판을 인-시튜(in-situ) 플라즈마 세정한다.

이러한 사전 세정공정에 불화규소(SF_6)와 아르곤(Ar)의 혼합기체의 플라즈마가 사용되었다. 물론 이 공정에서, 플라즈마 세정을 위해 사용되는 기체는 일반적인 불화물 기체를 단독으로 사용해도 무방하며, 여기에 비활성 기체나 수소성분을 함유한 기체를 혼합하여 사용할 수도 있다. 불화물 기체로서, 불화탄소, 불화질소, 불화염소, 불화규소, 불화브롬, 불화인, 불화황, 불화염소 및 불화아세닉 중의 어느 하나를 사용할 수 있다. 또한, 혼합하여 사용되는 비활성 기체로서, 아르곤, 네온, 크립톤과 같은 기체가 선택될 수 있으며, 수소성분을 함유한 기체로서는 H_2, SiH_4, Si_2H_6, BH_3, AsH_3, PH_3, GeH_4, SiH_2Cl_2 및 NH_3 중의 어느 하나가 선택될 수 있다.

이와 같이 인-시튜 사전 세정공정을 행한 후에, 캐퍼시터용 하부전극을 형성한다. 상기한 각 공정 단계를 하나의 반응기에서 진행하거나, 다른 반응기에서 진행하더라도 반응기간 이동시 진공이나 산소가 적은 분위기를 통하여 반도체 기판을 이동하게 함으로써 기판의 표면이 재오염되지 않도록 한다. 하부전극으로서, 도핑된 실리콘막, 버섯돌기를 갖는 도핑된 다결정 실리콘막, 질화 금속막, 노블(noble) 금속막, 내화물 금속막 및 니어-노블(near-noble) 금속막 및 전도성 산화막 중의 어느 하나를 사용하여도 무방하다. 상기 전도성 산화막에는 RuO_2 또는 IrO_2가 포함된다. 본 실시예에서는, 하부전극으로서 버섯돌기를 갖는 다결정 실리콘막을 먼저 형성하고 이를 포스핀(PH_3) 기체의 플라즈마에 의해 처리함으로써 도전성 불순물 도핑 및 표면세정을 행하는 동시에 그 표면의 버섯 돌기를 강화하였다. 물론, 도핑되는 불순물의 종류에 따라 플라즈마 처리에 사용되는 기체가 달라지는데, 일반적으로는 도핑하고자 하는 성분과 수소의 화합물 기체의 플라즈마를 사용하면 된다. 이 때, 발생하는 수소 플라즈마가 표면세정을 행하는 동시에 그 표면의 버섯 돌기를 강화하는 역할을 하게 된다. 따라서, 보론(Boron)이나 아세닉(Arsenic)을 도핑하고자 할 때에는, BH_3나 AsH_3가 각각 사용된다.

그 다음, 탄탈륨질화산화막을 화학기상 증착공정에 의해 증착하여 캐퍼시터용 유전막을 형성하게 되는데, 이 때 사용되는 탄탈륨의 원료 기체로는 TPE($Ta(OC_2H_5)_5$), PDMAT($Ta[N(CH_3)_2]_5$), PDEAT($Ta[N(C_2H_5)_2]_5$), 탄탈륨-2-메톡시-에톡사이드($Ta(OC_2H_5)_{5-n}(OCH_2CH_2OCH_3)_n$), $TaCl_5$등 탄탈륨을 함유한 유기 또는 무기 화합물 중의 어느 하나가 사용될 수 있다.

이 중에서, 탄탈륨-2-메톡시-에톡사이드(이하, $Ta(OEt)_{5-n}(OR)_n$이라고 함, 여기서 $OEt:OC_2H_5$, $OR:OCH_2CH_2OCH_3$)는 $Ta(OEt)_5$를 (HOCH2CH2OCH3)을 n의 정량으로 첨가하여 새로이 합성한 전구체로써, n의 수에 따라서 화학적 성질이 변화하게 된다. 바람직한 실시예로서는 n="1,2인" $Ta(OEt)_4(OR)$ 혹은 $Ta(OEt)_3(OR)_2$가 사용될 수 있는데, 증기압은 상용되고 있는 $Ta(OEt)_5$보다 같거나 높아서 현재까지 $Ta(OEt)_5$용으로 개발된 대부분의 화학증착장치에 모두 이용될 수 있을 뿐 아니라, $Ta(OEt)_{5-n}(OR)_n$의 녹는점이 -20℃ 이하로 상온(21℃)근처에서 녹는점을 갖는 $Ta(OEt)_5$보다 훨씬 낮아서 화학적 안정이 높으며 응축 등으로 인한 문제가 거의 없다.

본 실시예에서는 TPE를 사용하였다. 탄탈륨 소스가스로서 TPE를 사용하여 탄탈륨질화산화막을 형성할 경우, 반응가스로 TPE와 질소성분함유기체를 사용하였으며, TPE 기체는 0.01sccm 1slm 범위 내에서의 유동속도로, 질소함유기체는 1sccm 10slm 범위 내의 유동속도로 각각 반응기 내에 공급하고, 증착압력을 1 mTorr 100 Torr 범위 내에서, 증착온도를 300 700℃ 범위 내에서 각각 설정하여 증착공정을 진행하였다.

이 때, 수소성분을 함유한 기체를 0.01sccm 1slm의 유동속도로 공급하여 함께 사용할 수 있으며, 수소성분을 함유한 기체로서는 H_2, SiH_4, Si_2H_6, BH_3, AsH_3, PH_3, GeH_4, SiH_2Cl_2 및 NH_3 중의 어느 하나가 선택될 수 있다.

또한 탄탈륨질화산화막을 형성할 때, 플라즈마를 발생시켜서 사용하는 원료를 이온화하여 사용하였다. 이러한 플라즈마를 사용하는 경우, 플라즈마 파워(plasma power)는 10W 3kW, 질소성분함유기체나 수소성분함유기체의 유동속도는 10sccm 10slm, 증착온도는 300 700℃, 그리고 반응기내 압력은 1mTorr 100Torr인 조건에서 증착공정을 진행하였다.

한편, 탄탈륨 소스가스로서 PDMAT나 PDEAT를 사용하여 탄탈륨질화산화막을 형성할 경우, 반응 가스로 PDMAT혹은 PDEAT 외에 산소성분함유기체를 더 사용하였으며, 이때 PDMAT나 PDEAT 기체의 유동속도는 0.01sccm 1slm, 산소함유기체의 유동속도는 1sccm 10slm, 증착압력은 1mTorr 100Torr, 증착온도는 300 700℃의 범위 내에서 조절하여 공정을 진행하였다. 이 때, 수소성분을 함유한 기체를 0.01sccm 1slm의 유동속도로 공급하여 함께 사용할 수 있으며, 수소성분을 함유한 기체로서는 H_2, SiH_4, Si_2H_6, BH_3, AsH_3, PH_3, GeH_4, SiH_2Cl_2 및 NH_3 중의 어느 하나가 선택될 수 있다. 또한 탄탈륨질화산화막을 형성할 때, 플라즈마를 발생시켜서 사용하는 원료를 이온화하여 사용하였다. 이러한 플라즈마를 사용하는 경우, 플라즈마 파워는 10W 3kW, 질소성분함유기체나 수소성분함유기체의 유동속도는 10sccm 10slm, 온도는 300 700℃, 그리고 반응기내 압력은 1mTorr 100Torr의 범위 내에서 조절하여 공정을 진행하였다.

한편, 탄탈륨 소스가스로서 $TaCl_5$를 사용하여 탄탈륨질화산화막을 형성할 경우, 반응 가스로 $TaCl_4$와 산소성분함유기체와 질소성분함유기체를 사용하였으며 $TaCl_5$ 기체의 유동속도는 0.01sccm 1slm, 질소성분함유기체와 산소성분함유기체의 유동속도는 1sccm 10slm, 증착압력은 1mTorr 100Torr, 증착온도는 300 700℃의 범위 내에서 조절하여 공정을 진행하였다. 이 때, 수소성분을 함유한 기체를 0.01sccm 1slm의 유동속도로 함께 공급하여 사용할 수 있으며, 수소성분을 함유한 기체로서는 H_2, SiH_4, Si_2H_6, BH_3, AsH_3, PH_3, GeH_4, SiH_2Cl_2 및 NH_3 중의 어느 하나가 선택될 수 있다. 이 경우에도, 탄탈륨질화산화막을 형성할 때, 플라즈마를 발생시켜서 사용하는 원료를 이온화하여 사용하였다. 이러한 플라즈마를 사용하는 경우, 플라즈마 파워는 10W 3kW, 질소성분함유기체나 수소성분함유기체의 유동속도는 10sccm 10slm, 온도는 300 700℃, 그리고 반응기내 압력은 1mTorr 100Torr의 범위 내에서 조절하여 공정을 진행하였다.

이와 같이 탄탈륨질화산화막을 형성한 다음, 동일 반응기에서 상부전극을 형성하여 캐퍼시터의 기본구조를 완성하였다. 물론, 진공이나 저산소 분위기에서 반도체 기판을 다른 반응기로 이동시킨 후에 상부전극의 형성공정을 진행하여도 좋다. 이 때, 상부전극으로는, 도핑된 실리콘막, 질화 금속막, 노블 금속막, 내화물 금속막 및 니어-노블 금속막 및 전도성 산화막 중의 어느 하나를 사용할 수 있으며, 하부전극과 마찬가지로 전도성 산화막에는 RuO_2 또는 IrO_2가 포함된다.

이와 같은 일련의 단위공정이 하나 이상의 반응기를 가진 반도체 제조장비에서 진행될 때, 사전 세정단계, 하부전극 형성단계, 도핑 및 플라즈마 처리단계, 유전막 형성단계 및 상부전극 형성단계를 차례로 동일 반응기에서 진행하거나, 진공이나 저산소 분위기를 통해 반도체 기판을 이동시킨 후 다른 반응기에서 진행하면, 자연산화막의 성장 및 오염입자의 발생을 방지할 수 있다.

발명의 효과

본 발명에 의한 효과는 다음과 같다.

첫째, 기존의 실리콘질화막 및 실리콘산화막의 복합층이나 탄탈륨산화막을 대체할 수 있는, 높은 유전률과 열 안정성을 갖는 탄탈륨질화산화막 형성함으로써, 상·하부 전극과의 계면 이질감이 작고, 산소 공극에 의한 누설전류의 문제가 없으며 정전용량이 우수한 캐퍼시터를 형성할 수 있다.

둘째, 사전 세정공정, 하부전극 형성공정, 도핑공정, 탄탈륨질화산화막 형성공정 및 상부전극 형성공정의 일부 또는 전부를 일관적으로 진행할 수 있으므로 자연산화막의 성장 및 오염입자의 발생을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

적어도 하나 이상의 반응기 모듈을 가지는 반도체 공정처리장치에서 반도체 소자를 제조하는 방법에 있어서,

상기 공정처리장치의 반응기 내에 소정 공정을 거친 반도체 기판을 위치시키는 단계와;

$TaCl_5$, $Ta[N(CH_3)_2]_5$, $Ta(OC_2H_5)_{5-n}$ $(OCH_2CH_2OCH_3)_n$, $Ta[N(C_2H_5)_2]_5$ 및 $Ta(OC_2H_5)_5$로 구성된 화합물 군으로부터 선택된 어느 하나를 탄탈륨 원료로 사용하여 1 mTorr 100 Torr 범위의 증착압력과 300 700℃ 범위의 증착온도에서 화학기상증착공정으로 상기 반도체 기판 상에 탄탈륨질화산화막을 형성하는 단계를 포함하는 반도체 소자 제조방법, 단, n은 $1 \le n \le 4$ 인 정수.

청구항 2.

제1항에 있어서, 상기 탄탈륨질화산화막을 형성한 반응기와 동일한 반응기에서 상기 반도체 기판을 인-시튜 플라즈마 세정하는 단계를 상기 탄탈륨질화산화막의 형성단계 전에 먼저 거치는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 3.

제2항 있어서, 상기 플라즈마 세정단계에서 할로겐원소 함유기체의 플라즈마를 이용한 것을 특징으로 하는 반도체 소자 제조방법.

청구항 4.

제2항에 있어서, 상기 플라즈마 세정단계에서 할로겐원소 함유기체에 비활성 기체를 혼합하여 사용하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 5.

제2항에 있어서, 상기 플라즈마 세정단계에서 할로겐원소 함유기체의 플라즈마를, 수소성분을 함유한 기체의 플라즈마와 함께 사용하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 6.

제1항에 있어서, 상기 탄탈륨질화산화막의 형성단계 직전에 캐퍼시터용 하부전극을 형성하는 단계를 더 포함하되, 상기 하부전극으로서 도전성 불순물이 도핑된 실리콘막, 질화 금속막, 노블 금속막, 내화물 금속막, 니어-노블 금속막 및 전도성 산화막으로 구성된 도전성 박막군으로부터 선택된 어느 하나를 이용하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 7.

제1항에 있어서, 상기 탄탈륨질화산화막의 형성단계 직전에 캐퍼시터용 하부전극을 형성하는 단계를 더 포함하되, 상기 하부전극으로서 플라즈마 도핑이 실시된, 버섯돌기를 갖는 다결정 실리콘막을 이용하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 8.

제1항에 있어서, 상기 탄탈륨질화산화막에 대해 계면특성 및 막질을 개선하기 위해, 이를 플라즈마 처리하는 단계를 더 거치되, 상기 탄탈륨질화산화막의 형성공정이 진행된 반응기와 동일한 반응기 또는 저산소 분위기를 통해 이동한 다른 반응기에서 상기 플라즈마 처리단계를 진행하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 9.

제8항에 있어서, 상기 플라즈마 처리단계에서 산소성분함유 화합물 기체, 질소성분함유 화합물 기체 및 수소성분함유 화합물 기체로 구성된 기체군으로부터 선택된 어느 하나의 플라즈마를 이용하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 10.

제1항에 있어서, 상기 탄탈륨질화산화막의 형성단계 후에 상부전극을 형성하는 단계를 더 포함하되, 상기 상부전극으로서 도전성 불순물이 도핑된 실리콘막, 질화 금속막, 노블 금속막, 내화물 금속막, 니어-노블 금속막 및 전도성 산화막으로 구성된 도전성 박막군으로부터 선택된 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 11.

제1항에 있어서, 상기 탄탈륨 원료가 $TaCl_5$인 경우에 상기 $TaCl_5$와 함께 산소함유기체와 질소함유기체를 상기 반응기에 공급하여 상기 화학기상증착공정을 행하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 12.

제1항에 있어서, 상기 탄탈륨 원료가 $Ta[N(CH_3)_2]_5$ 혹은 $Ta[N(C_2H_5)_2]_5$인 경우에 상기 $Ta[N(CH_3)_2]_5$ 혹은 $Ta[N(C_2H_5)_2]_5$와 함께 산소함유기체를 상기 반응기에 공급하여 상기 화학기상증착공정을 행하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 13.

제1항에 있어서, 수소성분함유기체, 비활성기체 및 비활성원소함유기체로 구성된 기체군으로부터 선택된 적어도 어느 하나의 기체를 상기 탄탈륨 원료와 함께 상기 반응기에 더 공급하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 14.

제1항에 있어서, 상기 탄탈륨질화산화막의 형성단계에서 사용되는 기체를 플라즈마에 의해 이온화하여 사용하는 것을 특징으로 하는 반도체 소자 제조방법.