

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-538909
(P2024-538909A)

(43)公表日 令和6年10月28日(2024.10.28)

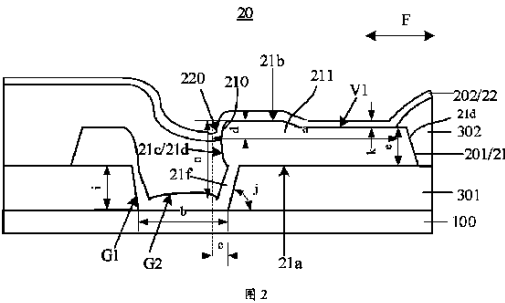
(51)国際特許分類		F I		テーマコード (参考)	
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 3 8	3 K 1 0 7
G 0 9 G	3/20 (2006.01)	G 0 9 F	9/30	3 6 5	5 C 0 8 0
G 0 9 G	3/3233(2016.01)	G 0 9 F	9/30	3 4 8 A	5 C 0 9 4
H 0 5 B	33/14 (2006.01)	G 0 9 G	3/20	6 1 1 D	5 C 3 8 0
H 1 0 K	77/10 (2023.01)	G 0 9 G	3/20	6 7 0 J	
		審査請求	未請求	予備審査請求	未請求 (全78頁) 最終頁に続く

(21)出願番号	特願2023-577769(P2023-577769)	(71)出願人	510280589
(86)(22)出願日	令和4年10月19日(2022.10.19)	(71)出願人	京東方科技集團股▲ふん▼有限公司
(85)翻訳文提出日	令和5年12月15日(2023.12.15)		BOE TECHNOLOGY GROU
(86)国際出願番号	PCT/CN2022/126073		P CO. , LTD.
(87)国際公開番号	WO2023/066279		中華人民共和國 1 0 0 0 1 5 北京市朝陽
(87)国際公開日	令和5年4月27日(2023.4.27)		區酒仙橋路 1 0 號
(31)優先権主張番号	202111220749.3		No. 10 Jiuxianqiao R
(32)優先日	令和3年10月20日(2021.10.20)		d. , Chaoyang Distri
(33)優先権主張国・地域又は機関	中国(CN)	ct, Beijing 100015,	CHINA
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	(71)出願人	519385216
	最終頁に続く		北京京▲東▼方技▲術▼▲開▼▲発▼有 限公司 BEIJING BOE TECHNOL OGY DEVELOPMENT CO. 最終頁に続く

(54)【発明の名称】 表示基板及び表示装置

(57)【要約】

表示基板（20）及び表示装置（40）を提供する。
該表示基板（20）は、ベース基板（100）と、順次積層された第1絶縁層（301）、第1導電層（201）、第2絶縁層（302）、及び第2導電層（202）と、を含む。該第1絶縁層（301）は第1窪み構造（G1）を含み、該第1導電層（201）は第1導電構造（21）を含み、該第1導電構造（21）は、該ベース基板（100）に近い底面（21a）と、該ベース基板（100）から離れた頂面（21b）と、該底面（21a）と該頂面（21b）との間に位置する第1側面（21c）と、を含む。該第2絶縁層（302）は第1ビア（V1）を含み、該第2導電層（202）は第2導電構造（22）を含み、該第1ビア（V1）の該ベース基板（100）での正投影と該第1窪み構造（G1）の該ベース基板（100）での正投影とが、少なくとも部分的に重なり、該第1ビア（V1）は該第1導電構造（21）の第1側面（21c）の少なくとも一部を露出させ、該第2導電構造（22）は該第1導電構造（21）の第1側面（21c）の少なくとも一部に接触し、該第1導



【特許請求の範囲】

【請求項 1】

表示基板であって、
ベース基板と、

前記ベース基板上に順次設けられた第 1 絶縁層、第 1 導電層、第 2 絶縁層、第 2 導電層と、を含み、

前記第 1 絶縁層は第 1 窪み構造を含み、前記第 1 導電層は第 1 導電構造を含み、前記第 1 導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第 1 側面と、を含み、

前記第 2 絶縁層は第 1 ビアを含み、前記第 2 導電層は第 2 導電構造を含み、

前記第 1 ビアの前記ベース基板での正投影と前記第 1 窪み構造の前記ベース基板での正投影とが、少なくとも部分的に重なり、

前記第 1 ビアは前記第 1 導電構造の第 1 側面の少なくとも一部を露出させ、前記第 2 導電構造は、前記第 1 導電構造の第 1 側面の前記少なくとも一部に接触し、

前記第 1 導電構造の第 1 側面は突出曲面を含み、前記第 2 導電構造は前記突出曲面の少なくとも一部を覆い、

前記第 1 導電構造は、前記第 1 窪み構造中に位置し、前記突出曲面に接続された接続部を含み、前記ベース基板の板面に平行する方向において、前記突出曲面は前記接続部に対して前記第 1 窪み構造の中央部に向かって突出する、表示基板。

【請求項 2】

前記第 2 導電構造は第 1 突出部を含み、前記第 1 突出部の前記ベース基板での正投影が前記第 1 窪み構造の前記ベース基板での正投影内にあり、

前記第 1 突出部は前記第 1 導電構造の第 1 側面の少なくとも一部に接触する、請求項 1 に記載の表示基板。

【請求項 3】

前記第 1 窪み構造の前記ベース基板での正投影と前記第 1 ビアの前記ベース基板での正投影とが、少なくとも部分的に重なる、請求項 1 又は 2 に記載の表示基板。

【請求項 4】

前記第 1 導電構造は前記底面と前記頂面との間に位置する第 2 側面をさらに含み、前記第 1 側面は前記第 2 側面に対向し、

前記第 1 側面の前記ベース基板に垂直な方向の寸法が、前記第 2 側面の前記ベース基板に垂直な方向の寸法よりも大きい、請求項 1～3 のいずれか 1 項に記載の表示基板。

【請求項 5】

前記第 1 側面は、前記第 1 絶縁層の前記ベース基板から離れた側に位置する第 1 側面部分を含み、

前記第 1 側面部分における前記第 2 導電構造で覆われていない部分の前記ベース基板に垂直な方向の寸法が、前記第 2 側面の前記ベース基板に垂直な方向の寸法よりも大きい、請求項 4 に記載の表示基板。

【請求項 6】

前記第 1 導電構造の頂面の前記第 1 側面に直接接続された少なく一部は前記第 2 導電層から分離している、請求項 4 又は 5 に記載の表示基板。

【請求項 7】

前記表示基板は第 1 断面を有し、前記第 1 窪み構造の前記第 1 断面内において基準方向の寸法は b とされ、前記基準方向は前記ベース基板の板面に平行し、

前記第 1 断面内において、前記第 1 ビアと前記第 1 窪み構造との重なり領域の前記基準方向の寸法は c とされ、前記第 1 導電構造の第 1 側面の前記第 2 導電構造で覆われた部分の、ベース基板に垂直な方向の寸法は d とされ、前記第 1 導電構造における前記第 1 絶縁層の前記ベース基板から離れた側に位置し、かつ前記第 2 導電構造に接触する接触部の、前記ベース基板に垂直な方向の寸法は e とされ、

c/b は 0.1 よりも大きく、

d/e は 0.3 よりも大きい、請求項 4～6 のいずれか 1 項に記載の表示基板。

【請求項 8】

c/b は 0.15 よりも大きく、 d/e は 0.8 よりも小さい、請求項 7 に記載の表示基板。

【請求項 9】

c/b は 0.19 よりも小さく、 d/e は 0.5 よりも小さい、請求項 7 又は 8 に記載の表示基板。

【請求項 10】

前記第 1 断面内において、前記第 1 窪み構造の最大深さを i 、前記第 1 窪み構造の前記第 1 断面内における 1 つの側辺と前記ベース基板の板面とがなす角を j 、前記第 2 導電構造における前記第 1 導電構造に接触する部分の、前記ベース基板に垂直な方向の厚さを k とすると、

$d/e < 0.0273 * i * \sin(j) / k$ である、請求項 7～9 のいずれか 1 項に記載の表示基板。

【請求項 11】

$c/b < 0.0102 * i * \sin(j) / k$ である、請求項 10 に記載の表示基板。

【請求項 12】

前記第 1 側面の前記ベース基板に垂直な方向の寸法を n 、前記第 2 側面の前記ベース基板に垂直な方向の寸法を e とすると、

$0.1 * (n/e) / \sin(j) > (d/n)$ である、請求項 10 又は 11 に記載の表示基板。

【請求項 13】

$0.08 * (n/e) / \sin(j) > d/n$ である、請求項 11 又は 12 に記載の表示基板。

【請求項 14】

前記接触部は前記第 1 窪み構造に面する第 2 突出部を含み、前記第 2 突出部の前記ベース基板での正投影が前記第 1 窪み構造の前記ベース基板での正投影内にあり、

前記第 1 断面内において、前記第 2 突出部の前記ベース基板に垂直な方向の寸法が、前記第 1 導電層における前記第 1 窪み構造の側面に位置する部分の、前記第 1 窪み構造の前記側面に垂直な方向の寸法よりも大きい、請求項 7～13 のいずれか 1 項に記載の表示基板。

【請求項 15】

第 1 絶縁層は、第 1 窪み構造と間隔を置いた第 2 窪み構造をさらに含み、

前記第 1 導電構造は前記底面と前記頂面との間に位置する第 2 側面をさらに含み、前記第 1 側面は前記第 2 側面に対向し、

前記第 2 側面の前記ベース基板での正投影と前記第 2 窪み構造の前記ベース基板での正投影とが、少なくとも部分的に重なり、

前記第 1 ピアは、さらに前記第 2 側面の少なくとも一部を露出させ、前記第 2 導電構造は前記第 1 導電構造の第 2 側面の少なくとも一部を覆う、請求項 1～14 のいずれか 1 項に記載の表示基板。

【請求項 16】

前記ベース基板に垂直な方向において、前記第 1 導電構造の第 1 側面における前記第 2 導電構造で覆われた部分の寸法と前記第 2 側面における前記第 2 導電構造で覆われた部分の寸法とは異なる、請求項 15 に記載の表示基板。

【請求項 17】

前記第 1 ピアの前記ベース基板での正投影と前記第 1 窪み構造の前記ベース基板での正投影との重なり寸法と、前記第 1 ピアの前記ベース基板での正投影と前記第 2 窪み構造の前記ベース基板での正投影との重なり寸法とは異なる、請求項 15 又は 16 に記載の表示基板。

【請求項 18】

表示基板であって、
ベース基板と、

前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、第2導電層と、を含み、

前記第1導電層は第1導電構造を含み、前記第2導電層は第2導電構造を含み、

前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、

前記第2絶縁層は第1ビアを含み、前記第2導電構造は前記第1ビアを介して前記第1導電構造に接触し、

前記第2導電構造は第1突出部を含み、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第1突出部は、前記第1導電構造の第1側面の前記少なくとも一部に接触し、

前記第1絶縁層は、互いに離間している第1窪み構造及び第2窪み構造を含み、前記第1導電構造は前記底面と前記頂面との間に位置する第2側面をさらに含み、前記第1側面は前記第2側面に対向し、前記第1導電構造の少なくとも一部は、前記第1窪み構造及び前記第2窪み構造のそれぞれに位置する、表示基板。

【請求項19】

前記第1導電構造は、前記第1窪み構造に面する第2突出部を含み、前記第2突出部の前記ベース基板での正投影が前記第1窪み構造の前記ベース基板での正投影内にある、請求項18に記載の表示基板。

【請求項20】

前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、

前記第1導電層は、前記第1導電構造と間隔を置いて配置された第1信号線及び第2信号線をさらに含み、前記第1信号線及び前記第2信号線は前記第2方向に延びており、

前記第1突出部の前記ベース基板での正投影と前記第1信号線の前記ベース基板での正投影との前記第1方向の距離を l 、前記第2信号線の前記ベース基板での正投影と前記第1信号線の前記ベース基板での正投影との前記第1方向の距離を m とし、

前記表示基板は、前記ベース基板に垂直な第1断面を含み、前記第1断面内において、前記第1導電構造における前記第1絶縁層の前記ベース基板から離れた側に位置する部分の、前記ベース基板に垂直な方向の寸法を e とし、前記第1側面における前記第1突出部で覆われた部分の前記ベース基板に垂直な方向の寸法を d とすると、

$l/m > 0.9(d/e)$ である、請求項18又は19に記載の表示基板。

【請求項21】

$l/m > 1.2 * (d/e)$ である、請求項20に記載の表示基板。

【請求項22】

前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、

前記第2絶縁層は複数のビアを含み、前記複数のビアは前記第1方向及び前記第2方向において複数のビア行及び複数のビア列として配列され、前記複数のビアは複数の前記第1ビアを含み、

前記複数のビア行は第1ビア行を含み、前記第1ビア行には、ビア1つおきに3つの連続する前記第1ビアは存在する、請求項18～21のいずれか1項に記載の表示基板。

【請求項23】

前記複数のビア列は第1ビア列を含み、前記第1ビア列には、すべてのビアは前記第1ビアであるか、又はビア1つおきに1つの前記第1ビアは存在する、請求項22に記載の表示基板。

【請求項24】

前記複数の画素列は、前記第 1 方向において隣接する第 1 画素列及び第 2 画素列を含み

、

前記第 1 信号線は、前記第 1 画素列のサブ画素に接続され、第 1 信号を供給し、前記第 2 信号線は、前記第 2 画素列のサブ画素に接続され、第 2 信号を供給し、

前記第 1 画素列の発光素子では、前記ベース基板に近い側の電極の前記ベース基板での正投影が、前記第 1 信号線の前記ベース基板での正投影及び前記第 2 信号線の前記ベース基板での正投影のそれぞれと少なくとも部分的に重なる、請求項 18～23 のいずれか 1 項に記載の表示基板。

【請求項 25】

前記表示基板は、前記画素電極の前記ベース基板から離れた側に位置する画素定義層を含み、前記画素定義層は複数の画素開口部領域を含み、前記複数の画素開口部領域は前記複数のサブ画素に 1 対 1 で対応し、

10

前記複数の画素開口部領域の前記ベース基板での正投影が、前記第 1 突出部の前記ベース基板での正投影から分離している、請求項 18～24 のいずれか 1 項に記載の表示基板。

【請求項 26】

前記画素定義層は複数の凸起部を含み、前記複数の凸起部は前記複数の画素開口部領域の間に位置し、

前記複数の凸起部は、同一の画素開口部領域を取り囲んで設けられた第 1 凸起部、第 2 凸起部、及び第 3 凸起部を含み、前記第 1 凸起部、前記第 2 凸起部、及び前記第 3 凸起部の前記ベース基板での正投影の中心が接続されて三角形となる、請求項 25 に記載の表示基板。

20

【請求項 27】

前記第 1 凸起部は隣接する 4 つの画素開口部領域の間に位置し、前記第 2 凸起部及び前記第 3 凸起部は、それぞれ隣接する 2 つの画素開口部領域の間に位置し、

前記第 1 凸起部の前記ベース基板での正投影の面積が、前記第 2 凸起部の前記ベース基板での正投影の面積及び前記第 3 凸起部の前記ベース基板での正投影の面積のそれぞれよりも大きい、請求項 26 に記載の表示基板。

【請求項 28】

前記第 1 導電層の前記ベース基板に近い側に位置する第 3 導電層をさらに含み、

30

前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第 1 方向に沿う複数の画素行及び第 2 方向に沿う複数の画素列として配列され、前記第 1 方向と前記第 2 方向とは異なり、

前記第 3 導電層はシールド電極と第 1 コンデンサ電極を含み、前記シールド電極は、前記第 1 方向に延びている部分と、前記シールド電極が存在するサブ画素の前記第 1 コンデンサ電極に向かって延びている部分と、を含む、請求項 18～27 のいずれか 1 項に記載の表示基板。

【請求項 29】

前記第 1 導電層の前記ベース基板に近い側に位置する第 3 導電層をさらに含み、

前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第 1 方向に沿う複数の画素行及び第 2 方向に沿う複数の画素列として配列され、前記第 1 方向と前記第 2 方向とは異なり、

40

前記第 1 導電層は、前記第 2 方向に延びている第 1 リセット電圧線を含み、前記第 3 導電層は、前記第 1 方向に延びている第 2 リセット電圧線を含み、前記第 1 リセット電圧線と前記第 2 リセット電圧線は電氣的に接続されており、

前記表示基板は、前記第 3 導電層の前記ベース基板に近い側に位置する半導体層をさらに含み、前記半導体層は接続部を含み、前記接続部は、前記第 1 リセット電圧線をサブ画素におけるリセットトランジスタの第 1 極に電氣的に接続し、

前記接続部の前記ベース基板での正投影が、前記第 1 リセット電圧線の前記ベース基板での正投影及び前記リセットトランジスタの第 1 極の前記ベース基板での正投影のいずれ

50

とも重なり合う、請求項 28 に記載の表示基板。

【請求項 30】

前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第 1 方向に沿う複数の画素行及び第 2 方向に沿う複数の画素列として配列され、前記第 1 方向と前記第 2 方向とは異なり、

前記表示基板は、前記第 1 方向に延びている第 1 ゲートリセット電圧線及び第 1 画素電極リセット電圧線と、前記第 2 方向に延びている第 2 ゲートリセット電圧線及び第 2 画素電極リセット電圧線と、をさらに含み、

前記第 1 ゲートリセット電圧線及び前記第 2 ゲートリセット電圧線は第 2 ピアを介して電氣的に接続され、前記第 1 画素電極リセット電圧線及び前記第 2 画素電極リセット電圧線は第 3 ピアを介して電氣的に接続され、

前記第 1 ゲートリセット電圧線及び前記第 2 ゲートリセット電圧線は、駆動トランジスタのゲートにリセット電圧信号を供給することに用いられ、前記第 1 画素電極リセット電圧線及び第 2 画素電極リセット電圧線は、画素電極にリセット電圧信号を供給することに用いられる、請求項 18～29 のいずれか 1 項に記載の表示基板。

【請求項 31】

前記第 2 画素電極リセット電圧線は、第 4 ピアを介して画素電極リセットトランジスタの第 1 極に電氣的に接続され、前記第 4 ピア及び前記第 3 ピアの前記ベース基板での正投影が互いに分離している、請求項 30 に記載の表示基板。

【請求項 32】

前記第 2 ゲートリセット電圧線は、第 5 ピアを介してゲートリセットトランジスタの第 1 極に電氣的に接続され、前記第 5 ピア及び前記第 2 ピアの前記ベース基板での正投影が互いに分離している、請求項 30 又は 31 に記載の表示基板。

【請求項 33】

前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第 1 方向に沿う複数の画素行及び第 2 方向に沿う複数の画素列として配列され、前記第 1 方向と前記第 2 方向とは異なり、

各サブ画素は第 1 コンデンサ電極を含み、前記表示基板は、前記第 2 方向に延びている複数のデータのデータ線をさらに含み、

前記第 1 方向において隣接する 2 つのサブ画素の第 1 コンデンサ電極は接続部によって接続され、前記複数のデータのデータ線は、それぞれ前記ベース基板に垂直な方向において複数の接続部と重なり合い、

前記接続部は、対応するデータ線と重なり合う第 1 部分と、前記対応するデータ線と重なり合わない第 2 部分と、を含み、

前記第 1 部分の前記第 2 方向の寸法が、前記第 2 部分の前記第 2 方向の寸法よりも大きく、

前記表示基板は、前記第 2 方向に延びているリセット電圧線をさらに含み、前記第 2 部分及び前記リセット電圧線は、前記ベース基板に垂直な方向において重なる、請求項 18～32 のいずれか 1 項に記載の表示基板。

【請求項 34】

表示基板であって、

ベース基板と、

前記ベース基板上に順次設けられた第 1 金属層、第 2 金属層、第 1 導電層、及び第 2 導電層と、を含み、

前記表示基板は、前記ベース基板上に位置しかつ第 1 方向において隣接する第 1 サブ画素及び第 2 サブ画素をさらに含み、前記第 1 サブ画素は第 1 画素回路を有し、前記第 2 サブ画素は第 2 画素回路を有し、前記第 1 画素回路及び第 2 画素回路はそれぞれコンデンサを含み、前記コンデンサは、前記第 2 金属層に位置する第 1 コンデンサ電極と、第 1 金属層に位置する第 2 コンデンサ電極と、を含み、

前記第 1 画素回路の第 1 コンデンサ電極及び前記第 2 画素回路の第 1 コンデンサ電極は

10

20

30

40

50

、互いに接続されて一体型コンデンサ電極ブロックとなり、

前記コンデンサ電極ブロックは第 1 開口部と第 2 開口部を有し、前記第 1 開口部の前記ベース基板での正投影と前記第 1 画素回路の第 2 コンデンサ電極の前記ベース基板での正投影とが重なり合い、前記第 2 開口部の前記ベース基板での正投影と前記第 2 画素回路の第 2 コンデンサ電極の前記ベース基板での正投影とが重なり合い、前記第 1 開口部の前記ベース基板での正投影の面積と前記第 2 開口部の前記ベース基板での正投影の面積とは異なる、表示基板。

【請求項 3 5】

前記第 2 導電層は、第 2 方向に延びているリセット電圧線、第 1 データ線、第 2 データ線、第 1 電源線、及び第 2 電源線を含み、前記第 1 方向と前記第 2 方向とは異なり、

10

前記第 1 画素回路及び前記第 2 画素回路の各々は駆動トランジスタとデータ書き込みトランジスタを含み、

前記リセット電圧線は、前記第 1 画素回路及び前記第 2 画素回路の画素電極又は駆動トランジスタのゲートにリセット電圧を供給するように構成され、前記第 1 データ線及び前記第 2 データ線は、それぞれ前記第 1 画素回路及び前記第 2 画素回路のデータ書き込みトランジスタにデータ電圧を供給するように構成され、

前記第 1 電源線及び前記第 2 電源線それぞれは、前記第 1 画素回路及び前記第 2 画素回路の駆動トランジスタに電源線電圧を供給するように構成され、

前記リセット電圧線は、前記第 1 データ線と前記第 2 データ線との間に位置し、

前記第 1 データ線及び第 2 データ線はいずれも前記第 1 電源線と前記第 2 電源線との間に位置し、

20

前記第 1 電源線及び前記第 2 電源線は、いずれも閉鎖された透かし彫り領域を有する、請求項 3 4 に記載の表示基板。

【請求項 3 6】

前記第 1 サブ画素の画素電極の前記ベース基板での正投影は、前記リセット電圧線、前記第 1 データ線、前記第 2 データ線、前記第 1 電源線、及び前記第 2 電源線の前記ベース基板での正投影のいずれとも重なり合う、請求項 3 5 に記載の表示基板。

【請求項 3 7】

複数のサブ画素をさらに含み、前記複数のサブ画素は、前記ベース基板上に位置し、かつ前記第 1 方向及び第 2 方向において複数の画素行及び複数の画素列として配列され、前記第 1 方向と前記第 2 方向とは異なり、

30

前記第 1 導電層は、前記複数のサブ画素に 1 対 1 で対応して接続され、電源線電圧を供給する複数の接続電極をさらに含み、

前記複数のサブ画素は第 1 サブ画素を含み、前記表示基板は、前記第 2 方向に延びているリセット電圧線をさらに含み、前記リセット電圧線は、前記第 1 サブ画素に接続されてリセット電圧を供給し、

前記第 1 突出部の前記ベース基板での正投影は、前記第 1 サブ画素が対応して接続する接続電極の前記ベース基板での正投影と前記リセット電圧線の前記ベース基板での正投影との間に位置する、請求項 3 4 ～ 3 6 のいずれか 1 項に記載の表示基板。

【請求項 3 8】

40

前記第 1 方向において、前記第 1 突出部と前記リセット電圧線との距離が、前記第 1 突出部と前記接続電極との距離よりも小さい、請求項 3 7 に記載の表示基板。

【請求項 3 9】

前記接続電極は、本体部と、前記第 1 方向に延びている延び部と、を含み、前記延び部の前記第 2 方向の寸法が、前記本体部の前記第 2 方向の寸法よりも小さく、

前記第 2 方向において、前記第 1 導電構造及び前記接続電極の延び部は少なくとも部分的に重なる、請求項 3 8 に記載の表示基板。

【請求項 4 0】

前記第 2 導電層は、前記複数の電源線電極は前記複数の接続電極に 1 対 1 で対応して接続され、前記電源線電圧を供給する複数の電源線電極を含み、

50

各画素列に対応する電源線電極は互いに接続されて一体構造になり、前記第2方向に延びている複数本の電源線を形成する、請求項37～39のいずれか1項に記載の表示基板。

【請求項41】

前記第2導電層は、それぞれ前記複数の画素列に1対1に対応して接続され、データ信号を供給し、前記第2方向に延びている複数本のデータ線をさらに含み、

前記複数本のデータ線は複数のデータ線群に分けられ、各データ線群は2本のデータ線を含み、

隣接する2つの画素列の間には1つのデータ線群が設けられ、隣接するデータ線群の間に2本の電源線が介在している、請求項40に記載の表示基板。

10

【請求項42】

前記第2方向に延びている複数本のリセット電圧線を含み、

前記複数本のリセット電圧線は、前記第1方向に交互に設けられた第1リセット電圧線及び第2リセット電圧線を含み、前記第1リセット電圧線及び前記第2リセット電圧線それぞれは第1リセット電圧及び第2リセット電圧を供給するように構成され、

隣接する第1リセット電圧線と第2リセット電圧線との間には2つの画素列が介在している、請求項41に記載の表示基板。

【請求項43】

前記複数本のリセット電圧線は前記第1導電層に位置し、

隣接するデータ線群の間にある2本の電源線の上に1本の第1リセット電圧線又は第2リセット電圧線が提供され、

前記複数本のリセット電圧線のいずれかの前記ベース基板での正投影と、前記複数本の電源線のいずれかの前記ベース基板での正投影とが分離している、請求項35～42のいずれか1項に記載の表示基板。

20

【請求項44】

前記複数本のリセット電圧線は、前記第2導電層に位置し、複数のデータ線群に1対1に対応して設けられ、各リセット電圧線は、対応するデータ線群の2本のデータ線の上に位置する、請求項42又は43に記載の表示基板。

【請求項45】

隣接するデータ線群の間にある2本の電源線は互いに接続されて一体構造になり、それによって、前記2本の電源線では前記第1方向において隣接する2つの電源線電極は互いに接続されて一体電源線電極群になり、

30

前記表示基板は複数の第2導電構造を含み、前記複数の第2導電構造は前記複数の電源線電極に1対1に対応して設けられ、

前記電源線電極群は透かし彫り領域を含み、前記透かし彫り領域には2つの第2導電構造が設けられる、請求項44に記載の表示基板。

【請求項46】

前記第2導電層は、前記第2方向に延びており、前記透かし彫り領域を2つのサブ透かし彫り領域に分割する接続線をさらに含み、

前記2つの第2導電構造は、それぞれ前記2つのサブ透かし彫り領域内に設けられ、かつ、それぞれ前記接続線の両側に位置する、請求項45に記載の表示基板。

40

【請求項47】

前記第1導電層の前記ベース基板に近い側に位置する第3導電層と、前記第3導電層と前記第2金属層との間に位置する半導体層と、をさらに含み、前記第2金属層は、前記第3導電層の前記ベース基板に近い側に位置し、

前記サブ画素はリセットトランジスタを含み、前記リセットトランジスタは、前記発光素子の第1電極をリセットするように構成され、前記リセットトランジスタは、前記半導体層内に位置するアクティブ層を含み、

前記表示基板は、それぞれ前記第2金属層に位置する第1リセット制御線及び前記第3導電層に位置する第2リセット制御線を含み、前記第1リセット制御線及び前記第2リセ

50

ット制御線は、それぞれ前記リセットトランジスタに対してゲート電圧制御を行うように構成され、前記第1リセット制御線及び前記第2リセット制御線の前記ベース基板での正投影は少なくとも部分的に重なる、請求項37～46のいずれか1項に記載の表示基板。

【請求項48】

表示基板であって、

ベース基板と、

前記ベース基板上に位置する複数のサブ画素と、を含み、

前記複数のサブ画素のそれぞれは発光素子を発光駆動することに用いられる画素回路を含み、前記複数のサブ画素の複数の画素回路は、第1方向に延びている複数の画素行及び第2方向に延びている複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、

10

前記画素回路は駆動トランジスタと蓄積コンデンサを含み、前記駆動トランジスタは、前記発光素子に接続され、前記発光素子を通る駆動電流を制御するように構成され、

前記蓄積コンデンサは第1コンデンサ電極と第2コンデンサ電極を含み、前記第1コンデンサ電極は、第1電源線電圧を受信するように構成され、

前記複数のサブ画素は第1サブ画素を含み、前記第1サブ画素はシールド電極をさらに含み、前記シールド電極及び前記第1サブ画素の第1コンデンサ電極は、一体構造として同層に設けられ、前記シールド電極は第1遮断部と第2遮断部を含み、前記第2遮断部は前記第2方向に沿って前記第1コンデンサ電極から延びており、前記第1遮断部は、前記第1方向に沿って前記第2遮断部から延びており、

20

前記表示基板は半導体パターンをさらに含み、前記半導体パターンは前記駆動トランジスタのアクティブ層と同一の半導体層に位置し、前記ベース基板に垂直な方向において、前記第1遮断部と前記半導体パターンは少なくとも部分的に重なる、表示基板。

【請求項49】

前記画素回路は別のトランジスタをさらに含み、前記別のトランジスタは、ゲートと、第1極と、第2極と、を含み、前記別のトランジスタの第1極及び第2極は、それぞれ前記駆動トランジスタの第2極及びゲートに接続され、

前記半導体パターンは、別のトランジスタのアクティブ層の少なくとも一部として構成される、請求項48に記載の表示基板。

【請求項50】

30

前記別のトランジスタは第1ゲートと第2ゲートを含み、前記別のトランジスタのアクティブ層は、前記ベース基板での正投影と前記第1ゲートの前記ベース基板での正投影とが重なり合う第1部分と、前記ベース基板での正投影と前記第2ゲートの前記ベース基板での正投影とが重なり合う第2部分と、前記第1部分と前記第2部分との間に位置し、前記第1部分と前記第2部分を接続する第3部分と、を含み、

前記半導体パターンは、前記別のトランジスタのアクティブ層の第3部分として構成される、請求項49に記載の表示基板。

【請求項51】

前記第1遮断部は、前記ベース基板での正投影が前記半導体パターンの前記ベース基板での正投影と重なり合う第1副部と、前記ベース基板での正投影が前記半導体パターンの前記ベース基板での正投影と重なり合っておらず第2副部を含み、

40

前記第1副部の前記第2方向の寸法が、前記第2副部の前記第2方向の寸法よりも大きい、請求項50に記載の表示基板。

【請求項52】

前記第1コンデンサ電極の前記ベース基板から離れた側に位置する電源線をさらに含み、前記電源線は、前記第1サブ画素の第1コンデンサ電極に電氣的に接続され、前記第1電源線電圧を供給するように構成される、請求項49～51のいずれか1項に記載の表示基板。

【請求項53】

前記第1サブ画素は接続電極をさらに含み、前記接続電極は、前記第1サブ画素の駆動

50

トランジスタのゲートと別のトランジスタの第2極とを電氣的に接続することに用いられ、

前記第1サブ画素の接続電極の前記ベース基板での正投影と前記第1サブ画素のシールド電極の第2遮断部の前記ベース基板での正投影とは、前記第1方向において少なくとも部分的に重なり合う、請求項52に記載の表示基板。

【請求項54】

前記第1サブ画素の接続電極の前記ベース基板での正投影は、前記第2方向において、前記第1サブ画素の第1コンデンサ電極とシールド電極とで構成される一体構造の前記ベース基板での正投影の範囲内にある、請求項53に記載の表示基板。

【請求項55】

前記画素回路はデータ書き込みトランジスタをさらに含み、前記データ書き込みトランジスタは前記駆動トランジスタに接続され、

前記表示基板はデータ線をさらに含み、前記データ線は、前記データ書き込みトランジスタの第1極に電氣的に接続され、前記データ信号を供給するように構成され、

前記第1サブ画素の第2遮断部の前記ベース基板での正投影は、前記第1サブ画素の接続電極の前記ベース基板での正投影と前記データ線の前記ベース基板での正投影との間にある、請求項53又は54に記載の表示基板。

【請求項56】

請求項1～55のいずれか1項に記載の表示基板を含む、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2021年10月20日に提出された、中国特許出願番号が202111220749.3の優先権を主張しており、当該中国特許出願で開示された内容はここで本願の一部として引用されている。

【0002】

本開示の実施例は、表示基板及び表示装置に関する。

【背景技術】

【0003】

有機発光ダイオード（OLED：Organic Light Emitting Diode）ディスプレイは、能動発光、高コントラスト、高速応答、軽量・薄型など、多くの利点を持ち、主要な次世代ディスプレイの1つとなっている。高解像度製品の急速な発展に伴い、ディスプレイの表示基板の構造設計、例えば画素や信号線の配置などの要求が高まっている。

【発明の概要】

【0004】

本開示の少なくとも1つの実施例は、ベース基板と、前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、第2導電層と、を含む表示基板を提供する。前記第1絶縁層は第1窪み構造を含み、前記第1導電層は第1導電構造を含み、前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、前記第2絶縁層は第1ビアを含み、前記第2導電層は第2導電構造を含み、前記第1ビアの前記ベース基板での正投影と前記第1窪み構造の前記ベース基板での正投影とが、少なくとも部分的に重なり、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第2導電構造は、前記第1導電構造の第1側面の前記少なくとも一部に接触し、前記第1導電構造の第1側面は突出曲面を含み、前記第2導電構造は前記突出曲面の少なくとも一部を覆い、前記第1導電構造は、前記第1窪み構造中に位置し、前記突出曲面に接続された接続部を含み、前記ベース基板の板面に平行する方向において、前記突出曲面は前記接続部に対して前記第1窪み構造の中央部に向かって突出する。

【0005】

いくつかの例では、前記第 2 導電構造は第 1 突出部を含み、前記第 1 突出部の前記ベース基板での正投影が前記第 1 窪み構造の前記ベース基板での正投影内にあり、前記第 1 突出部は前記第 1 導電構造の第 1 側面の少なくとも一部に接触する。

【0006】

いくつかの例では、前記第 1 窪み構造の前記ベース基板での正投影と前記第 1 ピアの前記ベース基板での正投影とが、少なくとも部分的に重なる。

【0007】

いくつかの例では、前記第 1 導電構造は前記底面と前記頂面との間に位置する第 2 側面をさらに含み、前記第 1 側面は前記第 2 側面に対向し、前記第 1 側面の前記ベース基板に垂直な方向の寸法が、前記第 2 側面の前記ベース基板に垂直な方向の寸法よりも大きい。

10

【0008】

いくつかの例では、前記第 1 側面は、前記第 1 絶縁層の前記ベース基板から離れた側に位置する第 1 側面部分を含み、前記第 1 側面部分における前記第 2 導電構造で覆われていない部分の前記ベース基板に垂直な方向の寸法が、前記第 2 側面の前記ベース基板に垂直な方向の寸法よりも大きい。

【0009】

いくつかの例では、前記第 1 導電構造の頂面における前記第 1 側面に直接接続された少なくとも一部は前記第 2 導電層から分離している。

【0010】

いくつかの例では、前記表示基板は第 1 断面を有し、前記第 1 窪み構造の前記第 1 断面内であって基準方向の寸法は b とされ、前記基準方向は前記ベース基板の板面に平行し、前記第 1 断面内において、前記第 1 ピアと前記第 1 窪み構造との重なり領域の前記基準方向の寸法は c とされ、前記第 1 導電構造の第 1 側面における前記第 2 導電構造で覆われた部分の、ベース基板に垂直な方向の寸法は d とされ、前記第 1 導電構造における前記第 1 絶縁層の前記ベース基板から離れた側に位置し、かつ前記第 2 導電構造に接触する接触部の、前記ベース基板に垂直な方向の寸法は e とされ、 c/b は 0.1 よりも大きく、 d/e は 0.3 よりも大きい。

20

【0011】

いくつかの例では、 c/b は 0.15 よりも大きく、 d/e は 0.8 よりも小さい。

【0012】

いくつかの例では、 c/b は 0.19 よりも小さく、 d/e は 0.5 よりも小さい。

30

【0013】

いくつかの例では、前記第 1 断面内において、前記第 1 窪み構造の最大深さを i 、前記第 1 窪み構造の前記第 1 断面内における 1 つの側辺と前記ベース基板の板面とがなす角を j 、前記第 2 導電構造における前記第 1 導電構造に接触する部分の、前記ベース基板に垂直な方向の厚さを k とすると、 $d/e < 0.0273 * i * \sin(j) / k$ である。

【0014】

いくつかの例では、 $c/b < 0.0102 * i * \sin(j) / k$ である。

【0015】

いくつかの例では、前記第 1 側面の前記ベース基板に垂直な方向の寸法を n 、前記第 2 側面の前記ベース基板に垂直な方向の寸法を e とすると、 $0.1 * (n/e) / \sin(j) > (d/n)$ である。

40

【0016】

いくつかの例では、 $0.08 * (n/e) / \sin(j) > d/n$ である。

【0017】

いくつかの例では、前記接触部は前記第 1 窪み構造に面する第 2 突出部を含み、前記第 2 突出部の前記ベース基板での正投影が前記第 1 窪み構造の前記ベース基板での正投影内にあり、前記第 1 断面内において、前記第 2 突出部の前記ベース基板に垂直な方向の寸法が、前記第 1 導電層における前記第 1 窪み構造の側面に位置する部分の、前記第 1 窪み構造の前記側面に垂直な方向の寸法よりも大きい。

50

【0018】

いくつかの例では、第1絶縁層は、第1窪み構造と間隔を置いた第2窪み構造をさらに含み、前記第1導電構造は前記底面と前記頂面との間に位置する第2側面をさらに含み、前記第1側面は前記第2側面に対向し、前記第2側面の前記ベース基板での正投影と前記第2窪み構造の前記ベース基板での正投影とが、少なくとも部分的に重なり、前記第1ビアはさらに前記第2側面の少なくとも一部を露出させ、前記第2導電構造は前記第1導電構造の第2側面の少なくとも一部を覆う。

【0019】

いくつかの例では、前記ベース基板に垂直な方向において、前記第1導電構造の第1側面における前記第2導電構造で覆われた部分の寸法と前記第2側面における前記第2導電構造で覆われた部分の寸法とは異なる。

10

【0020】

いくつかの例では、前記第1ビアの前記ベース基板での正投影と前記第1窪み構造の前記ベース基板での正投影との重なり寸法と、前記第1ビアの前記ベース基板での正投影と前記第2窪み構造の前記ベース基板での正投影との重なり寸法とは異なる。

【0021】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、第2導電層と、を含み、前記第1導電層は第1導電構造を含み、前記第2導電層は第2導電構造を含み、前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、前記第2絶縁層は第1ビアを含み、前記第2導電構造は前記第1ビアを介して前記第1導電構造に接触し、前記第2導電構造は第1突出部を含み、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第1突出部は、前記第1導電構造の第1側面の前記少なくとも一部に接触し、前記第1絶縁層は、互いに離間している第1窪み構造及び第2窪み構造を含み、前記第1導電構造は前記底面と前記頂面との間に位置する第2側面をさらに含み、前記第1側面は前記第2側面に対向し、前記第1導電構造の少なくとも一部は、前記第1窪み構造及び前記第2窪み構造のそれぞれに位置する、表示基板を提供する。

20

【0022】

いくつかの例では、前記第1導電構造は、前記第1窪み構造に面する第2突出部を含み、前記第2突出部の前記ベース基板での正投影が前記第1窪み構造の前記ベース基板での正投影内にある。

30

【0023】

いくつかの例では、前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記第1導電層は、前記第1導電構造と間隔を置いて配置された第1信号線及び第2信号線をさらに含み、前記第1信号線及び前記第2信号線は前記第2方向に延びており、前記第1突出部の前記ベース基板での正投影と前記第1信号線の前記ベース基板での正投影との前記第1方向の距離をし、前記第2信号線の前記ベース基板での正投影と前記第1信号線の前記ベース基板での正投影との前記第1方向の距離を m とし、前記表示基板は、前記ベース基板に垂直な第1断面を含み、前記第1断面内において、前記第1導電構造における前記第1絶縁層の前記ベース基板から離れた側に位置する部分の、前記ベース基板に垂直な方向の寸法を e とし、前記第1側面における前記第1突出部で覆われた部分の前記ベース基板に垂直な方向の寸法を d とすると、 $l/m > 0.9(d/e)$ である。

40

【0024】

いくつかの例では、 $l/m > 1.2 * (d/e)$ である。

【0025】

いくつかの例では、前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数

50

の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記第2絶縁層は複数のビアを含み、前記複数のビアは前記第1方向及び前記第2方向において複数のビア行及び複数のビア列として配列され、前記複数のビアは複数の前記第1ビアを含み、前記複数のビア行は第1ビア行を含み、前記第1ビア行には、ビア1つおきに3つの連続する前記第1ビアは存在する。

【0026】

いくつかの例では、前記複数のビア列は第1ビア列を含み、前記第1ビア列には、すべてのビアは前記第1ビアであるか、又はビア1つおきに1つの前記第1ビアは存在する。

【0027】

いくつかの例では、前記複数の画素列は、前記第1方向において隣接する第1画素列及び第2画素列を含み、前記第1信号線は、前記第1画素列のサブ画素に接続され、第1信号を供給し、前記第2信号線は、前記第2画素列のサブ画素に接続され、第2信号を供給し、前記第1画素列の発光素子では、前記ベース基板に近い側の電極の前記ベース基板での正投影が、前記第1信号線の前記ベース基板での正投影及び前記第2信号線の前記ベース基板での正投影のそれぞれと少なくとも部分的に重なる。

【0028】

いくつかの例では、前記表示基板は、前記画素電極の前記ベース基板から離れた側に位置する画素定義層を含み、前記画素定義層は複数の画素開口部領域を含み、前記複数の画素開口部領域は前記複数のサブ画素に1対1で対応し、前記複数の画素開口部領域の前記ベース基板での正投影が、前記第1突出部の前記ベース基板での正投影から分離している。

【0029】

いくつかの例では、前記画素定義層は複数の凸起部を含み、前記複数の凸起部は前記複数の画素開口部領域の間に位置し、前記複数の凸起部は、同一の画素開口部領域を取り囲んで設けられた第1凸起部、第2凸起部、及び第3凸起部を含み、前記第1凸起部、前記第2凸起部、及び前記第3凸起部の前記ベース基板での正投影の中心が接続されて三角形となる。

【0030】

いくつかの例では、前記第1凸起部は隣接する4つの画素開口部領域の間に位置し、前記第2凸起部及び前記第3凸起部は、それぞれ隣接する2つの画素開口部領域の間に位置し、前記第1凸起部の前記ベース基板での正投影の面積が、前記第2凸起部の前記ベース基板での正投影の面積及び前記第3凸起部の前記ベース基板での正投影の面積のそれぞれよりも大きい。

【0031】

いくつかの例では、前記表示基板は、前記第1導電層の前記ベース基板に近い側に位置する第3導電層をさらに含み、前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記第3導電層はシールド電極と第1コンデンサ電極を含み、前記シールド電極は、前記第1方向に延びている部分と、前記シールド電極が存在するサブ画素の前記第1コンデンサ電極に向かって延びている部分と、を含む。

【0032】

いくつかの例では、前記表示基板は、前記第1導電層の前記ベース基板に近い側に位置する第3導電層をさらに含み、前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記第1導電層は、前記第2方向に延びている第1リセット電圧線を含み、前記第3導電層は、前記第1方向に延びている第2リセット電圧線を含み、前記第1リセット電圧線と前記第2リセット電圧線は電氣的に接続されており、前記表示基板は、前記第3導電層の前記ベース基板に近い側に位置する半導体層をさらに含み、前記半導体層は接続部を含み、前記接続

10

20

30

40

50

部は、前記第1リセット電圧線をサブ画素におけるリセットトランジスタの第1極に電氣的に接続し、前記接続部の前記ベース基板での正投影が、前記第1リセット電圧線の前記ベース基板での正投影及び前記リセットトランジスタの第1極の前記ベース基板での正投影のいずれとも重なり合う。

【0033】

いくつかの例では、前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記表示基板は、前記第1方向に延びている第1ゲートリセット電圧線及び第1画素電極リセット電圧線と、前記第2方向に延びている第2ゲートリセット電圧線及び第2画素電極リセット電圧線と、をさらに含み、前記第1ゲートリセット電圧線及び前記第2ゲートリセット電圧線は第2ビアを介して電氣的に接続され、前記第1画素電極リセット電圧線及び前記第2画素電極リセット電圧線は第3ビアを介して電氣的に接続され、前記第1ゲートリセット電圧線及び前記第2ゲートリセット電圧線は、駆動トランジスタのゲートにリセット電圧信号を供給することに用いられ、前記第1画素電極リセット電圧線及び第2画素電極リセット電圧線は、画素電極にリセット電圧信号を供給することに用いられる。

10

【0034】

いくつかの例では、前記第2画素電極リセット電圧線は、第4ビアを介して画素電極リセットトランジスタの第1極に電氣的に接続され、前記第4ビア及び前記第3ビアの前記ベース基板での正投影が互いに分離している。

20

【0035】

いくつかの例では、前記第2ゲートリセット電圧線は、第5ビアを介してゲートリセットトランジスタの第1極に電氣的に接続され、前記第5ビア及び前記第2ビアの前記ベース基板での正投影が互いに分離している。

【0036】

いくつかの例では、前記表示基板は、前記ベース基板上に位置する複数のサブ画素をさらに含み、前記複数のサブ画素は、第1方向に沿う複数の画素行及び第2方向に沿う複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、各サブ画素は第1コンデンサ電極を含み、前記表示基板は、前記第2方向に延びている複数の本のデータ線をさらに含み、前記第1方向において隣接する2つのサブ画素の第1コンデンサ電極は接続部によって接続され、前記複数の本のデータ線は、それぞれ前記ベース基板に垂直な方向において複数の接続部と重なり合い、前記接続部は、対応するデータ線と重なり合う第1部分と、前記対応するデータ線と重なり合わない第2部分と、を含み、前記第1部分の前記第2方向の寸法が、前記第2部分の前記第2方向の寸法よりも大きく、前記表示基板は、前記第2方向に延びているリセット電圧線をさらに含み、前記第2部分及び前記リセット電圧線は、前記ベース基板に垂直な方向において重なる。

30

【0037】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に順次設けられた第1金属層、第2金属層、第1導電層、及び第2導電層と、を含み、前記表示基板は、前記ベース基板上に位置しかつ第1方向において隣接する第1サブ画素及び第2サブ画素をさらに含み、前記第1サブ画素は第1画素回路を有し、前記第2サブ画素は第2画素回路を有し、前記第1画素回路及び第2画素回路はそれぞれコンデンサを含み、前記コンデンサは、前記第2金属層に位置する第1コンデンサ電極と、第1金属層に位置する第2コンデンサ電極と、を含み、前記第1画素回路の第1コンデンサ電極及び前記第2画素回路の第1コンデンサ電極は、互いに接続されて一体型コンデンサ電極ブロックとなり、前記コンデンサ電極ブロックは第1開口部と第2開口部を有し、前記第1開口部の前記ベース基板での正投影と前記第1画素回路の第2コンデンサ電極の前記ベース基板での正投影とが重なり合い、前記第2開口部の前記ベース基板での正投影と前記第2画素回路の第2コンデンサ電極の前記ベース基板での正投影とが重なり合い、前記第1開口部の前記ベース基板での正投影の面積と前記第2開口部の前記ベース基板での正投影の面積とは異な

40

50

る、表示基板を提供する。

【0038】

いくつかの例では、前記第2導電層は、第2方向に延びているリセット電圧線、第1データ線、第2データ線、第1電源線、及び第2電源線を含み、前記第1方向と前記第2方向とは異なり、前記第1画素回路及び前記第2画素回路の各々は駆動トランジスタとデータ書き込みトランジスタを含み、前記リセット電圧線は、前記第1画素回路及び前記第2画素回路の画素電極又は駆動トランジスタのゲートにリセット電圧を供給するように構成され、前記第1データ線及び前記第2データ線は、それぞれ前記第1画素回路及び前記第2画素回路のデータ書き込みトランジスタにデータ電圧を供給するように構成され、前記第1電源線及び前記第2電源線それぞれは、前記第1画素回路及び前記第2画素回路の駆動トランジスタに電源線電圧を供給するように構成され、前記リセット電圧線は、前記第1データ線と前記第2データ線との間に位置し、前記第1データ線及び第2データ線はいずれも前記第1電源線と前記第2電源線との間に位置し、前記第1電源線及び前記第2電源線は、いずれも閉鎖された透かし彫り領域を有する。

10

【0039】

いくつかの例では、前記第1サブ画素の画素電極の前記ベース基板での正投影は、前記リセット電圧線、前記第1データ線、前記第2データ線、前記第1電源線、及び前記第2電源線の前記ベース基板での正投影のいずれとも重なり合う。

【0040】

いくつかの例では、前記表示基板複数のサブ画素をさらに含み、前記複数のサブ画素は、前記ベース基板上に位置し、かつ前記第1方向及び第2方向において複数の画素行及び複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記第1導電層は複数の接続電極をさらに含み、前記複数の接続電極は、前記複数のサブ画素に1対1で対応して接続され、電源線電圧を供給し、前記複数のサブ画素は第1サブ画素を含み、前記表示基板は、前記第2方向に延びているリセット電圧線をさらに含み、前記リセット電圧線は、前記第1サブ画素に接続されてリセット電圧を供給し、前記第1突出部の前記ベース基板での正投影は、前記第1サブ画素が対応して接続する接続電極の前記ベース基板での正投影と前記リセット電圧線の前記ベース基板での正投影との間に位置する。

20

【0041】

いくつかの例では、前記第1方向において、前記第1突出部と前記リセット電圧線との距離が、前記第1突出部と前記接続電極との距離よりも小さい。

30

【0042】

いくつかの例では、前記接続電極は、本体部と、前記第1方向に延びている延び部と、を含み、前記延び部の前記第2方向の寸法が、前記本体部の前記第2方向の寸法よりも小さく、前記第2方向において、前記第1導電構造及び前記接続電極の延び部は少なくとも部分的に重なる。

【0043】

いくつかの例では、前記第2導電層は複数の電源線電極を含み、前記複数の電源線電極は前記複数の接続電極に1対1で対応して接続され、前記電源線電圧を供給し、各画素列に対応する電源線電極は互いに接続されて一体構造になり、前記第2方向に延びている複数の本の電源線を形成する。

40

【0044】

いくつかの例では、前記第2導電層は前記第2方向に延びている複数の本のデータ線をさらに含み、前記複数の本のデータ線は、それぞれ前記複数の画素列に1対1で対応して接続され、データ信号を供給し、前記複数の本のデータ線は複数のデータ線群に分けられ、各データ線群は2本のデータ線を含み、隣接する2つの画素列の間には1つのデータ線群が設けられ、隣接するデータ線群の間に2本の電源線が介在している。

【0045】

いくつかの例では、前記表示基板は、前記第2方向に延びている複数の本のリセット電圧線をさらに含み、前記複数の本のリセット電圧線は、前記第1方向に交互に設けられた第1

50

リセット電圧線及び第2リセット電圧線を含み、前記第1リセット電圧線及び前記第2リセット電圧線は、それぞれ、第1リセット電圧及び第2リセット電圧を供給するように構成され、隣接する第1リセット電圧線と第2リセット線との間には2つの画素列が介在している。

【0046】

いくつかの例では、前記複数本のリセット電圧線は前記第1導電層に位置し、隣接するデータ線群の間にある2本の電源線の上に1本の第1リセット電圧線又は第2リセット電圧線が提供され、前記複数本のリセット電圧線のいずれかの前記ベース基板での正投影と、前記複数本の電源線のいずれかの前記ベース基板での正投影とが分離している。

【0047】

いくつかの例では、前記複数本のリセット電圧線は、前記第2導電層に位置し、複数のデータ線群に1対1で対応して設けられ、各リセット電圧線は、対応するデータ線群の2本のデータ線の上に位置する。

【0048】

いくつかの例では、隣接するデータ線群の間にある2本の電源線は互いに接続されて一体構造になり、それによって、前記2本の電源線では前記第1方向において隣接する2つの電源線電極は互いに接続されて一体電源線電極群になり、前記表示基板は複数の第2導電構造を含み、前記複数の第2導電構造は前記複数の電源線電極に1対1で対応して設けられ、前記電源線電極群は透かし彫り領域を含み、前記透かし彫り領域には2つの第2導電構造が設けられる。

【0049】

いくつかの例では、前記第2導電層は接続線をさらに含み、前記接続線は前記第2方向に延びており、前記透かし彫り領域を2つのサブ透かし彫り領域に分割し、前記2つの第2導電構造は、それぞれ前記2つのサブ透かし彫り領域内に設けられ、かつ、それぞれ前記接続線の両側に位置する。

【0050】

いくつかの例では、前記表示基板は、前記第1導電層の前記ベース基板に近い側に位置する第3導電層と、前記第3導電層と前記第2金属層との間に位置する半導体層と、をさらに含み、前記第2金属層は、前記第3導電層の前記ベース基板に近い側に位置し、前記サブ画素はリセットトランジスタを含み、前記リセットトランジスタは、前記発光素子の第1電極をリセットするように構成され、前記リセットトランジスタは、前記半導体層内に位置するアクティブ層を含み、前記表示基板は、それぞれ前記第2金属層に位置する第1リセット制御線及び前記第3導電層に位置する第2リセット制御線を含み、前記第1リセット制御線及び前記第2リセット制御線は、それぞれ前記リセットトランジスタに対してゲート電圧制御を行うように構成され、前記第1リセット制御線及び前記第2リセット制御線の前記ベース基板での正投影は少なくとも部分的に重なる。

【0051】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に位置する複数のサブ画素と、を含み、前記複数のサブ画素のそれぞれは画素回路を含み、前記画素回路は発光素子を発光駆動することに用いられ、前記複数のサブ画素の複数の画素回路は、第1方向に延びている複数の画素行及び第2方向に延びている複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記画素回路は駆動トランジスタと蓄積コンデンサを含み、前記駆動トランジスタは、前記発光素子に接続され、前記発光素子を通る駆動電流を制御するように構成され、前記蓄積コンデンサは第1コンデンサ電極と第2コンデンサ電極を含み、前記第1コンデンサ電極は、第1電源線電圧を受信するように構成され、前記複数のサブ画素は第1サブ画素を含み、前記第1サブ画素はシールド電極をさらに含み、前記シールド電極及び前記第1サブ画素の第1コンデンサ電極は、一体構造として同層に設けられ、前記シールド電極は第1遮断部と第2遮断部を含み、前記第2遮断部は前記第2方向に沿って前記第1コンデンサ電極から延びており、前記第1遮断部は、前記第1方向に沿って前記第2遮断部から延びており、前記表示基板は半導体パタ

10

20

30

40

50

ーンをさらに含み、前記半導体パターンは前記駆動トランジスタのアクティブ層と同一の半導体層に位置し、前記ベース基板に垂直な方向において、前記第1遮断部と前記半導体パターンは少なくとも部分的に重なる、表示基板を提供する。

【0052】

いくつかの例では、前記画素回路は別のトランジスタをさらに含み、前記別のトランジスタは、ゲートと、第1極と、第2極と、を含み、前記別のトランジスタの第1極及び第2極は、それぞれ前記駆動トランジスタの第2極及びゲートに接続され、前記半導体パターンは、別のトランジスタのアクティブ層の少なくとも一部として構成される、表示基板を提供する。

【0053】

いくつかの例では、前記別のトランジスタは第1ゲートと第2ゲートを含み、前記別のトランジスタのアクティブ層は、前記ベース基板での正投影と前記第1ゲートの前記ベース基板での正投影とが重なり合う第1部分と、前記ベース基板での正投影と前記第2ゲートの前記ベース基板での正投影とが重なり合う第2部分と、前記第1部分と前記第2部分との間に位置し、前記第1部分と前記第2部分を接続する第3部分と、を含み、前記半導体パターンは、前記別のトランジスタのアクティブ層の第3部分として構成される。

【0054】

いくつかの例では、前記第1遮断部は第1副部と第2副部を含み、前記第1副部の前記ベース基板での正投影は、前記半導体パターンの前記ベース基板での正投影と重なり合い、前記第2副部の前記ベース基板での正投影は、前記半導体パターンの前記ベース基板での正投影と重なり合っておらず、前記第1副部の前記第2方向の寸法が、前記第2副部の前記第2方向の寸法よりも大きい。

【0055】

いくつかの例では、前記表示基板は、前記第1コンデンサ電極の前記ベース基板から離れた側に位置する電源線をさらに含み、前記電源線は、前記第1サブ画素の第1コンデンサ電極に電氣的に接続され、前記第1電源線電圧を供給するように構成される。

【0056】

いくつかの例では、前記第1サブ画素は接続電極をさらに含み、前記接続電極は、前記第1サブ画素の駆動トランジスタのゲートと別のトランジスタの第2極とを電氣的に接続することに用いられ、前記第1サブ画素の接続電極の前記ベース基板での正投影と前記第1サブ画素のシールド電極の第2遮断部の前記ベース基板での正投影とは、前記第1方向において少なくとも部分的に重なり合う。

【0057】

いくつかの例では、前記第1サブ画素の接続電極の前記ベース基板での正投影は、前記第2方向において、前記第1サブ画素の第1コンデンサ電極とシールド電極とで構成される一体構造の前記ベース基板での正投影の範囲内にある。

【0058】

いくつかの例では、前記画素回路はデータ書き込みトランジスタをさらに含み、前記データ書き込みトランジスタは前記駆動トランジスタに接続され、前記表示基板はデータ線をさらに含み、前記データ線は、前記データ書き込みトランジスタの第1極に電氣的に接続され、前記データ信号を供給するように構成され、前記第1サブ画素の第2遮断部の前記ベース基板での正投影が、前記第1サブ画素の接続電極の前記ベース基板での正投影と前記データ線の前記ベース基板での正投影との間にある。

【0059】

本開示の少なくとも1つの実施例はまた、以上のいずれかの実施例による表示基板を含む、表示装置を提供する。

【0060】

本開示の実施例の技術的解決手段をより明確に説明するために、以下では、実施例の図面を簡単に説明するが、以下の説明における図面は本開示の一部の実施例に過ぎず、本開示を限定するものではないことは明らかである。

10

20

30

40

50

【図面の簡単な説明】

【0061】

【図1】表示基板を示す模式図である。

【図2】本開示の少なくとも1つの実施例による表示基板の模式図1である。

【図3】本開示の少なくとも1つの実施例による表示基板の模式図2である。

【図4】本開示の少なくとも1つの実施例による表示基板の模式図3である。

【図5A】本開示の少なくとも1つの実施例による画素回路の模式図である。

【図5B】図5Aに示す画素回路の具体的な実装例の回路図である。

【図5C】本開示の少なくとも1つの実施例による画素回路のタイミング信号図である。

【図6A】本開示の少なくとも1つの実施例による表示基板の模式図4である。

10

【図6B】図6Aの切断線A-A'に沿う断面図である。

【図7】本開示の少なくとも1つの実施例による表示基板の模式図5である。

【図8A】本開示の少なくとも1つの実施例による表示基板の模式図6である。

【図8B】本開示の少なくとも1つの実施例による表示基板の模式図7である。

【図8C】本開示の少なくとも1つの実施例による表示基板の模式図8である。

【図9A】本開示の少なくとも1つの実施例による表示基板の模式図9である。

【図9B】本開示の少なくとも1つの実施例による表示基板の模式図10である。

【図9C】本開示の少なくとも1つの実施例による表示基板の模式図11である。

【図9D】本開示の少なくとも1つの実施例による表示基板の模式図12である。

【図10A】本開示の少なくとも1つの実施例による表示基板の模式図13である。

20

【図10B】本開示の少なくとも1つの実施例による表示基板の模式図14である。

【図10C】本開示の少なくとも1つの実施例による表示基板の模式図15である。

【図11】本開示の少なくとも1つの実施例による表示基板の模式図16である。

【図12A】本開示の少なくとも1つの実施例による表示基板の模式図17である。

【図12B】本開示の少なくとも1つの実施例による表示基板の模式図18である。

【図12C】本開示の少なくとも1つの実施例による表示基板の模式図19である。

【図13A】本開示の少なくとも1つの実施例による表示基板の模式図20である。

【図13B】図13Aの切断線B-B'に沿う断面図である。

【図14】本開示の少なくとも1つの実施例による表示基板の模式図21である。

【図15】本開示の少なくとも1つの実施例による表示基板の模式図22である。

30

【図16A】本開示の少なくとも1つの実施例による表示基板の模式図23である。

【図16B】本開示の少なくとも1つの実施例による表示基板の模式図24である。

【図16C】本開示の少なくとも1つの実施例による表示基板の模式図25である。

【図17A】本開示の少なくとも1つの実施例による表示基板の模式図26である。

【図17B】本開示の少なくとも1つの実施例による表示基板の模式図27である。

【図18A】本開示の少なくとも1つの実施例による表示基板の模式図28である。

【図18B】本開示の少なくとも1つの実施例による表示基板の模式図29である。

【図18C】本開示の少なくとも1つの実施例による表示基板の模式図30である。

【図19A】本開示の少なくとも1つの実施例による表示基板の模式図31である。

【図19B】本開示の少なくとも1つの実施例による表示基板の模式図32である。

40

【図19C】本開示の少なくとも1つの実施例による表示基板の模式図33である。

【図20】本開示の少なくとも1つの実施例による表示パネルの模式図である。

【図21】本開示の少なくとも1つの実施例によるタッチ表示パネルの模式図である。

【図22】本開示の少なくとも1つの実施例による表示装置の模式図である。

【発明を実施するための形態】

【0062】

本開示の実施例の目的、技術的解決手段、利点をより明確にするために、以下、本開示の実施例の技術的解決手段について、本開示の実施例の図面を参照して明確かつ完全に説明する。明らかに、説明される実施例は、本開示の一部の実施例であり、全ての実施例ではない。記載された本開示の実施例に基づいて、当業者が創造的な労力を必要とせずに取

50

得する他のすべての実施例は、本開示の保護範囲に属する。

【0063】

別段に定義されない限り、本開示で使用される技術用語又は科学用語は、当業者が理解する一般的な意味であるべきである。本開示で使用される「第1」、「第2」同様の用語は、いかなる順序、数又は重要性をも表すものではなく、単に異なる構成要素を区別するために使用される。同様に、「1つ」や「一」あるいは「該」などの類似語も、数量を制限することを示すのではなく、少なくとも1つ存在することを示している。「含む」又は「備える」等のような用語は、その用語の前に出現する要素又は物が、その用語の後に出現する要素又は物及びその均等物を包含し、他の要素又は物を排除しないことを意味する。「接続」や「連結」などのような用語は、物理的あるいは機械的な接続に限定されるものではなく、直接的であるか間接的であるかを問わず、電氣的な接続を含んでもよい。「上」、「下」、「左」、「右」等は相対的な位置関係のみを表すものであり、この相対的な位置関係は、記述対象の絶対的な位置が変更された場合にも、それに応じて変更されることがある。

10

【0064】

図1は表示基板の一例の構造模式図である。図1に示すように、該表示基板は、ベース基板（図示せず）上に順次設けられた第1絶縁層301'、第1導電層201'、第2絶縁層302'、及び第2導電層202'を含む。該第2絶縁層302'には、ビアV1'が形成されており、該第2導電層202'は該ビアV1'を介して該第1導電層201'に電氣的に接続される。

20

【0065】

図1に示すように、該第2導電層202'は第1導電層201'の上面にラップされるだけで、ラップ面積が限られており、接触抵抗が大きく、電気信号の高速伝送に不利である。

【0066】

本開示の少なくとも1つの実施例は、ベース基板と、前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、及び第2導電層と、を含む表示基板を提供する。前記第1絶縁層は第1窪み構造を含み、前記第1導電層は第1導電構造を含み、前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、前記第2絶縁層は第1ビアを含み、前記第2導電層は第2導電構造を含み、前記第2導電構造は第1ビアを介して前記第1導電構造に接触し、前記第1ビアの前記ベース基板での正投影と前記第1窪み構造の前記ベース基板での正投影とが、少なくとも部分的に重なり、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第2導電構造は、前記第1導電構造の第1側面の前記少なくとも一部に接触する。

30

【0067】

本開示の少なくとも1つの実施例による表示基板では、第1ビアが設けられることで、前記第1導電構造の第1側面の少なくとも一部を露出させ、それによって、第2導電構造は、第1導電構造の上面に加えて、第1導電構造の第1側面と接触し、第1導電構造と第2導電構造との接触面積を効果的に増大し、接触抵抗を低下させ、電気信号の伝送効率を高めるだけでなく、該第1導電構造の側面を保護する役割を果たし、例えば該側面を水蒸気浸食から保護することもでき、さらに、このような構成により、第2導電構造の縦方向（ベース基板に垂直な方向）での断面積を増大し、第1導電構造が基板の他の導電構造に与える干渉を効果的にシールドするとともに、該第2導電構造の両側にある信号線同士の干渉も低減する。

40

【0068】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、及び第2導電層と、を含む表示基板を提供する。前記表示基板は、複数のサブ画素をさらに含み、前記複数のサブ画素は、前記ベース基板上に位置し、第1方向及び第2方向において複数の画素行及び複数の画素列として

50

排列され、前記第1方向と前記第2方向とは異なる。前記第1導電層は、互いに離間している第1導電構造、第1信号線、及び第2信号線を含み、前記第1信号線及び前記第2信号線は前記第2方向に延びており、前記第2導電層は第2導電構造を含み、前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、前記第2絶縁層は第1ビアを含み、前記第2導電構造は前記第1ビアを介して前記第1導電構造に接触し、前記第2導電構造は第1突出部を含み、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第1突出部は、前記第1導電構造の第1側面の前記少なくとも一部に接触し、前記第1突出部の前記ベース基板での正投影が、前記第1信号線の前記ベース基板での正投影と前記第2信号線の前記ベース基板での正投影との間にある。

10

【0069】

本開示の少なくとも1つの実施例による表示基板では、第2導電構造の第1突出部が第1導電構造の第1側面に接触するように構成されることによって、第1導電構造と第2導電構造との接触面積を増大し、両方の接触抵抗を低下させ、また、該第2導電構造の縦方向断面積を効果的に増大し、第1導電構造が基板の他の導電構造に与える干渉を効果的にシールドし、また、該第1突出部が第1信号線と第2信号線との間に設けられることによって、第1信号線と第2信号線との間の互相干渉も低減できる。

【0070】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、及び第2導電層と、前記第2導電層の前記ベース基板から離れた側に位置する画素電極と、を含む、表示基板を提供し、前記画素電極は発光素子の第1電極として構成され、前記画素電極は前記第2導電構造に電氣的に接続される。前記第1絶縁層は第1窪み構造を含み、前記第1導電層は第1導電構造を含み、前記第2導電層は第2導電構造を含み、前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、前記第2絶縁層は第1ビアを含み、前記第2導電構造は前記第1ビアを介して前記第1導電構造に接触し、前記第1ビアの前記ベース基板での正投影と前記第1窪み構造の前記ベース基板での正投影とが、少なくとも部分的に重なり、前記第2導電構造は第1突出部を含み、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第1突出部は、前記第1導電構造の第1側面の前記少なくとも一部に接触する。

20

30

【0071】

本開示の少なくとも1つの実施例による表示基板では、第2導電構造の第1突出部が第1導電構造の第1側面に接触するように構成されることによって、第1導電構造と第2導電構造との接触面積を効果的に増大し、接触抵抗を低下させ、電気信号の伝送効率を高め、さらに、この構成により、第2導電構造の縦方向（ベース基板に垂直な方向）での断面積を増大し、第1導電構造が基板の他の導電構造に与える干渉をシールドするだけでなく、該第2導電構造の両側にある信号線同士の互相干渉も低減する。

【0072】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、第2導電層と、を含む表示基板を提供する。前記第1絶縁層は第1窪み構造を含み、前記第1導電層は第1導電構造を含み、前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、前記第2絶縁層は第1ビアを含み、前記第2導電層は第2導電構造を含み、前記第1ビアの前記ベース基板での正投影と前記第1窪み構造の前記ベース基板での正投影とが、少なくとも部分的に重なり、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第2導電構造は、前記第1導電構造の第1側面の前記少なくとも一部に接触し、前記第1導電構造の第1側面は突出曲面を含み、前記第2導電構造は前記突出曲面の少なくとも一部を覆い、前記第1導電構造は、前記第1窪み構造中に位置し、前記突出曲面に接続された接続部を含み、前記ベース基板の板面に平行する方向において、前記突出曲面は前記接続部に対して前記第

40

50

1 窪み構造の中央部に向かって突出する。

【0073】

本開示の少なくとも1つの実施例による表示基板では、上記の構成によって、第1導電構造と第2導電構造との接触面積を効果的に増大し、接触抵抗を低下させることができるだけでなく、該第2導電構造の該第1側面とラップした部分の傾きを効果的に低減させ、該第2導電構造が急勾配すぎることによって破断することを回避する。

【0074】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に順次設けられた第1絶縁層、第1導電層、第2絶縁層、第2導電層と、を含む表示基板を提供する。前記第1導電層は第1導電構造を含み、前記第2導電層は第2導電構造を含み、前記第1導電構造は、前記ベース基板に近い底面と、前記ベース基板から離れた頂面と、前記底面と前記頂面との間に位置する第1側面と、を含み、前記第2絶縁層は第1ビアを含み、前記第2導電構造は前記第1ビアを介して前記第1導電構造に接触し、前記第2導電構造は第1突出部を含み、前記第1ビアは前記第1導電構造の第1側面の少なくとも一部を露出させ、前記第1突出部は、前記第1導電構造の第1側面の前記少なくとも一部に接触し、前記第1絶縁層は、互いに離間している第1窪み構造及び第2窪み構造を含み、前記第1導電構造は前記底面と前記頂面との間に位置する第2側面をさらに含み、前記第1側面は前記第2側面に対向し、前記第1導電構造の少なくとも一部は、前記第1窪み構造及び前記第2窪み構造のそれぞれに位置する。

【0075】

本開示の少なくとも1つの実施例による表示基板では、上記の構成によって、第1導電構造の両側に対する第2絶縁層の接触関係を同様にし、第1導電構造の両側で受ける力を均一にし、第2絶縁層が第1導電構造から分離することを回避し、また、第1導電構造の少なくとも一部が第1窪み構造と第2窪み構造に位置することによって、第1導電構造と第1絶縁層との接続強度を高め、膜分離を回避することができる。

【0076】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に順次設けられた第1金属層、第2金属層、第1導電層、及び第2導電層と、を含む表示基板を提供する。前記表示基板は、前記ベース基板上に位置しかつ第1方向において隣接する第1サブ画素及び第2サブ画素をさらに含み、前記第1サブ画素は第1画素回路を有し、前記第2サブ画素は第2画素回路を有し、前記第1画素回路及び第2画素回路はそれぞれコンデンサを含み、前記コンデンサは、前記第2金属層に位置する第1コンデンサ電極と、第1金属層に位置する第2コンデンサ電極と、を含み、前記第1画素回路の第1コンデンサ電極及び前記第2画素回路の第1コンデンサ電極は、互いに接続されて一体型コンデンサ電極ブロックとなり、前記コンデンサ電極ブロックは第1開口部と第2開口部を有し、前記第1開口部の前記ベース基板での正投影と前記第1画素回路の第2コンデンサ電極の前記ベース基板での正投影とが重なり合い、前記第2開口部の前記ベース基板での正投影と前記第2画素回路の第2コンデンサ電極の前記ベース基板での正投影とが重なり合い、前記第1開口部の前記ベース基板での正投影の面積と前記第2開口部の前記ベース基板での正投影の面積とは異なる。

【0077】

通常第1方向において隣接するサブ画素の色が異なり、ターンオン電圧及びデータ信号が全て異なるので、これらの両方の充電速度のバランスを取るために、駆動回路を調整して、表示の均一性を高める必要がある。これらの両方のコンデンサ電極の開口部サイズが異なり、すなわち、2つのサブ画素は異なるコンデンサ電極及び蓄積コンデンサを有することによって、充電速度が異なり、表示の均一性向上に寄与する。

【0078】

例えば、前記第1開口部の前記ベース基板での正投影面積は、前記第2開口部の前記ベース基板での正投影面積よりも小さい。

【0079】

なお、本開示の側面は頂面が窪んだものであってもよく、頂面に連続していてもよい。

【0080】

本開示の少なくとも1つの実施例はまた、ベース基板と、前記ベース基板上に位置する複数のサブ画素と、を含む、表示基板を提供する。前記複数のサブ画素のそれぞれは画素回路を含み、前記画素回路は発光素子を発光駆動することに用いられ、前記複数のサブ画素の複数の画素回路は、第1方向及び第2方向において複数の画素行及び複数の画素列として配列され、前記第1方向と前記第2方向とは異なり、前記画素回路は駆動トランジスタと蓄積コンデンサを含み、前記駆動トランジスタは、前記発光素子に接続され、前記発光素子を流れる駆動電流を制御するように構成され、前記蓄積コンデンサは第1コンデンサ電極と第2コンデンサ電極を含み、前記第1コンデンサ電極は第1電源線電圧を受信するように構成され、前記複数のサブ画素は第1サブ画素を含み、前記第1サブ画素はシールド電極をさらに含み、前記シールド電極及び前記第1サブ画素の第1コンデンサ電極は、一体構造として同層に設けられ、前記シールド電極は第1遮断部と第2遮断部を含み、前記第2遮断部は前記第2方向に沿って前記第1コンデンサ電極から延びており、前記第1遮断部は、前記第1方向に沿って前記第2遮断部から延びており、前記表示基板は半導体パターンをさらに含み、前記半導体パターンは前記駆動トランジスタのアクティブ層と同一の半導体層に位置し、前記ベース基板に垂直な方向において、前記第1遮断部と前記半導体パターンは少なくとも部分的に重なる。

10

【0081】

半導体層の性質が光照射により変化して不安定になりやすいが、半導体パターンを遮断するための第1遮断部が設けられることによって、当該半導体パターンの安定性を高めることができる。例えば、該半導体パターンは、トランジスタのアクティブ層の一部、例えば該アクティブ層の半導体領域や導体化領域であってもよく、このような場合、上記の構成は、トランジスタの安定性を効果的に高めることができる。

20

【0082】

図2は、本開示の少なくとも1つの実施例による表示基板の模式図である。図2に示すように、該表示基板20は、ベース基板100と、前記ベース基板100上に順次設けられた第1絶縁層301、第1導電層201、第2絶縁層302、及び第2導電層202と、を含む。図2においては、第1絶縁層101はベース基板100上に直接位置することが示されているが、これは本開示を制限するものではない。他の例では、第1絶縁層101とベース基板100との間に他の膜層、例えば他の絶縁層や導電層がさらに設けられていてもよい。

30

【0083】

図2に示すように、該第1絶縁層301は窪み構造G1（本開示の第1窪み構造の一例）を含み、該窪み構造G1は、該第1絶縁層301を貫通又は貫通しなくてもよい。例えば、図2に示すように、該窪み構造G1はビアであってもよく、別の例では、該窪み構造G1は溝であってもよい。本開示は、該窪み構造G1の具体的な構造を制限しない。

【0084】

該第1導電層201は第1導電構造21を含み、該第1導電構造21は窪み構造G2を含む。例えば、図2に示すように、該窪み構造G2は、該第1導電構造21が該窪み構造G1を覆うことにより形成され、該第1導電構造21は該窪み構造G1に充填されて該窪み構造G2を形成する。ベース基板100に垂直な方向において、窪み構造G1と窪み構造G2は少なくとも部分的に重なる。

40

【0085】

該第1導電構造21は、ベース基板100に近い底面21aと、ベース基板100から離れた頂面21bと、該底面21aと頂面21bとの間に位置する第1側面21cと、を含む。該第1側面21cは、該第1導電構造21が下へ窪んで形成される。図2に示すように、該第1側面21cは、該窪み構造G2の1つの側壁であってもよく、該第1側面21cにおける該第2導電構造22に接触する部分は該第1絶縁層301の上面のベース基板から離れた側に位置する。該第1側面21c及び該頂面21bは、該第1導電構造21

50

の同側に位置し、直接接続され、該第1側面21c及び該底面21aは、それぞれ該第1導電構造21の両側に位置する。

【0086】

該第2絶縁層302はビアV1（本開示の第1ビアの一例）を含み、該第2導電層202は第2導電構造22を含み、該第2導電構造22はビアV1を介して第1導電構造21に接触し、該ビアV1のベース基板での正投影と該窪み構造G1のベース基板での正投影は、少なくとも部分的に重なり、該ビアV1は該第1導電構造21の第1側面21cの少なくとも一部を露出させ、該第2導電構造22は該第1導電構造21の第1側面21cの少なくとも一部に接触する。

【0087】

該ビアV1が設けられて、該第1導電構造21の第1側面21cの少なくとも一部を露出させることによって、該第2導電構造22は、該第1導電構造21の上面21bに加えて、第1導電構造21の第1側面21cに接触し、それによって、第1導電構造21と第2導電構造22との接触面積を効果的に増大し、接触抵抗を低下させ、電気信号の伝送効率を高め、さらに、この構成により、第2導電構造22の縦方向（ベース基板に垂直な方向）での断面積を増大し、第1導電構造が基板の他の導電構造に与える干渉を効果的にシールドすることができるだけでなく、該第2導電構造の両側にある信号線同士の互相干渉も低減する。

【0088】

例えば、図2に示すように、窪み構造G1のベース基板での正投影とビアV1のベース基板での正投影は少なくとも部分的に重なり、このようにして、第2絶縁層302における窪み構造G1と重なり合う部分は下へ窪み、該第1導電構造21の第1側面21cを露出させ、それにより、第2導電構造22は該第1導電構造21の頂面21bに加えて、他の第1側面21cに接触する。

【0089】

図2に示すように、該第2導電構造22は突出部220（本開示の第1突出部の一例）を含み、該突出部220は下へ突出し、すなわち、ベース基板100に向かって突出し、該突出部220のベース基板100での正投影は該窪み構造G1のベース基板での正投影内にある。該突出部220は該第1導電構造21の第1側面21cの少なくとも一部に接触する。該突出部220は、該第2導電構造22の縦方向での断面積を効果的に増大する。

【0090】

図2に示すように、該第1導電構造21の第1側面21cは突出曲面21dを含み、該第2導電構造22の突出部220は該突出曲面の少なくとも一部を覆う。

【0091】

図2に示すように、該第1導電構造21は、該第1窪み構造G1中に位置し、かつ該突出曲面21dに接続された接続部21fを含み、ベース基板100の板面に平行する方向において、該突出曲面21dは該接続部21fに対して該第1窪み構造G1の中央部に向かって突出する。

【0092】

該第1側面21cにおける該第2導電構造22に接触する少なくとも一部を突出曲面にすることによって、接触面積をさらに増大することができるだけでなく、該第2導電構造22における該第1側面21cとラップした部分の傾きを低減させ、該突出部220が急勾配すぎることで破断することを回避する。

【0093】

例えば、図2に示す断面（本開示の第1断面の一例）内において、該突出曲面の接線と該第1導電構造21の頂面21bとがなす角は、70度よりも大きく、また、上から下に向かうに従って小さくなる。

【0094】

図2に示すように、該第1導電構造21は、第1絶縁層301のベース基板から離れた

10

20

30

40

50

側に位置し、第2導電構造22に接触する接触部211を含み、該接触部211は、例えば該第1導電構造21の該第2導電構造22に接触する範囲内の縦方向の切断部であると考えられる。

【0095】

図2に示すように、該接触部211は、該窪み構造G1に面する突出部210（本開示の第2突出部の一例）を含み、該突出部210のベース基板での正投影は、該窪み構造G1のベース基板での正投影内にある。例えば、図2に示すように、該突出部210は、該接触部211の該窪み構造G1に近い端部であって、該接触部211の頂面における底面に対して窪み構造G1に向かって突出する部分である。図2に示すように、該突出部210における窪み構造G1に面する表面は該第1側面21cの一部である。

10

【0096】

例えば、図2に示すように、ベース基板の板面に平行する基準方向Fにおいて、該突出部210の最大寸法は、該第1導電構造21における該窪み構造G1の側面（側壁）を覆う部分の最大厚さよりも大きい。

【0097】

図2に示すように、該接触部211における窪み構造G1に近い側面は該第1側面21cの一部であり、すなわち、該第1側面21cにおける該第1絶縁層301の上面の、ベース基板から離れた側に位置する部分であり、該部分は第1側面部分とされる。該第1導電構造21は、窪み構造G1から離れた第2側面21dをさらに含む。該第1側面部分のベース基板に垂直な方向の寸法は、該第2側面21dのベース基板に垂直な方向の寸法よりも大きい。図2に示すように、該第2側面21dは第2導電構造22に接触しない。例えば、該第1導電構造21の頂面21bにおける第2側面21に接続された少なくとも一部は該第2導電層202から分離している。

20

【0098】

第1側面部分は第2導電構造22に接触するが、第2側面21dは第2導電構造22に接触しないため、第1側面部分の縦方向寸法を大きく設定することによって、第2導電構造22における該第1導電構造21の頂面21bに接触する部分の平坦度を向上させ、後続の作製プロセスの歩留まりを向上させるのに有利である。

【0099】

図2に示す断面内であって基準方向Fにおいて、突出部210の最大寸法は、該第1導電層21における該窪み構造G1の側面を覆う部分（すなわち、窪み構造G2の窪み構造G1内に位置する側壁）の最大厚さよりも大きく、該基準方向Fはベース基板の板面に平行する。このような構成により、該突出部220は突出部210にラップしやすくなる。

30

【0100】

例えば、図2に示すように、該表示基板20は第1断面、すなわち図2に示す断面を有し、該窪み構造G1は、該第1断面内であって基準方向Fに沿う寸法をbとし、該第1断面内では、該ビアV1と窪み構造G1との重なり領域の該基準方向Fの寸法はcとされる。例えば、図2に示すように、窪み構造又はビア構造と他の構造との重なり領域を計算する際に、該窪み構造又はビア構造の該第1断面内の最低点の間の距離を該窪み構造又はビア構造の範囲とする。以下の各実施例でも同様であるので、詳細な説明を省略する。

40

【0101】

該第1導電構造21の第1側面21cにおける第2導電構造22で覆われた部分の、ベース基板100に垂直な方向の寸法をd、該第1導電構造21の接触部211の、前記ベース基板に垂直な方向の寸法をeとする。

【0102】

例えば、該第1側面21cにおける該第2導電構造22で覆われていない部分の、前記ベース基板に垂直な方向の寸法（ $n-d$ ）は、該第2側面21dの前記ベース基板に垂直な方向の寸法eよりも大きい。

【0103】

例えば、 c/b は0.1よりも大きく、 d/e は0.3よりも大きい。

50

【0104】

該第1導電構造21の第1側面21cにおける該第2導電構造22で覆われた部分の寸法と該第1側面21cの寸法との比 r_1 は、該ビアV1と窪み構造G1との重なり合い寸法と該窪み構造G1の寸法との比 r_2 に正比例し、つまり、ビアV1と窪み構造G1との重なり合いの比 r_2 が大きいほど、第2導電構造22で覆われた第1導電構造21の第1側面21cの寸法が大きい。上記の構成によって、第2導電構造22は第1導電構造21の側面を効果的に被覆し、これらの両方の接触抵抗を効果的に低下させる。

【0105】

例えば、第2導電層202と第1導電層201は、材質が異なる。例えば、第2導電層202はITO/AG/ITOの積層構造を含み、第1導電層201はTI/AL/TIの積層構造を含む。

10

【0106】

例えば、 c/b は0.15よりも大きく、 d/e は0.8よりも小さい。

【0107】

例えば、 c/b は0.19よりも小さく、 d/e は0.5よりも小さい。

【0108】

例えば、該第2導電構造22が発光素子の画素電極（例えば正極）として構成される場合、該第2導電構造22の表面に発光材料が形成されており、該発光材料の性能が該第2導電構造22の表面の平坦度による影響を受けることから、該第2導電構造22の平坦度が低すぎると、発光素子の発光効率が低下する。ビアV1と窪み構造G1との重なり合い寸法を所定の範囲内でできるだけ小さくすると、第2導電構造22の平坦度を高め、表示基板の表示性能を向上させるのに有利である。

20

【0109】

例えば、図2に示すように、該第1断面内において、窪み構造G1の最大深さを i 、該窪み構造G1の該第1断面内の1つの側辺とベース基板の板面とがなす角を j 、該第2導電構造22における該第1導電構造21に接触する部分の前記ベース基板に垂直な方向の寸法を k とする。図2に示すように、該窪み構造G1は、該第1断面内の形状が逆台形である。例えば、該側辺は、該窪み構造G1における該突出部210に近い側の側辺である。

【0110】

例えば、 $d/e < 0.0273 * i * \sin(j) / k$ である。

30

【0111】

例えば、 $c/b < 0.0102 * i * \sin(j) / k$ である。

【0112】

該第1側面21cにおける覆われた部分の寸法は窪み構造G1の深さ、窪み構造G1の底角と正の相関を持ち、第2導電層202の厚さと負の相関を持ち、所定の範囲内で d/e 又は c/b を小さくすると、ビアV1と窪み構造G1との重なり合い部分を減少させ、第2導電構造22の下向きの突出部220の寸法を減少させ、第2導電層22の平坦度を高めることができる。

【0113】

例えば、第1側面21cのベース基板に垂直な方向の寸法を n 、該第2側面部分のベース基板100に垂直な方向の寸法を e とすると。例えば、 $0.1 * (n/e) / \sin(j) > (d/n)$ である。

40

【0114】

第2側面21dの寸法に対する第1側面21cの寸法の比 (n/e) が大きいほど、覆うべき面積が大きく、すなわち、 n/e は d/n に比例し、該窪み構造G1の底角が大きいほど、該窪み構造G1の対応する側壁の傾きが大きくなり、水蒸気が表面に滞在しにくく、これを覆うニーズが低下し、すなわち、 $\sin(j)$ は d/n に反比例する。 n/e 及び $\sin(j)$ の値に応じて d/n の値を調整することによって、第1導電構造の露出側面を十分に保護し、水蒸気による腐食を低減させ、第1導電構造の耐用年数を延ばす。

50

【0115】

例えば、 $0.08 * (n / e) / \sin(j) > d / n$ である。

【0116】

上記の構成によって、第1側面21cにおける覆われた部分の寸法はより小さくなり、第2導電構造22の平坦度は向上する。

【0117】

一例では、 $b = 2.821 \mu m$ 、 $c = 0.599 \mu m$ 、 $c / b = 0.212$ 、 $d = 0.3339 \mu m$ 、 $e = 0.5872 \mu m$ 、 $d / e = 0.569$ である。

【0118】

別の示例では、 $b = 2.816 \mu m$ 、 $c = 0.6465$ 、 $c / b = 0.2296$ 、 $d = 0.5603 \mu m$ 、 $e = 0.8477$ 、 $d / e = 0.661 \mu m$ である。 10

【0119】

図3は、本開示の別の実施例による表示基板の模式図である。図3に示すように、第1絶縁層301は、窪み構造G1と間隔を置いて配置された窪み構造G3（本開示の第2窪み構造の一例）をさらに含み、該窪み構造G2は、該第1絶縁層301を貫通又は貫通しなくてもよい。例えば、図3に示すように、該窪み構造G2はビアであってもよく、別の例では、該窪み構造G2は溝であってもよい。本開示は、該窪み構造G2の具体的な構造を制限しない。

【0120】

図3に示すように、例えば、該第1導電構造21は窪み構造G4をさらに含む。例えば、該窪み構造G4は、該第1導電構造21が該窪み構造G3を覆うことにより形成され、該第1導電構造21は該第窪み構造G3に充填されて該窪み構造G4を形成する。ベース基板100に垂直な方向において、窪み構造G3と窪み構造G4は、少なくとも部分的に重なる。 20

【0121】

図3に示すように、該第1導電構造21は、底面21aと頂面21bとの間に位置する第2側面21eをさらに含み、該第2側面21eは該第1側面21cに対向する。例えば、該第2側面21e及び該第1側面21cは該頂面21bによって接続される。

【0122】

例えば、該第2側面21eのベース基板での正投影と、窪み構造G3のベース基板での正投影とは、少なくとも部分的に重なる。該第1ビアV1はまた、第2側面21eの少なくとも一部を露出させ、該第2導電構造22はまた、該第1導電構造21の第2側面21eの少なくとも一部を覆う。 30

【0123】

該窪み構造G1及び窪み構造G3は、それぞれ該ビアV1の両側に位置し、かつ、いずれも該ビアV1のベース基板に垂直な方向の少なくとも一部と重なり、それによって、第2絶縁層302は下へ窪んで、該第1側面21c及び第2側面21eの一部をそれぞれ露出させ、すなわち、該第1導電構造21は、該ビアV1内で上へ凸起した形態を持ち、該第2導電構造23は、該第1導電構造の頂面21b、第1側面21c、及び第2側面21eのいずれにも接触し、それによって、接触面積をさらに増大し、接触抵抗を低下させ、シールド能力や保護能力を高める。 40

【0124】

例えば、図3に示す断面内において、第1導電構造21は、第1側面21cにおける第2導電構造22で覆われた部分の寸法と第2側面21eにおける該第2導電構造22で覆われた部分の寸法とが異なる。

【0125】

例えば、図3に示すように、該ビアV1のベース基板での正投影と該窪み構造G1のベース基板での正投影との重なり面積と、該ビアV1のベース基板での正投影と該窪み構造G2のベース基板での正投影との重なり面積とは、異なる。

【0126】

例えば、図 3 に示すように、ベース基板の板面に平行する基準方向 F において、該ビア V 1 のベース基板での正投影と該窪み構造 G 1 のベース基板での正投影との重なり寸法 c 1 と、該ビア V 1 のベース基板での正投影と該窪み構造 G 2 のベース基板での正投影との重なり寸法 c 2 とは、異なる。

【0127】

図 4 は、本開示の少なくとも 1 つの実施例による表示基板の平面模式図であり、図 2 及び図 3 に示す断面構造は、例えば、図 4 に示す表示基板の断面構造であってもよい。

【0128】

図 4 に示すように、該表示基板 20 は、表示領域 110 と、表示領域 110 外の非表示領域 103 と、を含んでもよい。例えば、非表示領域 103 は、表示領域 110 の外周領域に位置する。該表示基板 20 は、表示領域 110 内の複数のサブ画素 P を含む。例えば、該複数のサブ画素はアレイ状に配置され、例えば、第 1 方向 D 1 及び第 2 方向 D 2 において複数の画素行及び複数の画素列として配列される。該第 1 方向 D 1 及び第 2 方向 D 2 は異なり、例えば両方は直交する。例えば、該画素行及び画素列は必ずしも厳格な直線に沿って延びるわけではなく、曲線（例えば折れ線）に沿って延びてもよく、この曲線は、全体的には、それぞれ第 1 方向 D 1 又は第 2 方向 D 2 に沿って延びている。

【0129】

各サブ画素は、発光素子を発光駆動する画素回路を含み、複数の画素回路は、第 1 方向 D 1 及び第 2 方向 D 2 にアレイ状に配列される。例えば、サブ画素は、従来の RGB の方式で画素ユニットを構成し、フルカラー表示を達成させ、本開示は、サブ画素の排列方式やフルカラー表示を達成させる方式を制限しない。

【0130】

例えば、図 4 に示すように、該表示基板 20 は、表示領域 110 内に位置し第 1 方向 D 1 に延びているリード線（例えばゲート線 11）と、第 2 方向 D 2 に延びている複数本のリード線（例えばデータ線 12）と、をさらに含み、該複数本の横方向リード線と複数本の縦方向リード線は互いに交差しており、表示領域 110 において複数の画素領域を画定し、画素領域ごとに 1 つのサブ画素 100 が設けられている。図 2 には、ゲート線 11、データ線 12 及びサブ画素 100 の表示基板での位置関係が大体示されているが、具体的には、実際のニーズに応じて設計してもよい。

【0131】

該画素回路は、例えば、2T1C（すなわち、2つのトランジスタと 1 つのコンデンサ）画素回路、4T2C、5T1C、7T1C などの nTmC（n、m は正の整数）画素回路である。別の実施例では、該画素回路は、補償サブ回路をさらに含んでもよく、該補償サブ回路は、内部補償サブ回路又は外部補償サブ回路を含み、補償サブ回路は、トランジスタやコンデンサなどを含んでもよい。例えば、必要に応じて、該画素回路は、リセット回路、発光制御サブ回路や検出回路などをさらに含んでもよい。例えば、該表示基板は、非表示領域内に位置するゲート駆動回路 13 及びデータ駆動回路 14 をさらに含んでもよい。該ゲート駆動回路 13 は、ゲート線 11 を介して画素回路に接続され、各種走査信号を供給し、該データ駆動回路 14 は、データ線 12 を介して画素回路に接続され、データ信号を供給する。図 4 に示すゲート駆動回路 13 とデータ駆動回路 14、ゲート線 11 とデータ線 12 の表示基板での位置関係は例示的なものに過ぎず、実際の配置位置は必要に応じて設計されてもよい。

【0132】

例えば、表示基板 20 は制御回路（図示せず）をさらに含んでもよい。例えば、該制御回路は、データ駆動回路 14 を制御して該データ信号を印加するとともに、ゲート駆動回路を制御して該走査信号を印加するように構成される。該制御回路の一例はタイミング制御回路（T-con）である。制御回路は、様々な形態であってもよく、例えばプロセッサやメモリを含み、メモリは実行可能コードを含み、プロセッサは該実行可能コードを実行することで上記の検出方法を実行する。

【0133】

10

20

30

40

50

例えば、プロセッサは、中央処理装置（CPU）、又はデータ処理能力／又は命令実行能力を備えた他の形態の処理装置であってもよく、例えば、マイクロプロセッサ、プログラマブルロジックコントローラ（PLC）などを含んでもよい。

【0134】

例えば、記憶装置は、揮発性メモリ／又は不揮発性メモリのような様々な形態のコンピュータ可読記憶媒体を含むことができる1つ又は複数のコンピュータプログラム製品を含んでもよい。揮発性メモリは、例えば、ランダムアクセスメモリ（RAM）及び／又はキャッシュメモリ（キャッシュ）等を含んでもよい。不揮発性メモリは、例えば、読み出し専用メモリ（ROM）、ハードディスク、フラッシュメモリなどを含んでもよい。コンピュータ可読記憶媒体には、プロセッサによって実行されて所望の機能を達成させることができる1つ又は複数のコンピュータプログラム命令が記憶されてもよい。コンピュータ可読記憶媒体には、様々なアプリケーションプログラムや様々なデータも記憶され得る。

10

【0135】

該画素回路は、駆動サブ回路、データ書き込みサブ回路、補償サブ回路、及び記憶サブ回路を含んでもよく、必要に応じて、発光制御サブ回路、リセット回路などをさらに含んでもよい。図5Aは、画素回路の一例の模式図を示す。

【0136】

図5Aに示すように、該画素回路は、駆動サブ回路122、データ書き込みサブ回路126、及び補償サブ回路128を含む。

【0137】

例えば、該駆動サブ回路122は、制御端子（すなわち、制御電極）122a、第1端子122b、及び第2端子122cを含み、かつ、発光素子120に接続されるように構成され、かつ、該制御電極での電圧に応じて、発光素子120を駆動するための駆動電流を制御するように構成される。駆動サブ回路122の制御端子122aは第1ノードN1に接続され、駆動サブ回路122の第1端子122bは第2ノードN2に接続され、駆動サブ回路122の第2端子122cは第3ノードN3に接続される。

20

【0138】

例えば、データ書き込みサブ回路126は、駆動サブ回路122に接続され、第1走査信号に応答してデータ信号を駆動サブ回路122の第1端子122bに書き込むように構成される。例えば、図5Aに示すように、該データ書き込み回路126は、制御端子126a、第1端子126b、及び第2端子126cを含み、該制御端子126aは、第1走査信号Ga1を受信するように構成され、第1端子126bは、データ信号Vdを受信するように構成され、第2端子126cは、駆動サブ回路122の第1端子122b（すなわち、第2ノードN2）に接続される。該データ書き込みサブ回路126は、該第1走査信号Ga1に応答して該データ信号Vdを駆動サブ回路122の第1端子122bに書き込むように構成される。例えば、データ書き込みサブ回路126の第1端子126bは、データ線12に接続され、該データ信号Vdを受信し、制御端子126aは、走査線であるゲート線11に接続され、該第1走査信号Ga1を受信する。例えば、データ書き込み及び補償段階では、データ書き込みサブ回路126は、第1走査信号Ga1に応答してオンになり、データ信号を駆動サブ回路122の第1端子122b（第2ノードN2）に書き込むとともに、データ信号を記憶することができ、それによって、例えば発光段階においては、該データ信号に基づいて、発光素子120を発光駆動する駆動電流を生成することができる。

30

40

【0139】

例えば、補償サブ回路128は、駆動サブ回路122に接続され、第2走査信号に応答して駆動サブ回路122を補償するように構成され、該第2走査信号は、第1走査信号と同一であるか、又は異なってもよい。例えば、図5Aに示すように、該補償サブ回路128は、制御端子128a、第1端子128b、及び第2端子128cを含み、補償サブ回路128の制御端子128aは、第2走査信号Ga2を受信するように構成され、補償サブ回路128の第1端子128b及び第2端子128cは、それぞれ、駆動サブ回路12

50

2の第2端子122c及び制御端子122aに電氣的に接続され、補償サブ回路128は、該第2走査信号Ga2に応答して該駆動サブ回路122に対して閾値補償を行うように構成される。

【0140】

例えば、該画素回路は、記憶サブ回路127、第1発光制御サブ回路123、第2発光制御サブ回路124、並びに、第1リセットサブ回路125及び第2リセットサブ回路129をさらに含む。

【0141】

例えば、第1走査信号Ga1は第2走査信号Ga2と同じであってもよい。例えば第1走査信号Ga1は、第2走査信号Ga2と同様な信号出力端に接続されてもよい。例えば、第1走査信号Ga1は、第2走査信号Ga2と同様な走査線を介して伝送されてもよい。

10

【0142】

別の例では、第1走査信号Ga1は、第2走査信号Ga2と異なってもよい。例えば、第1走査信号Ga1は、第2走査信号Ga2とは異なる信号出力端に接続されてもよい。例えば、第1走査信号Ga1及び第2走査信号Ga2は、それぞれ、異なる走査線を介して伝送されてもよい。

【0143】

記憶サブ回路127は、第1端子（第1記憶電極ともいう）127aと第2端子（第2記憶電極ともいう）127bを含み、該記憶サブ回路の第1端子127aは、第1電源線電圧VDDを受信するように構成され、記憶サブ回路の第2端子127bは駆動サブ回路の制御端子122aに電氣的に接続される。例えば、データ書き込み及び補償段階では、補償サブ回路128は、該第2走査信号Ga2に応答してオンになり、データ書き込みサブ回路126によって書き込まれたデータ信号を該記憶サブ回路127に記憶してもよく、また、補償サブ回路128は、駆動サブ回路122の制御端子122aと第2端子122cとを電氣的に接続してもよく、それによって、駆動サブ回路122の閾値電圧の関連情報も該記憶サブ回路に記憶され、例えば発光段階では、記憶されたデータ信号及び閾値電圧を利用して駆動サブ回路122を制御し、駆動サブ回路122の出力を補償することが可能とされる。

20

【0144】

例えば、記憶サブ回路127は、駆動サブ回路122の制御端子122a及び第1電圧端子VDDに電氣的に接続され、データ書き込みサブ回路126によって書き込まれたデータ信号を記憶するように構成される。例えば、データ書き込み及び補償段階において、補償サブ回路128は、該第2走査信号Ga2に応答してオンになり、データ書き込みサブ回路126によって書き込まれたデータ信号を該記憶サブ回路127に記憶してもよい。例えば、また、データ書き込み及び補償段階においては、補償サブ回路128は、駆動サブ回路122の制御端子122aと第2端子122cを電氣的に接続してもよく、それによって、駆動サブ回路122の閾値電圧の関連情報も該記憶サブ回路に記憶され、例えば発光段階では記憶されたデータ信号及び閾値電圧を利用して駆動サブ回路122を制御し、駆動サブ回路122の出力を補償することが可能とされる。

30

40

【0145】

例えば、第1発光制御サブ回路123は、駆動サブ回路122の第1端子122b（第2ノードN2）及び第1電圧端子VDDに接続され、かつ、第1発光制御信号EM1に응答して、第1電圧端子VDDの第1電源線電圧を駆動サブ回路122の第1端子122bに印加するように構成される。例えば、図5Aに示すように、第1発光制御サブ回路123は、第1発光制御端子EM1、第1電圧端子VDD及び第2ノードN2に接続される。

【0146】

例えば、第2発光制御サブ回路124は、第2発光制御端子EM2、発光素子120の第1端子134及び駆動サブ回路122の第2端子122cに接続され、かつ、第2発光制御信号に응答して、駆動電流を発光素子122に印加可能にするように構成される。

50

【 0 1 4 7 】

例えば、発光段階においては、第 2 発光制御サブ回路 1 2 3 は、第 2 発光制御端子 E M 2 による第 2 発光制御信号 E M 2 に応答してオンになり、それによって、駆動サブ回路 1 2 2 は第 2 発光制御サブ回路 1 2 3 を介して発光素子 1 2 0 に電氣的に接続され、発光素子 1 2 0 を駆動して駆動電流の制御下で発光させることができ、非発光段階においては、第 2 発光制御サブ回路 1 2 3 は、第 2 発光制御信号 E M 2 に応答してオフになり、電流が発光素子 1 2 0 を流れて発光させることを回避し、それによって、表示装置のコントラストを高めることができる。

【 0 1 4 8 】

また、例えば、初期化段階においては、第 2 発光制御サブ回路 1 2 4 は、第 2 発光制御信号に
10 応答してオンになり、リセット回路と組み合わせて駆動サブ回路 1 2 2 及び発光素子 1 2 0 をリセットしてもよい。

【 0 1 4 9 】

例えば、第 2 発光制御信号 E M 2 は、第 1 発光制御信号 E M 1 と同じであってもよく、
例えば第 2 発光制御信号 E M 2 は、第 1 発光制御信号 E M とは同じ信号出力端に接続されてもよく、
例えば、第 2 発光制御信号 E M 2 は、第 1 発光制御信号 E M とは同じ発光制御線を介して伝送されてもよい。

【 0 1 5 0 】

別の例では、第 2 発光制御信号 E M 2 は、第 1 発光制御信号 E M 1 と異なってもよい。
例えば、第 2 発光制御信号 E M 2 及び第 1 発光制御信号 E M 1 は、それぞれ、異なる信号
20 出力端に接続されてもよい。例えば、第 2 発光制御信号 E M 2 及び第 1 発光制御信号 E M 1 は、それぞれ、異なる発光制御線を介して伝送されてもよい。

【 0 1 5 1 】

例えば、第 1 リセットサブ回路 1 2 5 は、第 1 リセット電圧端子 V i n i t 1 及び駆動サブ回路 1 2 2 の制御端子 1 2 2 a (第 1 ノード N 1) に接続され、かつ、第 1 リセット制御信号 R s t 1 に応答して、第 1 リセット電圧 V i n i t 1 を駆動サブ回路 1 2 2 の制御端子 1 2 2 a に印加するように構成される。

【 0 1 5 2 】

例えば、第 2 リセットサブ回路 1 2 9 は、第 2 リセット電圧端子 V i n i t 2 及び発光素子 1 2 2 の第 1 端子 1 2 2 b (第 4 ノード N 4) に接続され、かつ、第 2 リセット制御信号 R s t 2 に応答して、第 2 リセット電圧 V i n i t 2 を発光素子 1 2 0 の第 1 端子 1 3 4 に印加するように構成される。例えば、該第 1 リセット電圧 V i n i t 1 及び該第 2
30 リセット電圧 V i n i t 2 は、同じ電圧信号であってもよく、異なる電圧信号であってもよい。例えば、該第 1 リセット電圧端子 V i n i t 1 及び第 2 リセット電圧端子 V i n i t 2 は、同じリセット電圧を受信するように、同一のリセット電圧源端子 (例えば非表示領域にあるもの) に接続されてもよい。

【 0 1 5 3 】

例えば、第 1 リセットサブ回路 1 2 5 及び第 2 リセットサブ回路 1 2 9 は、それぞれ、第 1 リセット制御信号 R s t 1 及び第 2 リセット制御信号 R s t 2 に応答してオンになり、第 2 リセット電圧 V i n i t 2 を第 1 ノード N 1、第 1 リセット電圧 V i n i t 1 を発
40 光素子 1 2 0 の第 1 端子 1 3 4 に印加してもよく、それによって、駆動サブ回路 1 2 2、補償サブ回路 1 2 8 及び発光素子 1 2 0 をリセットし、前の発光段階による影響を解消することができる。

【 0 1 5 4 】

例えば、各行のサブ画素の第 2 リセット制御信号 R s t 2 は、当該行のサブ画素の第 1 走査信号 G a 1 と同じ信号であってもよく、これらの両方は同一のゲート線 1 1 を介して伝送されてもよい。例えば、各行のサブ画素の第 1 リセット制御信号 R s t 1 は、前の行のサブ画素の第 1 走査信号 G a 1 と同じであってもよく、これらの両方は同一のゲート線 1 1 を介して伝送されてもよい。

【 0 1 5 5 】

10

20

30

40

50

例えば、発光素子 120 は、第 1 端子（第 1 電極又は画素電極ともいう）134 と第 2 端子（第 2 電極ともいう）135 を含み、発光素子 120 の第 1 端子 134 は第 4 ノードに接続され、発光素子 120 の第 2 端子 135 は、第 2 電圧端子 VSS に接続されるように構成される。例えば、一例では、図 5 A に示すように、駆動サブ回路 122 の第 2 端子 122c は、第 2 発光制御サブ回路 124 を介して第 4 ノード N4 に接続されてもよい。本開示の実施例は、このような場合を含むが、これに限定されない。

【0156】

なお、本開示の実施例の説明において、第 1 ノード N1、第 2 ノード N2、第 3 ノード N3、及び第 4 ノード N4 は必須な部材であるとは限らず、表示回路図における関連回路が接続される集合点である。

【0157】

なお、本開示の実施例の説明において、符号 Vd は、データ信号端子もデータ信号のレベルも表すことができ、同様に、符号 Ga1、Ga2 は、第 1 走査信号、第 2 走査信号も第 1 走査信号端子と第 2 走査信号端子も表すことができ、Rst1、Rst2 は、リセット制御端子もリセット制御信号も表すことができ、符号 Vinit1、Vinit2 は、第 1 リセット電圧端子と第 2 リセット電圧端子も第 1 リセット電圧と第 2 リセット電圧も表すことができ、符号 VDD は、第 1 電圧端子も第 1 電源線電圧も表すことができ、符号 VSS は、第 2 電圧端子も第 2 電源線電圧も表すことができる。以下の各実施例においても同様であるので、詳細な説明を省略する。

【0158】

図 5 B は、図 5 A に示す画素回路の具体的な実装の一例の回路図である。図 5 B に示すように、該画素回路は、第 1～第 7 トランジスタ T1、T2、T3、T4、T5、T6、T7 と、蓄積コンデンサ Cst と、を含む。

【0159】

例えば、図 5 B に示すように、駆動サブ回路 122 は、第 1 トランジスタ T1（すなわち、駆動トランジスタ）として実装されてもよい。第 1 トランジスタ T1 のゲートは、駆動サブ回路 122 の制御端子 122a として、第 1 ノード N1 に接続され、第 1 トランジスタ T1 の第 1 極は、駆動サブ回路 122 の第 1 端子 122b として、第 2 ノード N2 に接続され、第 1 トランジスタ T1 の第 2 極は、駆動サブ回路 122 の第 2 端子 122c として、第 3 ノード N3 に接続される。

【0160】

例えば、図 5 B に示すように、データ書き込みサブ回路 126 は、第 2 トランジスタ T2 として実装されてもよい。第 2 トランジスタ T2 のゲートは、第 1 走査線（第 1 走査信号端子 Ga1）に接続され、第 1 走査信号を受信し、第 2 トランジスタ T2 の第 1 極は、データ線（データ信号端子 Vd）に接続され、データ信号を受信し、第 2 トランジスタ T2 の第 2 極は駆動サブ回路 122 の第 1 端子 122b（第 2 ノード N2）に接続される。

【0161】

例えば、図 5 B に示すように、補償サブ回路 128 は、第 3 トランジスタ T3（すなわち、補償トランジスタ）として実装されてもよい。第 3 トランジスタ T3 のゲート、第 1 極、及び第 2 極は、それぞれ、該補償サブ回路の制御端子 128a、第 1 端子 128b、及び第 2 端子 128c として機能する。第 3 トランジスタ T3 のゲートは、第 2 走査線（第 2 走査信号端子 Ga2）に接続され、第 2 走査信号を受信するように構成され、第 3 トランジスタ T3 の第 1 極は、駆動サブ回路 122 の第 2 端子 122c（第 3 ノード N3）に接続され、第 3 トランジスタ T3 の第 2 極は、駆動サブ回路 122 の制御端子 122a（第 1 ノード N1）に接続される。例えば、図 5 B に示すように、記憶サブ回路 127 は、蓄積コンデンサ Cst として実装されてもよく、該蓄積コンデンサ Cst は、第 1 コンデンサ電極 Ca と第 2 コンデンサ電極 Cb を含み、該第 1 コンデンサ電極 Ca は第 1 電圧端子 VDD に接続され、該第 2 コンデンサ電極 Cb は駆動サブ回路 122 の制御端子 122a に接続される。

【0162】

10

20

30

40

50

例えば、図 5 B に示すように、第 1 発光制御サブ回路 1 2 3 は、第 4 トランジスタ T 4 として実装されてもよい。第 4 トランジスタ T 4 のゲートは、第 1 発光制御線（第 1 発光制御端子 E M 1）に接続され、第 1 発光制御信号を受信し、第 4 トランジスタ T 4 の第 1 極は、第 1 電圧端子 V D D に接続され、第 1 電源線電圧を受信し、第 4 トランジスタ T 4 の第 2 極は、駆動サブ回路 1 2 2 の第 1 端子 1 2 2 b（第 2 ノード N 2）に接続される。

【0163】

例えば、発光素子 1 2 0 は、具体的には、発光ダイオード（L E D）として実装され、例えば有機発光ダイオード（O L E D）、量子ドット発光ダイオード（Q L E D）、又は無機発光ダイオード、例えばマイクロ発光ダイオード（M i c r o L E D）又はマイクロ O L E D であってもよい。例えば、発光素子 1 2 0 は、トップエミッション構造、ボトムエミッション構造、又は両面放射構造であってもよい。該発光素子 1 2 0 は、赤色光、緑色光、青色光や白色光などを発し得る。本開示の実施例は、発光素子の具体的な構造を制限しない。

10

【0164】

例えば、該発光素子 1 2 0 は、第 1 電極 1 3 4、第 2 電極 1 3 5、及び第 1 電極 1 3 4 と第 2 電極 1 3 5 との間に介在している有機機能層を含み、該有機機能層は発光層を含むが、必要に応じて、正孔注入層、正孔輸送層、電子注入層、電子輸送層などを含んでもよい。

【0165】

例えば、発光素子 1 2 0 の第 1 電極 1 3 4（画素電極ともいう。例えば正極）は、第 4 ノード N 4 に接続され、第 2 発光制御サブ回路 1 2 4 を介して駆動サブ回路 1 2 2 の第 2 端子 1 2 2 c に接続されるように構成され、発光素子 1 2 0 の第 2 電極 1 3 5（例えば負極）は、第 2 電圧端子 V S S に接続され、第 2 電源線電圧 V S S を受信するように構成され、駆動サブ回路 1 2 2 の第 2 端子 1 2 2 c から発光素子 1 2 0 への回路により発光素子の輝度が決まる。例えば第 2 電圧端子は接地してもよく、すなわち、V S S は 0 V であってもよい。例えば、第 2 電圧電源線の電圧 V S S は、負の電圧であってもよい。

20

【0166】

例えば、第 2 発光制御サブ回路 1 2 4 は、第 5 トランジスタ T 5 として実装されてもよい。第 5 トランジスタ T 5 のゲートは、第 2 発光制御線（第 2 発光制御端子 E M 2）に接続され、第 2 発光制御信号を受信し、第 5 トランジスタ T 5 の第 1 極は、駆動サブ回路 1 2 2 の第 2 端子 1 2 2 c（第 3 ノード N 3）に接続され、第 5 トランジスタ T 5 の第 2 極は、発光素子 1 2 0 の第 1 端子 1 3 4（第 4 ノード N 4）に接続される。

30

【0167】

例えば、第 1 リセットサブ回路 1 2 5 は、第 6 トランジスタ T 6 として実装されてもよく、第 2 リセットサブ回路は、第 7 トランジスタ T 7 として実装されてもよい。第 6 トランジスタ T 6 のゲートは、第 1 リセット制御端子 R s t 1 に接続され、第 1 リセット制御信号 R s t 1 を受信するように構成され、第 6 トランジスタ T 6 の第 1 極は、第 1 リセット電圧端子 V i n i t 1 に接続され、第 1 リセット電圧 V i n i t 1 を受信し、第 6 トランジスタ T 6 の第 2 極は、第 1 ノード N 1 に接続されるように構成される。第 7 トランジスタ T 7 のゲートは、第 2 リセット制御端子 R s t 2 に接続され、第 2 リセット制御信号 R s t 2 を受信するように構成され、第 7 トランジスタ T 7 の第 1 極は、第 2 リセット電圧端子 V i n i t 2 に接続され、第 2 リセット電圧 V i n i t 2 を受信するように構成され、第 7 トランジスタ T 7 の第 2 極は、第 4 ノード N 4 に接続されるように構成される。

40

【0168】

なお、本開示の実施例で使用されるトランジスタは、すべて、薄膜トランジスタ、電界効果トランジスタや特性が同じ他のスイッチングデバイスであってもよいが、本開示の実施例では、薄膜トランジスタを例として説明する。ここで使用されるトランジスタのソースとドレインは、構造的に対称であってもよく、このため、そのソースとドレインは、構造上同様である。本開示の実施例では、トランジスタのゲート以外の両極を区別するために、その一方を第 1 極、他方を第 2 極とする。

50

【0169】

さらに、トランジスタは、特性によっては、N型トランジスタとP型トランジスタに分けられる。トランジスタがP型トランジスタである場合、オン電圧はローレベル電圧（例えば、0V、-5V、-10V又は他の適切な電圧）、オフ電圧はハイレベル電圧（例えば、5V、10V又は他の適切な電圧）であり、トランジスタがN型トランジスタである場合、オン電圧はハイレベル電圧（例えば、5V、10V又は他の適切な電圧）、オフ電圧はローレベル電圧（例えば、0V、-5V、-10V又は他の適切な電圧）である。例えば、図5Bに示すように、該第1～第7トランジスタT1～T7は、すべて、P型トランジスタ、例えば低温ポリシリコン薄膜トランジスタである。しかし、本開示の実施例では、トランジスタのタイプについて制限はなく、トランジスタのタイプが変化すると、回路における接続関係がその分調整されればよい。

10

【0170】

以下、図5Cに示す信号タイミング図を参照して、図5Bに示す画素回路の作動原理について説明する。図5Cに示すように、フレーム毎の画像の表示には、それぞれ、初期化段階1、データ書き込み及び補償段階2、及び発光段階3という3つの段階が含まれている。

【0171】

図5Cに示すように、本実施例では、第1走査信号Ga1及び第2走査信号Ga2は同じ信号を用い、第1発光制御信号EM1及び第2発光制御信号EM2は同じ信号を用い、かつ、第2リセット制御信号Rst2及び第1走査信号Ga1／第2走査信号Ga2の波形が同じであり、すなわち、第2リセット制御信号Rst2、第1走査信号Ga1／第2走査信号Ga2は、同じ信号を用いてもよい。自行のサブ画素の第1リセット信号Rst1と前行のサブ画素の第1走査信号Ga1／第2走査信号Ga2とは、波形が同じであり、すなわち、同じ信号を用いる。ただし、これは本開示を制限するものではなく、他の実施例では、第1走査信号Ga1、第2走査信号Ga2、第1リセット制御信号Rst1、第2リセット制御信号Rst2として異なる信号が使用され、第1発光制御信号EM1及び第2発光制御信号EM2として異なる信号がそれぞれ使用されてもよい。

20

【0172】

初期化段階1においては、第1リセット制御信号Rst1を入力して第6トランジスタT6をオンにし、第1リセット電圧Vin1を第1トランジスタT1のゲートに印加し、該第1ノードN1をリセットする。

30

【0173】

データ書き込み及び補償段階2において、第1走査信号Ga1、第2走査信号Ga2及びデータ信号Vdを入力して、第2トランジスタT2及び第3トランジスタT3をオンにし、データ信号Vdを第2トランジスタT2によって第2ノードN2に書き込み、第1トランジスタT1及び第3トランジスタT3によって第1ノードN1を充電し、第1ノードN1の電位が $V_d + V_{th}$ になると、第1トランジスタT1をオフにし、ここで、 V_{th} は第1トランジスタT1の閾値電圧である。該第1ノードN1の電位は、蓄積コンデンサCstに記憶されて維持され、つまり、データ信号及び閾値電圧 V_{th} を含む電圧情報は、後の発光段階においてグレースケール表示データを供給することや第1トランジスタT1自体の閾値電圧を補償することのために、蓄積コンデンサCstに記憶される。

40

【0174】

データ書き込み及び補償段階2においては、第2リセット制御信号Rst2を入力して第7トランジスタT7をオンにし、第2リセット電圧Vin2を第4ノードN4に印加し、該第4ノードN4をリセットしてもよい。例えば、該第4ノードN4のリセットは初期化段階1で行われてもよく、例えば、第1リセット制御信号Rst1及び第2リセット制御信号Rst2は異なってもよい。本開示の実施例はこれを制限しない。

【0175】

発光段階3においては、第1発光制御信号EM1及び第2発光制御信号EM2を入力して第4トランジスタT4、第5トランジスタT5、及び第1トランジスタT1をオンにし

50

、第5トランジスタT5によって駆動電流をOLEDに印加して発光させる。OLEDを流れる駆動電流Iの値は以下の式によって得られる。

【式1】

$$I = K (V_{GS} - V_{th})^2 = K [(V_{data} + V_{th} - V_{DD}) - V_{th}]^2 = K (V_{data} - V_{DD})^2$$

ここで、Kは第1トランジスタの導電率である。

【0176】

上記の式において、 V_{th} は第1トランジスタT1の閾値電圧、 V_{GS} は第1トランジスタT1のゲートとソース（ここでは第1極）との間の電圧、Kは第1トランジスタT1自体に関連する定数値を表す。上記のIの計算式から明らかに、OLEDを流れる駆動電流Iは第1トランジスタT1の閾値電圧 V_{th} に関係しなくなり、それによって、該画素回路への補償が達成され、プロセス及び長時間の操作により駆動トランジスタ（本開示の実施例では、第1トランジスタT1）の閾値電圧がドリフトするという問題が回避され、駆動トランジスタの駆動電流Iへの影響がなくなり、それによって、この駆動トランジスタを用いた表示装置の表示効果が向上し得る。

10

【0177】

以下、図5Bに示す画素回路を例にして、図6A～6B、図7、図8A～図8C、図9A～9C、及び図10Aを参照して、本開示の少なくとも1つの実施例による表示基板の構造を例示的に説明する。

【0178】

20

図6Aは、本開示の少なくとも1つの実施例による表示基板20の模式図であり、図6Bは、図6Aの切断線A-A'に沿う断面図である。なお、明瞭さから、図6Bには、切断線において直接電氣的接続の関係がない構造が省略されている。対照しやすさから、図8B及び9Bには、切断線A-A'の位置も示されている。

【0179】

図6Aに示すように、該表示基板20はベース基板100を含み、複数のサブ画素Pは該ベース基板100上に位置する。複数のサブ画素Pの画素回路は画素回路アレイとして構成され、例えば、該画素回路アレイは、行方向を第1方向D1、列方向を第2方向D2とする。いくつかの実施例では、各サブ画素の画素回路は、完全に同じ構造を有してもよく、すなわち、画素回路は、行方向と列方向において繰り返し配列される。

30

【0180】

説明の便宜上、図6Aには、2行5列サブ画素が例示されている。例えば、図6Aに示すように、サブ画素の画素回路の配列ルールは、その上方の画素電極（すなわち、発光素子の第1電極）の配列ルールと同じであってもよいし、異なってもよいが、説明の便宜上、ここでのサブ画素の配列の説明は画素回路の配列ルールを参照し、サブ画素の相対位置関係の説明は該サブ画素の画素回路の相対位置を参照し、例えば、隣接するサブ画素とは、画素回路における隣接するサブ画素を指す。以下の各実施例においても同様であるので、詳細な説明を省略する。

【0181】

図6A～6Bから分かるように、半導体層102、絶縁層401、導電層501、絶縁層402、導電層502、絶縁層403、導電層503、絶縁層404、導電層504は、ベース基板100上に順次設けられ、図6Aに示す表示基板の構造を形成する。

40

【0182】

図7は、図6Aに対応して、半導体層102及び導電層501を示しており、図8A及び図8Cには、導電層502のパターンが示されており、図8Bは、図7を基にして、該導電層502を示しており、図9Aは導電層503を示しており、図9Bは、図8Bを基にして、該導電層503を示しており、図10Aは、導電層504を示している。

【0183】

説明の便宜上、以下の説明においては、第nトランジスタTnのゲート、第1極、第2極、及びチャンネル領域は、それぞれ、 T_{ng} 、 T_{ns} 、 T_{nd} 、 T_{na} で表され、ここ

50

10

20

30

40

50

例えば、図 7 に示すように、第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 は、それぞれ、第 1 ゲートと第 2 ゲートを含むデュアルゲート構造を用い、このように、トランジスタのゲート制御能力を高め、リーク電流を低減させることができる。第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 のいずれも第 1 トランジスタ T 1（すなわち、駆動トランジスタ）のゲート（すなわち、第 1 ノード N 1）に直接接続されたトランジスタであるので、該第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 の安定性が第 1 トランジスタ T 1 のゲート（N 1 ノード）電圧の安定性に直接影響を及ぼす。デュアルゲート構造によって第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 のゲート制御能力を高めると、トランジスタのリーク電流を低減させるのに寄与し、N 1 ノードの電圧を維持することに有利であり、それによって、補償段階においては、第 1 トランジスタ T 1 の閾値電圧が十分に補償され、発光段階における表示基板の表示均一性が向上する。

図7に示すように、該第3トランジスタT3は、第1ゲートT3g1、第2ゲートT3g2、及び該第1ゲートg1と第2ゲートT3g2にそれぞれ対応する第1チャンネル領域と第2チャンネル領域を含み、つまり、該第3トランジスタのアクティブ層は、ベース基板での正投影は第1ゲートT3g1のベース基板での正投影と重なり合う第1部分と、ベース基板での正投影は、第2ゲートT3g1のベース基板での正投影と重なり合う第2部分と、第3部分と、を含み。例えば、該第1ゲートT3g1は該第3トランジスタT3を制御する走査線220の本体部に位置し、該第2ゲートT3g2は、該走査線220の本体部から第2方向D2に沿って突出する突出部である。該第3トランジスタT3のアクティブ層は第3部分（本開示の半導体パターンの一例）をさらに含み、第3部分は、該アクティブ層の第1部分と第2部分との間に位置し、第1部分と第2部分を接続し、該第3部分は、該第1ゲートT3g1と第2ゲートT3g2との間に位置し、ゲートパターンで遮断されていないので、導電領域T3cに導体化される。該導電領域T3cと該第3トランジスタT3の第1極T3sは該第3トランジスタT3の第1チャンネル領域によって離間され、該導電領域T3cと該第3トランジスタT3の第2極T3dは、該第3トランジスタT3の第2チャンネル領域によって離間され、該導電領域T3cと該第3トランジスタ

タ T 3 の第 1 チャンネル領域、第 2 チャンネル領域とは一体構造であり、例えば、すべてポリシリコン材料を含む。同様に、第 6 トランジスタ T 6 も、第 1 ゲート T 6 g 1 と第 2 ゲート T 2 g との間に位置する導電領域 T 6 c を含む。

【0189】

例えば、該第 1 導電層 201 は、互いに絶縁とされる複数本の走査線 210、複数本のリセット制御線 220、及び複数本の発光制御線 230 を含む。これらの信号線は、すべて図 4 に示すゲート線 11 の例としてもよい。

【0190】

走査線 210 は、対応する行のサブ画素における第 2 トランジスタ T 2 のゲート T 2 g に電氣的に接続されて（又は一体構造になる）、第 1 走査信号 G a 1 を供給し、リセット制御線 220 は、対応する行のサブ画素における第 6 トランジスタ T 6 のゲート T 6 g に電氣的に接続され、第 1 リセット制御信号 R s t 1 を供給し、発光制御線 230 は、対応する行のサブ画素における第 4 トランジスタ T 4 のゲート T 4 g に電氣的に接続され、第 1 発光制御信号 E M 1 を供給する。

【0191】

例えば、図 7 に示すように、該走査線 210 はまた、第 3 トランジスタ T 3 のゲートに電氣的に接続され、第 2 走査信号 G a 2 を供給し、すなわち、第 1 走査信号 G a 1 及び第 2 走査信号 G a 2 は、同一の信号であってもよい。該発光制御線 230 はまた、第 5 トランジスタ T 5 のゲート T 5 g に電氣的に接続され、第 2 発光制御信号 E M 2 を供給し、すなわち、該第 1 発光制御信号 E M 1 及び第 2 発光制御信号 E M 2 は、同一の信号である。

【0192】

例えば、該第 1 ゲート T 3 g 1 は、第 1 方向 D 1 に延びており、走査線 210 の一部となる。該第 2 ゲート T 3 g 2 は、第 2 方向 D 2 に延びており、走査線 210 の第 2 方向 D 2 に延びている延び部となる。

【0193】

例えば、図 7 に示すように、自行の画素回路の第 7 トランジスタ T 7 のゲートは、次の行の画素回路（すなわち、走査線の走査順番によれば自行の走査線の後に順にオンとされる走査線を含む画素回路行）に対応するリセット制御線 220 に電氣的に接続され、第 2 リセット制御信号 R s t 2 を受信する。

【0194】

例えば、図 8 A に示すように、該導電層 502 は第 1 コンデンサ電極 C a を含む。該第 1 コンデンサ電極 C a は、ベース基板 100 に垂直な方向において、第 1 トランジスタ T 1 のゲート T 1 g と重なって、蓄積コンデンサ C s t を形成し、すなわち、該第 1 トランジスタ T 1 のゲート T 1 g は、該蓄積コンデンサ C s t の第 2 コンデンサ電極 C b として機能する。例えば、該第 1 コンデンサ電極 C a は開口部 222 を含み、該開口部 222 は、該ゲート T 1 g が他の構造に電氣的に接続されることを容易にするために、該第 1 トランジスタ T 1 のゲート T 1 g の少なくとも一部を露出させる。例えば、同一の画素行にあるサブ画素の第 1 コンデンサ電極 C a は、互いに接続されて一体構造になる。

【0195】

例えば、該導電層 502 は、第 1 方向 D 1 に延びている複数本のリセット電圧線 240 をさらに含んでもよく、該複数本のリセット電圧線 240 は、複数行のサブ画素に 1 対 1 で対応して接続される。該リセット電圧線 240 は、対応する行のサブ画素における第 6 トランジスタ T 6 の第 1 極に電氣的に接続され、第 1 リセット電圧 V i n i t 1 を供給する。

【0196】

例えば、図 8 B に示すように、自行のサブ画素における第 7 トランジスタ T 7 の第 1 極は、次の行のサブ画素に対応するリセット電圧線 240 に電氣的に接続され、第 2 リセット電圧 V i n i t 2 を受信する。以下では、図 9 B を参照してこれについて詳細に説明する。

【0197】

例えば、図 8 A ～ 8 B に示すように、該導電層 5 0 2 はシールド電極 2 2 1 をさらに含む。例えば、該シールド電極 2 2 1 は、ベース基板 1 0 0 に垂直な方向において、第 2 トランジスタ T 2 の第 1 極 T 2 s と重なって、該第 2 トランジスタ T 2 の第 1 極 T 2 s の信号を他の信号による干渉から保護する。該第 2 トランジスタ T 2 の第 1 極 T 2 s は、データ信号 V d を受信するように構成され、該データ信号 V d は該サブ画素の表示グレースケールを決めるため、該シールド電極 2 2 1 は、データ信号の安定性を高め、表示性能を向上させる。

【 0 1 9 8 】

例えば、図 8 B 及び図 6 B を参照すると、該シールド電極 2 2 1 は、また、ベース基板 1 0 0 に垂直な方向において、第 6 トランジスタ T 6 の第 2 極 T 6 d と少なくとも部分的に重なり、それによって、該第 2 極 T 6 d における信号の安定性を高め、第 6 トランジスタ T 6 の安定性を高め、さらに第 1 トランジスタ T 1 のゲート電圧を安定的にする。

10

【 0 1 9 9 】

例えば、図 8 B に示すように、該シールド電極 2 2 1 はまた、第 1 方向 D 1 において該シールド電極 2 1 1 が属するサブ画素に隣接するサブ画素まで延び、ベース基板 1 0 0 に垂直な方向において、隣接するサブ画素における第 3 トランジスタ T 3 の導電領域 T 3 c と少なくとも部分的に重なり、それによって、該導電領域 T 3 c における信号の安定性を高め、第 3 トランジスタ T 3 の安定性を高め、さらに第 1 トランジスタ T 1 のゲート電圧を安定的にする。

【 0 2 0 0 】

20

図 8 B に示すように、該シールド電極 2 2 1 の第 1 遮断部 2 2 1 a は、第 1 副部 a 1 と第 2 副部 a 2 を含み、該第 1 副部 a 1 のベース基板での正投影は、隣接するサブ画素の第 3 トランジスタの導電領域 T 3 c のベース基板での正投影と重なり合い、第 2 副部 a 2 のベース基板での正投影は、該導電領域 T 3 c のベース基板での正投影と重なり合っており、該第 1 副部の導電領域 T 3 1 の第 2 方向 D 2 の寸法は、第 2 副部 a 2 の第 2 方向の寸法よりも大きい。このような構成によって、該第 1 副部 a 1 の遮断面積や遮断効果に寄与する。

【 0 2 0 1 】

例えば、該シールド電極 2 2 1 と、それに正対する（重なる）第 2 トランジスタ T 2 の第 1 極 T 2 s 及び第 6 トランジスタ T 6 の第 2 極 T 6 d とによって、安定コンデンサが形成される。該シールド電極 2 2 1 は、一定の電圧をロードするように構成され、コンデンサの両端の電圧差が急変しないため、第 2 トランジスタ T 2 の第 1 極 T 2 s、第 3 トランジスタ T 3 の導電領域 T 3 c 及び第 6 トランジスタ T 6 の第 2 極 T 6 d での電圧の安定性が向上する。例えば、該シールド電極 2 2 1 は、導電層 5 0 3 内の電源線 2 5 0 に電氣的に接続され、第 1 電源線電圧 V D D をロードする。

30

【 0 2 0 2 】

例えば、該シールド電極 2 2 1 は、L 字形、V 字形又は T 字形であり、図 8 A に示すように、該シールド電極 2 2 1 は、L 字形であって、延び方向の異なる第 1 遮断部 2 2 1 a と第 2 遮断部 2 2 1 b を含む。該第 2 遮断部 2 2 1 b は、ベース基板 1 0 0 に垂直な方向において、第 6 トランジスタ T 6 の第 2 極 T 6 d と少なくとも部分的に重なり、該第 1 遮断部 2 2 1 a は、ベース基板 1 0 0 に垂直な方向において、第 2 トランジスタ T 2 の第 1 極 T 2 s 及び隣接するサブ画素における第 3 トランジスタ T 3 の導電領域 T 3 c のそれぞれと少なくとも部分的に重なり、それによって、該導電領域 T 3 を遮断して、トランジスタの安定性を高める。例えば、該第 2 遮断部 2 2 1 b は第 2 方向 D 2 に延びており、該第 1 遮断部 2 2 1 a は第 1 方向 D 1 に延びている。

40

【 0 2 0 3 】

図 8 C は、導電層 5 0 2 の別の例の平面模式図である。図 8 C に示す実施例では、図 8 A に示す実施例と比べて、主として、シールド電極 2 2 1 と第 1 コンデンサ電極 C a は互いに接続されて一体構造になる点は相違する。図 8 C に示すように、該シールド電極 2 2 1 の第 2 遮断部 2 2 1 b は、第 1 コンデンサ電極 C a から第 2 方向 D 2 に沿って延びてお

50

り、第1遮断部221aは、第2遮断部221bから第1方向D1に沿って延びており、該第2遮断部221bは、第1コンデンサ電極Caまで下方へ延び、第1コンデンサ電極Caに接続されて一体構造になる。前記第1遮断部と第2遮断部との接続位置は前記第2遮断部の第2方向における中間位置であり、すなわち、該シールド電極はT字形である。

【0204】

第1コンデンサ電極Caは電源線250に電氣的に接続されるように構成されるので、上記の構成によって、シールド電極221は、同層にある第1コンデンサ電極Caによって電源線250に接続され、それによって、ビア341を省略し、設計を簡素化させる。例えば、図9A～9Bに示すように、導電層503は、第2方向D2に延びている複数本の電源線250を含み、該複数本の電源線250は、第1電圧端子VDDに接続され、第1電源線電圧VDDを伝送する。例えば、該複数本の電源線250は、複数列のサブ画素に1対1で対応して電氣的に接続され、第1電源線電圧VDDを供給する。該電源線250は、ビア342を介して、対応する列のサブ画素における第1コンデンサ電極Caに電氣的に接続され、ビア343を介して第4トランジスタT4の第1極T4sに電氣的に接続される。例えば、該電源線250はまた、ビア341を介してシールド電極221に電氣的に接続され、それによって、シールド電極221に一定の電位を付与し、該シールド電極のシールド能力を高める。例えば、該ビア342及びビア341はいずれも第3絶縁層303を貫通し、該ビア343は、絶縁層401、絶縁層402、及び絶縁層403を貫通する。

【0205】

例えば、該導電層503はまた、第2方向D2に延びている複数本のデータ線12を含む。例えば、該複数本のデータ線12は、複数列のサブ画素に1対1で対応して電氣的に接続され、データ信号Vdを供給する。例えば、該データ線12は、ビア346を介して、対応する列のサブ画素における第2トランジスタT2の第1極T2sに電氣的に接続され、該データ信号を供給する。例えば、該ビア346は、絶縁層401、絶縁層402、及び絶縁層403を貫通する。例えば、図6A～6B、図9A～9Bに示すように、該導電層503は接続電極231をさらに含み、該接続電極231の一端は、第1コンデンサ電極Caの開口部222及び絶縁層のビア344を介して、該第1トランジスタT1のゲートT1g、すなわち第2コンデンサ電極Cbに電氣的に接続され、その他端は、ビア345を介して該第3トランジスタT3の第2極T3dに電氣的に接続され、それによって、該第2コンデンサ電極Cbは該第3トランジスタT3の第2極T3dに電氣的に接続される。例えば、該ビア344は、絶縁層402及び絶縁層403を貫通する。例えば、該ビア345は、絶縁層401、絶縁層402、及び絶縁層403を貫通する。

【0206】

図9Bに示すように、接続電極231のベース基板での正投影は、第1方向D1において、シールド電極221の第2遮断部221bのベース基板での正投影と少なくとも部分的に重なり合い、すなわち、第1方向D1から見ると、該接続電極231の正投影は、該第2遮断部221bの正投影と少なくとも部分的に重なり合う。

【0207】

図9Bに示すように、該接続電極231は、その両側にあるシールド電極221の第2遮断部221bのいずれとも、このような重なり合う関係を持つ。

【0208】

上記の構成によって、接続電極231に対する第2遮断部のシールド保護作用を効果的に高めることができ、例えば、急変信号の一部をシールドし、急変信号が接続電極231の電位に影響して、駆動トランジスタのゲートの電位に影響することを回避する。

【0209】

例えば、図9Bに示すように、第2遮断部221bのベース基板での正投影は、接続電極231のベース基板での正投影とデータ線12のベース基板での正投影との間にあり、それによって、第2遮断部221bはデータ線12の急変信号をシールドし、急変信号による接続電極231の電位への影響を低減させることができる。

【0210】

例えば、図8C及び図9Bを参照して、接続電極231のベース基板での正投影は、第2方向D2において、第1コンデンサ電極Caとシールド電極221とで構成される一体構造のベース基板での正投影の範囲内にある。このようにして、該シールド電極221が8Cに示す構成である場合、該シールド電極221及び第1コンデンサ電極Caの両方によりシールド壁が形成され、それによって、接続電極231に対する信号シールド作用や保護作用が効果的に向上する。例えば、図6A～6B、図9A～9Bに示すように、該導電層503は接続電極232をさらに含み、該接続電極232は、ビア349を介して第5トランジスタT5の第2極T5dに電氣的に接続され、ビア350を介して該第5トランジスタT5の第2極T5dを発光素子の画素電極134に電氣的に接続することに用いられる。例えば、該ビア349は、絶縁層401、絶縁層402、及び絶縁層403を貫通する。

10

【0211】

例えば、図9A～9Bに示すように、該導電層503は接続電極233をさらに含み、該接続電極233の一端は、ビア348を介してリセット電圧線240に電氣的に接続され、その他端は、ビア347を介して第6トランジスタT6の第1極T6sに電氣的に接続され、それによって、該第6トランジスタT6の第1極T6sは該リセット電圧線240から第1リセット電圧Vinit1を受信することができる。例えば、該ビア348は、絶縁層403を貫通する。例えば該ビア347は、絶縁層401、絶縁層402、及び絶縁層403を貫通する。

20

【0212】

別の例では、図9Cに示すように、半導体層102は接続部104を含み、該接続部104は、導体化されて導体になり、接続部は、リセット電圧線240（本開示の第1リセット電圧線の一例）をサブ画素のリセットトランジスタ（すなわち、第6トランジスタT6）の第1極T6sに電氣的に接続する。このような構成では、接続電極232及びビア347を省略することができ、設計を簡素化させる。

【0213】

例えば、前記接続部の前記ベース基板での正投影は、リセット電圧線240のベース基板での正投影及び該リセットトランジスタの第1極T6sのベース基板での正投影のいずれとも重なり合う。

30

【0214】

例えば、図9B～9Cに示すように、前の行のサブ画素における第7トランジスタT7の第1極は、自行のサブ画素における第6トランジスタT6の第1極に電氣的に接続され、自行のサブ画素に対応するリセット電圧線240（すなわち、図9Bにおいては、最上方にあるリセット電圧線240）に電氣的に接続され、第2リセット電圧Vinit2を受信し、自行のサブ画素における第7トランジスタT7の第1極は、次の行のサブ画素における第6トランジスタT6の第1極に電氣的に接続され、次の行のサブ画素に対応するリセット電圧線240（すなわち、図9Bにおいては、中央にあるリセット電圧線240）に電氣的に接続され、第2リセット電圧Vinit2を受信する。

【0215】

図9A～9Bに示すように、該導電層503は、第2方向D2に延びている複数本のリセット電圧線260をさらに含む。図9Bに示すように、各リセット電圧線260は、ビア351を介して、導電層502のリセット電圧線240に電氣的に接続され、それによって、縦横に絡み合う網状導電構造が形成され、この網状導電構造は、抵抗を低下させ、電圧ドロップを下げることができ、リセット電圧を基板の各サブ画素に均一に伝達するのに有利である。

40

【0216】

例えば、図9Bに示すように、2本ずつの隣接するリセット電圧線260の間に2列のサブ画素は介在しており、すなわち、該リセット電圧線260とサブ画素列は1対1で対応して設けられるものではなく、それによって、配線密度を下げるができる。例えば

50

、隣接する２列のサブ画素の間にある１組の信号線において、該リセット電圧線２６０及び電源線２５０は、それぞれデータ線１２に直接隣接し、それぞれ該データ線１２の両側に位置し、リセット電圧線２６０は、該データ線１２の、該データ線１２に電氣的に接続されたサブ画素列から離れた側に位置する。

【０２１７】

図６Ａ～６Ｂ、及び図１０Ａに示すように、導電層５０４は、発光素子の第１電極（すなわち、画素電極）１３４を含む。各サブ画素の発光素子の第１電極１３４は、ビア３５０を介して該サブ画素における接続電極２３２に電氣的に接続され、それによって、該接続電極２３３によって第５トランジスタＴ５の第２極Ｔ５ｄに電氣的に接続される。該ビア３５０は、例えば絶縁層５０４を貫通する。図１０Ａには、該第１電極１３４におけるビア３５０に接触する接触領域が丸で模式的に示されている。

10

【０２１８】

例えば、図６Ａ～６Ｂに示すように、該表示基板２０は、発光素子の第１電極上に位置する画素定義層４０５をさらに含んでもよい。画素定義層４０５には、画素電極１３４の少なくとも一部を露出させて表示基板の各サブ画素の画素開口部領域（すなわち、有効発光領域）６００を画定するための開口部が形成されている。発光素子１２０の有機機能層１３６は、少なくとも該開口部内に形成され、第２電極１３５は、有機機能層１３６上に形成され、それによって、該発光素子１２０が得られる。例えば、該第２電極１３５は、共通電極で、該表示基板２０全面に亘って配置される。例えば第１電極１３４は発光素子の正極、第２電極１３５は発光素子の負極である。図１０Ａには、各サブ画素の画素開口部領域６００が矩形で模式的に示されているが、これは本開示を制限するものではない。

20

【０２１９】

図１０Ａに示すように、該導電層５０４は、第１方向Ｄ１に延びている複数本のリセット電圧線２７０をさらに含んでもよく、該リセット電圧線２７０は、例えば折れ線構造、例えば第１方向Ｄ１に延びているＺ字形であってもよく、配線を考慮して第１電極１３４の形状に合わせるためである。

【０２２０】

例えば、該リセット電圧線２７０は、リセット電圧線２６０及び／又はリセット電圧線２４０に並列接続され、それによって、リセット電圧線の抵抗をさらに低下させ、リセット電圧線での電圧ドロップを下げる。例えば、該リセット電圧線２７０は、非表示領域においてリセット電圧線２６０及び／又はリセット電圧線２４０に電氣的に接続される。該リセット電圧線２７０は必須なものではない。

30

【０２２１】

なお、本開示の実施例による表示基板の発光素子の第１電極の分布は、図１０Ａに示す形態に限定されず、他の画素電極の分布も可能である。図１０Ｂは、本開示の別の実施例による発光素子の第１電極１３４の分布図であり、図１０Ｃは、該第１電極と下方の画素回路との接続関係を示す。

【０２２２】

図１０Ｂに示すように、４つずつの第１電極１３４から１つの電極群が構成され、該電極群における４つの第１電極１３４は、それぞれ、１つの青色画素、１つの赤色画素、及び２つの緑色画素に対応し、この２つの緑色画素は第１方向に対向配置され、この青色画素及び赤色画素は第２方向に対向配置される。例えば、図１０Ｂに示すように、赤色画素のビア３５０と対応するビア３４９とは、ベース基板に垂直な方向において重ならない。

40

【０２２３】

この２つの緑色画素は、形状や面積が同じであり、かつ、青色画素、緑色画素、及び赤色画素のそれぞれの面積が異なる。例えば、効率が最も低い青色サブ画素は、面積が最大で、効率が最も高い赤色サブ画素は、面積が最小であり、それによって、色強度及び画像の鮮明さをより良好なものとする。

【０２２４】

例えば、各導電層の材料には、金（Ａｕ）、銀（Ａｇ）、銅（Ｃｕ）、アルミ（Ａｌ）

50

、モリブデン（Mo）、マグネシウム（Mg）、タングステン（W）、及び以上の金属を組み合わせた合金材料、又は導電性金属酸化物材料、例えばインジウムスズ酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）、酸化亜鉛アルミニウム（AZO）等、又は複数層の金属の積層構造、又は金属と導電性金属酸化物との積層構造が含まれてもよい。

【0225】

例えば、導電層504は、TI／AL／TIの積層構造を含む。

【0226】

例えば、導電層505の材料は、透明導電材料、例えば金属酸化物材料、例えばインジウムスズ酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）、酸化亜鉛アルミニウム（AZO）などである。例えば、導電層505は、ITO／AG／ITOの積層構造を含む。

10

【0227】

例えば、該発光素子120はトップエミッション構造であり、第1電極（すなわち、画素電極）134は反射性を持ち、第2電極135は、透過性又は半透過性を持つ。例えば、第1電極134は正極であり、第2電極135は負極である。例えば、第1電極134はITO／Ag／ITO積層構造であり、透明導電材料ITOは、高い仕事関数の材料であり、発光材料に直接接触すると正孔注入率を高めることができ、金属材料Agは、第1電極の反射率向上に有利である。例えば、第2電極135は、低い仕事関数の材料で、負極として機能し、例えば、半透過性金属又は金属合金材料、例えばAg／Mg合金材料である。

20

【0228】

例えば、各絶縁層の材料は、例えば無機絶縁層、例えば酸化ケイ素、窒化ケイ素、酸窒化ケイ素などのケイ素の酸化物、ケイ素の窒化物若しくはケイ素の窒素酸化物、又はアルミナ、窒化チタンなど、金属酸窒化物を含む絶縁材料である。

【0229】

例えば、画素定義層405の材料は、有機材料、例えばポリイミド（PI）、アクリレート、エポキシ樹脂、ポリメチルメタクリレート（PMMA）などの有機絶縁材料である。

【0230】

例えば、ベース基板100は、剛性基板、例えばガラス基板、ケイ素基板などであってもよいし、優れた耐熱性と耐久性を持つ可撓性材料、例えばポリイミド（PI）、ポリカーボネート（PC）、ポリエチレンテレフタレート（PET）、ポリエチレン、ポリアクリレート、ポリアリレート、ポリエーテルイミド、ポリエーテルスルホン、ポリエチレンテレフタレート（PET）、ポリエチレン（PE）、ポリプロピレン（PP）、ポリスルホン（PSF）、ポリメチルメタクリレート（PMMA）、トリアセチルセルロース（TAC）、環状オレフィンポリマー（COP）、及び環状オレフィンコポリマー（COC）などで形成されてもよい。

30

【0231】

例えば、該半導体層102の材料は、ケイ素系材料（アモルファスシリコンa-Si、ポリシリコンp-Siなど）、金属酸化物半導体（IGZO、ZnO、AZO、IZTOなど）、及び有機物材料（ヘキサチオフエン、ポリチオフエンなど）を含むが、これらに限定されない。

40

【0232】

例えば、該表示基板20は、図2に示す構造を含み、本実施例では、図2に示す接続構造が第1電極134と接続電極232との接続部位に設けられた場合を例にして説明するが、これは、本開示を制限するものではない。

【0233】

図6A～6Bに示すように、該接続電極232（本開示の第1導電構造の一例）は、ベース基板に近い底面232aと、ベース基板から離れた頂面232bと、該底面232a

50

と頂面 2 3 2 b との間に位置する第 1 側面 2 3 2 c と、を含む。接続電極 2 3 2 は、ビア 3 5 0 (本開示の第 1 ビアの一例) を介して発光素子の第 1 電極 3 1 4 (本開示の第 2 導電構造の一例) に電氣的に接続される。ビア 3 5 0 とビア 3 4 9 (本開示の第 1 窪み構造の一例) とは、ベース基板に垂直な方向において、少なくとも部分的に重なり、それによって、絶縁層 4 0 4 (本開示の第 2 絶縁層の一例) は下へ窪み、ビア 3 5 0 は該接続電極 2 3 2 の第 1 側面 2 3 2 c の少なくとも一部を露出させ、また、発光素子の第 1 電極 3 1 4 は下へ窪み、また突出部 3 1 4 a (本開示の第 1 突出部の一例) を含み、該突出部 3 1 4 a は該第 1 側面 2 3 2 c の少なくとも一部に接触し、該第 1 側面 2 3 2 c における該ビア 3 5 0 を介して露出させた部分を覆う。

【0234】

図 6 A ~ 6 B に示すように、該接続電極 2 3 2 及び該第 1 電極 1 3 4 は、いずれも、該接続電極 2 3 2 に直接接触する部分が、両側の信号線の間に位置する。

【0235】

図 6 A ~ 6 B に示すように、該突出部 3 1 4 a は、前記サブ画素を含む画素列 (本開示の第 1 画素列の一例) の両側の信号線の間に位置し、すなわち、左側の第 1 信号線と右側の第 2 信号線との間に位置し、該第 1 信号線は、例えば、該サブ画素に接続されたデータ線 1 2 又は電源線 2 5 0 であり、該第 2 信号線は、例えば、右側のリセット電圧線 2 6 0、データ線 1 2 又は電源線 2 5 0 であり、該右側のデータ線 1 2 及び電源線 2 5 0 は、該画素列に隣接する画素列 (本開示の第 2 画素列の一例) に接続され、すなわち、該突出部 3 1 4 a のベース基板 1 0 0 での正投影は、該第 1 信号線の該ベース基板での正投影と該第 2 信号線の該ベース基板での正投影との間にある。

【0236】

図 6 A に示すように、該第 1 画素列の発光素子の第 1 電極 1 3 4 のベース基板での正投影は、その左側にある電源線 2 5 0 のベース基板での正投影及びその右側にあるデータ線 1 2 のベース基板での正投影のそれぞれと少なくとも部分的に重なる。

【0237】

図 6 B に示すように、前記第 1 画素列の発光素子における前記ベース基板に近い側の電極の前記ベース基板での正投影は、それぞれ、前記第 1 信号線の前記ベース基板での正投影及び前記第 2 信号線の前記ベース基板での正投影のそれぞれと少なくとも部分的に重なる。

【0238】

第 1 電極 1 3 4 の突出部 1 3 4 a が接続電極 2 3 2 の第 1 側面 2 3 2 c に接触することによって、第 1 電極 1 3 4 と接続電極 2 3 2 との接触面積を増大し、両方の接触抵抗を下げるだけではなく、該第 1 電極 1 3 4 の縦方向断面積を効果的に増大し、また、該突出部 1 3 4 a が第 1 信号線と第 2 信号線との間に設けられることによって、第 1 信号線と第 2 信号線との間の互相干渉を低減させることもできる。例えば、データ線には高周波信号が伝送され、他の信号線の信号に干渉を与えやすい。例えば、該突出部 1 3 4 a は、一方の側のデータ線 1 2 が他方の側の信号線 (例えば、データ線、電源線、リセット電圧線など) の信号に与える干渉を低減させることができる。

【0239】

図 2 及び図 6 A ~ 6 B に示すように、図 2 に示す構造は、表示基板 2 0 の切断線 A - A ' に沿う断面構造の一部と見なされてもよく、すなわち、図 6 B において破線で囲まれた構造、図 6 B における接続電極 2 3 2、第 1 電極 1 3 4、突出部 1 3 4 a、ビア 3 5 0、ビア 3 4 9 は、それぞれ、図 2 における第 1 導電構造 2 1、第 2 導電構造 2 2、突出部 2 2 0、ビア V 1、及び窪み構造 G 1 と見なされてもよい。図 2 の説明は図 6 B にも同様であるので、ここでは詳細な説明を省略する。

【0240】

例えば、図 6 A ~ 6 B に示すように、該接続電極 2 3 2 は、ビア 3 4 9 に面する突出部 2 3 2 t を含み、該突出部 2 3 2 t のベース基板での正投影は、ビア 3 4 9 のベース基板での正投影内にある。

10

20

30

40

50

【0241】

図6Aに示すように、該突出部134aのベース基板での正投影と、左側の電源線250（本開示の第1信号線の一例）のベース基板での正投影との基準方向F（例えば第1方向D1）の距離は l とされ、該基準方向Fはベース基板の板面、例えば第1方向D1に平行する。例えば、測定にあたって、該突出部134aの最低点について測定を行ってもよい。右側のデータ線12（本開示の第2信号線の一例）のベース基板での正投影と該電源線250のベース基板での正投影との該第基準方向Fの距離は m とされる。

【0242】

図6Bに示す断面内において、該接続電極232における絶縁層403のベース基板から離れた側に位置する部分の、ベース基板に垂直な方向の寸法を e 、該第1側面232cにおける該突出部134aで覆われた部分の、ベース基板に垂直な方向の寸法を d とする。例えば、 $l/m > 0.9 (d/e)$ である。例えば、 $l/m > 1.2 * (d/e)$ である。

10

【0243】

突出部134aが電源線250から離れるほど、右側のデータ線12のシールドによるこの左側の電源線250への効果が悪く、該第1側面232cをより多く覆う必要がある。上記の構成によって、該突出部134aはデータ線12が電源線250の信号に与える干渉をより確実にシールドすることができる。

【0244】

例えば、図6A～6Bに示すように、複数の画素開口部領域600のベース基板での正投影は、突出部134aのベース基板での正投影から分離しており、すなわち、重なっておらず、それによって、突出部134aが設けられることによって、有効発光領域（すなわち、画素開口部領域）での発光材料が不平坦になり、色ズレなどの表示不良が発生することを回避する。

20

【0245】

図11は、本開示の別の実施例による表示基板の模式図であり、図には、導電層504及びビア349、ビア350のベース基板での正投影が示されており、図には、ビア350は中空丸で、ビア349は中実丸で模式的に示される。

【0246】

図11に示すように、絶縁層403は複数のビア349を含み、該複数のビア349は複数のサブ画素に1対1で対応し、該複数のビア349は、第1方向D1及び第2方向D2において複数のビア行及び複数のビア列として配列される。絶縁層404は複数のビア350を含み、該複数のビア350は複数のサブ画素に1対1で対応し、また、複数のビア349に1対1で対応する。複数のビア349は、第1方向D1及び第2方向D2において複数のビア行及び複数のビア列として配列される。

30

【0247】

例えば、サブ画素ごとに、ビア349とビア350の重なりが異なる。図11に示すように、サブ画素P1を含む画素列は、ビア349及びビア350のベース基板での正投影が重なっておらず、このため、図2又は図6Bに示す構造を形成することができない。

40

【0248】

例えば、各行のサブ画素には、サブ画素1つおきに、3つの連続する隣接するサブ画素は図2又は図6Bに示す構造を有し、すなわち、各行のビア350には、1つのビア350おきに3つの連続するビア350は存在し、この3つのビア350のそれぞれは、ベース基板に垂直な方向において対応するビア349と重なり、図2又は図6Bに示す構造となる。この1つのビア350は、ベース基板に垂直な方向において、対応するビア349と重ならない。例えば、この1つのビアは赤色画素に対応する。

【0249】

例えば、複数のサブ画素は1つの画素列を含み、この画素列の各サブ画素は、図2又は図6Bに示す構造（図11に示す1、3、4、5列目のサブ画素）を有するか、又はサ

50

ブ画素1つおきに、図2又は図6Bに示す構造を有する1つのサブ画素は存在し、すなわち、1つのビア350列は存在し、各ビア350は、ベース基板に垂直な方向において、対応するビア349と重なり、図2又は図6Bに示す構造を形成し、又は1つのビア350おきに、ベース基板に垂直な方向において対応するビア349と重なるビア350は1つ存在し、図2又は図6Bに示す構造が形成される。

【0250】

図12A～12Cは、本開示の別の実施例による表示基板の模式図であり、図には、導電層504、画素定義層405及びビア349、ビア350のベース基板での正投影が示されており、図には、ビア350は中空丸で模式的に示され、ビア349は中実丸で模式的に示されている。

10

【0251】

該画素定義層405は、複数の画素開口部領域600及び非開口部領域を含み、例えば、該画素定義層405は、非開口部領域にあるか、又は間隔を置いて配置された複数の凸起部405aが形成されており、すなわち、画素定義層405は、不均一な厚さを有する。凸起部405aは、蒸着時にマスク板を支持する役割を果たす。いくつかの例では、該凸起部はスペーサ (s p a c e r) とも呼ばれる。

【0252】

図12A～12Cに示すように、例えば、該凸起部は、円錐状であり、図12A～12Cにおいては、該凸起部405aの底部及び頂部のベース基板での正投影は、それぞれ、中空楕円及び中実楕円で示されている。

20

【0253】

例えば、ビア350のベース基板での正投影と画素定義層の最大厚さの部分の前記ベース基板での正投影（すなわち、該凸起部405aの頂部の正投影）は分離しており、すなわち、重ならない。このような構成によって、ビア350が設けられることにより該凸起部405aの頂部が不平坦になり、その支持機能が損なわれることを回避できる。例えば、凸起部405aが不平坦であれば、マスク板が傾斜し、蒸着により形成された有機機能層（発光層を含む）が不平坦になる。

【0254】

図12A～12Cに示すように、該凸起部405aの配置密度はさまざまである。例えば、1つの画素開口部領域600の周辺には、1つ（図12A参照）、2つ（図12B参照）又は3つ（図12C参照）の凸起部405aが設けられてもよい。凸起部の配置密度は、第1電極134間の隙間に応じて決定されてもよく、密度が高くなると、マスク板への支持安定性を高めることができる。

30

【0255】

図12Cに示すように、画素開口部領域600の周辺には、第1凸起部405a1、第2凸起部405a2、及び第3凸起部405a3の3つの凸起部405aが設けられており、該第1凸起部405a1、第2凸起部405a2、及び第3凸起部405a3は、該画素開口部領域600を取り囲んで設けられ、これらのベース基板での正投影の中心が接続されて三角形となる。

【0256】

例えば、図12Cに示すように、該第1凸起部405a1は、隣接する4つの画素開口部領域600の間に位置し、第2凸起部405a2、及び第3凸起部405a3は、それぞれ隣接する2つの画素開口部領域の間に位置する。例えば、第1凸起部405a1のベース基板での正投影の面積は、第2凸起部405a2のベース基板での正投影の面積及び第3凸起部405a3のベース基板での正投影の面積のそれぞれよりも大きい。

40

【0257】

例えば、図9Dに示すように、該表示基板は、図9Dにおいて左から1列目のサブ画素のように、ダミー領域 (d μ m m y a r e a) をさらに含み、このダミー領域内の画素構造の構成は表示領域の構成とほぼ一致しているが、ダミー領域には、発光素子がなく、第1電極134（すなわち、第2導電構造）も存在せず、すなわち、該列のサブ画素には

50

、第1導電構造の前記ベース基板での正投影と第2導電層の前記ベース基板での正投影とは分離している点は主に相違する。該ダミー領域はプロセスの均一性を向上させるために設けられるものである。

【0258】

図9Dに示すように、ダミー領域内の接続電極232（すなわち、第1導電構造）の配置方式は有効表示領域と同様であり、該接続電極232の接続方式も有効表示領域と同様であるので、ここでは詳細な説明を省略する。

【0259】

例えば、このような場合、ダミー領域内のサブ画素列（本開示の第3画素列の一例、図9Dには左から1列目のサブ画素）が接続するデータ線（本開示の第3信号線の一例）及び電源線（本開示の第4信号線の一例）は、互いに電氣的に接続され、すなわち、該2本の信号線は、同じ信号、例えば電源線電圧信号が供給され、かつ、該画素列の同側に位置する。ダミー領域には、信号同士の干渉の問題がないため、シールドのために該第1電極134の突起部を設ける必要がない。

【0260】

以下、図5Bに示す画素回路を例にして、図13A～13B、図14、図15、図16A～16C、図17A～17B、図18A～18C及び図19A～19Cを参照して、本開示の別の実施例による表示基板の構造について例示的に説明する。

【0261】

図13Aは、本開示の別の実施例による表示基板20の模式図であり、図13Bは、図13Aの切断線B-B'に沿う断面図である。なお、明瞭さから、図13Bには、切断線において直接電氣的接続の関係がない構造が省略されている。

【0262】

図13Aに示すように、該表示基板20はベース基板100を含み、複数のサブ画素は該ベース基板100上に位置する。複数のサブ画素Pの画素回路は、画素回路アレイとして構成され、例えば、該画素回路アレイは、行方向を第1方向D1、列方向を第2方向D2とする。いくつかの実施例では、各サブ画素の画素回路は、完全に同じ構造を有してもよく、すなわち、画素回路は、行方向及び列方向において繰り返し配列される。

【0263】

説明の便宜上、図13Aには、4列のサブ画素が例示されている。例えば、図13Aに示すように、サブ画素の画素回路の配列ルールは、その上方の画素電極（すなわち、発光素子の第1電極）の配列ルールと同じであってもよいし、異なってもよいが、説明の便宜上、ここでのサブ画素の配列の説明は画素回路の配列ルールを参照し、サブ画素の相対位置関係の説明は該サブ画素の画素回路の相対位置を参照し、例えば、隣接するサブ画素とは、画素回路における隣接するサブ画素を指す。以下の各実施例においても同様であるので、詳細な説明を省略する。

【0264】

例えば、図13A～13Bには、該表示基板20は、ベース基板100上に順次積層して設けられた半導体層105、絶縁層601、導電層711、絶縁層602、導電層712、絶縁層603、半導体層106、絶縁層604、導電層713、絶縁層605、導電層714、絶縁層606、導電層715、絶縁層607、及び導電層716を含む。

【0265】

図14は、図13Aに対応して、半導体層105及び導電層711（本開示の第1金属層の一例）を示しており、図15は、図14を基にして、導電層712のパターンを示しており、図16Aは、図15を基にして、半導体層106及び導電層713のパターンを示しており、図17Aは、導電層714を示しており、図17Bは、図16Aを基にして、該導電層714を示しており、図18Aは、導電層715を示しており、図18Bは、図17Bを基にして、該導電層715を示している。

【0266】

説明の便宜上、以下の説明においては、第nトランジスタ T_n のゲート、第1極、第2

10

20

30

40

50

極、及びチャンネル領域は、それぞれ、 Tng 、 Tns 、 Tnd 、 Tna で表され、ここで n は1～7である。

【0267】

なお、本開示に記載された「同層に設けられる」とは、2つ（又は2つ以上）の構造が同一の堆積プロセスによって形成され、同一のパターニングプロセスによってパターン化され、同一の水平面にあるとは限らず、これらの材料が同一又は異なることを意味する。本開示における「一体構造」とは、2つ（又は2つ以上）の構造が、同一の堆積プロセスによって形成され、同一のパターニングプロセスによってパターン化されることによって形成された相互接続構造を意味し、これらの材料は同一又は異なる。

【0268】

例えば、図14に示すように、該半導体層105は、第1トランジスタ $T1$ 、第2トランジスタ $T2$ 、第4トランジスタ $T4$ 、第5トランジスタ $T5$ 、第7トランジスタ $T7$ のチャンネル領域（ $T1a$ 、 $T2a$ 、 $T4a$ 、 $T5a$ 、 $T7a$ ）及び第1極（ $T1s$ 、 $T2s$ 、 $T4s$ 、 $T5s$ 、 $T7s$ ）、第2極（ $T1d$ 、 $T2d$ 、 $T4d$ 、 $T5d$ 、 $T7d$ ）を含む。

【0269】

例えば、該表示基板20では、セルフアライメントプロセスによって、導電層711をマスクとして該半導体層105に対して導体化処理（例えばドーピング処理）を行い、該半導体層105における該導電層711で覆われていない部分を導体化することで、半導体層における各トランジスタのチャンネル領域の両側にある部分を導体化し、該トランジスタの第1極及び第2極をそれぞれ形成する。例えば、半導体層105の材料は、低温ポリシリコン材料である。

【0270】

例えば、図14に示すように、該導電層711は、互いに絶縁とされる走査線710、リセット制御線720、及び発光制御線730を含む。これらの信号線は、すべて図4に示すゲート線11の例としてもよい。

【0271】

走査線710は、対応する行のサブ画素における第2トランジスタ $T2$ のゲート $T2g$ に電氣的に接続され（又は一体構造になる）、第1走査信号 $Ga1$ を供給し、リセット制御線720は、対応する行のサブ画素における第6トランジスタ $T6$ のゲート $T6g$ に電氣的に接続され、第1リセット制御信号 $Rst1$ を供給し、発光制御線730は、対応する行のサブ画素における第4トランジスタ $T4$ のゲート $T4g$ に電氣的に接続され、第1発光制御信号 $EM1$ を供給する。例えば、自行のサブ画素走査線710は、次の行のサブ画素のリセット制御線720として機能してもよい。

【0272】

例えば、図14に示すように、該発光制御線730はまた、第5トランジスタ $T5$ のゲート $T5g$ に電氣的に接続され、第2発光制御信号 $EM2$ を供給し、すなわち、該第1発光制御信号 $EM1$ 及び第2発光制御信号 $EM2$ は、同一の信号である。

【0273】

例えば、図15に示すように、該導電層712（本開示の第2金属層の一例）は第1コンデンサ電極 Ca を含む。該第1コンデンサ電極 Ca は、ベース基板100に垂直な方向において、第1トランジスタ $T1$ のゲート $T1g$ と重なり、蓄積コンデンサ Cst を形成し、すなわち、該第1トランジスタ $T1$ のゲート $T1g$ は、該蓄積コンデンサ Cst の第2コンデンサ電極 Cb として機能する。例えば、該第1コンデンサ電極 Ca は開口部722を含み、該開口部722は、該ゲート $T1g$ が他の構造に電氣的に接続されることを容易にするために、該第1トランジスタ $T1$ のゲート $T1g$ の少なくとも一部を露出させる。例えば、同一の画素行にあるサブ画素の第1コンデンサ電極 Ca は、互いに接続されて一体構造になる。

【0274】

図15に示すように、第1方向 $D1$ において隣接するサブ画素は、開口部722のサイ

10

20

30

40

50

ズが一致せず、例えば、開口部 7 2 2 の大きなサブ画素は緑色画素、開口部 7 2 2 の小さなサブ画素は、赤色画素又は青色画素である。

【0 2 7 5】

緑色画素は、赤色画素及び青色画素のターンオンとは、電圧もデータ信号も異なるので、該緑色画素の充電速度を高めて、表示の均一性を向上させるために、緑色画素の駆動回路を調整する必要がある。大きな開口部 7 2 2 を設けることによって、第 1 コンデンサ電極 C a の面積を小さくし、緑色画素の蓄積コンデンサ C s t を小さくし、充電速度を速めることができる。別の実施例では、第 2 コンデンサ電極 C b の面積を小さくしたり、この駆動トランジスタのアスペクト比を調整したりするなど、他の方式によって、緑色画素の蓄積コンデンサを低減させることもできる。

10

【0 2 7 6】

例えば、該導電層 7 1 2 は、第 1 方向 D 1 に延びている第 1 補助制御線 7 2 1、第 2 補助制御線 7 2 5、リセット電圧線 7 2 3、7 2 4 をさらに含んでもよく、以下では、図 1 6 A 及び図 1 7 A ~ 1 7 B を参照してこれについて詳細に説明する。

【0 2 7 7】

図 1 6 A に示すように、半導体層 1 0 6 は、第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 のチャンネル領域 (T 3 a、T 6 a)、第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 の第 1 極 (T 3 s、T 6 s)、第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 の第 2 極 (T 3 d、T 6 d) を含む。導電層 7 1 3 は、第 1 方向 D 1 に延びている走査線 7 4 0 及びリセット制御線 7 5 0 を含む。

20

【0 2 7 8】

例えば、半導体層 1 0 6 の材料は、酸化物半導体、例えば I G Z O、Z n O、A Z O、I Z T O などの材料である。

【0 2 7 9】

酸化物薄膜トランジスタには、リーク電流が小さいという利点がある。第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 のいずれも第 1 トランジスタ T 1 (すなわち、駆動トランジスタ) のゲートに直接接続されたトランジスタであるので、該第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 の安定性が第 1 トランジスタ T 1 のゲート (N 1 ノード) 電圧の安定性に直接影響を及ぼす。第 3 トランジスタ T 3 及び第 6 トランジスタとして N 型の金属酸化物薄膜トランジスタが使用されることによって、トランジスタのリーク電流を低減させることに寄与し、N 1 ノードの電圧を維持することに有利であり、それによって、補償段階においては、第 1 トランジスタ T 1 の閾値電圧が十分に補償され、発光段階における表示基板の表示均一性が向上する。

30

【0 2 8 0】

例えば、該表示基板 2 0 では、セルフアライメントプロセスによって、導電層 7 1 3 をマスクとして該半導体層 1 0 6 に対して導体化処理 (例えばドーピング処理) を行い、該半導体層 1 0 6 における該導電層 7 1 3 で覆われていない部分を導体化することで、半導体層 1 0 6 における第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 のチャンネル領域の両側にある部分を導体化し、該第 3 トランジスタ T 3 及び第 6 トランジスタ T 6 の第 1 極及び第 2 極をそれぞれ形成する。

40

【0 2 8 1】

例えば、図 1 3 A ~ 1 3 B 及び図 1 6 A に示すように、ベース基板に垂直な方向において、走査線 7 4 0 と第 1 補助制御線 7 2 1 は少なくとも部分的に重なり、例えば、該第 3 トランジスタ T 3 における該走査線 7 4 0 の下方に位置するチャンネル領域 T 3 a のベース基板での正投影は、該第 1 補助制御線 7 2 1 のベース基板での正投影内にある。

【0 2 8 2】

それによって、該第 1 補助制御線 7 2 1 は、遮光層として機能し、光が該第 3 トランジスタ T 3 のチャンネル領域の背面から該チャンネル領域に入射されて、第 3 トランジスタ T 3 の特性に悪影響を与えることを回避できる。例えば、酸化物半導体材料は光に敏感であるもので、該第 3 トランジスタ T 3 に該酸化物半導体材料がチャンネル領域に使用され

50

る場合、光が該チャンネル領域に入射されると、第3トランジスタT3の閾値ドリフトが生じやすい。該第1補助制御線721が設けられることによって、該第3トランジスタT3の安定性を高め、さらに第1トランジスタT1のゲート電圧を安定的にすることができる。

【0283】

例えば、該走査線740及び第1補助制御線721は、同じ走査信号を受信するように構成され、該第3トランジスタT3は両面ゲート構造となり、それによって、第3トランジスタT3のゲート制御能力が高まり、さらに第1トランジスタT1のゲート電圧が安定的になる。

【0284】

例えば、図13A～13B及び図16Aに示すように、ベース基板に垂直な方向において、該リセット制御線750は少なくとも部分的に重なり、例えば、該第6トランジスタT6における該リセット制御線750の下方に位置するチャンネル領域T6aのベース基板での正投影は、該第2補助制御線725のベース基板での正投影内にある。

【0285】

それによって、該第2補助制御線725は、遮光層として、光が該第6トランジスタT6のチャンネル領域の背面から該チャンネル領域に入射されて、第6トランジスタT6の特性に悪影響を与えることを回避できる。例えば、酸化物半導体材料は光に敏感であるもので、該第6トランジスタT6に該酸化物半導体材料がチャンネル領域に使用される場合、光が該チャンネル領域に入射されると、第6トランジスタT6の閾値ドリフトが発生しやすい。該第2補助制御線725が設けられることによって、該第6トランジスタT6の安定性を高め、さらに第1トランジスタT1のゲート電圧を安定的にすることができる。

【0286】

例えば、該リセット制御線750及び第2補助制御線725は、同じ走査信号を受信するように構成され、該第6トランジスタT6は両面ゲート構造となり、それによって、第6トランジスタT6のゲート制御能力が高まり、第1トランジスタT1のゲート電圧が安定的になる。

【0287】

別の例では、第7トランジスタT7のアクティブ層は、半導体層106内に設けられてもよく、例えば酸化物半導体材料を用いる。第1トランジスタT7は発光素子120の第1電極134に直接電氣的に接続されるため、このような構成によって、第7トランジスタT7のリーク電流を低減させ、第1電極134の電位の安定性を高め、発光の安定性を高めることができる。

【0288】

図16Bに示すように、このような場合、該導電層712は、補助制御線810（本開示の第1リセット制御線の一例）をさらに含み、該導電層713は、リセット制御線820（本開示の第2リセット制御線の一例）をさらに含み、該リセット制御線820及び補助制御線810は、第7トランジスタT7に対してゲート電圧制御を行うように構成される。例えば、該リセット制御線820及び補助制御線810は、同じ走査信号を受信するように構成され、該第7トランジスタT7は両面ゲート構造となり、それによって、第7トランジスタT7のゲート制御能力が高まり、さらに第1電極134の電圧が安定的になる。

【0289】

ベース基板に垂直な方向において、リセット制御線820と補助制御線810は少なくとも部分的に重なり、例えば、該第7トランジスタT7における該リセット制御線820の下方に位置するチャンネル領域のベース基板での正投影は、該補助制御線810のベース基板での正投影内にある。

【0290】

このような場合、第7トランジスタT7の接続方式を適宜調整する必要がある。例えば、第7トランジスタT7の第2極T7dと第5トランジスタT5の第2極T5dは、半導

10

20

30

40

50

体層 105 において直接電氣的に接続される代わりに、ビアを介して電氣的に接続され、ここでは詳細な説明を省略する。

【0291】

図 16C は、本開示の更なる示例による表示基板の模式図を示し、図 16C に示すように、該表示基板は、半導体層 105 のベース基板 100 に近い側に位置する遮光層 LS をさらに含み、該遮光層 LS は、トランジスタのチャンネル領域を遮断することで、光（例えば背面又は側面から）のチャンネル領域への入射に起因するトランジスタの閾値ドリフトを回避することに用いられる。例えば、該遮光層 LS は第 1 遮光パターン LS1 を含み、該第 1 遮光パターン LS1 は、第 1 トランジスタのチャンネル領域 T1a に対応して設けられ、該チャンネル領域 T1a のベース基板での正投影は該第 1 遮光パターン LS1 内にあり、それによって、第 1 トランジスタのチャンネル領域が遮断され、第 1 ノード N1 の安定性が向上する。

10

【0292】

例えば、該遮光層 LS は第 2 遮光パターン LS2 をさらに含んでもよく、該第 2 遮光パターン LS2 は、第 3 トランジスタ T3 及び第 6 トランジスタ T6 のチャンネル領域に対応して設けられ、該第 3 トランジスタ T3 及び第 6 トランジスタ T6 のチャンネル領域のベース基板での正投影は該第 2 遮光パターン LS2 内にあり、それによって、第 3 トランジスタ T3 及び第 6 トランジスタ T6 のチャンネル領域が遮断され、第 3 トランジスタ T3 及び第 6 トランジスタ T6 のリーク電流が効果的に低減され、第 1 ノード N1 の安定性がさらに向上する。

20

【0293】

例えば、該遮光層 LS の材料は、例えば、金属材料、又は有機若しくは無機の絶縁性遮光材料であってもよい。

【0294】

例えば、図 13A～13B 及び図 17A～17B に示すように、導電層 714 は接続電極 701 を含み、該接続電極 701 の一端は、第 1 コンデンサ電極 Ca の開口部 722 及び絶縁層のビア 901 を介して該第 1 トランジスタ T1 のゲート T1g、すなわち第 2 コンデンサ電極 Cb に電氣的に接続され、その他端は、ビア 902 を介して該第 3 トランジスタ T3 の第 2 極 T3d に電氣的に接続され、それによって、該第 2 コンデンサ電極 Cb と該第 3 トランジスタ T3 の第 2 極 T3d とを電氣的に接続する。

30

【0295】

例えば、図 13A～13B 及び図 17A～17B に示すように、該導電層 714 は接続電極 703 をさらに含み、該接続電極 703 は、それぞれ、ビア 904 及びビア 914 を介して、第 3 トランジスタ T3 の第 1 極 T3s 及び第 5 トランジスタ T5 の第 1 極 T5s に電氣的に接続され、それによって、第 3 トランジスタ T3 の第 1 極 T3s と第 5 トランジスタ T5 の第 1 極 T5s とを電氣的に接続する。

【0296】

例えば、該導電層 714 は接続電極 704 をさらに含み、該接続電極 704 は、ビア 905 を介して第 5 トランジスタ T5 の第 2 極 T5d 及び第 7 トランジスタ T7 の第 2 極 T7d に電氣的に接続され、それによって、該第 5 トランジスタ T5 の第 2 極 T5d 及び第 7 トランジスタ T7 の第 2 極 T7d と発光素子 120 の第 1 電極 134 とを電氣的に接続する。

40

【0297】

例えば、該導電層 714 は接続電極 708 をさらに含み、該接続電極 708 は、第 1 電源線電圧 VDD をロードするように構成される。該接続電極 708 は、それぞれ、ビア 909 及びビア 915 を介して、第 4 トランジスタ T4 の第 1 極 T4s 及び第 1 コンデンサ電極 Ca に電氣的に接続される。

【0298】

例えば、該導電層 714 は接続電極 709 をさらに含み、該接続電極 709 は、ビア 908 を介して第 2 トランジスタ T2 の第 1 極 T2s に電氣的に接続される。

50

【0299】

例えば、図17A～17Bに示すように、該導電層714は接続電極702をさらに含み、例えば、該接続電極702は、ビア903（本開示の第5ビアの一例）及びビア913のそれぞれを介して、第6トランジスタT6（本開示のゲートリセットトランジスタの一例）の第1極T6s及びリセット電圧線724（本開示の第1ゲートリセット電圧線の一例）に電氣的に接続され、それによって、該第6トランジスタT6の第1極T6sとリセット電圧線724とを電氣的に接続し、該第6トランジスタT6の第1極T6sが該リセット電圧線724から第1リセット電圧Vinit1を受信することを可能にする。

【0300】

例えば、図17A～17Bに示すように、該導電層714は接続電極707をさらに含み、該接続電極707は、ビア906（本開示の第4ビアの一例）及びビア907のそれぞれを介して、第7トランジスタT7（本開示の画素電極リセットトランジスタの一例）の第1極T7s及びリセット電圧線723（本開示の第1画素電極リセット電圧線の一例）に電氣的に接続され、それによって、該第7トランジスタT7の第1極T7sとリセット電圧線723とを電氣的に接続し、該第7トランジスタT7の第1極T7sが該リセット電圧線723から第2リセット電圧Vinit2を受信することを可能にする。

10

【0301】

例えば、図17A～17Bに示すように、該導電層714は、第2方向D2に延びているリセット電圧線760、780をさらに含む。第1方向D1において、リセット電圧線760及びリセット電圧線780は交互に設けられ、隣接するリセット電圧線760とリセット電圧線780との間に2列のサブ画素は存在しており、この2列のサブ画素における接続電極708は、例えば一体構造である。隣接する2列ずつのサブ画素は、1つのリセット電圧線760又は1つのリセット電圧線780を共用する。該リセット電圧線760は、第2リセット電圧Vinit2を供給するように構成され、該リセット電圧線780は、第1リセット電圧Vinit1を供給するように構成される。

20

【0302】

図17A～17Bに示すように、該リセット電圧線760（本開示の第2画素電極リセット電圧線の一例）は、隣接するサブ画素における接続電極707に電氣的に接続され、例えば一体構造になり、それによって、横方向のリセット電圧線723に電氣的に接続され、このようにして、縦横に絡み合う網状導電構造が形成され、この網状導電構造は、抵抗を低下させ、電圧ドロップを下げることができ、第2リセット電圧Vinit2を基板の各サブ画素に均一に伝達するのに有利である。

30

【0303】

図17A～17Bに示すように、該リセット電圧線780（本開示の第2ゲートリセット電圧線の一例）は、隣接するサブ画素における接続電極702に電氣的に接続され、例えば一体構造になり、それによって、横方向のリセット電圧線724に電氣的に接続され、このようにして、縦横に絡み合う網状導電構造が形成され、この網状導電構造は、抵抗を低下させ、電圧ドロップを下げることができ、第1リセット電圧Vinit1を基板の各サブ画素に均一に伝達するのに有利である。

【0304】

例えば、該導電層715は、第2方向D2に延びているデータ線12を含む。例えば、該複数本のデータ線12は、複数列のサブ画素に1対1で対応して電氣的に接続され、データ信号Vdを供給し、各データ線12は、対応する1列のサブ画素における第2トランジスタT2の第1極T2sに電氣的に接続され、該データ信号Vdを供給する。

40

【0305】

図18A～18Bに示すように、該データ線12は、ビア913を介して該接続電極709に電氣的に接続され、それによって、第2トランジスタT2の第1極T2sに接続される。

【0306】

例えば、該導電層715は複数の電源線電極920をさらに含み、複数の電源線電極9

50

20は、複数のサブ画素に1対1で対応して設けられ、第1電源線電圧VDDを供給する。該電源線電極920は窪み構造を含み、該窪み構造は、他の導電構造（以下に記載の接続電極910）を設けることに用いられる。1列のサブ画素に対応する電源線電極920は、互いに接続されて一体構造になり、それによって、第2方向D2に延びている電源線770が得られる。

【0307】

図18A～18Bに示すように、各電源線770は、ビア914を介して、対応する1列のサブ画素における接続電極708に電氣的に接続され、それによって、接続電極708を介して第1電源線電圧VDDを第4トランジスタT4の第1極T4s及び第1コンデンサ電極Caに伝送する。

【0308】

例えば、図18Bに示すように、隣接する2列のサブ画素の間には1つのデータ線群が設けられ、該データ線群は2本のデータ線12を含み、該2本のデータ線12は、それぞれ、この2列のサブ画素にデータ信号を供給する。隣接する2つのデータ線群の間に2列のサブ画素が介在している。

【0309】

該2本のデータ線12のベース基板100での正投影は、リセット電圧線760、780のベース基板での正投影のいずれとも重なっておらず、それによって、寄生容量の発生を回避する。

【0310】

隣接する電源線770は互いに間隔を置いて配置される。例えば、図18A～18Bに示すように、隣接する2本の電源線770の間に1つのデータ線群が設けられ、隣接するデータ線群の間に2本の電源線770が介在している。隣接する2つのデータ線群の間にある2本の電源線は互いに間隔を置いており、これは、下方のリセット電圧線780又はリセット電圧線760と重なり合って寄生容量を発生させることを回避するためである。言い換えれば、リセット電圧線780及びリセット電圧線760は、それぞれ、隣接する2本の電源線770の隙間に対応して設けられる。

【0311】

図13A～13B及び図18A～18Bに示すように、該導電層715は接続電極910をさらに含み、該接続電極910は、ビア911を介して接続電極704に電氣的に接続され、それによって、該接続電極704と発光素子120の第1電極134とを電氣的に接続する。図13A～13Bに示すように、該接続電極910は、ビア912を介して、発光素子120の第1電極134に電氣的に接続される。

【0312】

上述した接続電極910、及び704は、アダプタ電極として、下方にあるトランジスタの第1極を引き出し、上方にある発光素子に電氣的に接続し、このような構成によって、ベース基板に垂直な方向においてビアが直接貫通し、導電材料の充填深さが深すぎ、接続不良、線切れや凹凸が生じることを回避し、アダプタ電極が設けられることによって、ビアの深さを小さくし、コンタクト歩留まりが向上する。

【0313】

図18Cは、本開示の別の実施例による表示基板の模式図である。図18Cに示すように、この実施例では、リセット電圧線780は、垂直方向において上方へ導電層715まで移動して、隣接する2本の電源線770の間に位置するようになってよい。図19A及び図19Bは、本開示の更なる実施例による表示基板の模式図である。図18A～18Bに示す実施例と比べて、この実施例では、リセット電圧線760、780の配置位置が変わる点は主に相違し、該リセット電圧線760、780は、導電層714内ではなく、導電層715内に位置し、また、データ線群の2本のデータ線12の間に位置する。

【0314】

図19Bに示すように、リセット電圧線780は、ビア918（本開示の第2ビアの一例）を介してリセット電圧線724に電氣的に接続され、それによって、縦横に絡み合う

10

20

30

40

50

網状リセット電圧線構造が形成される。リセット電圧線 760 は、ビア 919（本開示の第 3 ビアの一例）を介して、リセット電圧線 723 に電氣的に接続され、それによって、縦横に絡み合う網状リセット電圧線構造が形成される。

【0315】

図 19A に示すように、第 1 方向において、リセット電圧線 760 及びリセット電圧線 780 は交互に設けられ、かつ、データ線群の 2 本のデータ線 12 の間に交互に配置される。隣接するデータ線群の間にある 2 本の電源線 770 は一体構造として接続される。該 2 本の電源線 770 の隙間にはリセット電圧線 760 又はリセット電圧線 780 が設けられないので、該 2 本の電源線 770 を接続して一体構造にした場合は、寄生容量を招くことはない。

10

【0316】

例えば、図 19A に示すように、第 1 方向 D1 において、隣接する 2 つずつの電源線電極 920 は、互いに接続されて、一体となった電源線電極群 777 になり、該電源線電極群 777 は透かし彫り領域 771 を含み、該透かし彫り領域 771 は、この 2 つの電源線電極 920 に対応するサブ画素における接続電極 910 を設けることに用いられる。例えば、導電層 715 は接続線 772 をさらに含み、該接続線 772 は、第 2 方向 D2 に延びており、各透かし彫り領域 771 の中央部に位置し、1 つの透かし彫り領域を 2 つのサブ透かし彫り領域に分割し、この透かし彫り領域 771 内の 2 つの接続電極 910 は、それぞれこの 2 つのサブ透かし彫り領域内に位置し、かつ、それぞれ該接続線 772 の両側に位置する。接続線 772 が設けられることによって、電源線 770 の抵抗の更なる低下に有利である。

20

【0317】

図 13A ~ 13B に示すように、導電層 206 は発光素子 120 の第 1 電極 134 を含む。該表示基板 20 は、発光素子の第 1 電極 134 上に位置する画素定義層 608 をさらに含んでもよい。画素定義層 308 には、画素電極 134 の少なくとも一部を露出させて表示基板の各サブ画素の開口部領域（すなわち、有効発光領域）800 を画定するための開口部が形成されている。発光素子 120 の発光層 136 は、少なくとも該開口部内に形成され（発光層 136 は、画素定義層の発光素子の第 1 電極から離れた側の表面を部分的に覆ってもよい）、第 2 電極 135 は発光層 136 に形成され、それによって、該発光素子 120 が得られる。例えば、該第 2 電極 135 は、共通電極で、該表示基板 20 の全面に亘って配置される。例えば画素電極 134 は発光素子の正極、第 2 電極 135 は発光素子の負極である。

30

【0318】

なお、本開示の実施例による表示基板の発光素子の第 1 電極の分布は、図 13A に示す形態に限定されず、他の画素電極の分布も可能である。図 19C に示すように、図 10B に示す発光素子の第 1 電極 134 の分布図も本実施例による表示基板に適用できる。

【0319】

例えば、各導電層の材料には、金（Au）、銀（Ag）、銅（Cu）、アルミ（Al）、モリブデン（Mo）、マグネシウム（Mg）、タングステン（W）、及び以上の金属を組み合わせた合金材料、又は導電性金属酸化物材料、例えばインジウムスズ酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）、酸化亜鉛アルミニウム（AZO）等、又は複数層の金属の積層構造、又は金属と導電性金属酸化物との積層構造が含まれてもよい。

40

【0320】

例えば、該発光素子 120 はトップエミッション構造であり、第 1 電極（すなわち、画素電極）134 は反射性を持ち、第 2 電極 135 は、透過性又は半透過性を持つ。例えば、第 1 電極 134 は正極であり、第 2 電極 135 は負極である。例えば、第 1 電極 134 は ITO/Ag/ITO 積層構造であり、透明導電材料 ITO は、高い仕事関数の材料であり、発光材料に直接接触すると正孔注入率を高めることができ、金属材料 Ag は、第 1 電極の反射率向上に有利である。例えば、第 2 電極 135 は、低い仕事関数の材料で、負

50

極として機能し、例えば、半透過性金属又は金属合金材料、例えば A g / M g 合金材料である。

【0321】

例えば、各絶縁層の材料は、例えば無機絶縁層、例えば酸化ケイ素、窒化ケイ素、酸窒化ケイ素などのケイ素の酸化物、ケイ素の窒化物若しくはケイ素の窒素酸化物、又はアルミナ、窒化チタンなど、金属酸窒化物を含む絶縁材料である。

【0322】

例えば、画素定義層608の材料は、有機材料、例えばポリイミド（PI）、アクリレート、エポキシ樹脂、ポリメチルメタクリレート（PMMA）などの有機絶縁材料である。

10

【0323】

例えば、ベース基板100は、剛性基板、例えばガラス基板、ケイ素基板などであってもよいし、優れた耐熱性と耐久性を持つ可撓性材料、例えばポリイミド（PI）、ポリカーボネート（PC）、ポリエチレンテレフタレート（PET）、ポリエチレン、ポリアクリレート、ポリアリレート、ポリエーテルイミド、ポリエーテルスルホン、ポリエチレンテレフタレート（PET）、ポリエチレン（PE）、ポリプロピレン（PP）、ポリスルホン（PSF）、ポリメチルメタクリレート（PMMA）、トリアセチルセルロース（TAC）、環状オレフィンポリマー（COP）、及び環状オレフィンコポリマー（COC）などで形成されてもよい。

【0324】

例えば、該半導体層105、106の材料は、ケイ素系材料（アモルファスシリコン a-Si、ポリシリコン p-Si 等）、例えば金属酸化物半導体（IGZO、ZnO、AZO、IZTO 等）などの酸化物半導体材料及び有機物材料（ヘキサチオフェン、ポリチオフェンなど）を含むが、これらに限定されない。

20

【0325】

例えば、該表示基板20は、図2に示す構造を含み、本実施例では、図2に示す接続構造が接続電極704と接続電極910との接続部位に設けられた場合を例にして説明するが、これは、本開示を制限するものではない。

【0326】

図13A～13Bに示すように、該接続電極704（本開示の第1導電構造の一例）は、ベース基板に近い底面704aと、ベース基板から離れた頂面704bと、該底面704aと頂面704bとの間に位置する第1側面704cと、を含む。

30

【0327】

接続電極704は、ビア911（本開示の第1ビアの一例）を介して接続電極910（本開示の第2導電構造の一例）に電氣的に接続される。ビア911とビア905（本開示の第1窪み構造の一例）とは、ベース基板に垂直な方向において、少なくとも部分的に重なり、それによって、絶縁層606（本開示の第2絶縁層の一例）は下へ窪み、ビア911は該接続電極704の第1側面704cの少なくとも一部を露出させ、また、接続電極910は下へ窪み、また突出部910a（本開示の第1突出部の別の例）を含み、該突出部910aは該第1側面704cの少なくとも一部に接触し、該第1側面704cにおける該ビア911を介して露出させた部分を覆う。

40

【0328】

図2及び図13A～13Bに示すように、図2に示す構造は、表示基板20の切断線B-B'に沿う断面構造の一部と見なされてもよく、すなわち、図13Bにおいて破線で囲まれた構造、図13Bにおける接続電極704、接続電極910、突出部910a、ビア911、ビア905は、それぞれ、図2における第1導電構造21、第2導電構造22、突出部220、ビアV1、及び窪み構造G1とみなされてもよい。図2の説明は図13Bにも同様であるので、ここでは詳細な説明を省略する。

【0329】

例えば、図13A～13Bに示すように、該接続電極704は、ビア905に面する突

50

出部 704t を含み、該突出部 704t のベース基板での正投影は、ビア 905 のベース基板での正投影内にある。

【0330】

例えば、図 13B に示す断面内において、該ビア 905 の基準方向 F の寸法は b とされ、該基準方向 F はベース基板の板面に平行し、例えば第 2 方向 D2 である。ビア 911 とビア 905 との重なり領域の基準方向 F の寸法は c とされ、接続電極 704 の第 1 側面 704c における接続電極 910 で覆われた部分の、ベース基板に垂直な方向の寸法は d とされる。

【0331】

図 13B に示すように、該接続電極 704 は、絶縁層 605 のベース基板から離れた側に位置し、接続電極 910 に接触された接触部 724 をさらに含み、該接触部 724 は、例えば、該接続電極 704 の該接続電極 910 との接触範囲内の縦方向切断部とみなされてもよい。該接触部 724 のベース基板に垂直な方向の寸法は e とされる。第 1 側面 704c のベース基板に垂直な方向の寸法は n とされる。

【0332】

例えば、図 13B に示す断面内において、該ビア 905 の最大深さを i、該ビア 905 の 1 つの側辺とベース基板の板面とがなす角を j、該接続電極 910 における該接続電極 704 に接触する部分の、前記ベース基板に垂直な方向の寸法を k とする。例えば、 $d/e > 2.1 * i * \sin(j) / k$ である。

【0333】

例えば、 c/b は 0.1 よりも大きく、 d/e は 0.3 よりも大きい。例えば、 c/b は 0.28 よりも大きい。

【0334】

例えば、 d/n は 0.6 よりも大きい。

【0335】

該第 1 側面 704c における覆われた部分の寸法はビア 905 の深さ、ビア 905 の底角と正の相関を持ち、接続電極 910 の厚さと負の相関を持ち、所定の範囲内で d/e 又は c/b を小さくすると、ビア 911 とビア 905 との重なり合い部分を減少させ、接続電極 910 の下向きの突出部 910a の寸法を減少させ、接続電極 910 の平坦度を高め、さらに上方の画素電極の平坦度を高め、表示品質を向上させることができる。

【0336】

例えば、 $d/e > 2.5 * i * \sin(j) / k$ である。

【0337】

上記の構成によって、接続電極 910 と接続電極 704 との縦方向の重なり合い面積を増大し、ビア 911 とビア 905 との平面面積を小さくするのに有利であり、平坦度を高めるために画素開口部領域 800 とビア 911 又はビア 905 との重なりをできるだけ避ける必要があることから、上記の構成では、表示基板の開口部率を効果的に高めることができる。

【0338】

一例では、 $b = 56.8 \mu\text{m}$ 、 $c = 8.1 \mu\text{m}$ 、 $c/b = 0.143$ 、 $d = 2.9 \mu\text{m}$ 、 $e = 14.1 \mu\text{m}$ 、 $d/e = 0.206$ である。

【0339】

別の示例では、 $b = 33.2 \mu\text{m}$ 、 $c = 5.1 \mu\text{m}$ 、 $c/b = 0.154$ 、 $d = 3.1 \mu\text{m}$ 、 $e = 9.1 \mu\text{m}$ 、 $d/e = 0.341$ である。

【0340】

更なる例では、 $b = 99.1 \mu\text{m}$ 、 $c = 26.0 \mu\text{m}$ 、 $c/b = 0.262$ 、 $d = 12.8 \mu\text{m}$ 、 $e = 22.5 \mu\text{m}$ 、 $d/e = 0.569$ である。

【0341】

例えば、突出部 910a の平均厚さは、接続電極 910 における接続電極 704 の頂面 704b に接触する部分の平均厚さよりも小さい。

【0342】

例えば、各サブ画素については、該突出部910aは、当該サブ画素に接続されたリセット電圧線760／780と接続電極708との間に位置し、すなわち、該突出部910aのベース基板100での正投影は、該リセット電圧線760／780の該ベース基板での正投影と該接続電極708の該ベース基板での正投影との間に位置する。接続電極708には第1電源線電圧VDDがロードされるため、このような構成は、リセット電圧線760／780と接続電極708との間の信号干渉の低減に寄与する。

【0343】

図13A～13Bに示すように、図における左から1番目のサブ画素については、突出部910aは、当該列のサブ画素に接続されたリセット電圧線760と接続電極708との間に位置する。図13Aに示すように、該突出部910aのベース基板での正投影とリセット電圧線760のベース基板での正投影との基準方向F（例えば第1方向D1）の距離をs1、該突出部910aのベース基板での正投影と接続電極708のベース基板での正投影との基準方向Fの距離をs2とする。例えば、s1はs2よりも小さい。このような構成によって、リセット電圧線70に対して優れたシールド効果を果たすことができる。

10

【0344】

例えば、図17Bに示すように、接続電極708は、本体部から第1方向D1に延びている延び部708aを含み、該延び部708aは、該リセット電圧線706に向かって突出し、該延び部708aの第2方向D2の寸法は該本体部の第2方向D2の寸法よりも小さい。第2方向D2において、接続電極704と接続電極708の延び部708aとは、少なくとも部分的に重なる。このような構成は、接続電極708の電源線電圧信号がリセット電圧線706に与える干渉をシールドする効果をさらに高めるのに寄与する。

20

【0345】

本開示の少なくとも1つの実施例はまた、以上の表示基板20のいずれかを含む表示パネルを提供する。例えば、該表示パネルは、OLED表示パネルであり、このため、それに含まれる表示基板20はOLED表示基板である。該表示基板20は、発光素子を含んでもよく、含まなくてもよく、すなわち、該発光素子は、表示基板20を完成した後にパネル工場で形成されてもよい。該表示基板20自体が発光素子を含まない場合、本開示の実施例による表示パネルは、表示基板20に加えて、発光素子を含む。

30

【0346】

図20に示すように、例えば、該表示パネル30は、表示基板20上に設けられたパッケージ層801及びカバープレート802をさらに含み、該パッケージ層801は、表示基板20上の発光素子を封止して、外部の湿気や酸素が該発光素子及び駆動サブ回路に侵入してデバイスへダメージを与えることを防止するように構成される。例えば、パッケージ層801は、有機フィルム、無機フィルム、又は有機フィルムと無機フィルムが交互に積層された構造を含む。例えば、該パッケージ層801と表示基板20との間には、発光素子の製造前工程において残留する水蒸気やゾルを吸収するように構成されている吸水層（図示せず）がさらに設けられてもよい。カバープレート802は、例えば、ガラスカバープレートや可撓性カバープレートである。例えば、カバープレート802とパッケージ層801は一体構造としてもよい。

40

【0347】

本開示の少なくとも1つの実施例はまた、以上の表示基板20のいずれかを含む、タッチ表示パネルを提供する。以下、図21を参照して、該タッチ表示パネルが図6A～6Bに示す表示基板を含む場合を例にして、本開示の少なくとも1つの実施例によるタッチ表示パネルについて例示的に説明する。

【0348】

図21に示すように、該タッチ表示パネル50は、積層配置された表示基板20及びタッチ構造520を含み、また、表示基板20とタッチ構造520との間に位置する絶縁層406をさらに含む。例えば、該絶縁層406はパッケージ層406を含み、該パッケー

50

ジ層 406 は、発光素子 120 を封止して、外部の湿気や酸素が該発光素子及び駆動回路に侵入して、例えば発光素子 120 などのデバイスへダメージを与えることを防止するように構成される。例えば、パッケージ層 406 は、単層構造又は多層構造であってもよく、例えば、有機フィルム、無機フィルム、又は有機フィルムと無機フィルムが交互に積層された多層構造を含む。例えば、該タッチ表示パネルは、パッケージ層 406 とタッチ構造 520 との間に位置する緩衝層（図示せず）をさらに含む。該緩衝層は、タッチ構造 520 と表示基板 20 との間の粘着力を高めるものである。

【0349】

図 21 に示すように、該タッチ構造 520 はタッチ電極 521 を含み、該タッチ電極 521 は、例えば塊状電極や金属グリッド電極である。

10

【0350】

ベース基板に垂直な方向において、表示基板の第 2 導電構造の突出部とタッチ電極は重なっておらず、すなわち、第 2 導電構造の突出部（例えば図 21 における突出部 314a）のベース基板での正投影とタッチ電極のベース基板での正投影とは分離している。このような構成は、該突出部がタッチ電極の平坦度に影響することによる不良を回避するのに有利である。

【0351】

例えば、ベース基板に垂直した方向において、表示基板の第 1 導電構造（例えば図 21 における接続電極 232）とタッチ電極は重なっておらず、すなわち、第 1 導電構造のベース基板での正投影とタッチ電極のベース基板での正投影とは分離している。

20

【0352】

本開示の少なくとも 1 つの実施例はまた、図 22 に示すように、上記の表示基板 20 のいずれか、表示パネル、又はタッチ表示パネルを含む表示装置 40 を提供し、本実施例における表示装置は、ディスプレイ、OLED パネル、OLED テレビ、電子ペーパー、携帯電話、タブレット、ノートパソコン、デジタルフォトフレーム、ナビゲーション装置など、表示機能を有する任意の製品又は部品であってもよい。

【0353】

以上は、本発明の例示的な実施形態にすぎず、本発明の保護範囲を限定するものではなく、本発明の保護範囲は、添付の特許請求の範囲によって定められる。

【符号の説明】

30

【0354】

- 20 表示基板
- 21 第 1 導電構造
- 21 第 1 導電層
- 21a 底面
- 21b 頂面
- 21b 上面
- 21c 第 1 側面
- 21d 突出曲面
- 21e 第 2 側面
- 21f 接続部
- 22 第 2 導電構造、第 2 導電層
- 30 表示パネル
- 40 表示装置
- 50 タッチ表示パネル
- 70 リセット電圧線
- 100 ベース基板
- 100 サブ画素
- 101 第 1 絶縁層
- 102 半導体層

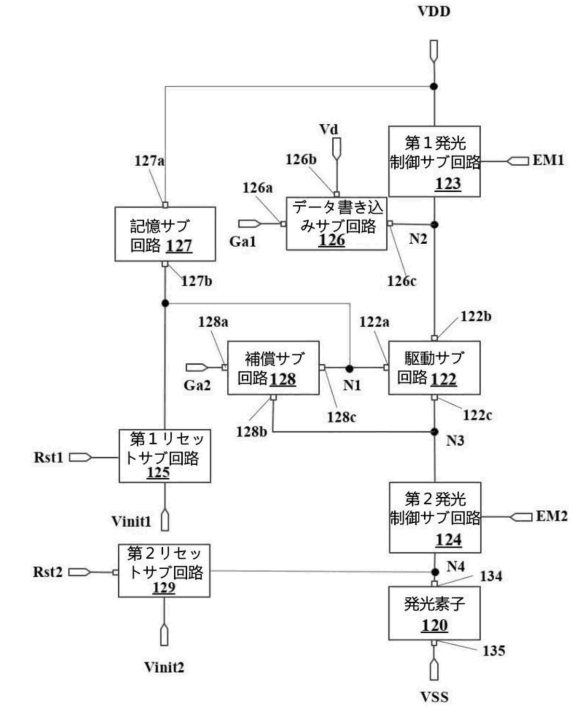
40

50

1 0 3	非表示領域	
1 0 4	接続部	
1 0 5	半導体層	
1 0 6	半導体層	
1 1 0	表示領域	
1 3 4	第 1 電極、第 1 端子、画素電極	
1 3 4 a	突出部	
1 3 5	第 2 電極、第 2 端子	
1 3 6	発光層	
1 3 6	有機機能層	10
2 0 1	第 1 導電層	
2 0 1 '	第 1 導電層	
2 0 2	第 2 導電層	
2 0 2 '	第 2 導電層	
2 0 6	導電層	
2 1 0	走査線、突出部	
2 1 1	接触部	
2 2 0	走査線、突出部	
2 2 1	シールド電極	
2 2 1 a	第 1 遮断部	20
2 2 1 b	第 2 遮断部	
2 2 2	開口部	
2 3 0	発光制御線	
2 3 1	接続電極	
2 3 2	接続電極	
2 3 2 a	底面	
2 3 2 b	頂面	
2 3 2 c	第 1 側面	
2 3 2 t	突出部	
2 3 3	接続電極	30
2 4 0	リセット電圧線	
2 5 0	電源線	
2 6 0	リセット電圧線	
2 7 0	リセット電圧線	
3 0 1	第 1 絶縁層	
3 0 1 '	第 1 絶縁層	
3 0 2	第 2 絶縁層	
3 0 2 '	第 2 絶縁層	
3 0 3	第 3 絶縁層	
3 0 8	画素定義層	40
3 1 4	第 1 電極	
3 1 4 a	突出部	
3 4 1 ~ 3 5 1	ビア	
4 0 1 ~ 4 0 4	絶縁層	
4 0 5	画素定義層	
4 0 5 a	凸起部	
4 0 5 a 1	第 1 凸起部	
4 0 5 a 2	第 2 凸起部	
4 0 5 a 3	第 3 凸起部	
4 0 6	絶縁層、パッケージ層	50

5 0 1 ~ 5 0 5	導電層	
5 2 0	タッチ構造	
5 2 1	タッチ電極	
6 0 0	画素開口部領域	
6 0 1 ~ 6 0 7	絶縁層	
6 0 8	画素定義層	
7 0 1 ~ 7 0 4	接続電極	
7 0 4 a	底面	
7 0 4 b	頂面	
7 0 4 c	第 1 側面	10
7 0 4 t	突出部	
7 0 6	リセット電圧線	
7 0 7	接続電極	
7 0 8	接続電極	
7 0 8 a	延び部	
7 0 9	接続電極	
7 1 0	走査線	
7 1 0	サブ画素走査線	
7 1 1 ~ 7 1 6	導電層	
7 2 0	リセット制御線	20
7 2 1	第 1 補助制御線	
7 2 2	開口部	
7 2 3	リセット電圧線	
7 2 4	リセット電圧線	
7 2 5	第 2 補助制御線	
7 3 0	発光制御線	
7 4 0	走査線	
7 5 0	リセット制御線	
7 6 0	リセット電圧線	
7 7 0	電源線	30
7 7 1	領域	
7 7 2	接続線	
7 7 7	電源線電極群	
7 8 0	リセット電圧線	
8 0 0	画素開口部領域	
8 0 1	パッケージ層	
8 0 2	カバープレート	
8 1 0	補助制御線	
8 2 0	リセット制御線	
9 0 1 ~ 9 0 9	ビア	40
9 1 0	接続電極	
9 1 0 a	突出部	
9 1 1 ~ 9 1 9	ビア	
9 2 0	電源線電極	

【図 5 A】



【図 5 B】

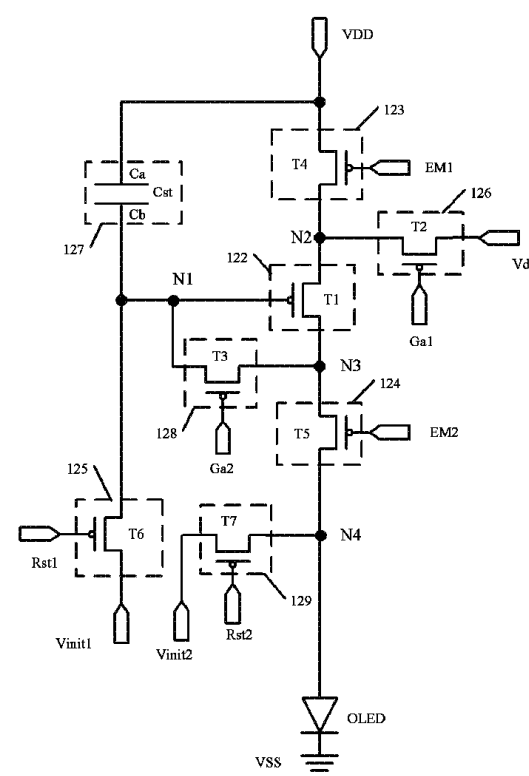


图 5B

【図 5 C】

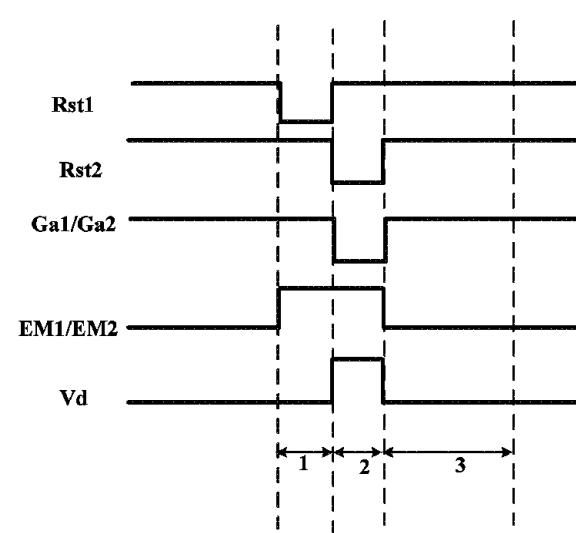


图 5C

【図 6 A】

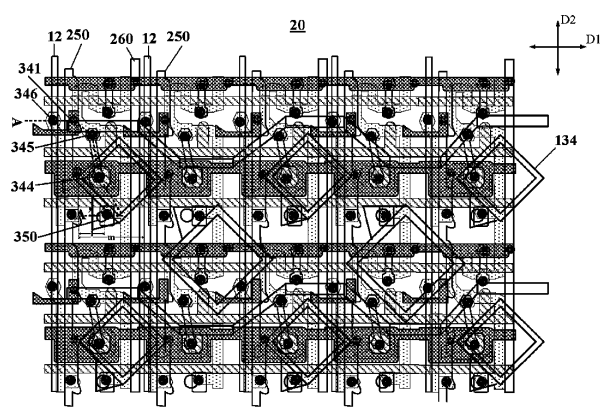


图 6A

10

20

30

40

50

【図 6 B】

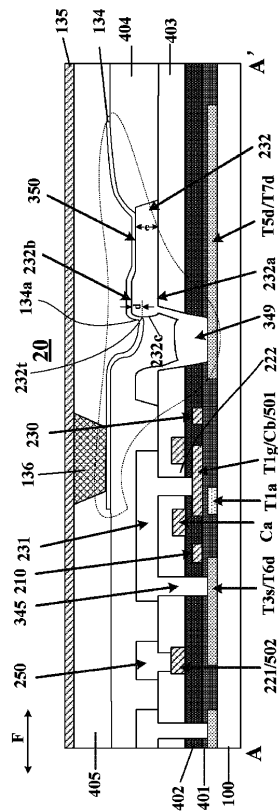


图 6B

【图 7】

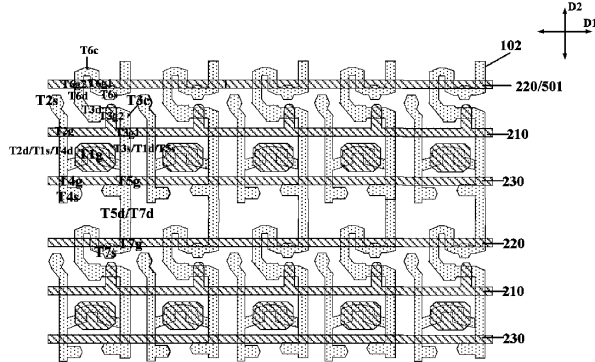


图 7

【图 8 A】

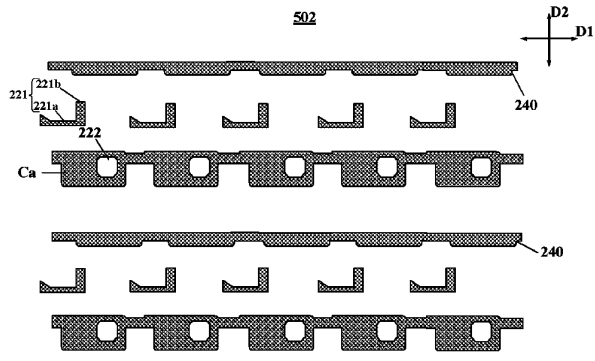


图 8A

【图 8 B】

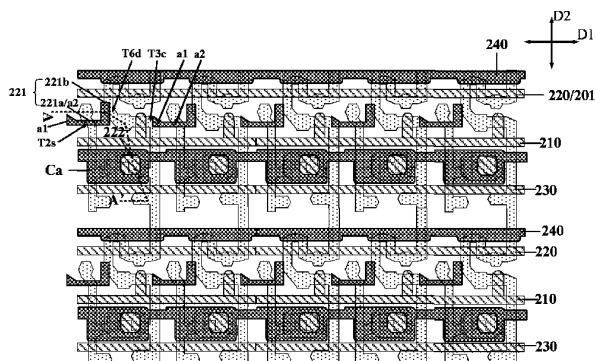


图 8B

10

20

30

40

50

【図 8 C】

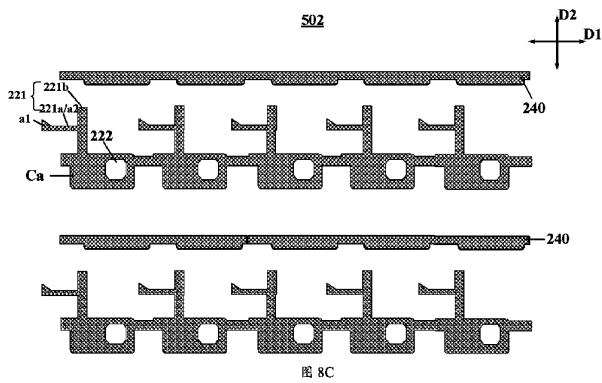


图 8C

【図 9 A】

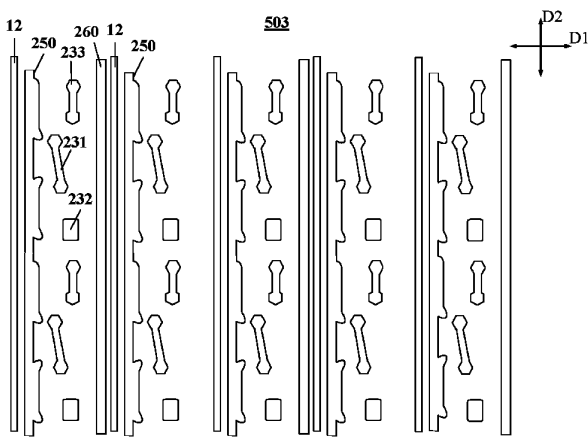


图 9A

【図 9 B】

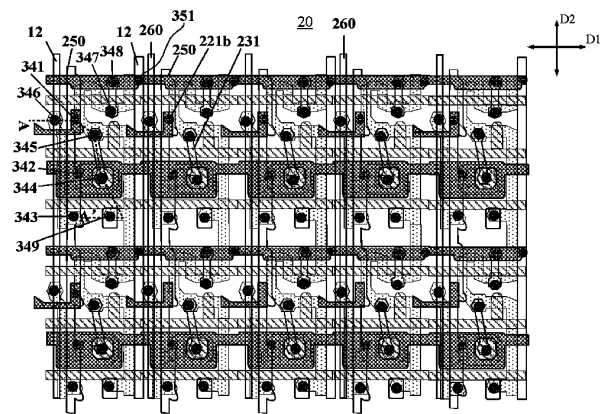


图 9B

【図 9 C】

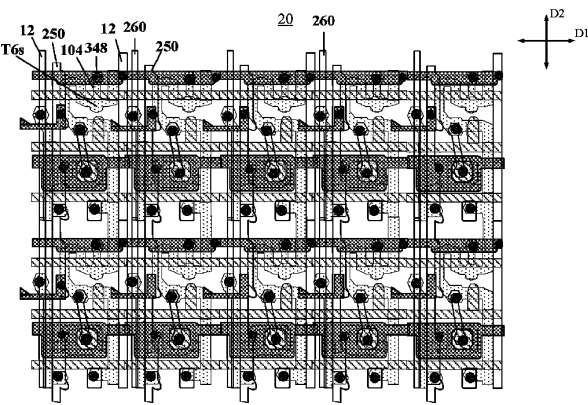


图 9C

10

20

30

40

50

【図 9 D】

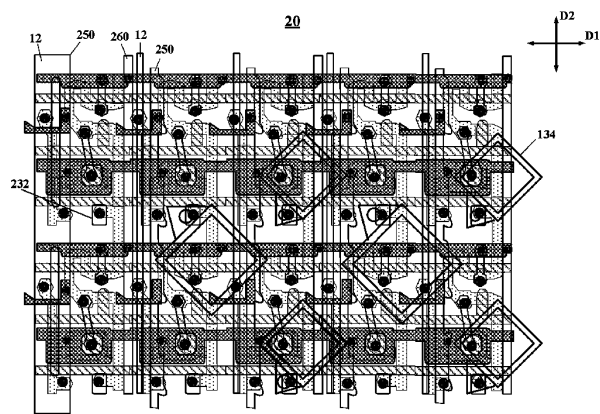


图 9D

【図 1 0 A】

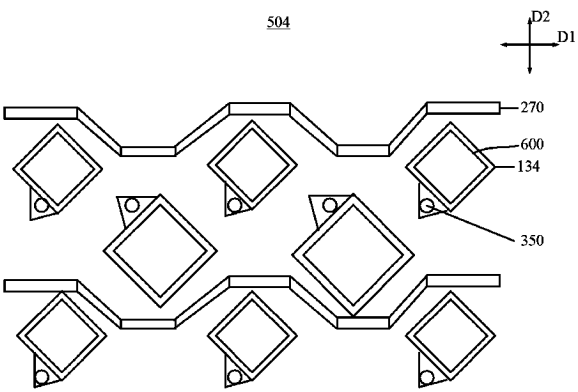


图 10A

【図 1 0 B】

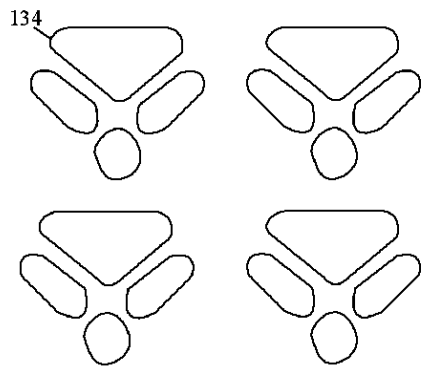


图 10B

【図 1 0 C】

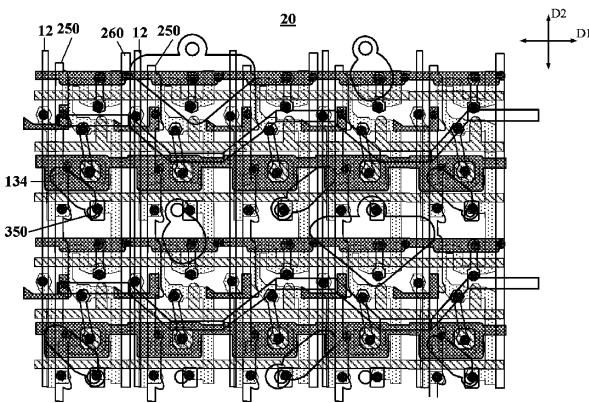


图 10C

10

20

30

40

50

【図 1 1】

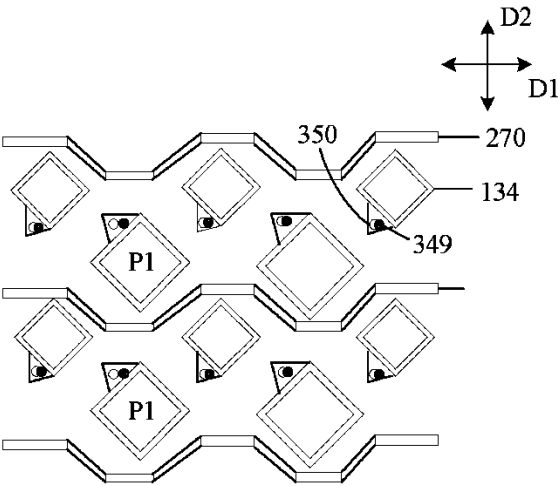


图 11

【図 1 2 A】

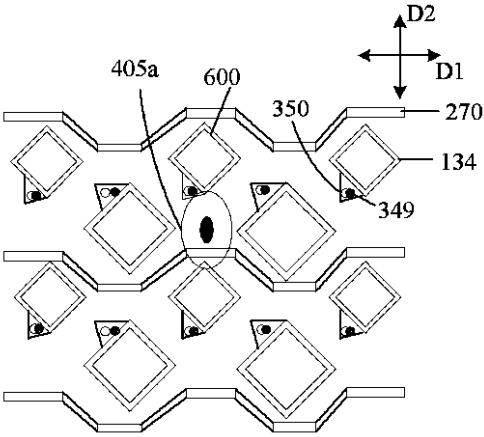


图 12A

【図 1 2 B】

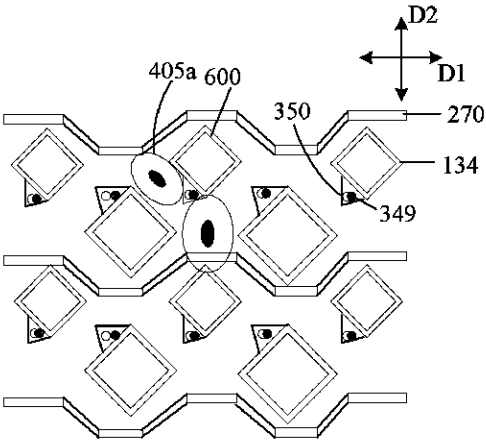


图 12B

【図 1 2 C】

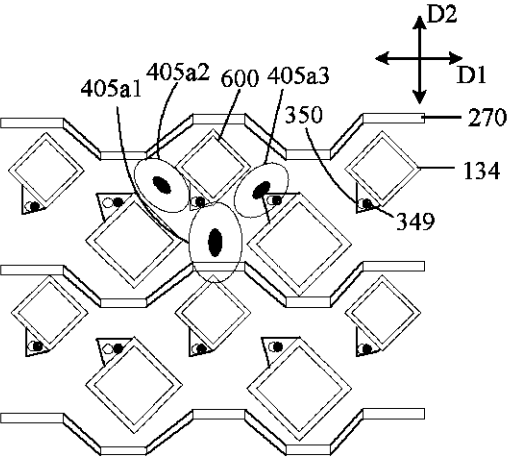


图 12C

10

20

30

40

50

【図 13 A】

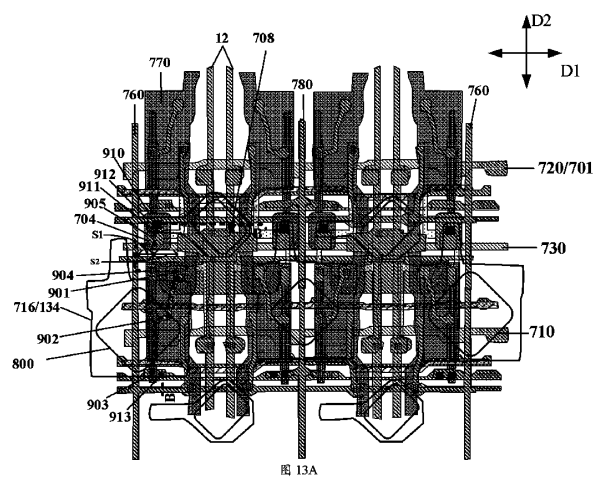


图 13A

【図 13 B】

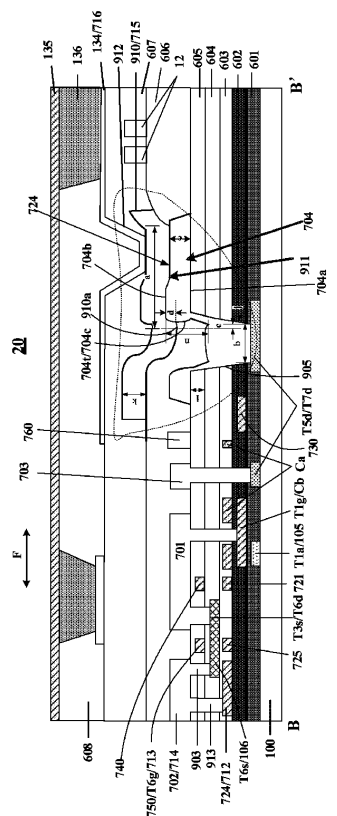


图 13B

10

20

【図 14】

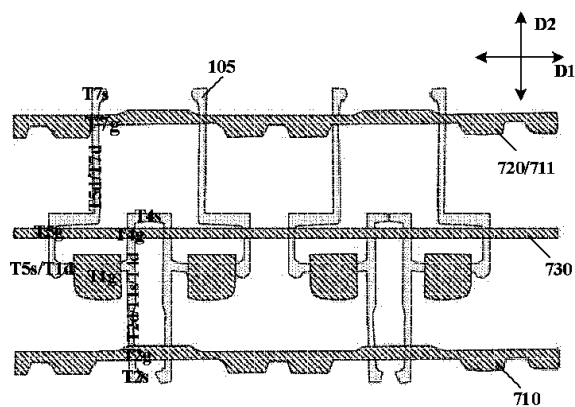


图 14

【図 15】

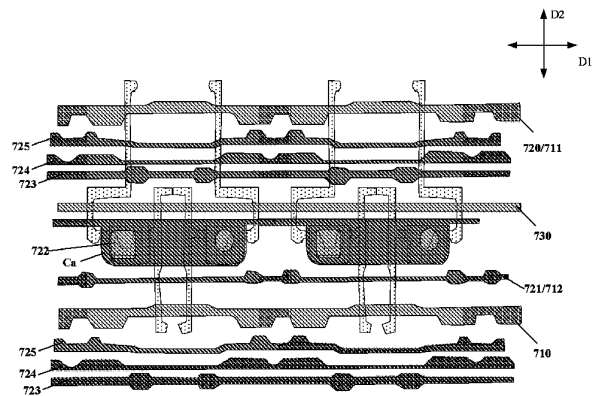


图 15

【図 1 6 A】

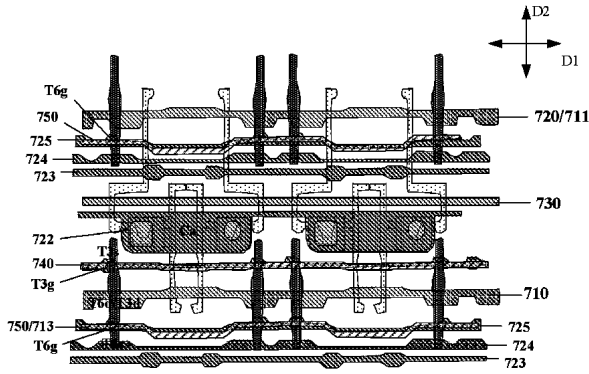


图 16A

【図 1 6 B】

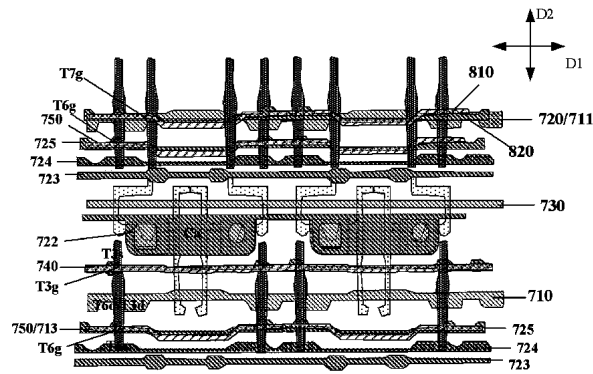


图 16B

10

【図 1 6 C】

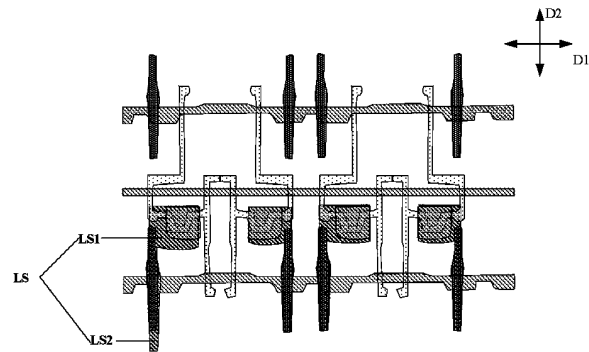


图 16C

【図 1 7 A】

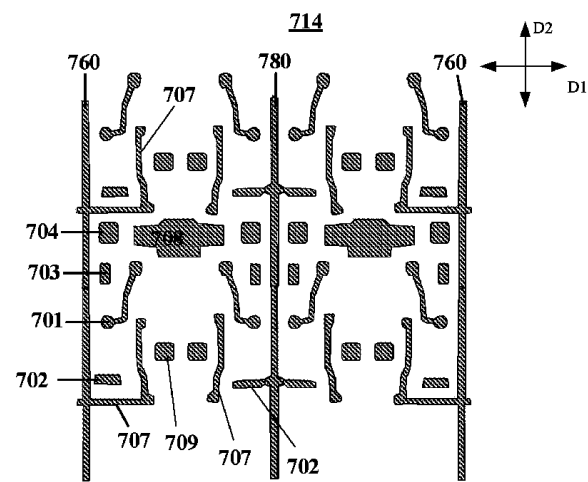


图 17A

20

30

40

50

【 図 1 7 B 】

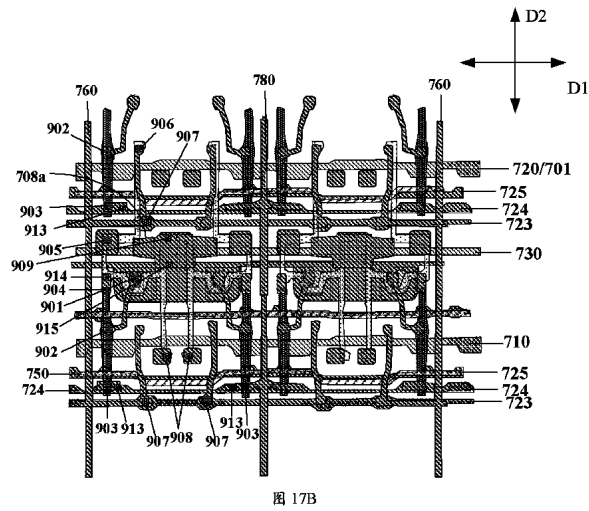


图 17B

【 図 1 8 A 】

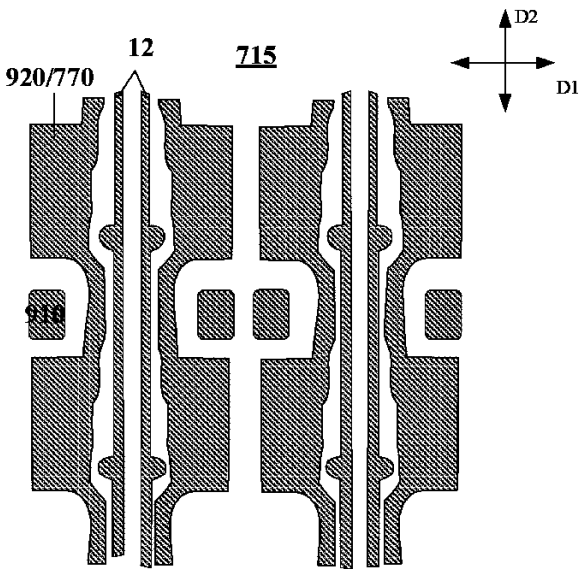


图 18A

【 図 1 8 B 】

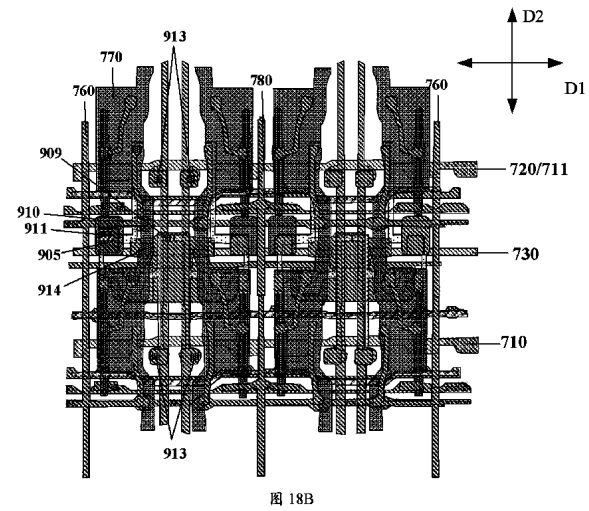


图 18B

【 図 1 8 C 】

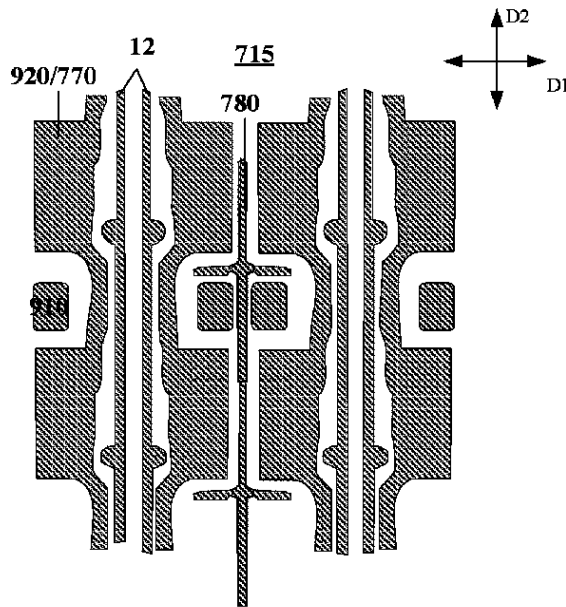


图 18C

10

20

30

40

50

【 図 1 9 A 】

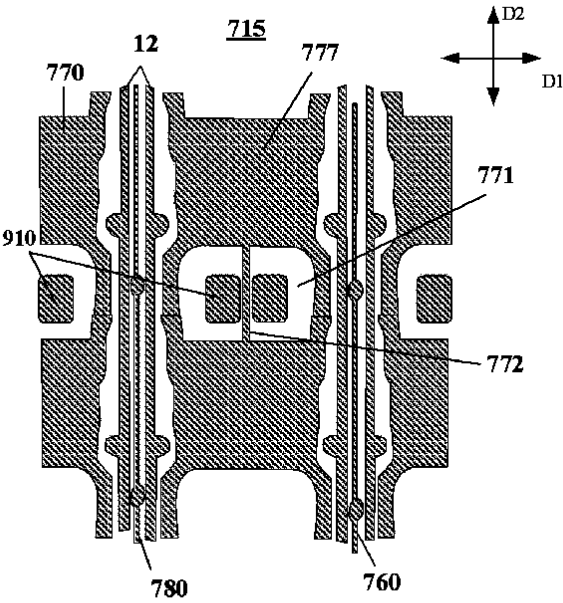


图 19A

【 図 1 9 B 】

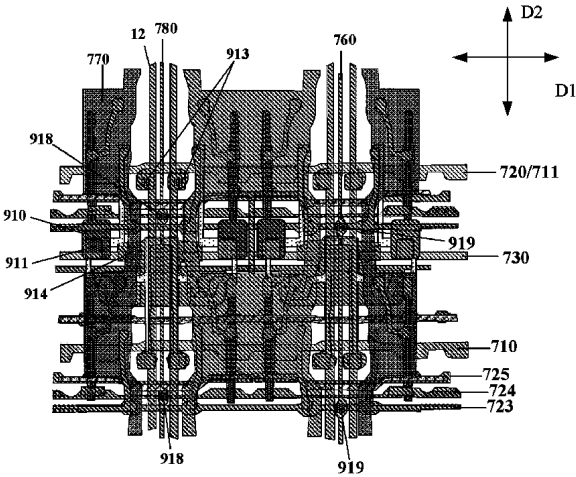


图 19B

【 図 1 9 C 】

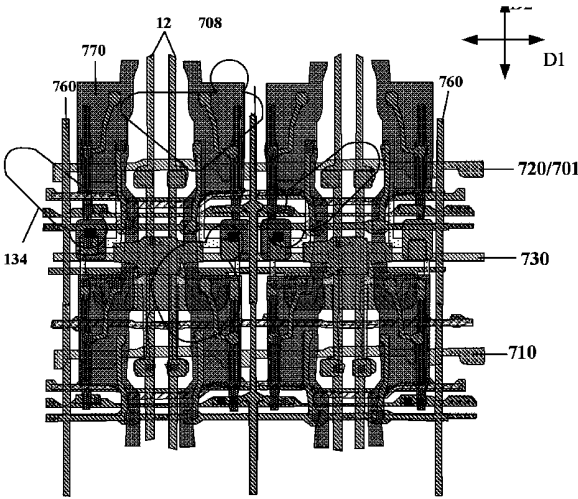


图 19C

【 図 2 0 】

30

802
801
20

图 20

10

20

30

40

50

【图 2 1】

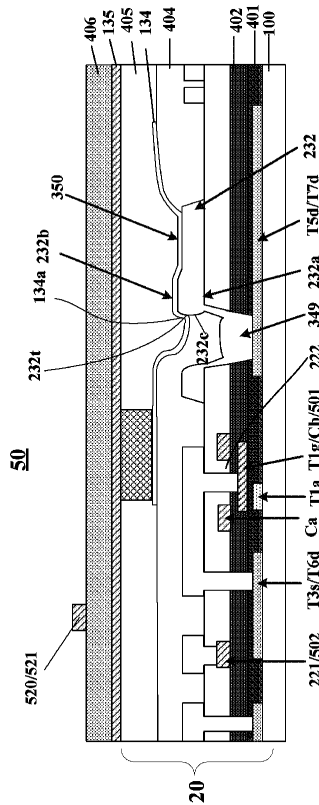


图 21

【图 2 2】



10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2022/126073
A. CLASSIFICATION OF SUBJECT MATTER H10K 59/10(2023.01)i; H10K 59/12(2023.01)i; H10K 59/123(2023.01)i; H10K 59/126(2023.01)i; G06F 3/041(2006.01)i; G09G 3/3233(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L; H10K; G06F; G09G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, VEN, USTXT, CNKI, IEEE: 京东方, 过孔, 通孔, 开口, 电容, 充电, 像素, 面积, 屏蔽, 接触, 电阻, contact + area, resistance, hole?, via?, opening, capacit+, charg+, pixel, shield+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113658995 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.; BOE TECHNOLOGY GROUP CO., LTD.) 16 November 2021 (2021-11-16) description, paragraphs 67-333, and figures 2-22	1-56
Y	CN 207165572 U (BOE TECHNOLOGY GROUP CO., LTD.) 30 March 2018 (2018-03-30) description, paragraphs 42-58, and figure 3	1-17, 56
Y	US 2005176241 A1 (MAGNACHIP SEMICONDUCTOR, LTD.) 11 August 2005 (2005-08-11) description, paragraphs 8-28, and figure 2C	1-17, 56
X	CN 113451386 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.; BOE TECHNOLOGY GROUP CO., LTD.) 28 September 2021 (2021-09-28) description, paragraphs 99-259, and figures 1-27	34-47, 56
X	CN 110114885 A (BOE TECHNOLOGY GROUP CO., LTD.) 09 August 2019 (2019-08-09) description, paragraphs 46-183, and figures 1-8	48-56
A	US 5702981 A (MANIAR, P. D. et al.) 30 December 1997 (1997-12-30) entire document	1-56
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 January 2023		Date of mailing of the international search report 12 January 2023
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/126073

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6258691 B1 (SAMSUNG ELECTRONICS CO., LTD.) 10 July 2001 (2001-07-10) entire document	1-56
A	US 2016197013 A1 (IBM) 07 July 2016 (2016-07-07) entire document	1-56
A	US 5874357 A (LG SEMICON CO., LTD.) 23 February 1999 (1999-02-23) entire document	1-56
A	US 2021167161 A1 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 03 June 2021 (2021-06-03) entire document	1-56
A	WO 2021103504 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 June 2021 (2021-06-03) entire document	1-56

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2022/126073
Box No. III	Observations where unity of invention is lacking (Continuation of item 3 of first sheet)	
This International Searching Authority found multiple inventions in this international application, as follows: [1] Claims (1, 18), 34, and 48 lack unity. 1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims. 2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees. 3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: 4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee. ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation. ☐ No protest accompanied the payment of additional search fees.		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/126073

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113658995	A	16 November 2021	None			
CN	207165572	U	30 March 2018	KR	20190067874	A	17 June 2019
				AU	2018331064	A1	13 June 2019
				WO	2019052284	A1	21 March 2019
				BR	112019011946	A2	31 March 2020
				JP	2020533616	A	19 November 2020
				EP	3683834	A1	22 July 2020
				MX	2019006652	A	26 August 2019
				US	2020357870	A1	12 November 2020
				RU	2745921	C1	02 April 2021
				IN	201947018724	A	07 February 2020
				VN	71194	A	27 July 2020
US	2005176241	A1	11 August 2005	KR	20050079541	A	10 August 2005
CN	113451386	A	28 September 2021	None			
CN	110114885	A	09 August 2019	WO	2020198975	A1	08 October 2020
				US	2021151540	A1	20 May 2021
US	5702981	A	30 December 1997	None			
US	6258691	B1	10 July 2001	US	6576947	B1	10 June 2003
				DE	19933480	A1	27 January 2000
				TW	425703	B	11 March 2001
				KR	20000008804	A	15 February 2000
				GB	9912457	D0	28 July 1999
				FR	2781310	A1	21 January 2000
				JP	2000049304	A	18 February 2000
US	2016197013	A1	07 July 2016	US	2019326170	A1	24 October 2019
				US	2016197038	A1	07 July 2016
				US	2016163587	A1	09 June 2016
US	5874357	A	23 February 1999	KR	970052489	A	29 July 1997
				JP	H09191051	A	22 July 1997
				US	6064119	A	16 May 2000
US	2021167161	A1	03 June 2021	EP	4068374	A1	05 October 2022
				WO	2021103010	A1	03 June 2021
WO	2021103504	A1	03 June 2021	CN	114679914	A	28 June 2022
				EP	4068381	A1	05 October 2022
				US	2022077244	A1	10 March 2022

Form PCT/ISA/210 (patent family annex) (January 2015)

国际检索报告		国际申请号 PCT/CN2022/126073
A. 主题的分类 H10K 59/10(2023.01)i; H10K 59/12(2023.01)i; H10K 59/123(2023.01)i; H10K 59/126(2023.01)i; G06F 3/041(2006.01)i; G09G 3/3233(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号) H01L; H10K; G06F; G09G		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, VEN, USTXT, CNKI, IEEE: 京东方, 过孔, 通孔, 开口, 电容, 充电, 像素, 面积, 屏蔽, 接触, 电阻, contact+ area, resistance, hole?, via?, opening, capacit+, charg+, pixel, shield+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 113658995 A (北京京东方技术开发有限公司 京东方科技集团股份有限公司) 2021年11月16日 (2021 - 11 - 16) 说明书第67-333段, 图2-22	1-56
Y	CN 207165572 U (京东方科技集团股份有限公司) 2018年3月30日 (2018 - 03 - 30) 说明书第42-58段, 图3	1-17, 56
Y	US 2005176241 A1 (MAGNACHIP SEMICONDUCTOR, LTD.) 2005年8月11日 (2005 - 08 - 11) 说明书第8-28段, 图2C	1-17, 56
X	CN 113451386 A (北京京东方技术开发有限公司 京东方科技集团股份有限公司) 2021年9月28日 (2021 - 09 - 28) 说明书第99-259段, 图1-27	34-47, 56
X	CN 110114885 A (京东方科技集团股份有限公司) 2019年8月9日 (2019 - 08 - 09) 说明书第46-183段, 图1-8	48-56
A	US 5702981 A (MANIAR, P. D. 等) 1997年12月30日 (1997 - 12 - 30) 全文	1-56
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “G” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年1月5日		国际检索报告邮寄日期 2023年1月12日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 韩冰 电话号码 86-(10)-53961217

PCT/ISA/210 表(第2页) (2015年1月)

10

20

30

40

50

国际检索报告		国际申请号 PCT/CN2022/126073
C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 6258691 B1 (SAMSUNG ELECTRONICS CO., LTD.) 2001年7月10日 (2001 - 07 - 10) 全文	1-56
A	US 2016197013 A1 (IBM) 2016年7月7日 (2016 - 07 - 07) 全文	1-56
A	US 5874357 A (LG SEMICON CO., LTD.) 1999年2月23日 (1999 - 02 - 23) 全文	1-56
A	US 2021167161 A1 (CHENGDU BOE OPTOELECT TECH. CO. 等) 2021年6月3日 (2021 - 06 - 03) 全文	1-56
A	W0 2021103504 A1 (BOE TECHNOLOGY GROUP CO., LTD. 等) 2021年6月3日 (2021 - 06 - 03) 全文	1-56

国际检索报告		国际申请号 PCT/CN2022/126073
第III栏 缺乏发明单一性的意见(续第I页第3项)		
本国际检索单位在该国际申请中发现多项发明，即： [1] 权利要求（1, 18）、34、 48之间不具备单一性。 1. ☐ 由于申请人按时缴纳了被要求缴纳的全部附加检索费，本国际检索报告涉及全部可作检索的权利要求。 2. ☒ 由于无需付出有理由要求附加费的劳动即能对全部可检索的权利要求进行检索，本单位未通知缴纳任何加费。 3. ☐ 由于申请人仅按时缴纳了部分被要求缴纳的附加检索费，本国际检索报告仅涉及已缴费的那些权利要求，具体地说，是权利要求： 4. ☐ 申请人未按时缴纳被要求缴纳的附加检索费。因此，本国际检索报告仅涉及权利要求书中首先提及的发明；包含该发明的权利要求是： 对异议的意见 ☐ 申请人缴纳了附加检索费，同时提交了异议书，适用时，缴纳了异议费。 ☐ 申请人缴纳了附加检索费，同时提交了异议书，但未在通知书规定的时间期限内缴纳异议费。 ☐ 缴纳附加检索费时未提交异议书。		

国际检索报告 关于同族专利的信息					国际申请号 PCT/CN2022/126073		
检索报告引用的专利文件			公布日 (年/月/日)	同族专利		公布日 (年/月/日)	
CN	113658995	A	2021年11月16日	无			
CN	207165572	U	2018年3月30日	KR	20190067874	A 2019年6月17日	
				AU	2018331064	A1 2019年6月13日	
				WO	2019052284	A1 2019年3月21日	
				BR	112019011946	A2 2020年3月31日	
				JP	2020533616	A 2020年11月19日	
				EP	3683834	A1 2020年7月22日	
				MX	2019006652	A 2019年8月26日	
				US	2020357870	A1 2020年11月12日	
				RU	2745921	C1 2021年4月2日	
				IN	201947018724	A 2020年2月7日	
				VN	71194	A 2020年7月27日	
US	2005176241	A1	2005年8月11日	KR	20050079541	A 2005年8月10日	
CN	113451386	A	2021年9月28日	无			
CN	110114885	A	2019年8月9日	WO	2020198975	A1 2020年10月8日	
				US	2021151540	A1 2021年5月20日	
US	5702981	A	1997年12月30日	无			
US	6258691	B1	2001年7月10日	US	6576947	B1 2003年6月10日	
				DE	19933480	A1 2000年1月27日	
				TW	425703	B 2001年3月11日	
				KR	20000008804	A 2000年2月15日	
				GB	9912457	DO 1999年7月28日	
				FR	2781310	A1 2000年1月21日	
				JP	2000049304	A 2000年2月18日	
US	2016197013	A1	2016年7月7日	US	2019326170	A1 2019年10月24日	
				US	2016197038	A1 2016年7月7日	
				US	2016163587	A1 2016年6月9日	
US	5874357	A	1999年2月23日	KR	970052489	A 1997年7月29日	
				JP	H09191051	A 1997年7月22日	
				US	6064119	A 2000年5月16日	
US	2021167161	A1	2021年6月3日	EP	4068374	A1 2022年10月5日	
				WO	2021103010	A1 2021年6月3日	
WO	2021103504	A1	2021年6月3日	CN	114679914	A 2022年6月28日	
				EP	4068381	A1 2022年10月5日	
				US	2022077244	A1 2022年3月10日	

PCT/ISA/210 表(同族专利附件) (2015年1月)

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

H 1 0 K	50/80 (2023.01)	G 0 9 G	3/3233	
H 1 0 K	59/35 (2023.01)	H 0 5 B	33/14	Z
H 1 0 K	59/121 (2023.01)	H 1 0 K	77/10	
H 1 0 K	59/131 (2023.01)	H 1 0 K	50/80	
H 1 0 K	59/80 (2023.01)	H 1 0 K	59/35	
H 1 0 K	59/122 (2023.01)	H 1 0 K	59/121	
H 1 0 K	59/123 (2023.01)	H 1 0 K	59/131	
H 1 0 K	59/82 (2023.01)	H 1 0 K	59/80	
		H 1 0 K	59/122	
		H 1 0 K	59/123	
		H 1 0 K	59/82	

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,I
T,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,
MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

, L T D .

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号 1 幢
4 0 7 室

Room 407, Building 1, No. 9 Dize Road, BDA, Beijin
g, 1 0 0 1 7 6, CHINA

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 ▲劉▼ 旭

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72)発明者 王 ▲紅▼▲麗▼

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72)発明者 ▲喬▼ 勇

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

(72)発明者 ▲吳▼ 新▲銀▼

中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号

F ターム (参考) 3K107 AA01 AA05 BB01 CC41 DD18 DD39 DD89 EE04 EE07 EE57

FF15 HH00 HH05

5C080 AA06 BB05 CC03 DD10 DD29 JJ02 JJ03 JJ04 JJ06 KK02

KK08 KK23 KK43 KK47

5C094 AA05 BA03 BA27 DA13 DA15 DB01

5C380 AA01 AB06 AB34 AC07 AC08 AC11 AC12 AC13 BA10 BA19

BB08 BD01 CC06 CC07 CC26 CC33 CC39 CC66 CD012 CD015 CD017

CD024 CF05 CF62

【要約の続き】

電構造 (21) の第1側面 (21c) は突出曲面 (21d) を含み、該第2導電構造 (22) は該突出曲面 (21d) の少なくとも一部を覆い、該第1導電構造 (21) は、該第1窪み構造 (G1) 中に位置し、該突出曲面 (21d) に接続された接続部 (21f) を含み、ベース基板 (100) の板面に平行する方向において、該突出曲面 (21d) は該接続部 (21f) に対して該第1窪み構造 (G1) の中央部に向かって突出する。該表示基板 (20) は表示性能を効果的に向上させることができる。