



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 943707

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 02.07.80 (21) 2951056/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.07.82. Бюллетень № 26

Дата опубликования описания 17.07.82

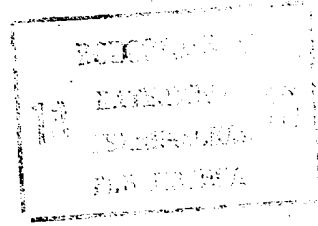
(51) М. Кл.³
G 06 F 7/06

(53) УДК 681.325.
.5 (088.8)

(72) Авторы
изобретения

Э. П. Чернаков и Б. С. Богумирский

(71) Заявитель



(54) УСТРОЙСТВО ДЛЯ СОРТИРОВКИ ЧИСЕЛ

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в специализированных вычислительных машинах и устройствах обработки данных.

Известно устройство для сортировки двоичных чисел, содержащее N сдвигающих регистров сортируемых чисел, элементы управления [1].

Данное устройство позволяет выбирать из N двоичных кодов чисел только минимальные или максимальные значения, что ограничивает область его применения.

Наиболее близким по технической сущности и достигаемому результату к предложенному является устройство, содержащее N сдвигающих регистров сортируемых чисел, узел сравнения, узел анализа количества единиц и сдвигающий регистр результата [2].

Это устройство обладает низким быстродействием.

2

Целью изобретения является повышение быстродействия.

Поставленная цель достигается тем, что в устройство для сортировки чисел, содержащее регистр результата, узел сравнения и узел анализа количества единиц, выходы которого соединены со входами первой группы узла сравнения, входы второй группы которого подключены к группе входов задания константы устройства, выход узла сравнения соединен с информационным входом регистра результата, управляющий вход которого подключен ко входу тактовых сигналов устройства, введены n узлов анализа, каждый из которых состоит из кольцевого регистра сдвига, элемента памяти, триггера и схемы сравнения, причем информационный вход кольцевого регистра сдвига каждого i -го узла анализа соединен с i -м информационным входом устройства, где $i = 1, 2, \dots, n$, выход кольцевого регистра сдвига каждого узла анализа подключен ко входу

элемента памяти и к первому входу схемы сравнения, второй вход которой соединен с выходом узла сравнения, а выход — со входом установки в единичное состояние триггера, вход установки в нулевое состояние которого подключен ко входу управления устройства, а выход — ко входу управления элемента памяти, выход элемента памяти каждого i -го узла анализа соединен с i -м входом узла анализа количества единиц, входы управления кольцевых регистров сдвига каждого узла анализа подключены ко входу тактовых сигналов устройства.

Узел анализа количества единиц состоит из дешифратора, шифратора, элементов ИЛИ, причем входы узла анализа соединены со входами дешифратора, каждый ℓ -й выход которого для единиц во входном числе соединен со входом j -го элемента ИЛИ, где $\ell = 1, 2, \dots, k$, $j = 1, 2, \dots, m-1$, k — количество выходов дешифратора; m — количество выходов с одинаковым количеством единиц во входном числе, выход каждого j -го элемента ИЛИ подключен к j -му входу шифратора, выходы дешифратора, соответствующие $j = 0$ и $j = m$ соединены с m -м и $(m+1)$ -м входами шифратора соответственно.

На фиг. 1 представлена блок-схема устройства; на фиг. 2 — схема узла анализа количества единиц.

Устройство содержит регистр результата 1, узел сравнения 2, узел анализа количества единиц 3, n узлов анализа 4, состоящих из элементов памяти 5, триггеров 6, схем сравнения 7, кольцевых сдвигающих регистров 8, входов тактовых сигналов 9, вход установки в исходное состояние 10, вход задания констант 11, информационные входы 12. Узел анализа количества единиц 3 (фиг. 2) содержит дешифратор 13, элементы ИЛИ 14, шифратор 15, входы 16 и выходы 17.

Элементы памяти 5 могут представлять собой D-триггеры с синхронизирующими входами.

Устройство работает следующим образом.

Под выделением числа с заданным рангом понимается нахождение в исходном массиве числа, относительная величина которого задана, начиная с минимального числа (например, найти девятое по величине число). Ранг числа R — это номер этого числа в отсортированном по возрастанию массиве чисел. Так, если необходимо найти девятое по величине чис-

ло, то $R = 9$. В кольцевые сдвигающие регистры 4 при помощи импульсов, подаваемых на вход тактовых сигналов 9 устройства, записываются сортируемые числа, начиная со старших разрядов. На вход установки в исходное состояние 10 устройства подается импульс, который устанавливает триггеры 6 в "1", и на управляющих входах элементов 5 памяти появляется разрешающий сигнал. На управляющий вход 8 устройства подается константа сравнения

$$A = N + 1 - R,$$

где N — количество сортируемых чисел; R — ранг выбираемого числа.

После этого устройство переходит в режим выделения двоичного числа с наперед заданным рангом.

Этот процесс проходит за m тактов, где m — разрядность сортируемых чисел.

В первом такте на информационные входы элементов 5 памяти поступают значения старших разрядов N чисел и проходят на узел анализа количества единиц 3. В этом узле подсчитывается количество единиц, содержащихся в старших разрядах сортируемых чисел, и выдается результат подсчета на узел 2 сравнения. Если количество единиц в старших разрядах чисел не меньше константы сравнения A , то на выходе узла 2 сравнения появляется "1", в противном случае — "0". Выходное значение узла 2 сравнения записывается в регистр результата 1 в качестве цифры старшего разряда выделяемого числа и подается на вторые входы схем сравнения 7, на первые входы которых поступают сигналы старших разрядов сортируемых чисел. Каждая схема 7 сравнения выдает единичный сигнал, если значения, подаваемые на ее входы, не совпадают, в противном случае — нулевой. Таким образом, если значения на выходах кольцевого сдвигающего регистра 4 и узла сравнения 2 не совпадают, то снимается разрешающий сигнал с соответствующего элемента 5 памяти, чем блокируется запись в него последующих значений в течение всех последующих тактов работы устройства.

Заблокированный элемент 5 памяти выдает в узел анализа количества единиц 3 то значение, которое было записано в него до снятия с управляющего входа разрешающего сигнала. Во втором такте на управляющий вход 9 устройства подается импульс, по которому информация

в регистрах 1 и 4 сдвигается на один разряд в сторону старших разрядов, причем в регистрах 4 осуществляется кольцевой сдвиг. В дальнейшем устройство работает аналогично описанному. После выполнения m тактов в сдвигающем регистре 1 результата находится выделенное число, которое выводится из устройства, а в регистрах 4 — сортируемые числа. Для последующего выделения числа с заданным рангом из этого же набора двоичных чисел необходимо подать импульс на управляющий вход 10 устройства, а затем повторить все операции, описанные выше.

Таким образом, использование данного устройства позволяет сократить время выборки из исходного массива двоичных чисел нескольких значений в определенном порядке.

Ф о р м у л а и з о б р е т е н и я

1. Устройство для сортировки чисел, содержащее регистр результата, узел сравнения и узел анализа количества единиц, выходы которого соединены со входами первой группы узла сравнения, входы второй группы которого подключены к группе входов задания константы устройства, выход узла сравнения соединен с информационным входом регистра результата, управляющий вход которого подключен ко входу тактовых сигналов устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, в него введены n узлов анализа, каждый из которых состоит из кольцевого регистра сдвига, элемента памяти, триггера и схемы сравнения, причем информационный вход кольцевого регистра сдвига каждого i -го узла анализа соединен

с i -м информационным входом устройства, где $i = 1, 2, \dots, n$, выход кольцевого регистра сдвига каждого узла анализа подключен ко входу элемента памяти и к первому входу схемы сравнения, второй вход которой соединен с выходом узла сравнения, а выход — со входом установки в единичное состояние триггера, вход установки в нулевое состояние которого подключен ко входу управления устройством, а выход — ко входу управления элемента памяти, выход элемента памяти каждого i -го узла анализа соединен с i -м входом узла анализа количества единиц, входы управления кольцевых регистров сдвига каждого узла анализа подключены ко входу тактовых сигналов устройства.

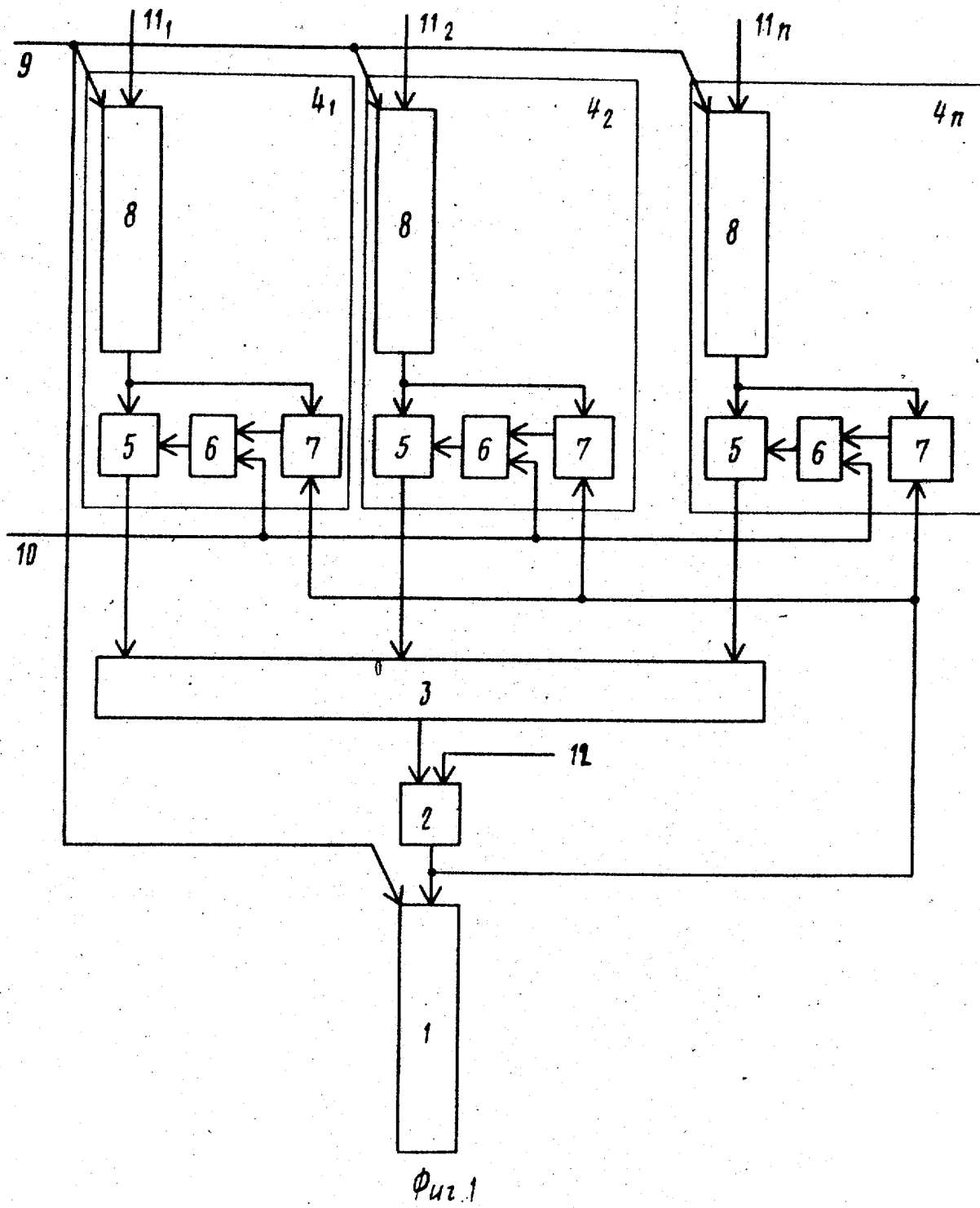
2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что узел анализа количества единиц состоит из дешифратора, шифратора, элементов ИЛИ, причем входы узла анализа соединены со входами дешифратора, каждый p -й выход которого для единиц во входном числе соединен с входом j -го элемента ИЛИ, где $p = 1, 2, \dots, k$, $j = 1, 2, \dots, m-1$, k — количество выходов дешифратора; m — количество выходов с одинаковым количеством единиц во входном числе, выход каждого j -го элемента ИЛИ подключен к j -му входу шифратора, выходы дешифратора, соответствующие $j = 0$ и $j = m$, соединены с m -м и $(m+1)$ -м входами шифратора соответственно.

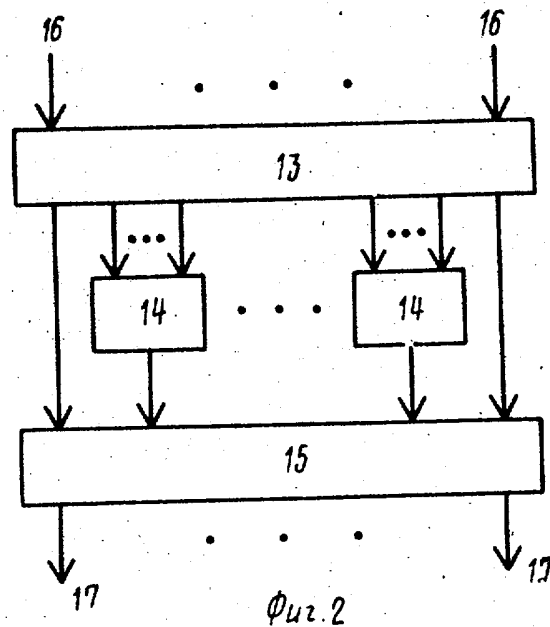
Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 285347, кл. G 06 F 7/00, 1963.

2. Авторское свидетельство СССР № 610107, кл. G 06 F 7/06, 1978 (прототип).





Редактор М. Дылин	Составитель Б. Богумирский Техред И. Гайду	Корректор А. Ференц
Заказ 5110/55	Тираж 731	Подписное
ВНИИПИ Государственного комитета СССР по делам изобретений и открытий 113035, Москва, Ж-35, Раушская наб., д. 4/5		
Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4		