

(21)申請案號：099135167

(22)申請日：中華民國 99 (2010) 年 10 月 15 日

(51)Int. Cl. : H01L21/56 (2006.01)

H01L23/28 (2006.01)

(71)申請人：南茂科技股份有限公司 (中華民國) CHIPMOS TECHNOLOGIES INC. (TW)

新竹縣新竹科學工業園區研發一路 1 號

(72)發明人：潘玉堂 PAN, YU TANG (TW)；周世文 CHOU, SHIH WEN (TW)

(74)代理人：洪榮宗

申請實體審查：有 申請專利範圍項數：14 項 圖式數：8 共 38 頁

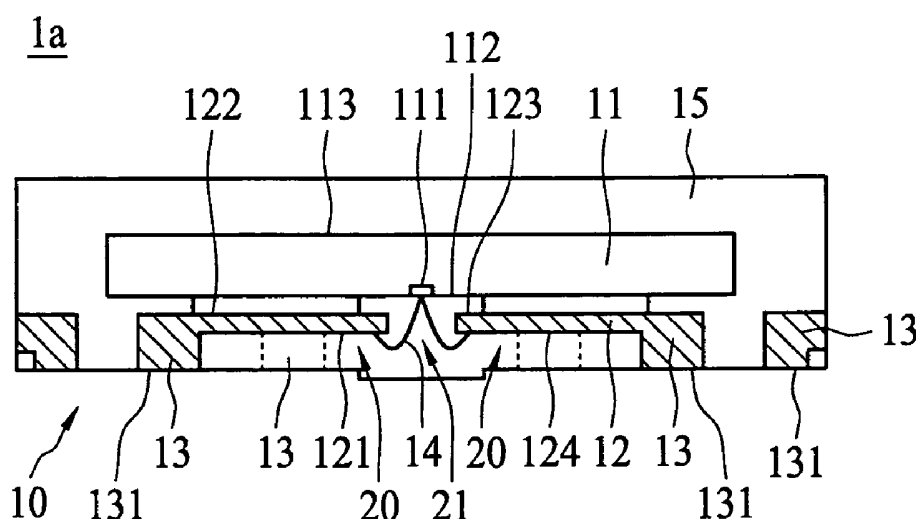
(54)名稱

晶片封裝結構及晶片封裝方法

CHIP PACKAGE STRUCTURE AND CHIP PACKAGING METHOD

(57)摘要

一種晶片封裝方法包含下列步驟：貼附一第一膠膜於金屬基板上；圖案化該金屬基板，以形成複數個外接墊及複數個引線，其中該些外接墊及該些引線分設於一中央空白區之相對側，各側旁之外接墊在遠離該中央空白區之方向間隔排列成至少兩排，各引線包含一向空白區延伸之第一端及一連接相應之外接墊之第二端；貼附一具開孔之第二膠膜於該些外接墊上，其中該開孔暴露該中央空白區及該些引線之第一端；移除第一膠膜；固定一晶片於該些引線與該些外接墊上，其中晶片之複數個鐳墊對應該中央空白區；以及透過該開孔，以複數條鐳線分別電連接該些鐳墊至相應之該些引線之第一端。



1a：晶片封裝結構

10：引線架

11：第一晶片

12：引線

13：外接墊

14：第一鐳線

15：封膠體

20：引腳群

21：中央空白區

111：鐳墊

112：主動面

113：背面

121：第一端

122：第二端

123：第一表面

124：第二表面

131：底面

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

1a	晶片封裝結構
10	引線架
11	第一晶片
12	引線
13	外接墊
14	第一鐳線
15	封膠體
20	引腳群
21	中央空白區
111	鐳墊
112	主動面
113	背面
121	第一端
122	第二端
123	第一表面
124	第二表面
131	底面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種晶片封裝結構及晶片封裝方法，特別是關於一種具中央鐸墊之晶片之多排扁平無引腳封裝結構及其封裝方法。

【先前技術】

圖1例示一習知四方/二方扁平無引腳(QFN/DFN)晶片封裝結構6，其包含一晶片61、一導線架62及複數條鐸線64。晶片61包含複數個鐸墊63，該些鐸墊63設置於晶片61之主動面的中央區域上。導線架62包含一晶片承座65及複數個引腳66，該些引腳66排列於晶片承座65之至少二相對側。晶片61設置於導線架62之晶片承座65上，鐸線64分別相應地連接晶片61上之鐸墊63至引腳66。由於鐸墊63位於晶片61之主動面的中央區域，故需要長鐸線64來連接晶片61上之鐸墊63至導線架62之引腳66。然而，長鐸線64會影響信號傳輸、封裝時造成線塌或增加封裝成本。另外，因佈線空間之限制，導線架62可設置之引腳66數量無法增加，對於越來越多輸出入(I/O)端子設計之晶片實難以應付其需求。

。圖2A與2B分別例示一球閘陣列封裝7及一晶片堆疊式之球閘陣列封裝9。球閘陣列封裝7係將晶片72固定在一基板71之上表面上。晶片堆疊式之球閘陣列封裝9係將晶片72和73分別疊置固定在一基板75之上表面上。其中基板71和75具有一中央開槽76，而晶片72之鐸墊77係位於主動面之中央區域，當晶片72固定於基板71或75上時，晶片72之鐸墊77正對應中央開槽76。鐸線74係透過中央開槽76電性

連接晶片72之鐸墊77至基板71或75之下表面。晶片堆疊式之球閘陣列封裝9中，晶片73固定於晶片72上後，再以鐸線電性連接至基板75之上表面。一般而言，與導線架比較，球閘陣列封裝7或晶片堆疊式之球閘陣列封裝9之基板71和75為印刷電路板(PCB)，其價格較高，造成球閘陣列封裝7及晶片堆疊式之球閘陣列封裝9封裝成本高。尤其是晶片堆疊式之球閘陣列封裝9之基板75需為雙層銅箔基板，其價格更高。在競爭激烈之半導體市場，實難以取得優勢。

有鑑於前述習知晶片封裝結構之缺失，有必要提出一新的晶片封裝結構。

【發明內容】

本發明之一目的係提供一晶片封裝結構及其封裝方法。該晶片封裝結構可避免使用長鐸線(long-span bonding wire)並可增加輸出入(I/O)端子之數量，且具低製造成本。

根據上述目的，本發明一實施例揭示一種晶片封裝方法，包含下列步驟：貼附一第一膠膜於一金屬基板之一第一表面上；圖案化該金屬基板相對於該第一表面之一第二表面，以形成複數個引線架，其中每一引線架包含分別由該金屬基板之該第一表面及該第二表面形成之對應之一第一表面及一第二表面、一中央空白區及位於該中央空白區之二相對側之二個引腳群，其中每一引腳群包含複數個外接墊及複數個引線，該些外接墊排列成至少兩排，該至少兩排在遠離該中央空白區之方向彼此間隔排列，每一引線包含一第一端及一第二端，其中該第一端係延伸至該中央

空白區且該第二端連接相應之外接墊；貼附一第二膠膜於該些引線架上，其中該第二膠膜包含複數個開孔，每一開孔暴露每一引線架之該中央空白區及該些引線之第一端；移除該第一膠膜；將一第一晶片固定於各引線架上，其中該第一晶片包含一主動面、相對該主動面之一背面以及設置於該主動面上之複數個鐳墊，該第一晶片係以該主動面貼設於該引線架之第一表面上，且將該些鐳墊對應該中央空白區；以及透過該開孔，以複數條第一鐳線將該些鐳墊分別電連接至該引線架之第二表面上相應之該些引線之第一端。

本發明另一實施例揭示一種晶片封裝方法，包含下列步驟：圖案化一金屬基板之一第一表面，以形成複數個引線架，其中每一引線架包含一凹部及位於該凹部之二相對側之二個引腳群，其中每一引腳群包含複數個外接墊及複數個引線，該些外接墊排列成至少兩排，該至少兩排在遠離該中央空白區之方向彼此間隔排列，每一引線包含一第一端及一第二端，其中該第一端鄰近該凹部且該第二端連接相應之該外接墊；形成一絕緣層於該些外接墊及該些引線之間，其中該絕緣層暴露該凹部及該些引線之第一端；移除該金屬基板上相對該第一表面之一第二表面，使該凹部形成一中央空白區且讓該些外接墊之間及該些引線之間彼此獨立；將一第一晶片固定於每一引線架上，其中該引線架包含分別由該金屬基板之該第一表面及該第二表面形成之對應之一第一表面及一第二表面，該第一晶片包含一

主動面、相對該主動面之一背面以及設置於該主動面上之複數鐳墊，該第一晶片係以該主動面貼設於該引線架之第二表面上，且該些鐳墊對應該中央空白區；以及透過該中央空白區，以複數條第一鐳線將該些鐳墊分別電連接至該引線架之第一表面上相應之該些引線之第一端。

本發明另揭示一晶片封裝結構，其包含一引線架、一第一晶片、複數條第一鐳線及一封膠體。

引線架包含一中央空白區及位於該中央空白區之二相對側之二個引腳群，其中每一引腳群包含複數個外接墊及複數個引線，該些外接墊排列成至少兩排，該至少兩排在遠離該中央空白區之方向彼此間隔排列，每一引線具有相對之一第一端及一第二端，其中該第一端係延伸至該中央空白區且該第二端連接相應之該外接墊。

第一晶片包含一主動面、相對該主動面之一背面以及設置於該主動面上之複數個鐳墊。第一晶片係以該主動面貼設於該引線架之一第一表面上，且該些鐳墊與該中央空白區相對應。

複數條第一鐳線分別透過該中央空白區電連接該些鐳墊至該引線架之相對該第一表面之一第二表面上相應之該些引線之第一端。

封膠體覆蓋該第一晶片、該引線架以及該些第一鐳線，其中該封膠體係顯露該些外接墊之底面。

相較於圖1之習知晶片封裝結構6之長鐳線，本發明一實施例中之晶片封裝結構之引線架具有中央空白區，並透

過中央空白區電連接晶片之中央鐳墊至延伸至中央空白區的引線，因此可大幅減短鐳線之長度，避免長鐳線可能產生的傳輸信號衰減、封裝時線塌或線偏移以及封裝成本增加的問題。另外，因引線架包含多排之外接墊，可增加輸出入(I/O)端子之數量。再者，相較於圖2之習知球閘陣列封裝，本發明一實施例中之晶片封裝結構以成本較低之導線架承載晶片，因此可降低封裝製造成本。

上文已經概略地敘述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之申請專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應可瞭解，下文揭示之概念與特定實施例可作為基礎而相當輕易地予以修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應可瞭解，這類等效的建構並無法脫離後附之申請專利範圍所提出之本揭露的精神和範圍。

【實施方式】

本發明係關於具中央鐳墊之晶片之封裝結構，其中該晶片封裝結構可為具多排扁平無引腳(multi-row (quad/dual) flat non-leaded; QFN/DFN)之封裝結構。

圖3顯示本發明一實施例之晶片封裝結構1a之剖視圖。圖4顯示本發明一實施例之引線架10之示意圖。參照圖3與4所示，晶片封裝結構1a包含一引線架10、一第一晶片11、複數條第一鐳線14以及一封膠體15。

參照圖4所示，引線架10包含一中央空白區21及位於該中央空白區21之二相對側之二個引腳群20。每一引腳群20包含複數個外接墊(13、13')及複數個引線12。每一引腳群20之複數個外接墊(13、13')呈多排之矩陣排列，其排列成至少兩排，該至少兩排在遠離該中央空白區21之方向彼此間隔排列。引線12具有相對之第一端121和第二端122，其中各引線12之第一端121延伸至中央空白區21，而其第二端122連接相應之外接墊13。在本實施例中，每一引腳群20之複數個外接墊(13、13')係排列成三排，其中外接墊13連接相應之引線12之第二端122，外接墊13'未與引線12連接，並且多數之外接墊13'排列於距離中央空白區21最遠之外側排。然而，未與引線12連接之外接墊13'可位於任何一排之外接墊。

參照圖3所示，第一晶片11包含一主動面112、與該主動面112相對之背面113，以及設置於該主動面112上之複數個鐳墊111。第一晶片11係以其主動面112貼設於引線架10之第一表面123之方式固定在引線架10上，而設置於主動面112上之該些鐳墊111正對應中央空白區21。

複數條第一鐳線14分別連接設置於主動面112上之該些鐳墊111與該些引線12之第一端121。特而言之，鐳墊111設置於第一晶片11之主動面112的中央區域，各第一鐳線14之一端連接相應之鐳墊111，第一鐳線14通過中央空白區21，在與第一表面123相對之第二表面124側連接相應之引線12之第一端121。

封膠體15覆蓋第一晶片11、引線架10及複數條第一鐳線14，但該封膠體15顯露外接墊13之底面131，以作為外部電性連接之用。

參照圖4與5所示，晶片封裝結構1b包含一第一晶片11、一第二晶片17、一引線架10、複數條第一鐳線14、複數條第二鐳線18以及一封膠體15'。

引線架10包含二個引腳群20分別設置於中央空白區21之二相對側。各引腳群20包含複數個引線12及複數個外接墊13和13'，外接墊13與引線12連接，而外接墊13'未與引線12連接。各引腳群20之外接墊13和13'排列成至少兩排，該至少兩排在遠離該中央空白區21之方向彼此間隔排列。在本實施例中，各引腳群20之外接墊13和13'排列成三排，其中未與引線12連接之外接墊13'大多排列於距離中央空白區21最遠之外側排。而在其他實施例中，各引腳群20之外接墊13和13'排列成多於三排。

第一晶片11包含設置於其主動面之中央區域上之複數個鐳墊111，第一晶片11以將複數個鐳墊111朝向中央空白區21之方式貼設於引線架10之第一表面123上。

各第一鐳線14在與第一表面123相對之第二表面124側連接相應引線12之第一端121，及通過中央空白區21連接相應之鐳墊111。

第二晶片17固定於第一晶片11之背面113上，第二鐳線18則電性連接第二晶片17至引線架10之第一表面123側的該些未與引線12連接之外接墊13'。

封膠體 15' 則覆蓋第一晶片 11、引線架 10、第二晶片 17、複數條第一鐳線 14 及複數條第二鐳線 18，但顯露外接墊 13 和 13' 之底面 131，以作為外部電性連接之用。

參照圖 8 所示，晶片封裝結構 1c 包含一第一晶片 11、一引線架 10、複數條第一鐳線 14、一封膠體 15 及一絕緣層 16。引線架 10 包含一中央空白區 21 及位於中央空白區 21 之二相對側之二個引腳群 20，各引腳群 20 包含複數個引線 12 及與引線 12 之第二端 122 連接之外接墊 13。第一晶片 11 包含複數個位於主動面中央區域之鐳墊 111，第一晶片 11 以將複數個鐳墊 111 朝向中央空白區 21 之方式貼設於引線架 10 之第一表面 123。第一鐳線 14 在與第一表面 123 相對之第二表面 124 側連接相應引線 12 之第一端 121 及通過中央空白區 21 連接相應之鐳墊 111。絕緣層 16 形成於該些外接墊 13 與該些引線 12 之間，藉此固定該些外接墊 13 與該些引線 12。絕緣層 16 之厚度可與引線 12 之厚度相同，或與外接墊 13 之厚度相同，亦或介於二個厚度之間之任何厚度。很明顯地，絕緣層 16 之厚度越大，其固定效果越佳。若絕緣層 16 選擇低吸濕性之材料，則其厚度越大，防止溼氣進入封裝結構之效果越佳。絕緣層 16 係可選自：導熱膠材、防鐳漆(solder resist)、聚亞醯胺 (Polyimide ; PI) 或苯環丁烯 (Benzocyclobutene ; BCB) 或其他類似之材料。

圖 6A 至 6G 係截面示意圖，其例示本發明一實施例之晶片封裝方法之製程流程圖。

參照圖 6A 所示，首先提供一第一膠膜 2 及一金屬基板 3

，其中金屬基板3包含一第一表面31及與第一表面31相對之一第二表面32。然後，將該第一膠膜2貼附在該金屬基板3之第一表面31上。

參照圖6B所示，圖案化金屬基板3之第二表面32，以獲得複數個引線架10。各引線架10包含一中央空白區21及位於該中央空白區21之二相對側之二個引腳群20，而各引腳群20包含外接墊13和13'及複數個引線12，其中各引腳群20之外接墊13和13'呈多排之矩陣排列，其排列成至少兩排，該至少兩排在遠離該中央空白區21之方向彼此間隔排列。於本實施例中，各引腳群20之外接墊13和13'係排列成三排。各引線12包含一第一端121及一第二端122，其中第一端121延伸至中央空白區21，而第二端122連接相應之外接墊13，外接墊13'則未與引線12連接，並且多數之外接墊13'排列於距離中央空白區21最遠之外側排。於本實施例中，圖案化金屬基板3之步驟是以蝕刻方式進行，其中以半蝕刻製程部分移除金屬基板3，即形成該些引線12。

參照圖6C所示，貼附一第二膠膜4於該些引線架10的第二表面124(即金屬基板3之第二表面32經圖案化後形成引線架10之該表面)上，更具體而言，第二膠膜4是貼附於該些引線架10之該些外接墊13和13'之底面131上。第二膠膜4包含複數個開孔41，其中各開孔41暴露各引線架10之中央空白區21及引線12之第一端121。接著，移除第一膠膜2。之後，在引線架10的第一表面123(即金屬基板3之第一表面31)上形成一黏晶層8。

參照圖 6D 所示，藉由黏晶層 8，將第一晶片 11 固定在相應之引線架 10 上。第一晶片 11 包含一主動面 112、一與該主動面 112 相對之背面 113 及設置於主動面 112 上之複數個鐳墊 111。第一晶片 11 係以將其主動面 112 貼設於引線架 10 之第一表面 123 之方式與引線架 10 固定。而，第一晶片 11 上之複數個鐳墊 111 則對應引線架 10 之中央空白區 21。

第一晶片 11 固定後，接著透過開孔 41，以複數條第一鐳線 14 將該些鐳墊 111 分別電連接至引線架 10 之該些引線 12 之第一端 121，其中各第一鐳線 14 之一端連接相應之鐳墊 111，第一鐳線 14 通過中央空白區 21 至引線架 10 之第二表面 124 側連接相應引線 12 之第一端 121。

參照圖 6E 和 6F 所示，第一晶片 11 完成打線後，接著形成一封膠體 15，覆蓋該些第一晶片 11、該些引線架 10 以及該些第一鐳線 14。之後，再依圖 6E 上虛線 L 顯示位置，單分該封膠體 15 及該些引線架 10，以形成複數個晶片封裝結構 1a，其中該單分步驟可以例如切割方式進行。最後，再將第二膠膜 4 移除，因此，晶片封裝結構 1a 之外接墊 13 和 13' 的底面 131 不會被封膠體 15 覆蓋而為顯露，以作為外部電性連接之用。

參照圖 6G 所示，在形成前述圖 6E 結構之前，於第一晶片 11 貼附後，第二晶片 17 可接著固定在第一晶片 11 之背面 113，其中第二晶片 17 係以背面固接於第一晶片 11 之背面 113 上。然後，透過開孔 41，以複數條第一鐳線 14 將該些鐳墊 111 分別電連接至引線架 10 之該些引線 12 之該些第一端

121，以及形成複數條第二鐳線18，以將第二晶片17電連接至引線架10之外接墊13'，其中該些第二鐳線18係連接至引線架10之第一表面123側。於另一實施例中，可在第一鐳線14電連接鐳墊111與引線12之第一端121之後，再將第二晶片17固接於第一晶片11上，並形成第二鐳線18。接著，再形成一封膠體15'，以覆蓋該些第一晶片11、該些第二晶片17、該些引線架10、該些第一鐳線14以及該些第二鐳線18。然後，進行單分步驟，以形成複數個晶片封裝結構1b，最後，移除第二膠膜4，因此，晶片封裝結構1b之外接墊13和13'的底面131不會被封膠體15'覆蓋而為顯露，以作為外部電性連接之用。

圖7A至7G係截面示意圖，其例示本發明另一實施例之晶片封裝方法之製程流程圖。

參照圖7A所示，首先提供一金屬基板5，其中金屬基板5包含一第一表面51及與第一表面51相對之第二表面52。接著，將金屬基板5之第一表面51圖案化，以形成複數個引線架10，其中每一引線架10包含一凹部511及位於該凹部511之二相對側之二個引腳群20。每一引腳群20包含複數個外接墊13和13'及複數個引線12，其中該些外接墊13和13'呈多排之矩陣排列，其排列成至少兩排，該至少兩排在遠離該中央空白區21之方向彼此間隔排列。於本實施例中，各引腳群20之外接墊13和13'係排列成三排。各引線12可包含一第一端121及一第二端122，其中第一端121鄰近凹部511，而第二端122連接相應之外接墊13。在一實施例中，金屬基

板5之圖案化包含部分移除金屬基板5上該些外接墊13和13'之外的區域至一第一厚度H1，以及部分移除該金屬基板5上該些外接墊13和13'及該些引線12之外的區域至一第二厚度H2以形成該些引線12及該凹部511，其中該第二厚度H2大於該第一厚度H1。

參照圖7B所示，於該些外接墊13和13'及該些引線12之間形成一絕緣層16，以固定該些外接墊13和13'及該些引線12，其中該絕緣層16暴露該凹部511及該些引線12之第一端121。絕緣層16之厚度可與引線12之厚度相同，或與外接墊13之厚度相同，亦或介於二個厚度之間之任何厚度。很明顯地，絕緣層16之厚度越大，其固定效果越佳。若絕緣層16選擇低吸濕性之材料，則其厚度越大，防止溼氣進入封裝結構之效果越佳。絕緣層16係可選自：導熱膠材、防銲漆(solder resist)、聚亞醯胺(Polyimide；PI)或苯環丁烯(Benzocyclobutene；BCB)或其他類似之材料。

參照圖7B與7C所示，移除金屬基板5之第二表面52直到凹部511成為一貫穿之中央空白區21，並且該些外接墊13和13'之間及該些引線12之間彼此獨立分開。

參照圖7D所示，接著，在引線架10的第二表面152(即金屬基板5之第二表面52)上形成一黏晶層8。藉由黏晶層8，將第一晶片11固定在對應之引線架10上。第一晶片11包含一主動面112、與該主動面112相對之背面113以及複數個銲墊111，其中該些銲墊111設置於第一晶片11之主動面112的中央區域。第一晶片11係以其主動面112貼設於引線架10

之第二表面152上。而，第一晶片11固定後，其鐳墊111正對應引線架10之中央空白區21。

接著，透過該中央空白區21，以複數條第一鐳線14將該些鐳墊111分別電連接至該引線架10之該些引線12之第一端121，其中各第一鐳線14之一端連接相應之鐳墊111，第一鐳線14通過中央空白區21至引線架10之第一表面151側(即金屬基板5之第一表面51經圖案化後形成引線架10之該表面)後，再連接相應引線12之第一端121。

參照圖7E所示，在圖7D顯示之結構上，形成一封膠體15，其中該封膠體15覆蓋該些第一晶片11、該些引線架10、以及該些第一鐳線14，但顯露該些外接墊13和13'之底面131，以作為外部電性連接之用。

參照圖7E與7F，封膠體15形成後，再依圖7E上虛線M顯示位置單分封膠體15及該些引線架10，以形成複數個晶片封裝結構1c，其中該單分步驟可以例如切割方式進行。

參照圖7G所示，在形成前述圖7E結構之前，於第一晶片11貼附後，第二晶片17可接著固定在第一晶片11之背面113，其中第二晶片17係以背面固接於第一晶片11之背面113上。然後，透過中央空白區21，以複數條第一鐳線14將該些鐳墊111分別電連接至引線架10之該些引線12之該些第一端121，以及形成第二鐳線18，以將第二晶片17電連接至引線架10之外接墊13'，其中該些第二鐳線18係連接至引線架10之第二表面152側。於另一實施例中，可在第一鐳線14電連接鐳墊111與引線12之第一端121之後，再將第二晶

片17固接於第一晶片11上，並形成第二鐳線18。接著，再形成一封膠體15'，以覆蓋該些第一晶片11、該些第二晶片17、該些引線架10、該些第一鐳線14以及該些第二鐳線18。之後，進行單分步驟，以形成複數個晶片封裝結構1d。

綜上，本發明揭示一晶片封裝結構及其封裝方法。該晶片封裝結構包含一晶片、複數外接墊及複數個引線。晶片包含複數個鐳墊，其中該些鐳墊設置於該晶片之中央區域。外接墊用於晶片封裝結構對外之電連接。引線連接相應之外接墊，且其一端延伸靠近晶片之鐳墊，如此可縮短連接晶片之鐳墊與引線之鐳線長度。

本揭露之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本揭露之教示及揭示而作種種不背離本揭露精神之替換及修飾。因此，本揭露之保護範圍應不限於實施例所揭示者，而應包括各種不背離本揭露之替換及修飾，並為以下之申請專利範圍所涵蓋。

【圖式簡單說明】

圖1例示一習知晶片封裝結構；

圖2A例示一習知球閘陣列封裝；

圖2B例示一習知晶片堆疊式之球閘陣列封裝；

圖3顯示本發明一實施例之晶片封裝結構之剖視圖；

圖4顯示本發明一實施例之引線架之示意圖；

圖5顯示本發明另一實施例之晶片封裝結構之剖視圖；

圖6A至6G係截面示意圖，其例示本發明一實施例之晶片封裝方法之製程流程圖；

圖 7A 至 7G 係截面示意圖，其例示本發明另一實施例之晶片封裝方法之製程流程圖；及

圖 8 顯示本發明再一實施例之晶片封裝結構之剖視圖。

【主要元件符號說明】

1a、1b、1c、1d	晶片封裝結構
2	第一膠膜
3	金屬基板
4	第二膠膜
5	金屬基板
6	晶片封裝結構
7	球閘陣列封裝
8	黏晶層
9	晶片堆疊式之球閘陣列封裝
10	引線架
11	第一晶片
12	引線
13、13'	外接墊
14	第一鐳線
15、15'	封膠體
16	絕緣層
17	第二晶片
18	第二鐳線
20	引腳群
21	中央空白區
31	第一表面
32	第二表面

41	開孔
51	第一表面
52	第二表面
H1	第一厚度
H2	第二厚度
61	晶片
62	導線架
63	鐳墊
64	鐳線
65	晶片承座
66	引腳
71	基板
72	晶片
73	晶片
74	鐳線
75	基板
76	中央開槽
77	鐳墊
111	鐳墊
112	主動面
113	背面
121	第一端
122	第二端
123	第一表面
124	第二表面
131	底面

201216384

151	第一表面
152	第二表面
511	凹部

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99/35167

※申請日：99.10.15

※IPC 分類：H01L 21/50 (2006.01)

H01L 23/128 (2006.01)

一、發明名稱：(中文/英文)

晶片封裝結構及晶片封裝方法

CHIP PACKAGE STRUCTURE AND CHIP PACKAGING METHOD

二、中文發明摘要：

一種晶片封裝方法包含下列步驟：貼附一第一膠膜於金屬基板上；圖案化該金屬基板，以形成複數個外接墊及複數個引線，其中該些外接墊及該些引線分設於一中央空白區之相對側，各側旁之外接墊在遠離該中央空白區之方向間隔排列成至少兩排，各引線包含一向空白區延伸之第一段及一連接相應之外接墊之第二段；貼附一具開孔之第二膠膜於該些外接墊上，其中該開孔暴露該中央空白區及該些引線之第一段；移除第一膠膜；固定一晶片於該些引線與該些外接墊上，其中晶片之複數個鉀墊對應該中央空白區；以及透過該開孔，以複數條鉀線分別電連接該些鉀墊至相應之該些引線之第一段。

三、英文發明摘要：

A chip packaging method includes the steps of: attaching a first tape to a metal plate; patterning the metal plate to form a plurality of terminal pads and a plurality of traces, wherein the plurality of terminal pads and the plurality of traces are separately disposed on opposite sides of a void region, the plurality of terminal pads on each side are arranged in at least two rows spaced apart from each other in a direction away from the void region, and each trace has a first end portion extending to the void region and a second end portion connecting to a corresponding terminal pad; attaching a second tape having openings to the plurality of terminal pads, wherein each of the openings exposes the void region and the first end portions of the traces; removing the first tape; attaching a chip to the plurality of terminal pads and the plurality of traces, wherein a plurality of bonding pads on the chip are disposed corresponding to the void region; and connecting the bonding pads to the first end portions of the traces with a plurality of bond wires through the opening.

七、申請專利範圍：

1. 一種晶片封裝方法，包含下列步驟：

貼附一第一膠膜於一金屬基板之一第一表面上；

圖案化該金屬基板相對於該第一表面之一第二表面，以形成複數個引線架，其中每一該引線架包含分別由該金屬基板之該第一表面及該第二表面形成之對應之一第一表面及一第二表面、一中央空白區及位於該中央空白區之二相對側之二個引腳群，其中每一該引腳群包含複數個外接墊及複數個引線，該些外接墊排列成至少兩排，該至少兩排在遠離該中央空白區之方向彼此間隔排列，各該引線包含一第一端及一第二端，該第一端係延伸至該中央空白區且該第二端連接相應之該外接墊；

貼附一第二膠膜於該些引線架上，其中該第二膠膜包含複數個開孔，每一該開孔暴露每一該引線架之該中央空白區及該些引線之該些第一端；

移除該第一膠膜；

將一第一晶片固定於各該引線架上，其中該第一晶片包含一主動面、相對該主動面之一背面以及設置於該主動面上之複數個鐳墊，該第一晶片係以該主動面貼設於該引線架之該第一表面上，且該些鐳墊對應該中央空白區；以及

透過該開孔，以複數條第一鐳線將該些鐳墊分別電連接至該引線架之該第二表面上相應之該些引線之該第一端。

2. 根據請求項1所述之晶片封裝方法，其中該圖案化金屬基板之步驟包含部分移除該金屬基板以形成該些引線。

3. 根據請求項1所述之晶片封裝方法，其更包含形成一封膠體之步驟，以覆蓋該第一晶片、該些引線架以及該些第一鐳線，其中該封膠體係顯露該些外接墊之底面。
4. 根據請求項1所述之晶片封裝方法，其更包含下列步驟：
 - 將一第二晶片固定於該第一晶片之該背面上；
 - 形成複數條第二鐳線，以將該第二晶片電連接至該引線架之該第一表面上相應之該些外接墊；以及
 - 形成一封膠體，以覆蓋該第一晶片、該第二晶片、該些引線架、該些第一鐳線以及該些第二鐳線，其中該封膠體係顯露該些外接墊之底面。
5. 根據請求項3或4所述之晶片封裝方法，於形成該封膠體之步驟之後，更包含下列步驟：
 - 單分該封膠體及該些引線架，以形成複數個晶片封裝結構；以及
 - 移除該第二膠膜。
6. 一種晶片封裝方法，包含下列步驟：
 - 圖案化一金屬基板之一第一表面，以形成複數個引線架，其中每一引線架包含一凹部及位於該凹部之二相對側之二個引腳群，其中每一該引腳群包含複數個外接墊及複數個引線，該些外接墊排列成至少兩排，該至少兩排在遠離該凹部之方向彼此間隔排列，各該引線包含一第一端及一第二端，該第一端鄰近該凹部且該第二端連接相應之該外接墊；
 - 形成一絕緣層於該些外接墊及該些引線之間，其中該絕緣層暴露該凹部及該些引線之該些第一端；
 - 移除該金屬基板上相對該第一表面之一第二表面，以

使該凹部形成一中央空白區且該些外接墊之間及該些引線之間彼此獨立；

將一第一晶片固定於各該引線架上，其中該引線架包含分別由該金屬基板之該第一表面及該第二表面形成之對應之一第一表面及一第二表面，該第一晶片包含一主動面、相對該主動面之一背面以及設置於該主動面上之複數個鐳墊，該第一晶片係以該主動面貼設於該引線架之該第二表面上，且該些鐳墊對應該中央空白區；以及

透過該中央空白區，以複數條第一鐳線將該些鐳墊分別電連接至該引線架之該第一表面上相應之該些引線之該第一端。

7. 根據請求項6所述之晶片封裝方法，其中該圖案化金屬基板之步驟包含部分移除該金屬基板上該些外接墊之外的區域至一第一厚度，以及部分移除該金屬基板上該些外接墊及該些引線之外的區域至一第二厚度以形成該些引線及該凹部，其中該第二厚度大於該第一厚度。
8. 根據請求項6所述之晶片封裝方法，其更包含形成一封膠體之步驟，以覆蓋該第一晶片、該些引線架以及該些第一鐳線，其中該封膠體係顯露該些外接墊之底面。
9. 根據請求項6所述之晶片封裝方法，其更包含下列步驟：

將一第二晶片固定於該第一晶片之該背面上；

形成複數條第二鐳線，以將該第二晶片電連接至該引線架之該第二表面上相應之該些外接墊；以及

形成一封膠體，以覆蓋該第一晶片、該第二晶片、該些引線架、該些第一鐳線以及該些第二鐳線，其中該封膠體係顯露該些外接墊之底面。

10. 根據請求項8或9所述之晶片封裝方法，於形成該封膠體之步驟之後，更包含下列步驟：

單分該封膠體及該些引線架，以形成複數個晶片封裝結構。

11. 一種晶片封裝結構，包含：

一引線架，包含一中央空白區及位於該中央空白區之二相對側之二個引腳群，其中每一該引腳群包含複數個外接墊及複數個引線，該些外接墊排列成至少兩排，該至少兩排在遠離該中央空白區之方向彼此間隔排列，各該引線具有相對之一第一端及一第二端，其中該第一端係延伸至該中央空白區且該第二端連接相應之該外接墊；

一第一晶片，包含一主動面、相對該主動面之一背面以及設置於該主動面上之複數個鐳墊，該第一晶片係以該主動面貼設於該引線架之一第一表面上，且該些鐳墊對應該中央空白區；

複數條第一鐳線，分別透過該中央空白區電連接該些鐳墊至該引線架之相對該第一表面之一第二表面上相應之該些引線之該第一端；以及

一封膠體，覆蓋該第一晶片、該引線架以及該些第一鐳線，其中該封膠體係顯露該些外接墊之底面。

12. 根據請求項11所述之晶片封裝結構，其更包含一絕緣層，形成於該些外接墊及該些引線之間，且該絕緣層暴露該些引線之該些第一端。

13. 根據請求項12所述之晶片封裝結構，其中該絕緣層之材料係可選自：導熱膠材、防鐳漆、聚亞醯胺及苯環丁烯。

14. 根據請求項11所述之晶片封裝結構，其更包含一第二晶片

及複數條第二鐸線，其中該第二晶片固定於該第一晶片之該背面上，且該些第二鐸線分別電連接該第二晶片至該引線架之該第一表面上相應之該些外接墊，該封膠體更覆蓋該第二晶片及該些第二鐸線。

八、圖式：

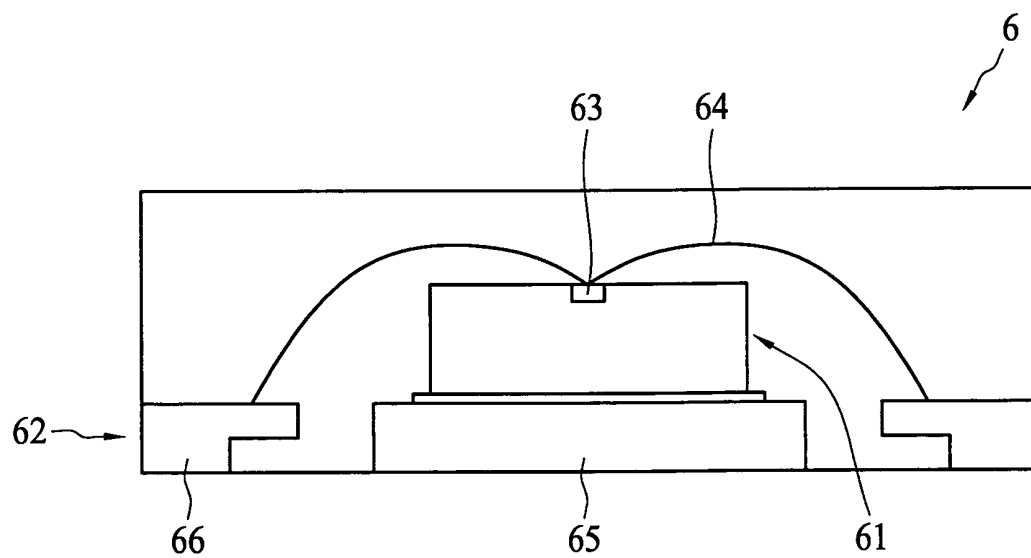


圖 1

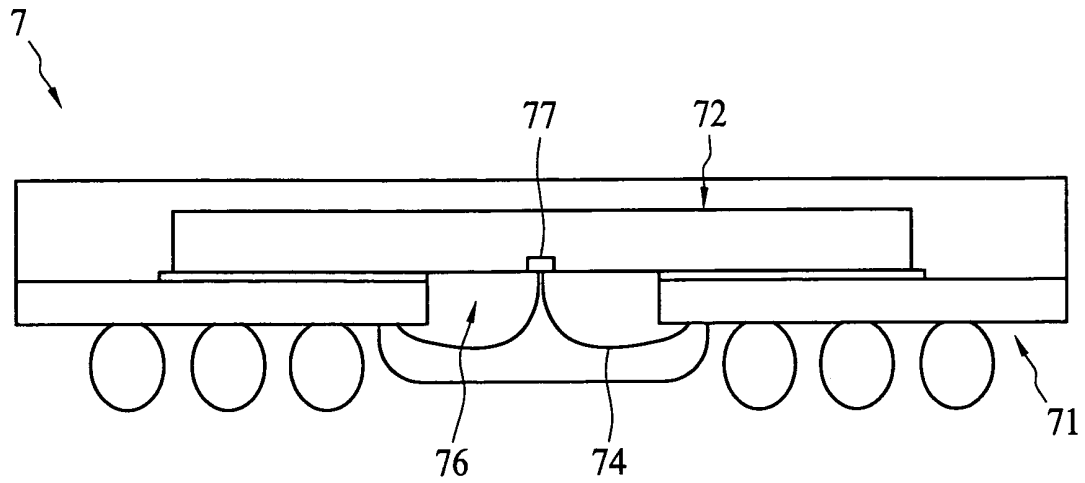


圖 2A

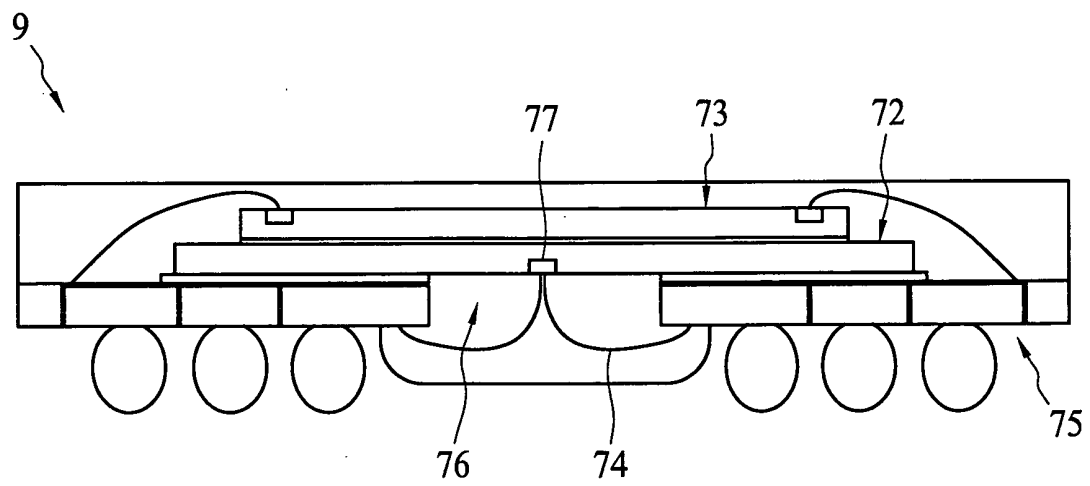


圖 2B

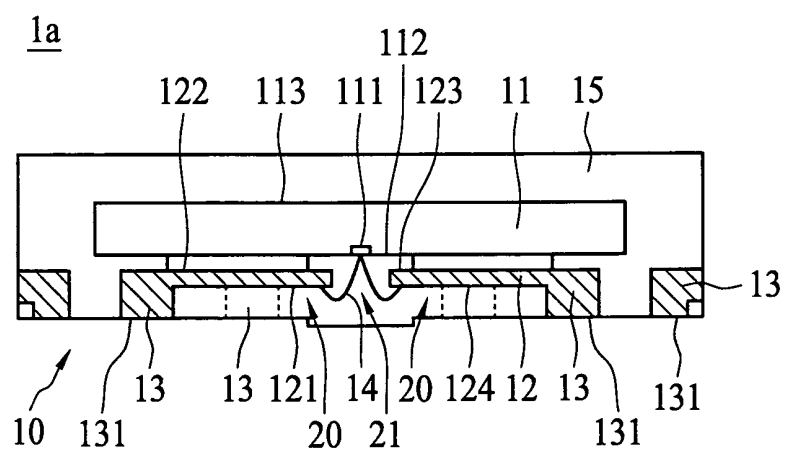


圖 3

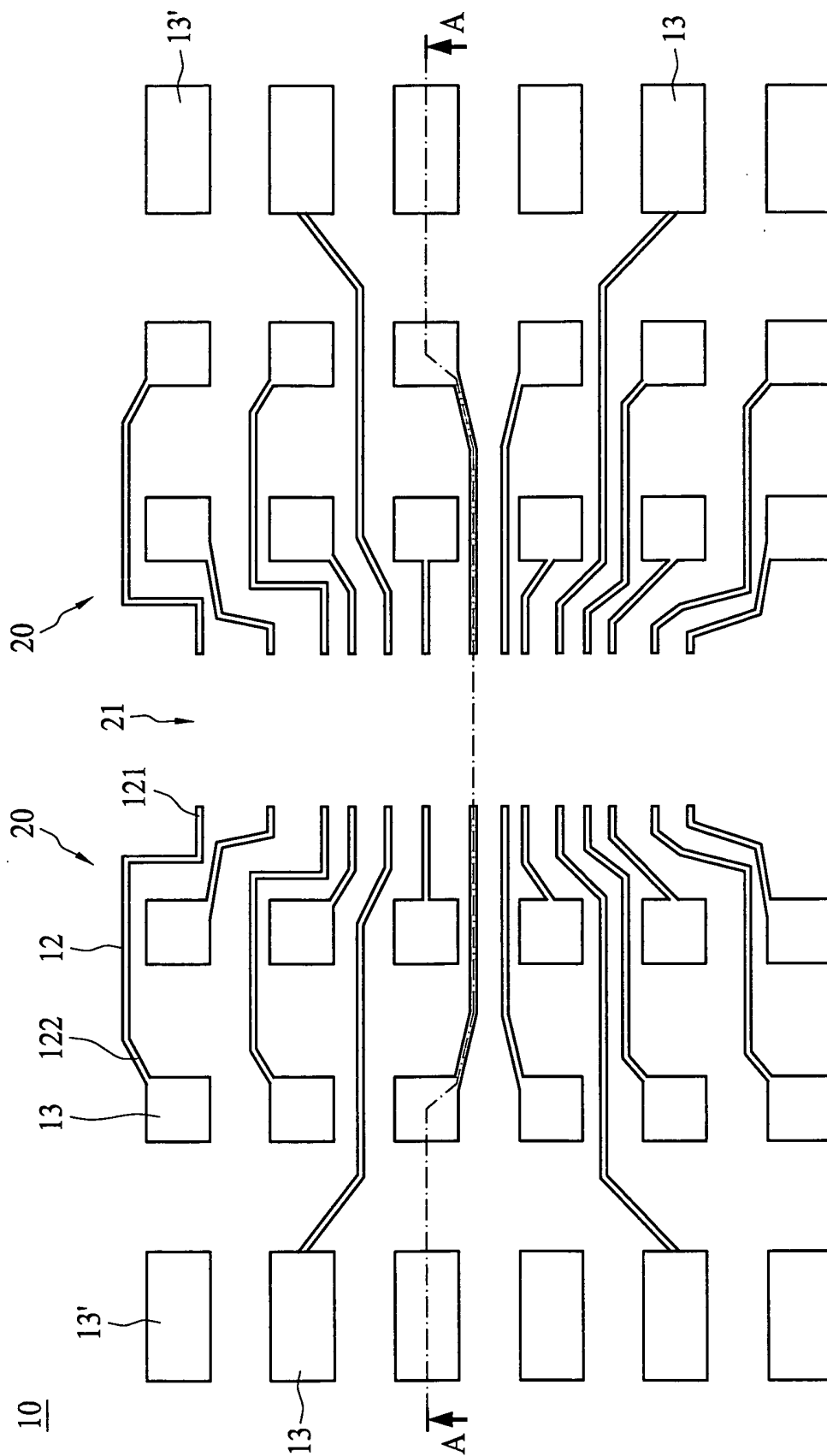


圖 4

1b

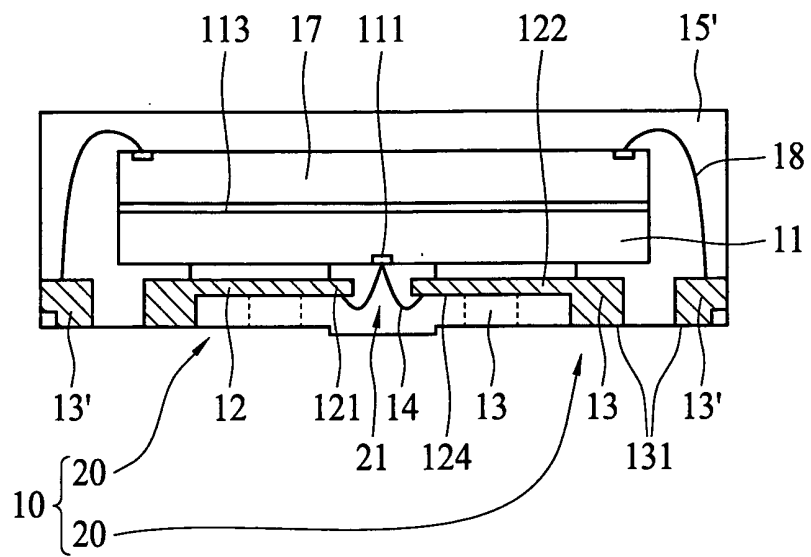


圖 5

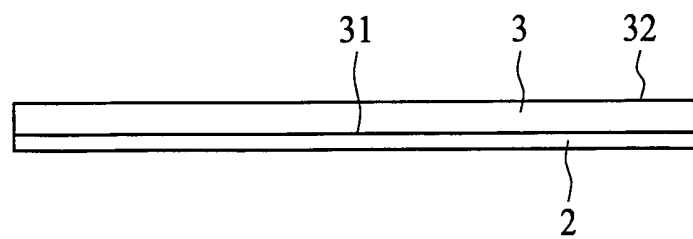


圖 6A

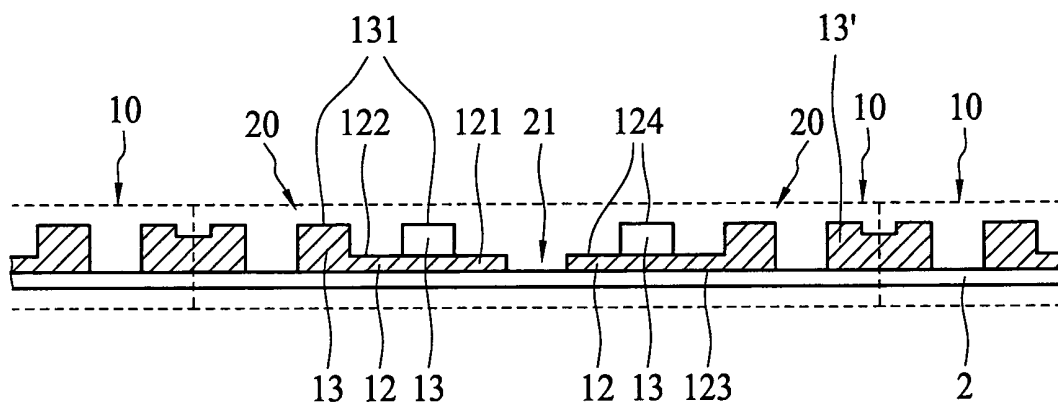


圖 6B

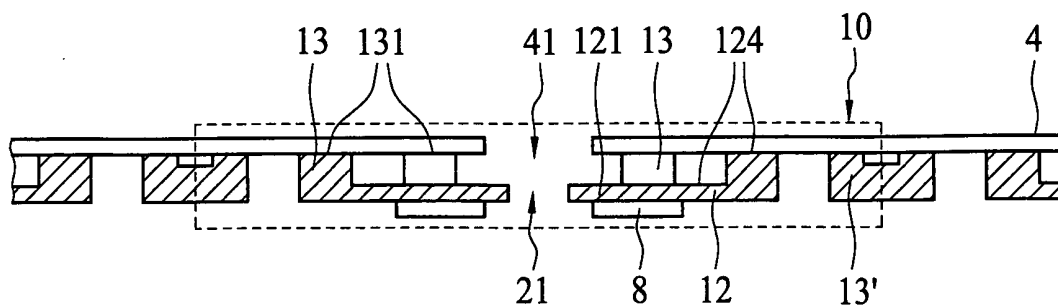


圖 6C

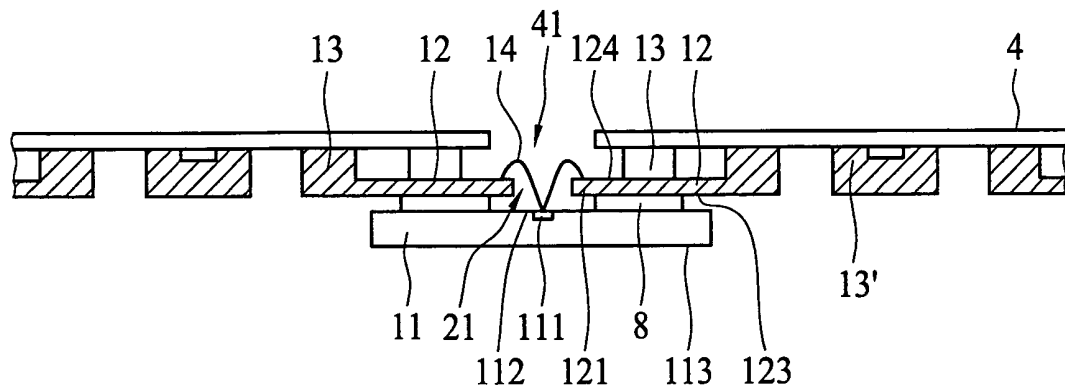


圖 6D

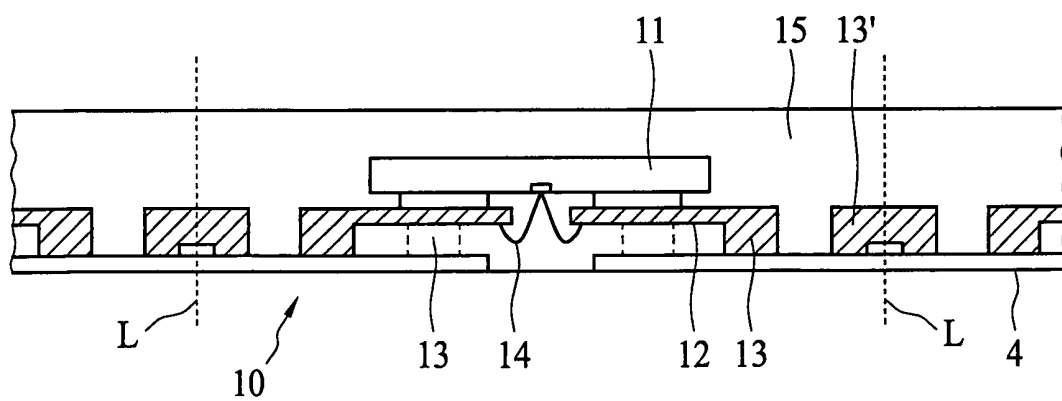


圖 6E

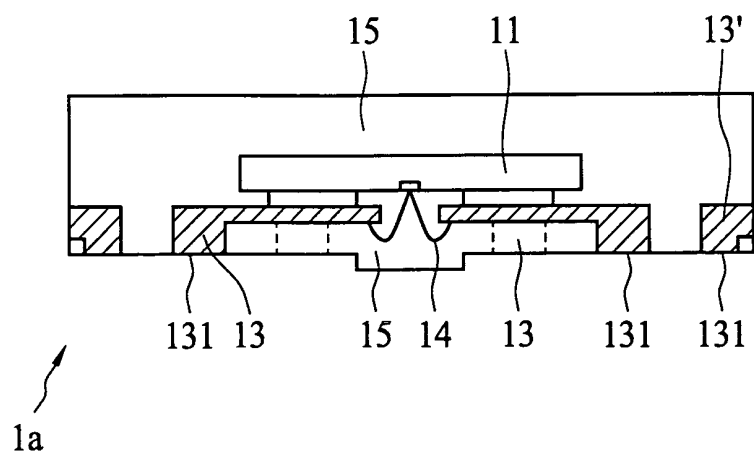


圖 6F

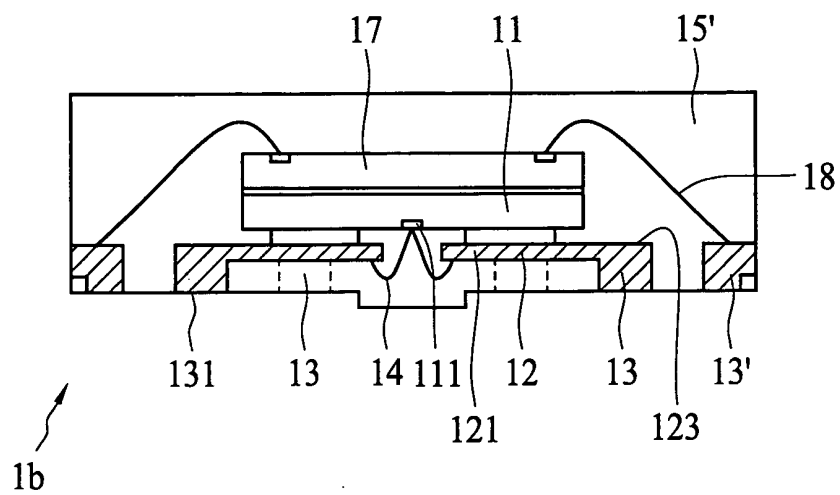


圖 6G

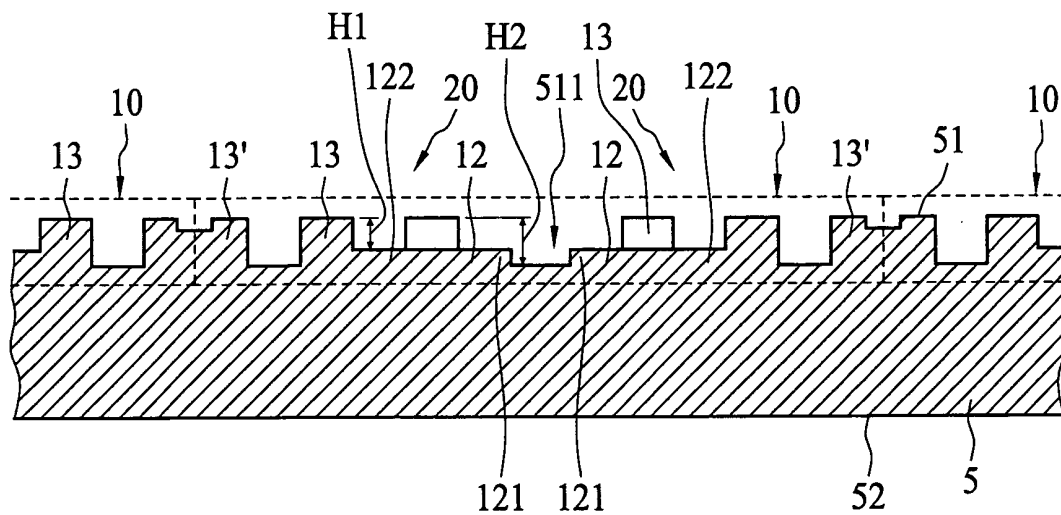


圖 7A

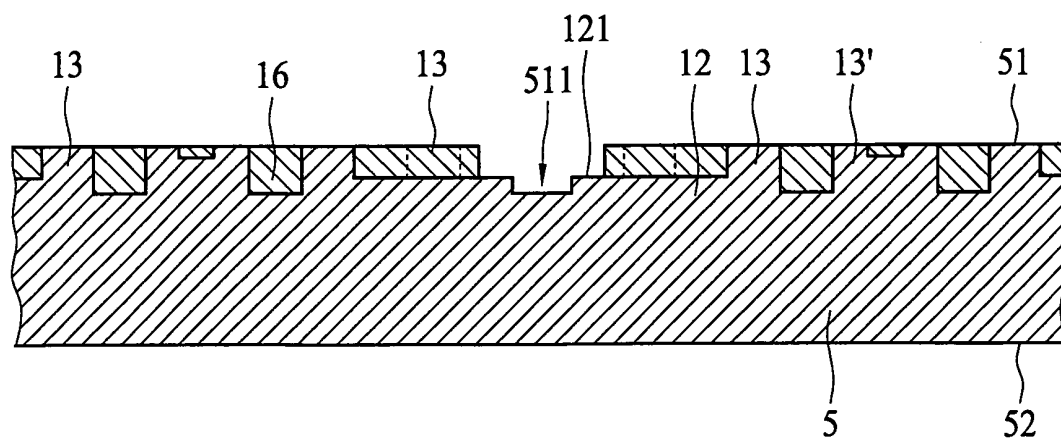


圖 7B

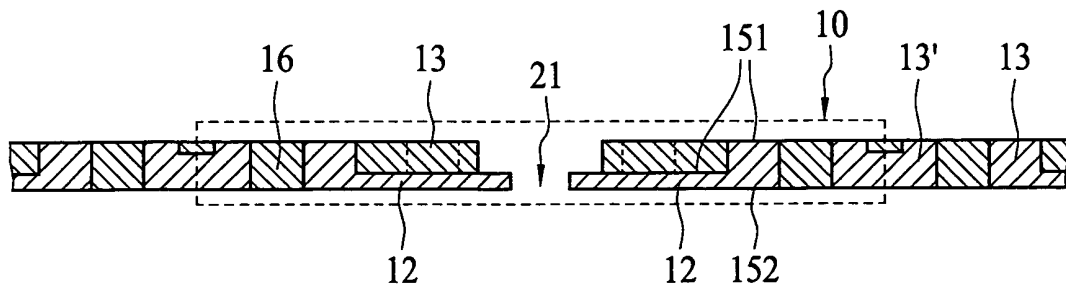


圖 7C

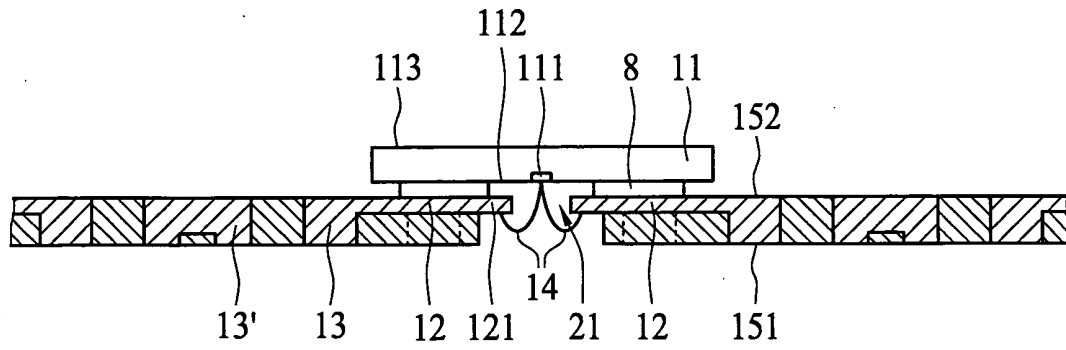


圖 7D

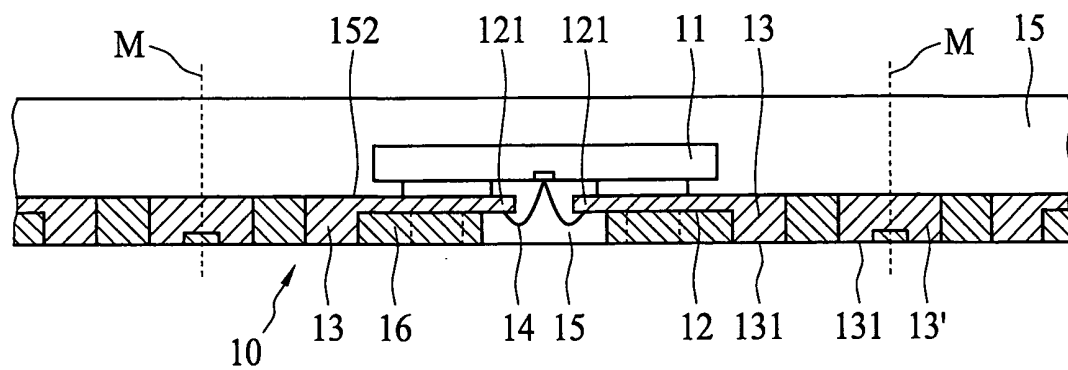


圖 7E

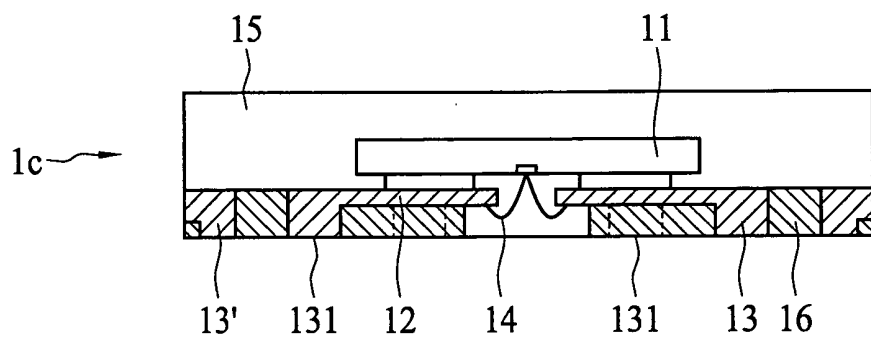


圖 7F

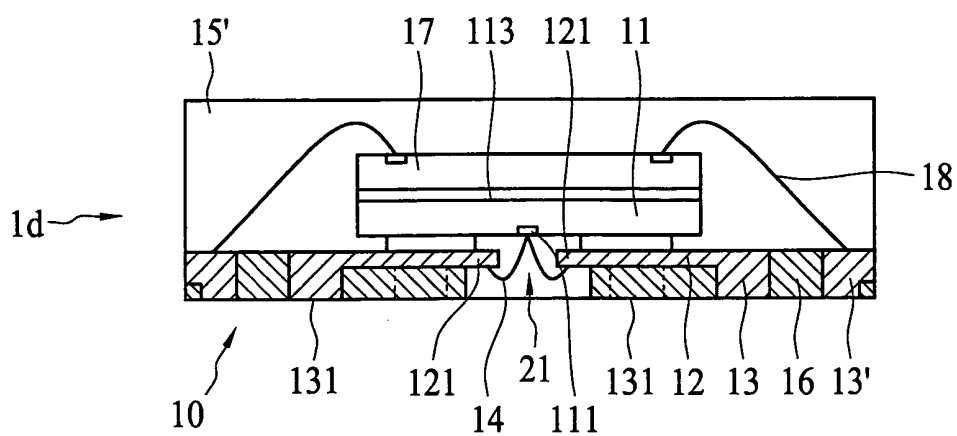


圖 7G

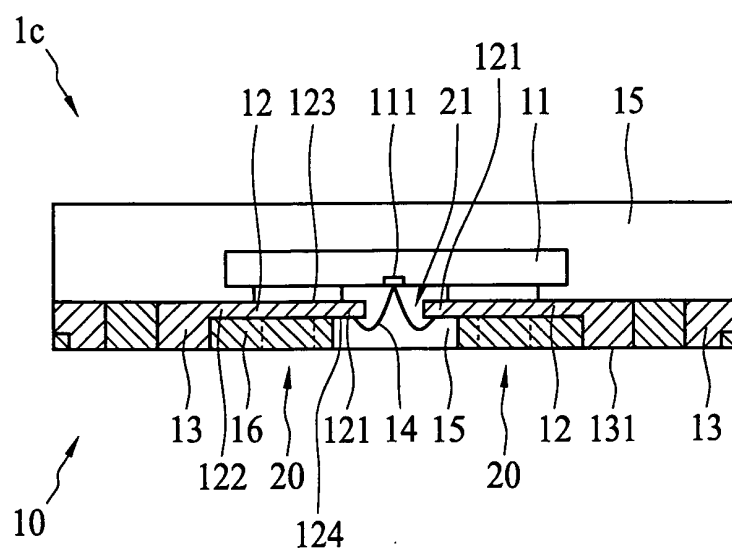


圖 8

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

1a	晶片封裝結構
10	引線架
11	第一晶片
12	引線
13	外接墊
14	第一鐳線
15	封膠體
20	引腳群
21	中央空白區
111	鐳墊
112	主動面
113	背面
121	第一端
122	第二端
123	第一表面
124	第二表面
131	底面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：