



(12)发明专利

(10)授权公告号 CN 104052257 B

(45)授权公告日 2018.03.23

(21)申请号 201410094168.3

(22)申请日 2014.03.14

(65)同一申请的已公布的文献号  
申请公布号 CN 104052257 A

(43)申请公布日 2014.09.17

(30)优先权数据  
61/799,833 2013.03.15 US  
13/907,770 2013.05.31 US

(73)专利权人 英特尔公司  
地址 美国加利福尼亚

(72)发明人 G·施罗姆 A·利亚霍夫  
M·W·罗杰斯 D·W·凯斯林  
J·P·道格拉斯 J·K·霍奇森

(74)专利代理机构 永新专利商标代理有限公司  
72002

代理人 韩宏 陈松涛

(51)Int.Cl.  
H02M 1/44(2007.01)  
H03K 3/02(2006.01)

审查员 蔡莹莹

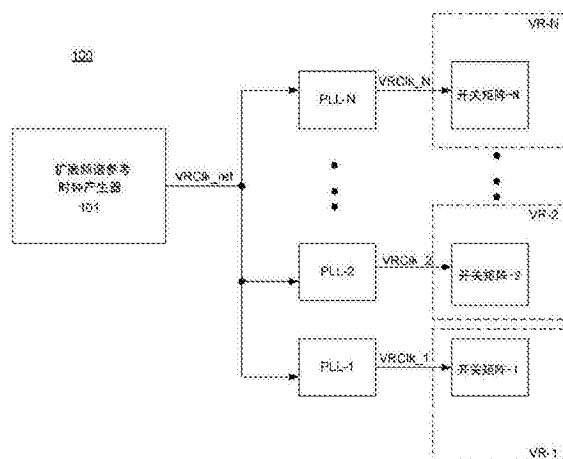
权利要求书3页 说明书13页 附图10页

(54)发明名称

用于电压调节器的扩频设备

(57)摘要

描述了一种用于提供对时钟信号扩频的设备。所述设备包括：生成输出时钟信号的振荡器，所述振荡器接收可调整参考信号，以调整所述输出时钟信号的频率；提供指示所述输出时钟信号的中心频率的第一信号的第一电路；第二电路，用于生成开关波形，从而为所述输出时钟信号提供扩频；以及耦合至所述第一和第二电路的第三电路，其用于根据所述第一信号和所述开关波形提供可调整参考信号。



1. 一种用于扩频的设备,包括:

振荡器,用于生成输出时钟信号,所述振荡器用于接收可调整参考信号,以调整所述输出时钟信号的频率;

第一电路,用于提供指示所述输出时钟信号的中心频率的第一信号;

第二电路,用于生成开关波形,从而为所述输出时钟信号提供扩频,其中所述第二电路用于在所述输出时钟信号的频谱中造成陷波;以及

第三电路,耦合至所述第一电路和所述第二电路,所述第三电路用于根据所述第一信号和所述开关波形提供所述可调整参考信号。

2. 根据权利要求1所述的设备,其中,所述振荡器是电压控制振荡器(VCO)或者数字控制振荡器(DCO)之一。

3. 根据权利要求1所述的设备,其中,所述第一电路包括第一数模转换器(DAC),所述第一数模转换器(DAC)用于将所述中心频率的数字表示转换为作为所述第一信号的模拟表示。

4. 根据权利要求1所述的设备,其中,所述第二电路包括:

以参考时钟频率操作的升降计数器;以及

耦合至所述升降计数器的第二数模转换器(DAC),所述第二数模转换器用于生成所述开关波形。

5. 根据权利要求4所述的设备,还包括耦合至所述升降计数器的伪随机产生器,所述伪随机产生器向所述升降计数器提供上升或下降信号。

6. 根据权利要求4所述的设备,其中,所述升降计数器用于为所述第二数模转换器生成三角波形。

7. 根据权利要求4所述的设备,其中,所述升降计数器用于为所述第二数模转换器生成随机游走信号。

8. 根据权利要求1所述的设备,其中所述第三电路包括:

电阻分压器;以及

多路复用器,用于选择性地耦合所述电阻分压器的输出以提供所述可调整参考信号。

9. 根据权利要求1所述的设备,还包括耦合至所述第二电路和所述第三电路的第四电路,所述第四电路包括:

电阻分压器;以及

多路复用器,用于选择性地耦合所述电阻分压器的输出以提供所述开关波形。

10. 根据权利要求1所述的设备,还包括用于接收所述输出时钟信号的脉宽调制器(PWM)。

11. 根据权利要求1所述的设备,其中所述振荡器是脉宽调制器(PWM)振荡器的复制振荡器。

12. 一种用于扩频的设备,包括:

振荡器,用于生成输出时钟信号,所述振荡器用于接收可调整参考信号,以调整所述输出时钟信号的频率;

第一电路,用于提供指示所述输出时钟信号的中心频率的第一信号;

第二电路,用于生成开关波形,所述第二电路用于在所述输出时钟信号的频谱中造成

陷波;以及

第三电路,耦合至所述第一电路和所述第二电路,所述第三电路用于根据所述输出时钟信号的中心频率和所述开关波形来提供所述可调整参考信号。

13. 根据权利要求12所述的设备,其中,所述第一电路包括:

频率计数器,用于相对于参考时钟信号对输出时钟信号的频率进行计数,所述频率的计数值被存储为频率代码;以及

逻辑单元,用于将参考频率代码减去所述频率代码,以生成频率误差代码。

14. 根据权利要求13所述的设备,其中,所述第一电路还包括时钟倍增器,所述时钟倍增器用于使所述输出时钟信号的频率倍增,所述时钟倍增器耦合至所述频率计数器。

15. 根据权利要求14所述的设备,其中,所述时钟倍增器用于在所述第一电路用于在快跟踪模式下操作时使所述输出时钟信号的频率以大于一的因数倍增,并在所述第一电路用于在不同于所述快跟踪模式的慢跟踪模式下操作时使所述输出时钟信号频率保持不变。

16. 根据权利要求13所述的设备,其中,所述第一电路还包括频率换算器,所述频率换算器用于在所述第一电路用于在快跟踪模式下操作时以大于一的因数对所述频率计数值进行换算。

17. 根据权利要求16所述的设备,其中,所述换算器用于在所述第一电路用于在不同于所述快跟踪模式的慢跟踪模式下操作时,以等于一的因数对所述频率计数值进行换算。

18. 根据权利要求13所述的设备,还包括:

第一数模转换器(DAC),用于将所述中心频率的数字表示转换为作为所述第一信号的模拟表示;

比例积分(PI)控制器,耦合至所述逻辑单元和所述第一数模转换器,所述比例积分控制器用于根据所述频率误差代码调整所述中心频率的数字表示。

19. 根据权利要求12所述的设备,其中,所述第二电路包括:

以参考时钟频率操作的升降计数器;

用于在所述升降计数器的输出中造成陷波的陷波逻辑;

耦合至所述升降计数器的第二数模转换器(DAC),所述第二数模转换器用于根据所述升降计数器的输出生成所述开关波形。

20. 根据权利要求19所述的设备,还包括耦合至所述升降计数器的伪随机产生器,所述伪随机产生器向所述升降计数器提供上升或下降信号。

21. 根据权利要求12所述的设备,其中,所述第三电路包括:

电阻分压器;以及

多路复用器,用于选择性地耦合所述电阻分压器的输出以提供所述可调整参考信号。

22. 根据权利要求12所述的设备,还包括耦合至所述第二电路和所述第三电路的第四电路,所述第四电路包括:

电阻分压器;以及

多路复用器,用于选择性地耦合所述电阻分压器的输出以提供所述开关波形。

23. 一种用于扩频的系统,包括:

存储单元;以及

耦合至所述存储单元的处理器,其具有多个集成电压调节器(IVR)以及扩频控制器,所

述扩频控制器包括：

振荡器，用于生成输出时钟信号，所述振荡器用于接收可调整参考信号，以调整所述输出时钟信号的频率；

第一电路，用于提供指示所述输出时钟信号的中心频率的第一信号；

第二电路，用于生成开关波形，从而为所述输出时钟信号提供扩频，其中所述第二电路用于在所述输出时钟信号的频谱中造成陷波；以及

第三电路，耦合至所述第一电路和所述第二电路，所述第三电路用于根据所述第一信号和所述开关波形提供可调整参考信号。

24. 根据权利要求23所述的系统，还包括：

用于允许所述处理器与另一装置通信的无线接口；以及

显示单元。

## 用于电压调节器的扩频设备

[0001] 优先权要求

[0002] 本申请要求2013年3月15日提交的、名称为“Integrated Voltage Regulators”的美国临时申请61,799,833的优先权,在此通过引用将该文献全文并入本文。

### 背景技术

[0003] 来自开关调节器的噪声可能使部件(例如,处理器)或平台超出EMI(电磁干扰)规范,这可能会妨碍该部件或平台被运送或出售。如果开关噪声谐波存在于无线电频带中,来自开关调节器的噪声也可造成与平台无线电的干涉,从而造成性能损失。对于上述问题的典型解决方案是对开关电压调节器采用法拉第笼屏蔽。但是,在将开关电压调节器与其它干扰电路一起集成在管芯上时,法拉第笼可能不再是一种可行的解决方案。

[0004] 降压DC-DC转换器(例如,电压调节器)中的有限电感和限定输出解耦电容使转换器的输出电压在输出电流突然增大时下降。在最高 $di/dt$ 的情况下,这可能成为一个问题,尤其是就(通过电压调节器生成的)芯片电源而言。电压调节器(VR)可以为CPU(中央处理单元)上的大部分电压域(domain)提供电源。DC-DC转换器中的大电流在高 $di/dt$ 时的切换可能会导致切换频率的基频和谐波上的电磁发射,其将导致电磁干扰(EMI)和射频干扰(RFI——平台中的接收无线电所遭遇的)。来自CPU的未加以缓解的EMI和RFI可能会导致提高的平台成本和/或降低的电池寿命,并甚至可能导致CPU无法通过EMI测试。

### 附图说明

[0005] 通过下文给出的具体实施方式以及本公开的各种实施例的附图,本公开的实施例将得到更加充分的理解,但是不应将该具体实施方式和附图看作使本公开局限于具体的实施例,它们只是用于说明和理解。

[0006] 图1是根据本公开的一个实施例的对一个或多个开关电压调节器采用扩频的高级架构。

[0007] 图2是根据本公开的一个实施例的开环扩频设备。

[0008] 图3是根据本公开的一个实施例的具有输出时钟的变化跟踪和陷波(notch)能力的闭环扩频设备。

[0009] 图4A是示出根据本公开的一个实施例的开环扩频设备的操作的频率图。

[0010] 图4B是示出根据本公开的一个实施例的采用慢锁定的闭环扩频设备的操作的频率图。

[0011] 图4C是示出根据本公开的一个实施例的闭环扩频设备的操作的频率图。

[0012] 图5A-D是示出根据本公开的一个实施例的开环扩频设备以及采用陷波的闭环扩频设备的操作的曲线图。

[0013] 图6A示出根据本公开的一个实施例的在闭环扩频设备中使用的倍增器。

[0014] 图6B是示出根据本公开的一个实施例的倍增器的操作的波形。

[0015] 图7是根据本公开的一个实施例的在开环及闭环扩频设备中使用的可调电阻器。

[0016] 图8是根据本公开的一个实施例的具有针对开关电压调节器的扩频设备的智能装置或计算机系统或SoC(芯片上系统)。

### 具体实施方式

[0017] 本公开实施例提供了扩频调制,其降低了峰值功率谱密度,以减少EMI。在一个实施例中,对平均切换频率加以调整,从而为实现RFI控制而使扩展谐波保持远离无线电接收频带。在一个实施例中,采用自激宽频带振荡器(例如,电压控制振荡器(VCO))为VR提供主切换时钟。在一个实施例中,所述VCO具有频率调谐电压,可以对该频率调谐电压进行调制以改变频率。

[0018] 在一个实施例中,采用低速数字跟踪环,其采用系统参考时钟并对VCO电压进行调制,从而使切换频率在诸如0.2-2%的阈值内保持稳定。在一个实施例中,采用软件界面来允许将目标切换频率设定为具体值,所述具体值被用作跟踪环的目标频率。在一个实施例中,在与跟踪环相结合的情况下,软件界面允许将切换频率置于与平台无线电之间具有最低的谐波干扰的频率点上。

[0019] 在一个实施例中,采用数字扩频以及陷波滤波器块来调制VCO的调谐电压。在一个实施例中,该数字逻辑与跟踪环结合在一起工作。在一个实施例中,该数字块能够提供传统的用于实现EMI缓解的扩频调制,但是除此之外该数字块还含有可以在以目标切换频率为中心的频谱中建立陷波的算法。在一个实施例中,该陷波在宽度上是可编程的,并用于使特定频率上的噪声减小至可能发生无线电干扰的阈值以下。在一个实施例中,上文提到的功能也是可通过软件编程的。

[0020] 实施例的一个技术效果在于,其结合了多种数字算法和技术,从而允许平台对VR噪声谱整形,以降低无线电干扰并通过EMI验证。这允许采用较高频率的切换拓扑结构,并且能够减少平台屏蔽的使用。此外,可以考虑由于开关噪声而可能已经被禁止使用的新VR电路和拓扑结构。

[0021] 在一个实施例中,用于扩频和频率陷波的数字算法产生模拟电压,将该模拟电压与来自频率跟踪环的模拟电压混合。在一个实施例中,这些模拟电压的混合将产生平均频率等于参考目标频率的VCO频率。在一个实施例中,瞬时频率取决于所组合的扩频及频率陷波算法,该频率陷波算法确定使VCO频率移动到何处以提供期望的发射轮廓(profile)。

[0022] 在以下描述中,将讨论各种细节,以提供对本公开的实施例的更为透彻的说明。但是,显然,对于本领域技术人员而言,能够在不需要这些具体细节的情况下实践本公开的实施例。在其它情况下,以方框图的形式示出了已知的结构和装置,而没有对其进行详尽图示,以便避免对本公开的实施例造成模糊。

[0023] 注意,在这些实施例的对应附图中,采用线表示信号。某些线较粗,其表示更多的构成信号通路,和/或在一个或多个末端具有箭头,其指示原始信息流向。这样的指示并非旨在限制。相反,结合一个或多个示例性实施例使用这些线能够有助于对电路或逻辑单元更容易地理解。任何所代表的根据设计需要或偏好规定的信号都可以实际包括一个或多个信号,其可以沿任一方向传播并且可以采用任何类型的信号方案实施。

[0024] 在说明书中通篇采用的以及在权利要求中采用的术语“连接”是指被连接的东西之间的直接电连接,而没有任何中间装置。术语“耦合”要么是指所连接的东西之间的直接

电连接,要么是指通过一个或多个无源或有源中间装置的间接连接。术语“电路”是指一个或多个被布置为相互协作以提供预期功能的无源和/或有源部件。术语“信号”是指至少一个电流信号、电压信号或数据/时钟信号。“一(a)”、“一个(an)”以及“该(the)”的含义包括多个的引用。“在……中”的含义包括“在……中”和“在……上”。

[0025] 术语“换算(scaling)”一般是指将设计(图解和布局)从一种处理技术变换至另一处理技术。术语“换算”一般还指在相同的技术节点内缩小布局和装置尺寸。术语“换算”还可以指相对于另一参数(例如,电源电平)调整信号频率(例如,放慢)。术语“基本上”、“接近”、“近似”、“近于”以及“大约”一般是指处于目标值的 $\pm 20\%$ 内。

[0026] 除非另行指出,否则采用“第一”、“第二”、“第三”等顺序形容词描述共同对象只是表明正在引述类似对象的不同实例,而不是暗指所描述的对象必须按照排列的方式或者任何其它方式处于给定的时间或者空间顺序内。

[0027] 出于这些实施例的目的,晶体管是金属氧化物半导体(MOS)晶体管,其包括漏极、源极、栅极和体块(bulk)端子。晶体管还包括Tri-Gate和FinFet晶体管、栅极居于周围的圆柱形晶体管、或者其它实现晶体管功能的器件(例如碳纳米管或自旋电子器件)。源极和漏极端子可以是等同的端子,并在文中可互换使用。本领域技术人员将认识到,在不背离本公开的范围的情况下可以采用其它晶体管,例如,双极结型晶体管-BJT PNP/NPN、BiCMOS、CMOS、eFET等。术语“MN”是指n型晶体管(例如,NMOS、NPN、BJT等),且术语“MP”是指p型晶体管(例如,PMOS、PNP、BJT等)。

[0028] 图1是根据本公开的一个实施例的对一个或多个开关电压调节器采用扩频的高级架构100。在一个实施例中,架构100包括扩频参考时钟产生器101、一个或多个锁相环(PLL),即PLL-1、PLL-2和PLL-N、电压调节器(VR),即VR-1、VR-2和VR-N,其中,“N”是大于2的整数。在一个实施例中,每一VR具有其对应的开关矩阵,即,开关矩阵-1、开关矩阵-2和开关矩阵-N,其中,“N”是大于2的整数。

[0029] 在一个实施例中,扩频参考时钟产生器101为与其它电压调节器相关的其它时钟单元生成VRC1k\_ref。通过扩展参考时钟(VRC1k\_ref)的频谱,接收参考时钟的其它PLL以及其它电压调节器的相应振荡器(例如,脉宽调制器的振荡器)将有效地扩展其时钟信号的频谱,以降低EMI。在一个实施例中,使VRC1k\_ref的频率扩展 $\pm 1\%$ (例如,1MHz到100MHz),从而将峰值功率密度(PPD)降低例如20倍。在其它实施例中,可以采用其它扩展百分比,例如,在3kHz处为 $\pm 3\%$ 。在一个实施例中,扩频参考时钟产生器101可用于将VRC1k\_ref的频谱扩展任何百分比,只要采用VRC1k\_ref的VR能够继续正常工作即可。例如,可以将VRC1k\_ref的频谱扩展为不会使PLL1-N由于变化的参考时钟(VRC1k\_ref)而失锁。

[0030] 在一个实施例中,几个VR的PWM是锁定至扩频VRC1k\_ref的相。在一个实施例中,PWM以作为 $2 \times$ 参考时钟频率(即VRC1k\_ref)的频率来操作。在一个实施例中,VR的客户或用户能够改变扩展量和中心频率。

[0031] 在一个实施例中,扩频参考时钟产生器101能够在扩展谐波中引入陷波,以降低射频干扰(RFI)。为了获得更好的无线电通信,无线电的接收频带不应具有噪声。在一个实施例中,在通过扩频参考时钟产生器101扩展的频谱中引入间隙,从而使用于无线电的频谱能够以无噪声(或基本无噪声)的方式使用。在一个实施例中,扩频参考时钟产生器101使VRC1k\_ref的平均切换频率(出于频谱扩展目的)保持恒定。在一个实施例中,扩频参考时钟

产生器101可用于生成三角波,其用于引入频谱的上扩展和下扩展。在一个实施例中,扩频参考时钟产生器101可用于向VRC1k\_ref引入随机频谱扩展。例如,引入具有长的可控时段的随机游走,从而使频谱扩展随机化。

[0032] 图2是根据本公开的一个实施例的开环扩频设备200(例如,101)。需要指出的是,图2中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。

[0033] 在一个实施例中,设备200包括振荡器201、第一电路202、第二电路203和第三电路204。在一个实施例中,振荡器201根据可调整的参考信号(Vref)生成输出时钟信号(VR Clk,其与图1的VRC1k\_ref相同),以调整输出时钟信号的频率。在一个实施例中,振荡器201是数字控制振荡器(DCO),其中,可调整参考信号是数字控制字。在一个实施例中,振荡器201是电压控制振荡器(VCO),其中,可调整参考信号是电压控制信号。

[0034] 在一个实施例中,第一电路202可用于提供指示输出时钟信号的中心频率的第一信号(例如,VR中心频率)。在一个实施例中,第一电路202包括第一数模转换器(DAC)206,其用于将中心频率的数字表示(例如,参考频率代码)转换为作为所述第一信号(即,VR中心频率)的模拟表示。在一个实施例中,第一电路202包括耦合至DAC206的寄存器207,其中,寄存器207存储控制信号提供的参考频率代码。在一个实施例中,DAC206是采用参考时钟信号操作的时钟控制DAC。在一个实施例中,DAC208也是采用参考时钟信号操作的时钟控制DAC。在其它实施例中,DAC206和DAC208可以是异步的。

[0035] 在一个实施例中,第二电路203可用于生成开关波形216(例如,SS调制),从而为输出时钟信号提供频谱扩展。在一个实施例中,第二电路203包括以参考时钟频率操作的第二DAC208和升降计数器209。在一个实施例中,第二DAC208耦合至升降计数器209,其中,第二DAC208可用于根据升降计数器209的输出215生成开关波形216。在一个实施例中,第二DAC208是12位DAC。在其它实施例中,对于第二DAC208而言可以采用其它规模。在一个实施例中,采用较大位规模的DAC生成更加平滑的输出216,从而对Vref平滑调制。在这样的实施例中,VR Clk表现出平滑的频谱扩展,从而使接下去的PLL保持稳定。在一个实施例中,提高DAC分辨率(即,位数)有助于降低扩展模式中的谱线的可观察性。

[0036] 在一个实施例中,升降计数器209包括耦合至加法器212的寄存器211,从而将升降计数器209的输出213加到来自加法器212的当前值。在一个实施例中,寄存器211是12位寄存器。在一个实施例中,升降计数器209采用参考时钟信号操作。在一个实施例中,参考时钟信号具有100MHz的频率。在其它实施例中,可以采用参考时钟信号的其它频率。在一个实施例中,升降计数器209是在其溢值时切换计数方向的自运行计数器。在这样的实施例中,升降计数器209的输出215是周期性三角波形。参考时钟信号的频率影响三角波的周期。在一个实施例中,通过提高计数器规模以及DAC208的分辨率而在谱线出现之前获得更大的最大扩展。

[0037] 在一个实施例中,第二电路203还包括耦合至升降计数器209的伪随机产生器210。在一个实施例中,伪随机产生器210可用于向升降计数器209提供随机升高或降低信号(又称为随机游走信号)。在一个实施例中,伪随机产生器210是采用参考时钟信号操作的线性反馈移位寄存器(LFSR)。在一个实施例中,在启用伪随机产生器210时,215的输出是随机游走数字代码。在一个实施例中,来自伪随机产生器210的升高/降低(up/dn)信号214是一阶

随机的。在其它实施例中，可以通过伪随机产生器210向升高/降低(up/dn)信号214引入较高阶随机性。

[0038] 在一个实施例中，耦合至第一和第二电路(202和203)的第三电路根据第一信号(即，VR中心频率)和开关波形(216或者SS调制)提供可调整参考信号(Vref)。为了不对这些实施例造成模糊，Vref为模拟电压。在其它实施例中，可以生成供DCO使用的数字控制代码。在一个实施例中，第三电路204是管芯上电位器(POT)。在一个实施例中，VR中心频率是固定的，且SS调制信号使得Vref发生调制。在图7中示出了一个这样的第三电路204。

[0039] 图7是根据本公开的一个实施例的在开环和闭环扩频设备中采用的可调电阻器700(例如，第三电路204)。需要指出的是，图7中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用，但并不限于此。

[0040] 在一个实施例中，可调电阻器700包括多个电阻器R1-RN，其中，“N”是大于2的整数。在一个实施例中，电阻器R1-RN是多晶硅电阻器。在其它实施例中，R1-RN是按照线性模型操作的晶体管。在一个实施例中，R1-RN形成了具有第一端子“A”(例如，提供SS调制信号)和第二端子“B”(例如，提供VR中心频率)的梯形电阻器。在一个实施例中，可调电阻器700采用第一和第二端子的电压或信号进行插值。

[0041] 在一个实施例中，将这些电阻器的每一端子耦合至可控开关。例如，将开关S1-SN耦合至电阻器R1-RN的端子，如图所示。在一个实施例中，开关S1-SN是由p型器件、n型器件或其组合形成的传送门(pass-gate)。在一个实施例中，开关S1-SN形成了选择性地耦合电阻分压器(即，电阻器R1-RN)的输出以提供可调整参考信号Vref的多路复用器。

[0042] 在一个实施例中，开关S1-SN可受到解码器701生成的数字信号的控制。在一个实施例中，解码器701接收扩展控制信号，以确定希望什么水平的扩展。例如，扩展控制信号可以指示是否希望1%、2%等的扩展。在一个实施例中，扩展控制信号是基于熔断器(fuse)的信号。在另一实施例中，扩展控制信号是可通过软件编程的。在一个实施例中，解码器701生成用于确定接通哪一开关、关闭哪些开关以生成Vref的信号。

[0043] 重新参考图2，在一个实施例中，设备200还包括耦合至第二和第三电路(203和204)的第四电路205。在一个实施例中，第四电路205是通过在计数器209和DAC208之间插入数字换算器(scalar)电路而通过数字方式实现的。在一个实施例中，可以将所述数字换算器电路实现为左移/右移运算。在一个实施例中，第四电路205对节点216上的信号进行换算，以生成之后提供给第三电路204的SS调制信号。在一个实施例中，第四电路205是管芯上POT(电位器)。在一个实施例中，将第四电路205实现为图7的可调电阻器700。在一个实施例中，第四电路205提供额外的旋钮，以控制对VR Clk的频谱的扩展量。

[0044] 图4A是说明根据本公开的一个实施例的图2的在慢锁定模式下的开环扩频设备的操作的曲线图400。需要指出的是，图4A中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用，但并不限于此。

[0045] x轴是时间，而y轴是频率。水平虚线指示目标扩展频率，即F\_setpt。垂直虚线指示启用VR(例如，VR1-N)的时间。在开环模式下，能够如三角波401所示立即启动扩展，但是在频率设定点(即，F\_setpt)和实际工作频率之间可能存在误差。

[0046] 图3是根据本公开的一个实施例的具有变化跟踪和陷波能力的闭环扩频设备300。需要指出的是,图3中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。为了避免对所述实施例造成模糊,将不再讨论先前讨论过的具有相同标识符的部件和/或特征。

[0047] 在一个实施例中,设备300包括振荡器201、第一电路302、第二电路303和第三电路204。在一个实施例中,振荡器201是为集成电压调节器提供主切换时钟的自激宽频带振荡器。在一个实施例中,振荡器201具有频率调谐电压(在振荡器201为VC0时)或数字代码(在振荡器201为DC0时),其能够进行调制以改变VR C1k的频率。为了不对这些实施例造成模糊,振荡器201是VC0。DC0(未示出)适用同样的原理。在一个实施例中,设备300在低速数字跟踪环下操作,该低速数字跟踪环采用系统参考时钟并调制VC0201的电压,从而使切换频率保持稳定在严格的百分比,例如,0.2%内。

[0048] 在一个实施例中,第一电路302提供跟踪环和指示输出时钟信号(即VR C1k)的中心频率的第一信号(即,VR中心频率)。在一个实施例中,第一电路302提供快速跟踪模式,从而在启用VR(例如,VR1-N)之前很好地实现扩展目标频率。在一个实施例中,第一电路302包括倍增器304,从而使VR C1k的频率倍增整数倍“N”。

[0049] 使VR C1k的频率倍增的一个技术效果是获得对VR C1k频率的快速跟踪,即对VR C1k中心频率的快速调整以达到期望的目标频率。在常规模式期间,即,非快速跟踪模式(例如,慢跟踪模式)期间,倍增因数为1。在这样的实施例中,在第一电路302可用于在不同于快跟踪模式的慢跟踪模式下操作时,倍增器304可用于使输出时钟信号频率保持不变以供第一电路302使用。

[0050] 图6A示出了根据本公开的一个实施例的在闭环扩频设备300中使用的倍增器600(例如,304)。需要指出的是,图6A中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。

[0051] 在一个实施例中,倍增器600包括环形振荡器601、以及异或逻辑(XOR)门602、603和604。在一个实施例中,环形振荡器601包括耦合到一起以形成环的一串延迟级。在一个实施例中,环形振荡器601是VC0(与VC0201类似)。在一个实施例中,环形振荡器是可受到数字控制字控制的DC0。在一个实施例中,每一延迟级是反相级。在一个实施例中,环形振荡器601的每一延迟级的输出参照彼此异相45度。在一个实施例中,XOR逻辑门602的输入A和C分别异相0度和90度。在一个实施例中,XOR逻辑603的输入B和D分别异相45度和135度。在一个实施例中,输入A、B、C、D上的信号的频率为 $f_0$ 。

[0052] 在一个实施例中,XOR602和603的输出形成了XOR604的输入E和F。在该实施例中,输入E和F上的信号的频率是频率 $f_0$ 的两倍,即 $2f_0$ 。在一个实施例中,XOR604的输出G是输入E和F上的信号的频率的两倍,即 $4f_0$ 。

[0053] 图6B是示出根据本公开的一个实施例的倍增器600的操作的波形620。需要指出的是,图6A中的与任何其它附图中的元件具有相同附图标记(或名称)的那些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。曲线图620示出了将参考图6A讨论的波形A、B、C、D、E、F和G。信号G的频率是信号A的频率的四倍。

[0054] 重新参考图3,在一个实施例中,第一电路302包括频率计数器305,其用于相对于参考时钟信号对输出时钟信号VR C1k的频率进行计数。在一个实施例中,频率计数器305对

倍增的时钟,即,VR Clk $\times$ N进行计数,其中,“N”是大于或等于一的整数。在一个实施例中,将频率计数值312存储为频率计数代码。在一个实施例中,频率计数器305是16位计数器。在其它实施例中,频率计数器305可以采取其它规模。

[0055] 在一个实施例中,第一电路302包括逻辑单元306(又称为换算器),其用于以换算量对频率计数值312进行换算。例如,在快跟踪模式期间,在倍增器304使VR Clk倍增整数倍“N”时,以与倍数“N”相同的量对频率计数值312进行换算。在一个实施例中,在正常模式(例如,慢跟踪模式)期间,换算器306的换算因数为“1”。在一个实施例中,在正常模式中旁路换算器306。在一个实施例中,换算器306的输出是频率计数代码。在一个实施例中,换算器306是10位换算器。在其它实施例中,换算器306可以采取其它规模。在一个实施例中,第一电路302还包括逻辑308(即,加法器),其用于将参考频率代码(与目标频率代码相同)减去频率计数代码,以生成频率误差代码。在一个实施例中,频率误差代码指示当前扩展频率与目标扩展频率相距多远。

[0056] 在一个实施例中,第一电路302还包括比例积分器(PI)控制器307,其生成中心频率的数字版本作为信号313。在一个实施例中,第一DAC206接收中心频率313的数字版本,并生成模拟版本的VR中心频率。在一个实施例中,提供软件界面,以允许将目标切换频率(即,参考频率代码)设定为用作跟踪环的目标频率的具体值。在一个实施例中,跟踪环由倍增器304、频率计数器305、换算器306、加法器308、PI控制器307、DAC206、第三电路204、以及VC0201形成。跟踪环的一个技术效果是其允许将切换频率置于与平台无线电之间具有最低的谐波干扰的频率点上。

[0057] 在一个实施例中,PI控制器307包括积分器(又称为累加器)309。在一个实施例中,积分器309包括具有耦合至加法器311的寄存器310的计数器,如图所示。积分器309的一个技术效果在于随着时间的推移对误差进行累积,从而即使在考虑诸如VCO中的温度漂移或者由系统中的另一部件导致的偏移的因素之后也能够将平均频率误差降为零。

[0058] 在一个实施例中,PI控制器307包括具有增益 $K_p$ 的增益单元312,所述增益 $K_p$ 是比例反馈增益。在一个实施例中,PI控制器307包括加法器313,其用于使积分器309(又称为累加器)的输出与增益单元312的输出相加,以生成平均中心频率。在一个实施例中,比例分量指示控制器307应当对当前误差做出多强的反应。这有助于指示某一速度,控制器307在该速度上能够稳定于零误差(这一情况下为平均频率误差),并还将在系统稳定性方面发挥作用,即,将 $K_p$ 增益设定过高可能会导致系统不稳定,而将 $K_p$ 设定过低将导致系统稳定过慢。

[0059] 在一个实施例中,第二电路303可用于生成开关波形(216或SS调制信号)。第二电路303与图2的第二电路203的区别在于,第二电路303可用于在输出时钟信号VR Clk的频谱中造成陷波。在一个实施例中,第二电路303包括以参考时钟频率操作的升降计数器314。在一个实施例中,升降计数器314采用升降计数器209生成三角波。在一个实施例中,三角波的升高部分产生上升频谱扩展,而三角波的下降部分将产生下降频谱扩展。

[0060] 在一个实施例中,升降计数器314包括耦合至加法器316的寄存器315,从而通过加法器316加上寄存器的输出319。在一个实施例中,第二电路303包括陷波逻辑317,从而在升降计数器314的输出320中造成陷波。在一个实施例中,通过加法器316将陷波逻辑317的输出318加到寄存器315的输出319。在一个实施例中,有限状态机(FSM)(也被示作317的部分)控制陷波逻辑。

[0061] 在一个实施例中,FSM采用升高/降低(up/dn)计数器输出319的当前值,来确定下一计数的步长和方向(上升或下降)。在一个实施例中,步长由可配置的陷波宽度设定项确定,从而使输出根据波形的当前位置步进正确的量。在一个实施例中,可以通过改变步长来调整三角波的频率。在一个实施例中,FSM检测当前或者下一状态的高/低溢出,以确定何时反转方向。

[0062] 在一个实施例中,第二电路303包括伪随机产生器210,其使上升/下降(U/D)信号随机化。在一个实施例中,第二电路303包括耦合至升降计数器314的第二DAC208。在一个实施例中,通过DAC208将要么是周期性三角波,要么是随机游走信号的输出320转换为模拟信号216。

[0063] 在一个实施例中,耦合至第一和第二电路302和303的第三电路204(例如,图7的可调电阻器700)根据输出时钟信号VR Clk的中心频率和开关波形(216或SS调制信号)提供可调整参考信号Vref。

[0064] 在一个实施例中,数字扩频及陷波滤波器对振荡器201的调谐信号Vref进行调制。在一个实施例中,数字逻辑与跟踪环结合在一起工作。在一个实施例中,第二电路303的输出(与图2的第二电路203的输出类似)提供用于EMI缓解的扩频调制,但是此外还在以目标切换频率为中心的频谱内生成陷波。在一个实施例中,陷波逻辑317是在陷波宽度上可编程的,并用于使特定频率处的噪声降至可能发生无线电干扰的阈值以下。在一个实施例中,陷波逻辑单元317可通过软件编程。

[0065] 设备300的一个技术效果在于,其结合了多种数字算法和技术,从而允许平台对集成电压调节器的噪声谱整形,以降低无线电干扰并通过EMI验证。这些实施例允许使用较高频率的开关电路拓扑结构,并还允许减少平台屏蔽的使用。

[0066] 在一个实施例中,用于扩频和频率陷波的数字算法生成与来自频率跟踪环的输出(例如,VR中心频率)相混合的控制信号(例如,216)。在一个实施例中,信号(例如,VR中心频率信号和SS调制信号)的混合产生(振荡器201的)具有基本上等于参考目标频率的平均频率的振荡器频率。在一个实施例中,瞬时频率取决于结合的扩频及频率陷波算法,该频率陷波算法确定使振荡器201的频率移动到何处,以提供期望的发射轮廓。

[0067] 图4B是示出根据本公开的一个实施例的图3的在慢锁定模式下的闭环扩频设备300的操作的曲线图420。需要指出的是,图4B中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。

[0068] x轴是时间,而y轴是频率。水平虚线指示目标扩展频率,即F\_target。阶梯波形421开始于起始频率,即F\_start,而结束于获得F\_target的时候。这时,三角波422对频谱进行扩展。垂直虚线指示启用VR(例如,VR1-N)的时间。

[0069] 图4C是示出根据本公开的一个实施例的图3的在快锁定模式下的闭环扩频设备300的操作的曲线图430。需要指出的是,图4C中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。

[0070] x轴是时间,而y轴是频率。水平虚线指示目标扩展频率,即F\_target。阶梯波形431开始于起始频率,即F\_start,而结束于实现F\_target的时候。与图4B的波形421相比,波形

431由于快跟踪模式的原因而更快地达到目标频率,在该快跟踪模式中,倍增器304使VR C1k倍增,而换算器306对频率计数器305的输出312进行换算。垂直虚线指示启用VR(例如,VR1-N)的时间。借助设备300,在启用VR之前已经对VR C1k的频谱进行了扩展。

[0071] 图5A-D是示出根据本公开的一个实施例的图2的开环扩频设备200以及图3的采用陷波的闭环扩频设备300的操作的曲线图。需要指出的是,图5A-D中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。

[0072] 图5A是以x轴为时间而以y轴为频率的曲线图500。曲线图500示出了图2的节点216上的三角波。这里, $f_0$ 指示中心频率(即,由第一电路202生成的VR中心频率)。图5B是以x轴为频率而以y轴为功率的曲线图520。曲线图520示出了由设备200和/或300生成的围绕中心频率 $f_0$ 的功率谱扩展。

[0073] 图5C是以x轴为时间而以y轴为频率的曲线图530。曲线图500示出了图3的节点216上的具有陷波的三角波。这里, $f_0$ 指示中心频率(即,由第一电路302生成的VR中心频率)。图5D是以x轴为频率且以y轴为功率的曲线图540。曲线图540示出了由设备300生成的围绕中心频率 $f_0$ 的陷波的功率谱扩展。在一个实施例中,处于中心频率 $f_0$ 的陷波降低了在围绕 $f_0$ 或谐波 $N \times f_0$ 的区域中操作的无线电信号的EMI/RFI,其中,“N”是大于“1”的整数。

[0074] 图8是根据本公开的一个实施例的具有针对开关电压调节器的扩频设备101(例如,200和/或300)的智能装置和计算机系统1600和SoC(芯片上系统)。需要指出的是,图8中的与任何其它附图中的元件具有相同附图标记(或名称)的这些元件可以按照任何与所描述的方式类似的方式操作或起作用,但并不限于此。

[0075] 图8示出了可以采用平面接口连接器的移动装置的实施例的方框图。在一个实施例中,计算装置1600表示移动计算装置,例如,平板电脑、移动电话或智能电话、能够进行无线操作的电子阅读器、或者其它无线移动装置。应当理解,只是大致示出了某些部件,而未在其计算装置1600中示出这样装置的所有部件。

[0076] 在一个实施例中,根据所讨论的实施例,计算装置1600包括具有扩频101的第一处理器1610。计算装置1600的其它块还可以包括扩频101。本公开的各种实施例还可以在1670内包括诸如无线接口的网络接口,从而可以将系统实施例结合到诸如蜂窝电话或个人数字助理的无线装置中。

[0077] 在一个实施例中,处理器1610(以及处理器1690)可以包括一个或多个物理装置,例如,微处理器、应用处理器、微控制器、可编程逻辑器件或者其它处理装置。由处理器1610执行的处理操作包括可以在其上执行应用和/或装置功能的操作平台或操作系统的执行。处理操作包括与和个人用户或者和其它装置的I/O(输入/输出)相关的操作、与功率管理相关的操作、和/或与将计算机装置1600连接至另一装置相关的操作。处理操作还可以包括与音频I/O和/或与显示I/O相关的操作。

[0078] 在一个实施例中,计算装置1600包括音频子系统1620,其表示与向计算装置提供音频功能相关的硬件(例如,音频硬件和音频电路)和软件(例如,驱动程序、编码译码器)部件。音频功能可以包括扬声器和/或耳机输出以及麦克风输入。可以将用于这样功能的装置集成到计算装置1600中,或者将其连接至计算装置1600。在一个实施例中,用户通过提供由处理器1610接收和处理的音频命令而与计算装置1600交互。

[0079] 显示子系统1630表示为用户提供可视和/或触感显示以与计算装置1600交互的硬件(例如,显示装置)和软件(例如,驱动程序)部件。显示子系统1630包括显示接口1632,其包括用于向用户提供显示的具体屏幕或硬件装置。在一个实施例中,显示接口1632包括与处理器1610分离的逻辑,其至少用于执行某种与所述显示相关的处理。在一个实施例中,显示子系统1630包括为用户既提供输出又提供输入的触摸屏(或者触控板)装置。

[0080] I/O控制器1640表示与和用户之间的交互相关的硬件装置和软件部件。I/O控制器1640可用于管理作为音频子系统1620和/或显示子系统1630的部分的硬件。此外,I/O控制器1640示出了连接至计算装置1600的附加装置的连接点,用户可以通过该附加装置与系统交互。例如,能够附着至计算装置1600的装置可以包括麦克风装置、扬声器或者立体声系统、视频系统或者其它显示装置、键盘或小键盘装置、或者其它供诸如读卡机或其它装置等特定应用使用的I/O装置。

[0081] 如上所述,I/O控制器1640可以与音频子系统1620和/或显示子系统1630相互作用。例如,通过麦克风或其它音频装置的输入能够为计算装置1600的一个或多个应用或功能提供输入或命令。此外,能够代替显示输出或者除显示输出之外还提供音频输出。在另一个示例中,如果显示子系统1630包括触摸屏,则显示装置还充当输入装置,该装置可以至少部分受I/O控制器1640管理。在计算装置1600上还可以有附加的按钮或开关,以提供受I/O控制器1640管理的I/O功能。

[0082] 在一个实施例中,I/O控制器1640管理装置,诸如加速度计、照相机、光传感器或其它环境传感器、或者能够包含到计算装置1600中的其它硬件。输入可以是直接用户交互的部分,也可以是向系统提供环境输入,以影响其操作(例如,对噪声的过滤、调整显示器以进行亮度检测、为相机施加闪光或其它特征)。

[0083] 在一个实施例中,计算装置1600包括功率管理1650,其管理电池功率使用、电池充电以及与节能操作相关的特征。存储子系统1660包括用于存储计算装置1600中的信息的存储装置。存储器可以包括非易失性(如果中断对存储装置的供电,则状态不发生变化)和/或易失性(如果中断对存储装置的供电,则状态不确定)存储装置。存储子系统1660可以存储应用数据、用户数据、音乐、照片、文档或其它数据以及与计算装置1600的应用和功能的执行相关的系统数据(不管是长期的还是暂时的)。

[0084] 也可以将实施例的元件提供成用于存储计算机可执行指令(例如,实施文中讨论的任何其它过程的指令)的机器可读介质(例如,存储器)。机器可读介质(例如,存储器1660)可以包括但不限于闪存存储器、光盘、CD-ROM、DVD-ROM、RAM、EPROM、EEPROM、磁或光卡、相变存储器(PCM)、或者其它类型的适于存储电子或计算机可读指令的机器可读介质。例如,可以将本公开的实施例作为计算机程序(例如,BIOS)进行下载,可以经由通信链路(例如,调制解调器或网络连接)将该计算机程序通过数据信号的方式从远程计算机(例如,服务器)传送至请求计算机(例如,客户端)。

[0085] 连接1670包括能够使计算装置1600与外部装置通信的硬件装置(例如,无线和/或有线连接器和通信硬件)和软件部件(例如,驱动程序、协议栈)。计算装置1600可以是单独的装置,例如,其它计算装置、无线接入点或基站、以及诸如耳机、打印机或其它装置的外围装置。

[0086] 连接1670可以包括多种不同类型的连接。为了进行概括,将计算装置1600示为具

有蜂窝连接1672和无线连接1674。蜂窝连接1672大体是指通过无线载波提供的,例如,经由GSM(全球移动通信系统)或者其变型或衍生品、CDMA(码分多址)或者其变型或衍生品、TDM(时分复用)或者其变型或衍生品、或者其它蜂窝服务标准提供的蜂窝网络连接。无线连接(或无线接口)1674是指非蜂窝的无线连接,并可以包括个人区域网(例如,蓝牙、近场等)、局域网(例如,Wi-Fi)和/或广域网(例如WiMax)或者其它无线通信。

[0087] 外围连接1680包括用于实施外围连接的硬件接口和连接器以及软件部件(例如,驱动程序、协议栈)。应当理解,计算装置1600既可以是其它计算装置的外围设备(“至”1682),也可以具有与之连接的外围装置(“来自”1684)。计算装置1600通常具有用于连接至其它计算装置的“对接”连接器,从而实现诸如对计算机装置1600的内容进行管理(例如,下载和/或上载、改变、同步)的目的。此外,对接连接器能够允许计算装置1600连接至某些外围装置,这些外围装置允许计算装置1600控制对(例如)视听系统或其它系统的内容输出。

[0088] 除了专有对接连接器或其它专有连接硬件之外,计算装置1600还能够经由公共的或者基于标准的连接器实施外围连接1680。常见类型可以包括通用串行总线(USB)连接器(其可以包括很多不同硬件接口中的任一种)、包括迷你显示端口(MDP)的显示端口、高清晰度多媒体接口(HDMI)、Firewire、或其它类型。

[0089] 在说明书中提到“实施例”、“一个实施例”、“一些实施例”、或者“其它实施例”是指在至少一些实施例中但是未必在所有实施例中包括结合这些实施例描述的具体特征、结构或特性。“实施例”、“一个实施例”或者“一些实施例”的各种形式的出现未必全部是指相同的实施例。如果说明书陈述“可以”、“或许”或者“可能”包括某一部件、特征、结构或特性,那么就是说不要求包含该具体的部件、特征、结构或特性。如果说明书或者权利要求提及“(a)”或“一个(an)”元件,则其不表示只有一个所述元件。如果说明书或权利要求提到“附加的”元件,则其不排除有不只一个附加元件。

[0090] 此外,可以在一个或更多实施例中通过任何合适的方式结合所述具体特征、结构、功能或特点。例如,只要是在与第一和第二实施例相关的具体特征、结构、功能或特点不相互排斥的地方,就可以使这两个实施例相结合。

[0091] 尽管已经结合本公开的具体实施例描述了本公开,但是考虑到上述说明,本领域技术人员显然可以认识到这样的实施例的很多替代方案、修改和变化。例如,其它存储架构,例如,动态RAM(DRAM)也可以使用所讨论的实施例。本公开的实施例旨在涵盖所有这样的替代方案、修改和变化,从而使之落在所附权利要求的宽泛范围内。

[0092] 此外,在所给出的附图当中可能示出了、也可能没有示出与集成电路(IC)芯片和其它部件的公知的电源/接地连接,其目的在于简化图示和讨论,从而不对本公开造成模糊。此外,布置可能是按照方框图的形式示出的,以便避免对本公开造成模糊,而且还鉴于这样的事实,即关于这样的方框图的实现的细节高度依赖于要实施本公开的平台(即,这样的细节应当充分地处于本领域技术人员的能力范围内)。在为了描述本公开的示例性实施例而阐述了细节(例如,电路)的地方,本领域技术人员显然应当认识到,可以在无需这些细节的情况下或者可以采用这些细节的变型实践本公开。因而,应当将说明书视为是示例性的,而非限制性的。

[0093] 下面的示例属于另外的实施例。可以在一个或多个实施例中的任何地方采用这些示例中的细节。文中描述的设备的的所有任选特征都可以相对于方法或过程实施。

[0094] 例如,一种设备包括:用于生成输出时钟信号的振荡器,所述振荡器用于接收可调整参考信号,以调整输出时钟信号的频率;用于提供指示输出时钟信号的中心频率的第一信号的第一电路;第二电路,用于生成开关波形的,从而为输出时钟信号提供扩频;以及耦合至第一和第二电路的第三电路,用于根据第一信号和开关波形提供可调整参考信号。

[0095] 在一个实施例中,振荡器是VCO或DCO之一。在一个实施例中,第一电路包括第一DAC,其用于将中心频率的数字表示转换为作为第一信号的模拟表示。在一个实施例中,第二电路包括:以参考时钟频率操作的升降计数器;以及耦合至升降计数器的第二DAC,第二DAC用于生成开关波形。在一个实施例中,该设备还包括耦合至升降计数器的伪随机产生器,所述伪随机产生器向升降计数器提供上升或下降信号。在一个实施例中,升降计数器用于为第二DAC生成三角波形。在一个实施例中,升降计数器用于为第二DAC生成随机游走信号。

[0096] 在一个实施例中,第三电路包括:电阻分压器;以及用于选择性地耦合所述电阻分压器的输出以提供可调整参考信号的多路复用器。在一个实施例中,该设备还包括:耦合至第二电路和第三电路的第四电路,所述第四电路包括:电阻分压器;以及用于选择性地耦合电阻分压器的输出以提供开关波形的多路复用器。在一个实施例中,该设备还包括用于接收输出时钟信号的PWM。在一个实施例中,该振荡器是PWM振荡器的复制振荡器。

[0097] 在另一个示例中,一种设备包括:用于生成输出时钟信号的振荡器,所述振荡器用于接收可调整参考信号,以调整输出时钟信号的频率;提供指示输出时钟信号的中心频率的第一信号的第一电路;用于生成开关波形的第二电路,第二电路可用于在输出时钟信号的频谱中造成陷波;以及耦合至第一和第二电路的第三电路,其用于根据输出时钟信号的中心频率和开关波形提供可调整参考信号。

[0098] 在一个实施例中,第一电路包括:用于相对于参考时钟信号对输出时钟信号的频率进行计数的频率计数器,频率的计数值被存储为频率代码;以及用于将参考频率代码减去频率代码以生成频率误差代码的逻辑单元。在一个实施例中,第一电路还包括时钟倍增器,其可用于使所述输出时钟信号的频率倍增,该时钟倍增器耦合至频率计数器。

[0099] 在一个实施例中,时钟倍增器可用于在第一电路可用于在快跟踪模式下操作时使输出时钟信号的频率以大于一的因数倍增,并在第一电路可用于在不同于快跟踪模式的慢跟踪模式下操作时使输出时钟信号频率保持不变。在一个实施例中,第一电路还包括频率换算器,其在第一电路可用于在快跟踪模式下操作时以大于一的因数对频率计数值进行换算。在一个实施例中,换算器用于在第一电路可用于在不同于快跟踪模式的慢跟踪模式下操作时,以等于一的因数对频率计数值进行换算。

[0100] 在一个实施例中,一种设备还包括:第一数模转换器(DAC),其用于将中心频率的数字表示转换为作为第一信号的模拟表示;耦合至逻辑单元和第一DAC的PI控制器,PI控制器根据频率误差代码调整中心频率的数字表示。

[0101] 在一个实施例中,第二电路包括:以参考时钟频率操作的升降计数器;用于在升降计数器的输出中造成陷波的陷波逻辑;耦合至升降计数器的第二数模转换器(DAC),第二DAC根据升降计数器的输出生成开关波形。在一个实施例中,该设备还包括耦合至升降计数器的伪随机产生器,伪随机产生器向升降计数器提供上升或下降信号。

[0102] 在一个实施例中,第三电路包括:电阻分压器;以及用于选择性地耦合电阻分压器

的输出以提供可调整参考信号的多路复用器。在一个实施例中,该设备还包括:耦合至第二电路和第三电路的第四电路,该第四电路包括:电阻分压器;以及用于选择性地耦合电阻分压器的输出以提供开关波形的多路复用器。

[0103] 在另一个示例中,一种系统包括:存储单元;以及耦合至存储单元的处理器,其具有多个集成电压调节器 (IVR) 和扩频控制器,该扩频控制器包括:用于生成输出时钟信号的振荡器,该振荡器用于接收可调整参考信号,以调整输出时钟信号的频率;用于提供指示输出时钟信号的中心频率的第一信号的第一电路;第二电路,用于生成开关波形的,从而为输出时钟信号提供扩频;以及耦合至第一和第二电路的第三电路,其用于根据第一信号和开关波形提供可调整参考信号。

[0104] 在一个实施例中,该系统还包括:用于允许处理器与另一装置通信的无线接口;以及显示单元。在一个实施例中,第二电路可用于在输出时钟信号的频谱中造成陷波。

[0105] 提供了允许读者确定本公开的本质和主旨的摘要。摘要要服从于这样的理解,即不可将其用于限制权利要求的范围或含义。在此将所附权利要求结合到具体实施方式当中,每一权利要求自身都代表一个独立的实施例。

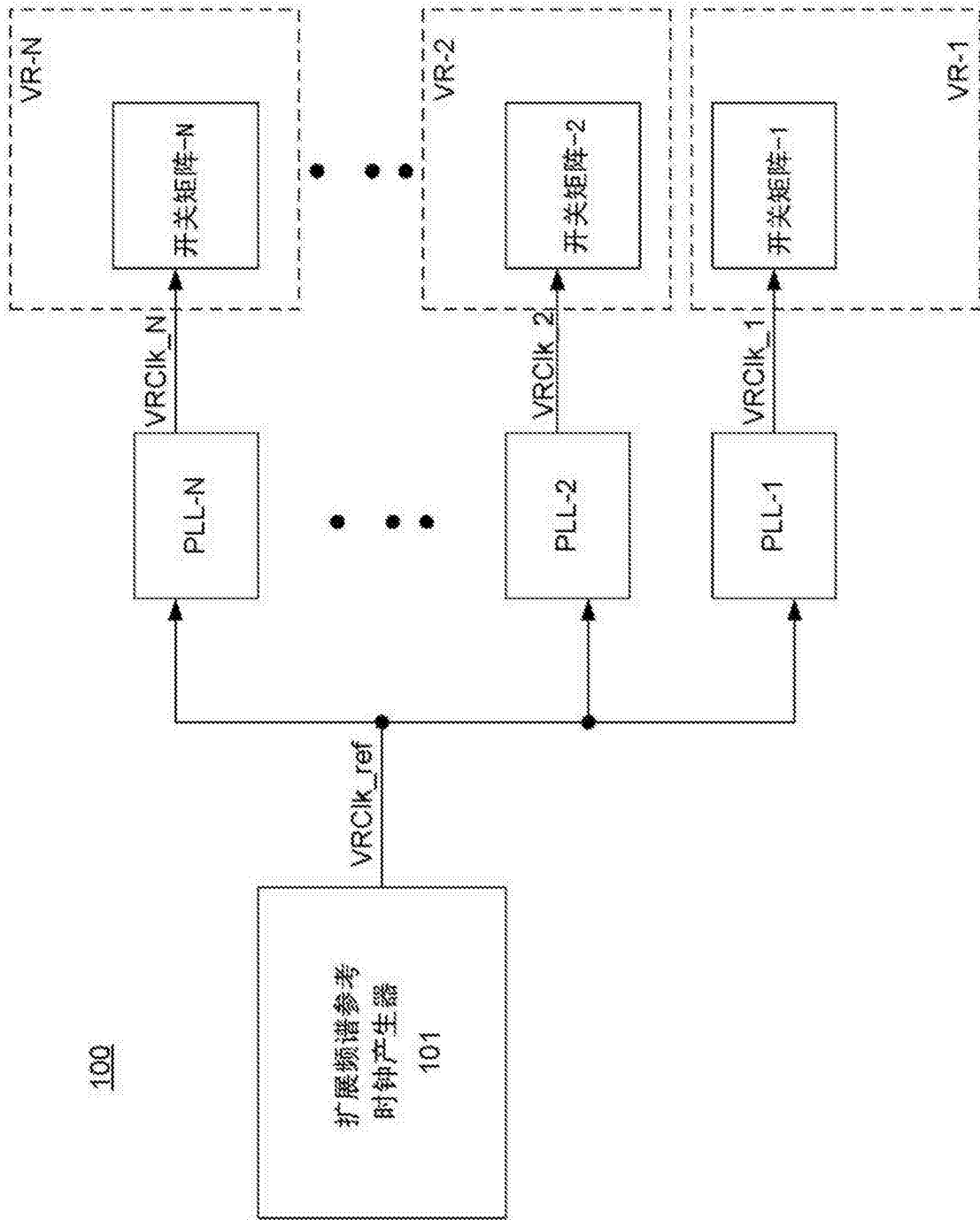


图1

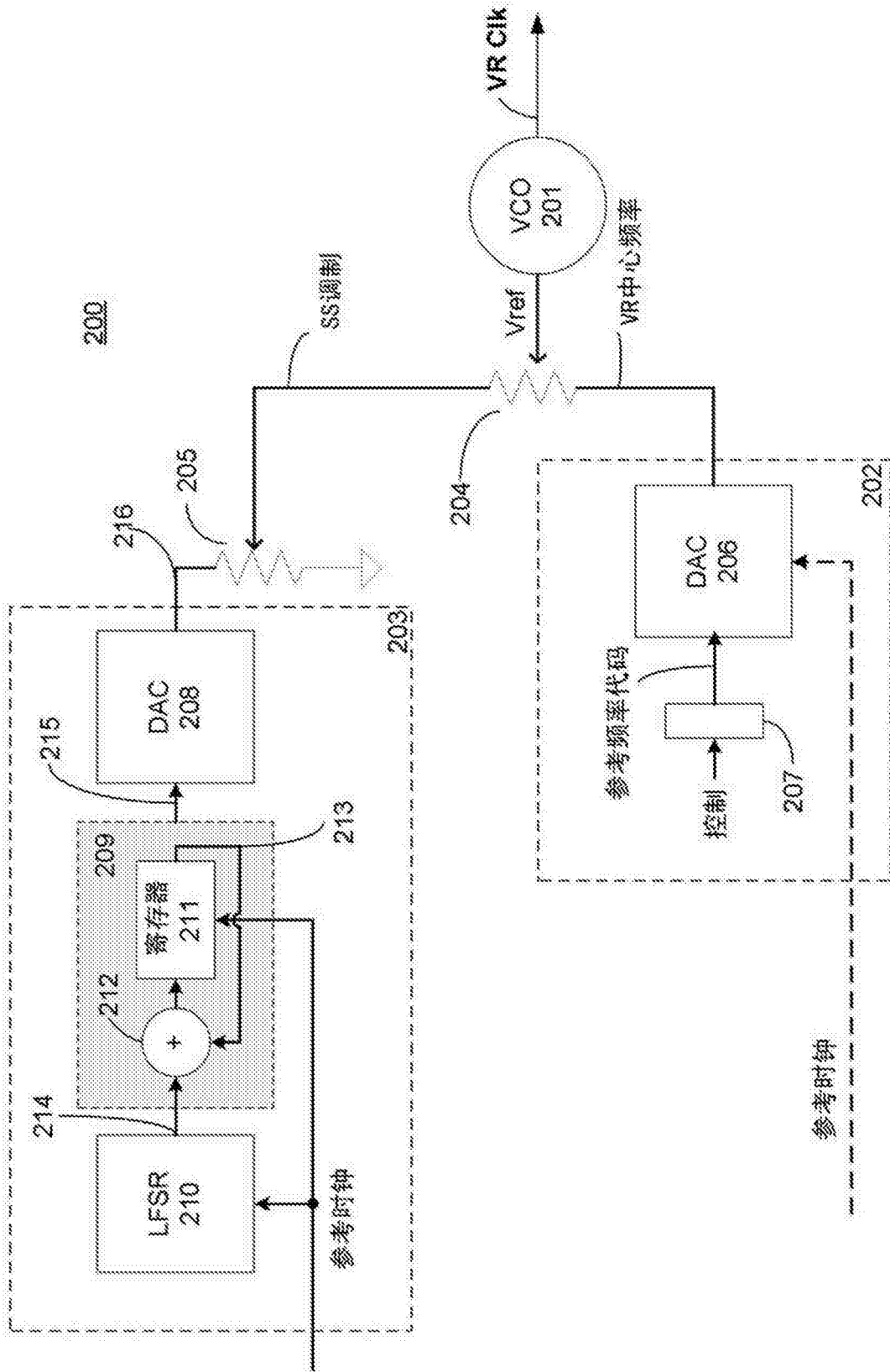


图2



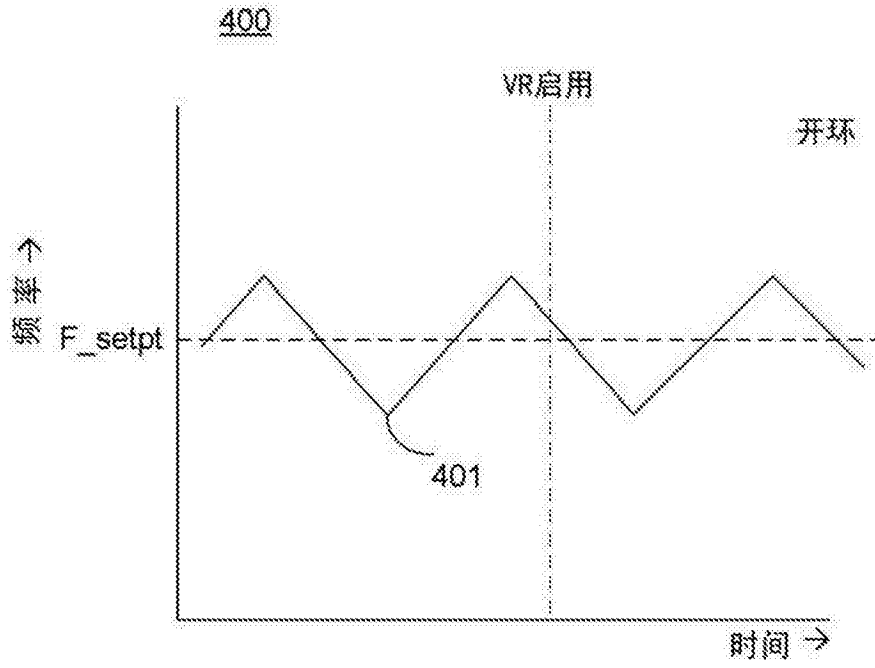


图4A

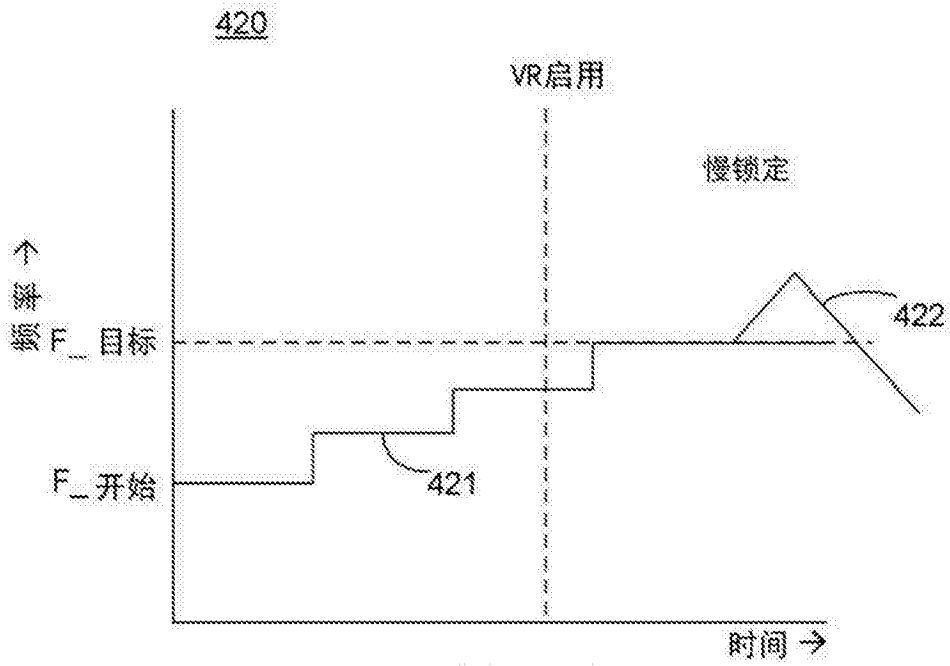


图4B

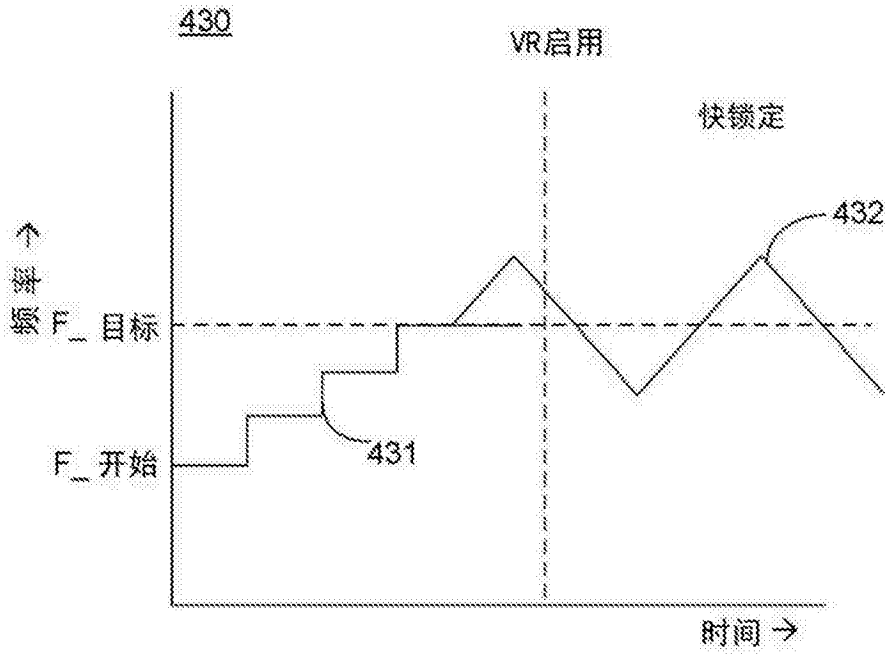


图4C

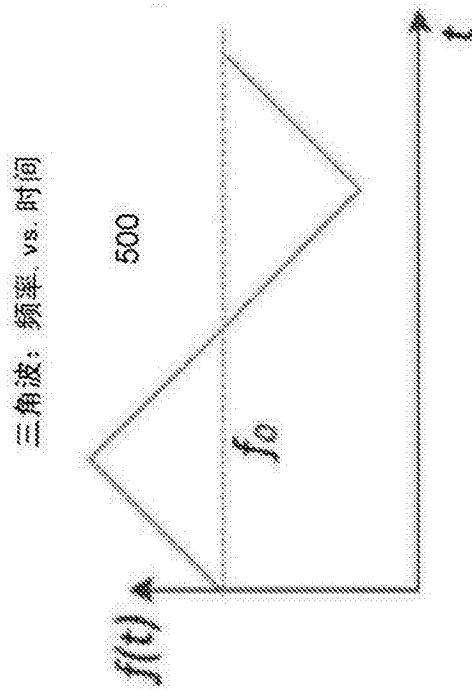


图5A

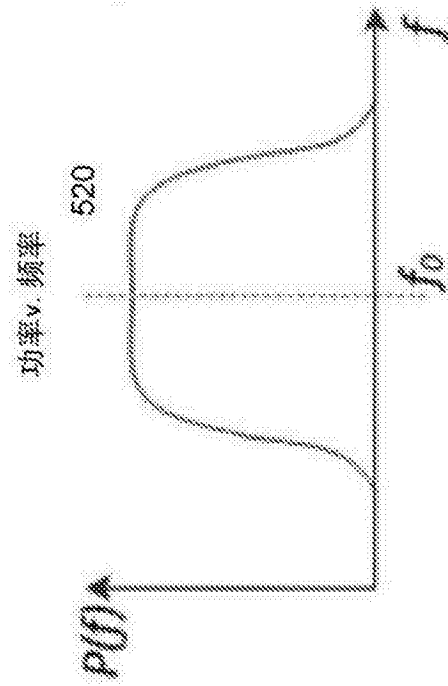


图5B

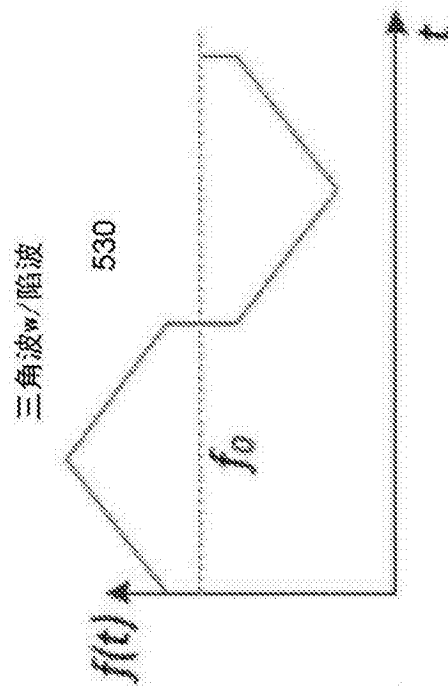


图5C

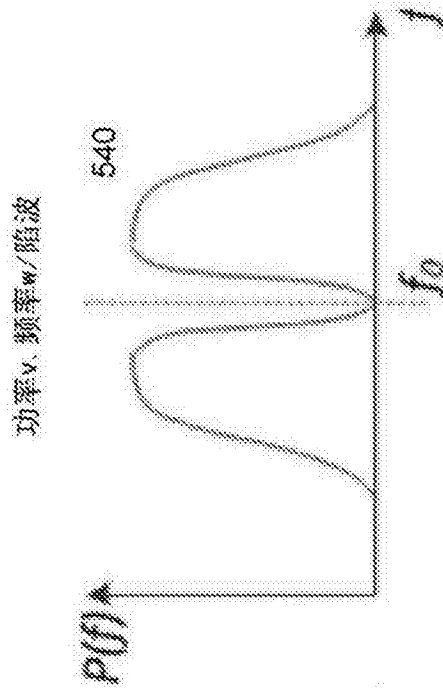


图5D

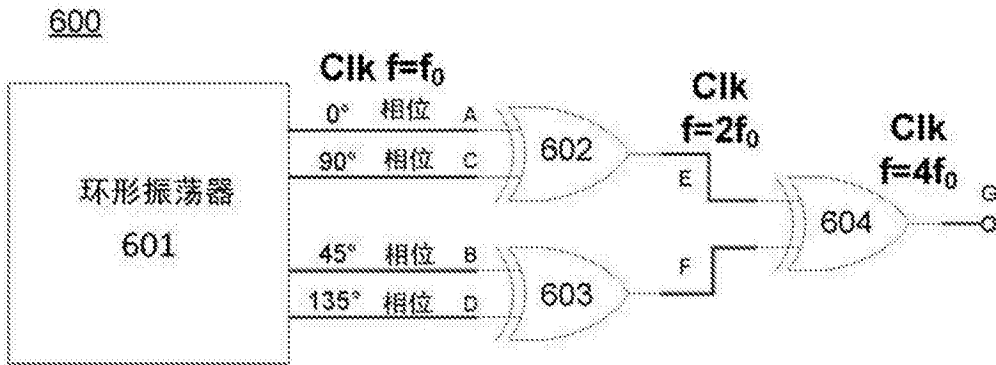


图6A

620

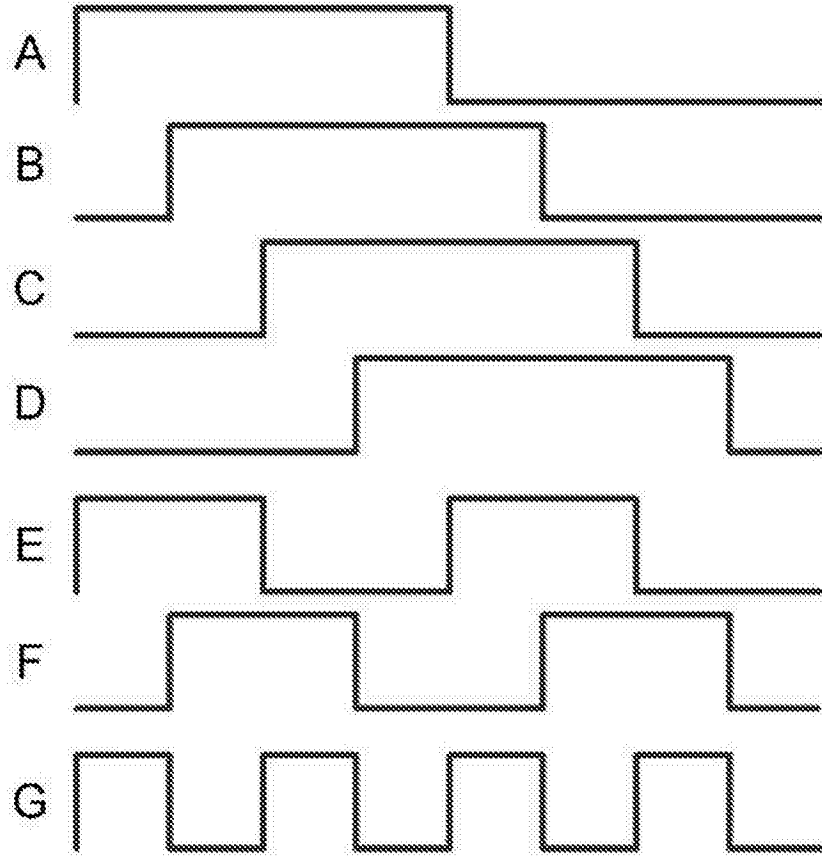


图6B

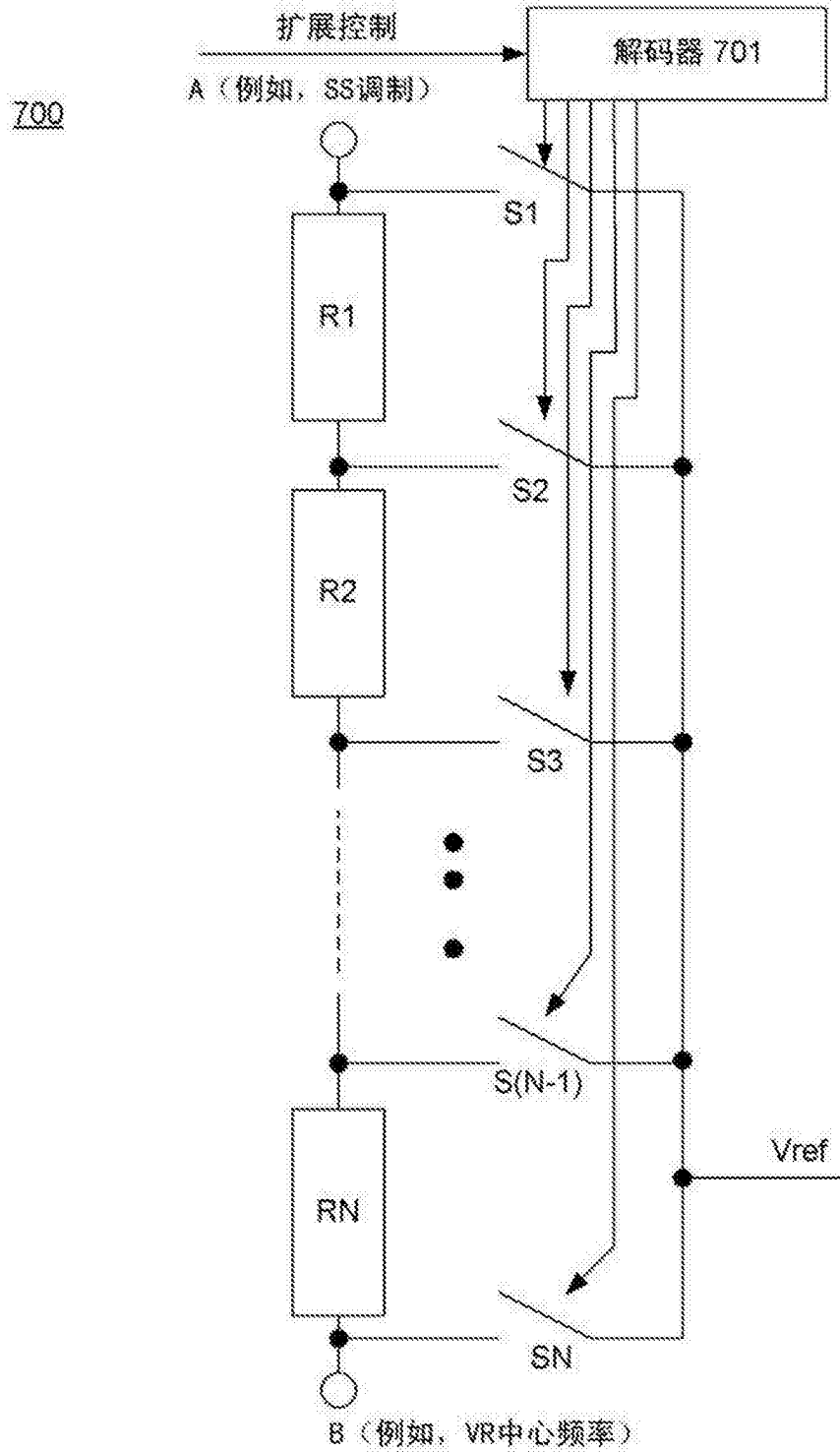


图7

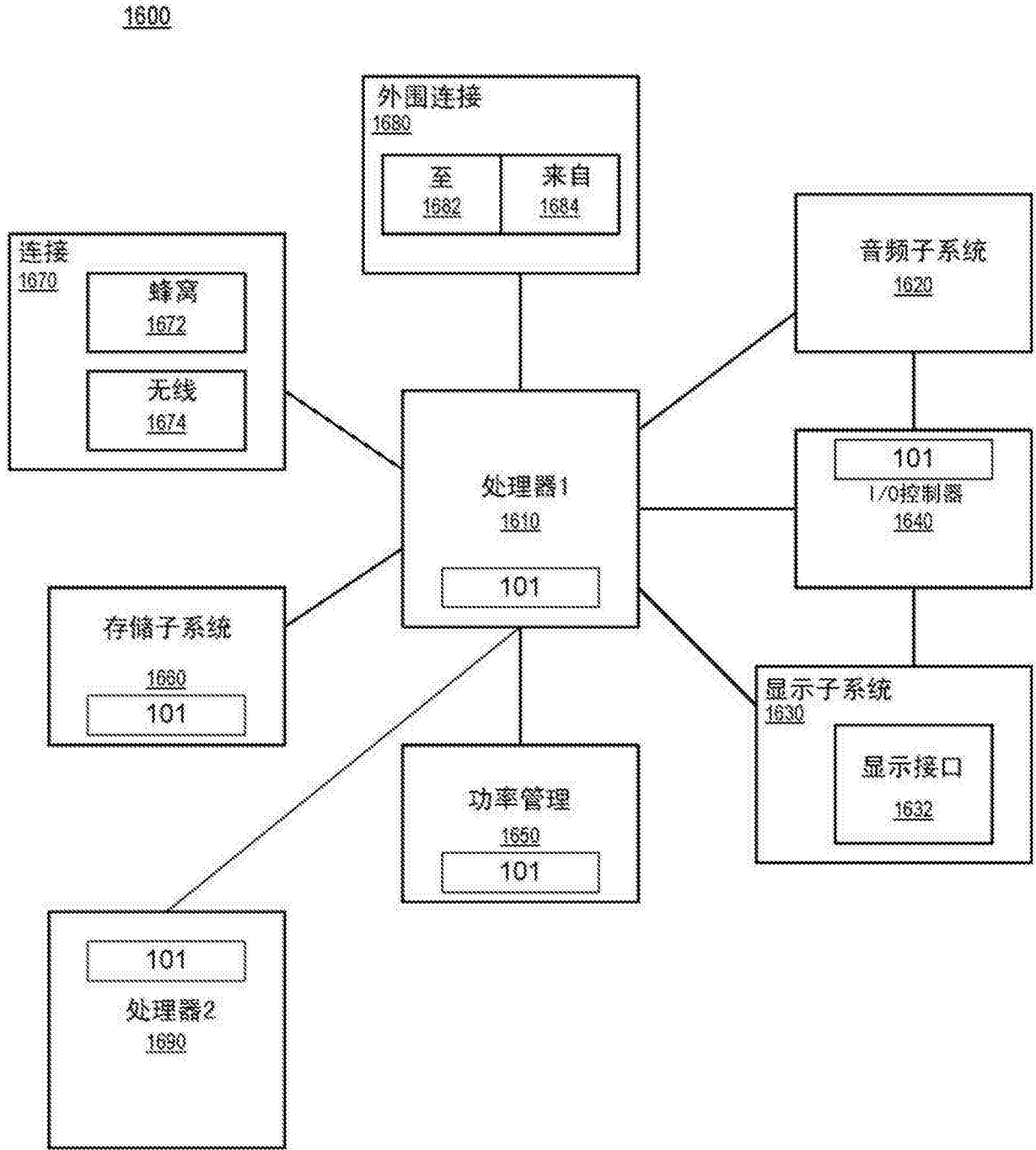


图8