

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6606007号

(P6606007)

(45) 発行日 令和1年11月13日(2019.11.13)

(24) 登録日 令和1年10月25日(2019.10.25)

(51) Int.Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 2 H

H O 1 L 29/78 6 5 2 F

H O 1 L 29/78 6 5 3 A

H O 1 L 29/78 6 5 2 L

H O 1 L 29/78 6 5 8 A

請求項の数 1 (全 16 頁)

(21) 出願番号 特願2016-82975 (P2016-82975)
 (22) 出願日 平成28年4月18日(2016.4.18)
 (65) 公開番号 特開2017-195224 (P2017-195224A)
 (43) 公開日 平成29年10月26日(2017.10.26)
 審査請求日 平成30年6月5日(2018.6.5)

(73) 特許権者 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (73) 特許権者 000003609
 株式会社豊田中央研究所
 愛知県長久手市横道41番地の1
 (73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 110000110
 特許業務法人快友国際特許事務所
 (72) 発明者 三角 忠司
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

最終頁に続く

(54) 【発明の名称】 スイッチング素子

(57) 【特許請求の範囲】

【請求項1】

スイッチング素子であって、
 半導体基板と、
 前記半導体基板の上面に設けられたトレンチと、
 前記トレンチの底部に配置されており、前記トレンチの底面と前記底面近傍の前記トレンチの側面を覆っている底部絶縁層と、
 前記底部絶縁層の上部で前記トレンチの前記側面を覆っており、前記底部絶縁層の上面と下面の間の幅よりも小さい厚みを備える側面絶縁膜と、
 前記トレンチ内に配置されており、前記底部絶縁層と前記側面絶縁膜によって前記半導体基板から絶縁されているゲート電極、
 を有しており、
 前記半導体基板が、
 前記側面絶縁膜に接している第1導電型の第1領域と、
 前記第1領域の下側で前記側面絶縁膜に接している第2導電型のボディ領域と、
 前記ボディ領域の下側で前記側面絶縁膜と前記底部絶縁層に接しており、前記ボディ領域によって前記第1領域から分離されている第1導電型の第2領域と、
 前記トレンチの前記底面において前記底部絶縁層に接している第2導電型の底部領域と、
 、
 前記トレンチの前記側面に沿って伸びており、前記底部絶縁層と前記側面絶縁膜に接し

10

20

ており、前記ボディ領域と前記底部領域とを接続している第2導電型の接続領域、
を有しており、

前記接続領域が、前記トレンチの前記側面のうちの前記トレンチの短手方向の端部に位置する側面の一部において前記底部絶縁層と前記側面絶縁膜に接しており、

前記接続領域に接している範囲の前記側面絶縁膜が、前記第2領域に接している範囲の前記側面絶縁膜よりも厚く、

前記底部絶縁層と前記接続領域が接している深さ範囲内の前記接続領域に、前記側面絶縁膜と前記接続領域が接している深さ範囲内の前記接続領域における第2導電型不純物濃度の最低値よりも低い第2導電型不純物濃度を有する深さ範囲が存在する、

スイッチング素子。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示の技術は、スイッチング素子に関する。

【0002】

特許文献1に、MOSFETが開示されている。このMOSFETは、上面にトレンチが形成されている半導体基板を有している。トレンチ内に、底部絶縁層と側面絶縁膜とゲート電極が配置されている。底部絶縁層は、トレンチの底部に配置されており、トレンチの底面とその底面近傍のトレンチの側面を覆っている。側面絶縁膜は、薄い絶縁膜であり、底部絶縁層の上部でトレンチの側面を覆っている。ゲート電極は、底部絶縁層と側面絶縁膜によって半導体基板から絶縁されている。半導体基板は、n型のソース領域、p型のボディ領域、n型のドリフト領域を有している。ソース領域は、側面絶縁膜に接している。ボディ領域は、ソース領域の下側で側面絶縁膜に接している。ドリフト領域は、ボディ領域の下側で、側面絶縁膜と底部絶縁層に接している。また、半導体基板は、p型の底部領域（トレンチの底面に沿って伸びるp拡散領域）とp型の接続領域（トレンチの側面に沿って伸びるp拡散領域）を有している。接続領域は、トレンチの側面の一部に設けられており、底部領域とボディ領域を接続している。

20

【0003】

特許文献1のMOSFETがターンオフするときには、ボディ領域および底部領域からドリフト領域内に空乏層が広がる。その過程で、接続領域が空乏化されることにより、底部領域がボディ領域から電氣的に分離される。その結果、底部領域の電位がフローティングとなる。これにより、底部領域と半導体基板の裏面との間に高い電位差が生じることが抑制される。すなわち、ボディ領域とドリフト領域との界面のPN接合と、底部領域とドリフト領域との界面のPN接合の2か所で電界のピークを形成することができるため、MOSFETは高い耐圧を有する。

30

【0004】

特許文献1のMOSFETがターンオンするときには、ボディ領域にチャネル（反転層）が形成され、ドリフト領域内に広がっていた空乏層が収縮してMOSFETがオン状態となる。MOSFETがターンオンする過程で、接続領域内の空乏層も収縮し、接続領域を介して底部領域がボディ領域に対して電氣的に接続される。すると、ボディ領域から底部領域にホールが供給される。その結果、底部領域からドリフト領域に広がっていた空乏層が底部領域側に収縮する。このように、底部領域からドリフト領域に広がっていた空乏層がターンオン時に収縮することで、ドリフト領域の抵抗が小さくなる。このため、電子が低抵抗でドリフト領域内を流れることが可能となる。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-242852号公報

【発明の概要】

【発明が解決しようとする課題】

50

【0006】

図20は、特許文献1のMOSFETの接続領域の拡大断面図を示している。図20に示すように、接続領域240は、トレンチの側面に沿って伸びており、底部絶縁層204と側面絶縁膜206に接している。接続領域240は、側面絶縁膜206に接している部分240aと、底部絶縁層204に接している部分240bを有している。特許文献1のMOSFETでは、ターンオフ時に接続領域240を空乏化させる必要があるため、接続領域240のp型不純物濃度が低い。MOSFETのターンオン時には、ゲート電極260にゲートオン電位が印加される。すると、厚みが薄い側面絶縁膜206を介してゲート電極260から接続領域240に作用する電界によって、側面絶縁膜206近傍に電子が引き寄せられる。その結果、接続領域240の部分240aにチャンネルと同様の反転層210（n型に反転した領域）が形成される。その結果、接続領域240の部分240aのうち、p型を維持している領域の幅W240が狭くなる。このため、ボディ領域220から接続領域240を経て底部領域230に至るホールの供給経路の抵抗が高くなる。このため、ターンオン時に、底部領域230にホールが供給される速度が遅く、底部領域230からドリフト領域250へ広がっている空乏層が収縮するのが遅い。したがって、特許文献1のMOSFETは、ターンオンするときにドリフト領域250の抵抗が低下するのに時間がかかるという問題を有する。

10

【0007】

なお、上記の説明ではnチャンネル型のMOSFETを例として説明したが、トレンチ内にゲート電極を有する他のスイッチング素子（例えば、pチャンネル型のMOSFET、IGBT等）でも、底部領域及び接続領域を設ける場合に同様の問題が生じる。但し、pチャンネル型のMOSFETの場合、nチャンネル型のMOSFETとは各領域の導電型が反対であり、ターンオン時に底部領域に供給されるのは電子である。

20

【課題を解決するための手段】

【0008】

本明細書が開示するスイッチング素子は、半導体基板と、トレンチと、底部絶縁層と、側面絶縁膜と、ゲート電極を有している。前記トレンチは、半導体基板の上面に設けられている。前記底部絶縁層は、前記トレンチの底部に配置されており、前記トレンチの底面と前記底面の近傍の前記トレンチの側面を覆っている。前記側面絶縁膜は、前記底部絶縁層の上部で前記トレンチの前記側面を覆っており、前記底部絶縁層の上面と下面の間の幅よりも小さい厚みを備える。前記ゲート電極は、前記トレンチ内に配置されており、前記底部絶縁層と前記側面絶縁膜によって前記半導体基板から絶縁されている。前記半導体基板が、第1領域と、ボディ領域と、第2領域と、底部領域と、接続領域を有している。前記第1領域は、前記側面絶縁膜に接している第1導電型の領域である。前記ボディ領域は、前記第1領域の下側で前記側面絶縁膜に接している第2導電型の領域である。前記第2領域は、前記ボディ領域の下側で前記側面絶縁膜と前記底部絶縁層に接しており、前記ボディ領域によって前記第1領域から分離されている第1導電型の領域である。前記底部領域は、前記トレンチの前記底面において前記底部絶縁層に接している第2導電型の領域である。前記接続領域は、前記トレンチの前記側面に沿って伸びており、前記底部絶縁層と前記側面絶縁膜に接しており、前記ボディ領域と前記底部領域とを接続している第2導電型の領域である。前記底部絶縁層と前記接続領域が接している深さ範囲内の前記接続領域に、前記側面絶縁膜と前記接続領域が接している深さ範囲内の前記接続領域における第2導電型不純物濃度の最低値よりも低い第2導電型不純物濃度を有する深さ範囲が存在する。

30

40

【0009】

なお、第1導電型はn型とp型の一方であり、第2導電型はn型とp型の他方である。第1導電型がn型の場合には第2導電型がp型であり、第1導電型がp型の場合には第2導電型はn型である。

【0010】

また、上記の接続領域の第2導電型不純物濃度（すなわち、底部絶縁層と接続領域が接

50

している深さ範囲内の接続領域における第2導電型不純物濃度、及び、側面絶縁膜と接続領域が接している深さ範囲内の接続領域における第2導電型不純物濃度)は、同一の深さに分布している第2導電型不純物の濃度の最大値を意味する。つまり、接続領域内の第2導電型不純物は、多くの場合、同一の深さにおいて濃度差を有する状態で分布しているが、上記の第2導電型不純物濃度は同一の深さにおける第2導電型不純物の濃度の最大値を意味する。

【0011】

このスイッチング素子では、底部絶縁層と接続領域が接している深さ範囲内の接続領域に、側面絶縁膜と接続領域が接している深さ範囲(以下、第1深さ範囲という)内の接続領域における第2導電型不純物濃度の最低値よりも低い第2導電型不純物濃度を有する深さ範囲(以下、特定深さ範囲という)が存在する。つまり、第1深さ範囲全体における接続領域の第2導電型不純物濃度が、前記特定深さ範囲における接続領域の第2導電型不純物濃度よりも高い。

10

【0012】

このスイッチング素子がターンオフするときには、ボディ領域と第2領域との間のPN接合界面から空乏層が広がるとともに、底部領域と第2領域との間のPN接合界面からも空乏層が広がる。スイッチング素子がターンオフする過程において、前記特定深さ範囲の接続領域(すなわち、第2導電型不純物濃度が低い接続領域)が空乏化される。これによって、底部領域がボディ領域から電氣的に分離され、底部領域の電位がフローティングとなる。このため、底部領域と半導体基板の下面との間に高い電位差が生じることが抑制される。

20

【0013】

このスイッチング素子がターンオンするときには、ゲート電極にゲートオン電位が印加される。すると、ボディ領域にチャンネル(反転層)が形成され、第2領域に広がっていた空乏層がボディ領域側に収縮する。また、MOSFETがターンオンする過程で、前記特定深さ範囲の接続領域から空乏層が収縮し、底部領域がボディ領域に対して電氣的に接続される。また、第1深さ範囲では、接続領域の第2導電型不純物濃度が高いので、ゲート電極にゲートオン電位が印加されても接続領域に反転層が形成され難い。第1深さ範囲の接続領域には、反転層が形成されないか、または、反転層が形成されたとしてもその幅が狭い。したがって、第1深さ範囲において、接続領域が第2導電型を維持している部分の幅(図20の幅W240に相当する幅)が広く確保される。このため、ボディ領域から接続領域を経て底部領域に至るキャリアの供給経路の抵抗が低く、ボディ領域から底部領域に高速でキャリアが供給される。このため、底部領域から第2領域へ広がっている空乏層が収縮するのが速い。したがって、このスイッチング素子では、ターンオンするときに短時間で第2領域の抵抗が低下する。したがって、このスイッチング素子では、従来よりも損失が生じ難い。

30

【図面の簡単な説明】

【0014】

【図1】MOSFET10の平面図。

【図2】MOSFET10の縦断面図(図1のII-II線における縦断面図)。

40

【図3】MOSFET10の縦断面図(図1のIII-III線における縦断面図)。

【図4】接続領域38の拡大図。

【図5】接続領域38のp型不純物濃度分布(より詳細には、p型不純物の濃度の同一深さにおける最大値の分布)を示すグラフ。

【図6】MOSFET10の製造方法の説明図。

【図7】MOSFET10の製造方法の説明図。

【図8】MOSFET10の製造方法の説明図。

【図9】MOSFET10の製造方法の説明図。

【図10】MOSFET10の製造方法の説明図。

【図11】変形例のMOSFETの平面図。

50

【図 1 2】 実施例 2 の MOS F E T の平面図。

【図 1 3】 実施例 2 の MOS F E T の縦断面図（図 1 2 の X I I I - X I I I 線における縦断面図）。

【図 1 4】 実施例 2 の MOS F E T の製造方法の説明図。

【図 1 5】 実施例 2 の MOS F E T の製造方法の説明図。

【図 1 6】 実施例 2 の MOS F E T の製造方法の説明図。

【図 1 7】 実施例 2 の MOS F E T の製造方法の説明図。

【図 1 8】 変形例の MOS F E T の平面図。

【図 1 9】 実施例 3 の MOS F E T の縦断面図。

【図 2 0】 従来の MOS F E T の接続領域の拡大図。

10

【発明を実施するための形態】

【実施例 1】

【0 0 1 5】

図 1 ～ 3 は、実施例 1 の MOS F E T 1 0 を示している。図 2、3 に示すように、MO S F E T 1 0 は、半導体基板 1 2 と、電極、絶縁層等を備えている。なお、図 1 では、図の見易さのため、半導体基板 1 2 の上面 1 2 a 上の電極、絶縁層の図示を省略している。以下では、半導体基板 1 2 の上面 1 2 a と平行な一方向を x 方向といい、上面 1 2 a に平行で x 方向に直交する方向を y 方向といい、半導体基板 1 2 の厚み方向を z 方向という。

【0 0 1 6】

図 2 に示すように、半導体基板 1 2 の上面 1 2 a には、複数のトレンチ 2 2 が設けられて 20 ている。図 1 に示すように、各トレンチ 2 2 は、y 方向に直線状に長く伸びている。複数のトレンチ 2 2 は、x 方向に間隔を開けて配列されている。図 2 に示すように、各トレンチ 2 2 の内面は、ゲート絶縁層 2 4 によって覆われている。ゲート絶縁層 2 4 は、底部絶縁層 2 4 a と側面絶縁膜 2 4 b を有している。底部絶縁層 2 4 a は、トレンチ 2 2 の底部に配置されている。底部絶縁層 2 4 a は、トレンチ 2 2 の底面と、トレンチ 2 2 の底面近傍の側面を覆っている。底部絶縁層 2 4 a は、トレンチ 2 2 の深さ方向に厚く形成されている。側面絶縁膜 2 4 b は、底部絶縁層 2 4 a の上部に位置するトレンチ 2 2 の側面を覆っている。各トレンチ 2 2 内には、底部絶縁層 2 4 a の上部にゲート電極 2 6 が配置されている。すなわち、ゲート電極 2 6 とトレンチ 2 2 の底面の間の絶縁層が、底部絶縁層 2 4 a である。各ゲート電極 2 6 は、ゲート絶縁層 2 4 （すなわち、底部絶縁層 2 4 a と側 30 面絶縁膜 2 4 b）によって半導体基板 1 2 から絶縁されている。側面絶縁膜 2 4 b の厚み（すなわち、トレンチ 2 2 の側面とゲート電極 2 6 の側面の間の間隔）は、底部絶縁層 2 4 a の厚み（すなわち、底部絶縁層 2 4 a の上面と下面の間の幅（言い換えると、ゲート電極 2 6 の下端とトレンチ 2 2 の底面の間の間隔））よりも薄い。各ゲート電極 2 6 の上面は、層間絶縁膜 2 8 によって覆われている。

20

30

【0 0 1 7】

半導体基板 1 2 の上面 1 2 a には、上部電極 7 0 が配置されている。上部電極 7 0 は、層間絶縁膜 2 8 が設けられていない部分で半導体基板 1 2 の上面 1 2 a に接している。上部電極 7 0 は、層間絶縁膜 2 8 によってゲート電極 2 6 から絶縁されている。半導体基板 1 2 の下面 1 2 b には、下部電極 7 2 が配置されている。下部電極 7 2 は、半導体基板 1 2 の下面 1 2 b に接している。 40

【0 0 1 8】

図 1 ～ 3 に示すように、半導体基板 1 2 の内部には、複数のソース領域 3 0、ボディ領域 3 2、ドリフト領域 3 4、ドレイン領域 3 5、複数の底部領域 3 6 及び複数の接続領域 3 8 が設けられている。

【0 0 1 9】

各ソース領域 3 0 は、n 型領域である。図 1、2 に示すように、各ソース領域 3 0 は、半導体基板 1 2 の上面 1 2 a に露出する位置に配置されており、上部電極 7 0 にオーミック接触している。また、各ソース領域 3 0 は、トレンチ 2 2 の短手方向の側面（短手方向の端部に位置する側面であり、y 方向に沿って伸びる側面）において、側面絶縁膜 2 4 b 50

50

に接している。各ソース領域 30 は、トレンチ 22 の上端部において、側面絶縁膜 24b に接している。

【0020】

ボディ領域 32 は、p 型領域である。ボディ領域 32 は、各ソース領域 30 に接している。ボディ領域 32 は、2 つのソース領域 30 に挟まれた範囲から各ソース領域 30 の下側まで伸びている。ボディ領域 32 は、高濃度領域 32a と低濃度領域 32b を有している。高濃度領域 32a は、低濃度領域 32b よりも高い p 型不純物濃度を有している。高濃度領域 32a は、2 つのソース領域 30 に挟まれた範囲に配置されている。高濃度領域 32a は、上部電極 70 にオーミック接触している。低濃度領域 32b は、高濃度領域 32a とソース領域 30 の下側に配置されている。低濃度領域 32b は、トレンチ 22 の短手方向の側面において、側面絶縁膜 24b に接している。すなわち、低濃度領域 32b は、ソース領域 30 の下側で、側面絶縁膜 24b に接している。また、図 1、3 に示すように、低濃度領域 32b は、トレンチ 22 の長手方向の側面（長手方向の端部に位置する側面であり、x 方向に沿って伸びる側面）に隣接する範囲にも配置されている。低濃度領域 32b は、トレンチ 22 の長手方向の側面において、側面絶縁膜 24b に接している。ボディ領域 32 の下端（すなわち、低濃度領域 32b の下端）は、ゲート電極 26 の下端（すなわち、底部絶縁層 24a の上面）よりも上側に配置されている。

10

【0021】

ドリフト領域 34 は、n 型領域である。ドリフト領域 34 は、ボディ領域 32 の下側に配置されており、ボディ領域 32 によってソース領域 30 から分離されている。ドリフト領域 34 は、トレンチ 22 の短手方向の側面において、側面絶縁膜 24b 及び底部絶縁層 24a に接している。すなわち、ドリフト領域 34 は、ボディ領域 32 の下側で、側面絶縁膜 24b 及び底部絶縁層 24a に接している。

20

【0022】

ドレイン領域 35 は、n 型領域である。ドレイン領域 35 は、ドリフト領域 34 よりも高い n 型不純物濃度を有している。ドレイン領域 35 は、ドリフト領域 34 の下側に配置されている。ドレイン領域 35 は、半導体基板 12 の下面 12b に露出している。ドレイン領域 35 は、下部電極 72 にオーミック接触している。

【0023】

各底部領域 36 は、p 型領域である。各底部領域 36 は、対応するトレンチ 22 の底面に露出する範囲に配置されている。各底部領域 36 は、対応するトレンチ 22 の底面において、底部絶縁層 24a に接している。図 3 に示すように、各底部領域 36 は、対応するトレンチ 22 の底面に沿って y 方向に長く伸びている。各底部領域 36 は、対応するトレンチ 22 の底面全域で底部絶縁層 24a に接している。図 2 に示すように、各底部領域 36 の周囲は、ドリフト領域 34 に囲まれている。後述する接続領域 38 が形成されている箇所を除いて、各底部領域 36 は、ドリフト領域 34 によってボディ領域 32 から分離されている。

30

【0024】

図 1、3 に示すように、各接続領域 38 は、対応するトレンチ 22 の長手方向の側面に沿って設けられている。図 3 に示すように、各接続領域 38 の下端は、対応する底部領域 36 に接続されている。各接続領域 38 の上端は、ボディ領域 32（低濃度領域 32b）に接続されている。なお、本明細書では、トレンチ 22 の側面に沿ってボディ領域 32 から底部領域 36 に向かって長く伸びている部分を、接続領域 38 という。つまり、半導体基板 12 の上面 12a に沿って横方向に分布している p 型領域がボディ領域 32 であり、そのボディ領域 32 からトレンチ 22 の側面に沿って下方向に突出している部分が、接続領域 38 である。図 3 に示すように、各接続領域 38 は、対応するトレンチ 22 の長手方向の側面において、側面絶縁膜 24b と底部絶縁層 24a に接している。

40

【0025】

図 4 は、接続領域 38 の拡大断面図である。上述したように、接続領域 38 は、側面絶縁膜 24b と底部絶縁層 24a に接している。図 4 に示す第 1 部分 38a は、側面絶縁膜

50

24bと接続領域38とが接している深さ範囲内の接続領域38である。図4に示す第2部分38bは、底部絶縁層24aと接続領域38とが接している深さ範囲内の接続領域38である。第1部分38aは、ゲート電極26の下端（すなわち、底部絶縁層24aの上面）よりも上側に位置し、第2部分38bは、ゲート電極26の下端よりも下側に位置する。

【0026】

図5は、接続領域38内の深さ方向（z方向）におけるp型不純物濃度分布を示している。なお、接続領域38内では、横方向（x方向及びy方向）においては、トレンチ22に近い位置ほど高濃度にp型不純物が存在している。図5に示す各深さにおけるp型不純物濃度は、同一深さにおける接続領域38内のp型不純物の濃度の最大値を表している。図5に示すように、第1部分38a内では、その深さ範囲全体でp型不純物濃度が高い。第1部分38a内のp型不純物濃度は、ソース領域30とドリフト領域34の間に配置されている低濃度領域32b（すなわち、チャンネルが形成される領域）のp型不純物濃度よりも高い。第1部分38a内では、その下端部においてp型不純物濃度が最低値 N_{min1} となっている。本実施例では、MOSFET10のオン状態において第1部分38a内に反転層が形成されないように、最低値 N_{min1} が $2 \times 10^{18} / \text{cm}^3$ よりも高い値に調整されている。すなわち、第1部分38aの深さ範囲全体において、p型不純物濃度が $2 \times 10^{18} / \text{cm}^3$ よりも高い。第2部分38b内では、上端部で最もp型不純物濃度が高く、上端部から深さD1の間の範囲では下側に向かうにしたがってp型不純物濃度が低下し、深さD1よりも深い範囲に位置する部分38cではp型不純物濃度が低濃度で略一様に分布する。第2部分38b内のp型不純物濃度は、いずれの深さにおいても、上述した最低値 N_{min1} よりも低い。部分38cでは、p型不純物濃度が第2部分38b内での最低値 N_{min2} となっている。本実施例では、MOSFET10のオフ状態において部分38cを空乏化させるために、部分38c内のp型不純物濃度 N_{min2} が $3 \times 10^{17} / \text{cm}^3$ よりも低い値に調整されている。

【0027】

次に、MOSFET10の動作について説明する。MOSFET10の使用時には、MOSFET10と負荷（例えば、モータ）と電源が直列に接続される。MOSFET10と負荷の直列回路に対して、電源電圧（本実施例では、約800V）が印加される。MOSFET10のドレイン側（下部電極72）がソース側（上部電極70）よりも高電位となる向きで、電源電圧が印加される。ゲート電極26にゲートオン電位（ゲート閾値よりも高い電位）を印加すると、側面絶縁膜24bに接する範囲のボディ領域32（低濃度領域32b）にチャンネル（反転層）が形成され、MOSFET10がオンする。ゲート電極26にゲートオフ電位（ゲート閾値以下の電位）を印加すると、チャンネルが消滅し、MOSFET10がオフする。以下に、MOSFET10のターンオフ時とターンオン時の動作について、詳細に説明する。

【0028】

MOSFET10をターンオフさせる場合には、ゲート電極26の電位をゲートオン電位からゲートオフ電位に引き下げる。すると、チャンネルが消失し、下部電極72の電位が上昇する。下部電極72の電位は、上部電極70に対して電源電圧分（すなわち、約800V）だけ高い電位まで上昇する。下部電極72の電位が上昇する過程において、底部領域36と下部電極72の間の容量結合によって、底部領域36の電位が少し上昇する。すると、底部領域36から接続領域38とボディ領域32を介して上部電極70へホールが流れる。このようにホールが流れている間は、底部領域36の電位の上昇が抑制され、底部領域36の電位が上部電極70の電位よりもわずかに高い電位に維持される。

【0029】

また、下部電極72の電位の上昇に伴って、ドレイン領域35及びドリフト領域34の電位も上昇する。ドリフト領域34の電位が上昇すると、ボディ領域32とドリフト領域34の間に電位差が生じる。このため、ボディ領域32とドリフト領域34の界面のpn接合に逆電圧が印加される。したがって、ボディ領域32からドリフト領域34に空乏層

が広がる。また、ドリフト領域 34 の電位が上昇すると、底部領域 36 とドリフト領域 34 の間に電位差が生じる。このため、底部領域 36 とドリフト領域 34 の界面の p n 接合に逆電圧が印加される。したがって、底部領域 36 からドリフト領域 34 に空乏層が広がる。

【0030】

また、ドリフト領域 34 の電位が上昇すると、接続領域 38 とドリフト領域 34 の界面の p n 接合にも逆電圧が印加される。接続領域 38 の部分 38 c (図 4、5 参照) の p 型不純物濃度が低いので、p n 接合から部分 38 c に広く空乏層が広がる。これによって、部分 38 c 全体が空乏化される。部分 38 c が空乏化されることによって、底部領域 36 が上部電極 70 から電氣的に分離される。

10

【0031】

なお、接続領域 38 の第 1 部分 38 a の p 型不純物濃度が高いので、第 1 部分 38 a には空乏層が広がり難い。したがって、第 1 部分 38 a は p n 接合の近傍の部分のみで空乏化される。

【0032】

底部領域 36 がボディ領域 32 から電氣的に分離されると、底部領域 36 から上部電極 70 に向かうホールの流れが停止し、底部領域 36 の電位がフローティングとなる。このため、底部領域 36 の電位が、下部電極 72 の電位の上昇に伴って上昇する。このように、底部領域 36 の電位が上昇することで、底部領域 36 と下部電極 72 の間の電位差が過大となることが防止される。すなわち、ボディ領域 32 とドリフト領域 34 との界面の P N 接合と、底部領域 36 とドリフト領域 34 との界面の P N 接合の 2 か所で電界のピークを形成することができるため、M O S F E T 10 は高い耐圧を有する。下部電極 72 の電位が上部電極 70 に対して電源電圧分高い電位まで上昇することで、M O S F E T 10 のターンオフが完了する。

20

【0033】

M O S F E T 10 をターンオンさせる場合には、ゲート電極 26 の電位をゲートオフ電位からゲートオン電位に引き上げる。すると、トレンチ 22 の短手方向の側面において側面絶縁膜 24 b に接している範囲のボディ領域 32 (低濃度領域 32 b) に電子が引き寄せられる。これによって、この範囲のボディ領域 32 が p 型から n 型に反転し、チャンネルが形成される。チャンネルによって、ソース領域 30 とドリフト領域 34 が接続される。これによって、ドリフト領域 34、ドレイン領域 35 及び下部電極 72 の電位が低下する。ドリフト領域 34 の電位が低下すると、ボディ領域 32 とドリフト領域 34 の界面の p n 接合に印加されていた逆電圧が低下する。このため、ボディ領域 32 からドリフト領域 34 に広がっていた空乏層が、ボディ領域 32 に向かって収縮する。これにより、上部電極 70 から、ソース領域 30、チャンネル、ドリフト領域 34、ドレイン領域 35 を経由して下部電極 72 へ電子が流れるようになる。すなわち、M O S F E T 10 がオンする。

30

【0034】

また、接続領域 38 の第 1 部分 38 a の p 型不純物濃度が高いので、ゲート電極 26 の電位をゲートオン電位に引き上げても、第 1 部分 38 a には反転層は形成されない。また、接続領域 38 の第 2 部分 38 b はゲート電極 26 から離れているので、第 2 部分 38 b にも反転層は形成されない。また、ドリフト領域 34 の電位が低下する過程において、接続領域 38 の部分 38 c に広がっている空乏層が、ドリフト領域 34 に向かって収縮する。その結果、底部領域 36 が、ボディ領域 32 に電氣的に接続される。すると、上部電極 70 からボディ領域 32 と接続領域 38 を介して底部領域 36 にホールが流れる。底部領域 36 にホールが供給されると、底部領域 36 からドリフト領域 34 に広がっていた空乏層が底部領域 36 に向かって収縮する。このため、ドリフト領域 34 の抵抗が低下し、上部電極 70 から下部電極 72 に向かって電子が流れ易くなる。このため、ドリフト領域 34 で損失が生じ難い。特に、本実施例では、接続領域 38 に反転層が形成されないので、接続領域 38 の幅方向全体にホールが流れることが可能であり、接続領域 38 のホールに対する抵抗が小さい。したがって、底部領域 36 に高速でホールを供給することが可能で

40

50

あり、底部領域 3 6 からドリフト領域 3 4 に広がっていた空乏層を高速で消滅させることができる。したがって、この MOS FET 1 0 では、ゲート電極 2 6 の電位をゲートオン電位に引き上げてから短時間でドリフト領域 3 4 の抵抗が低下する。すなわち、この MOS FET 1 0 は、ターンオンするときに短時間でオン抵抗が低下する。したがって、この MOS FET 1 0 では、損失が生じ難い。

【0035】

以上に説明したように、実施例 1 の MOS FET 1 0 では、ターンオフ時に、下部電極 7 2 の電位が上昇する過程で底部領域 3 6 がフローティングとなるので、底部領域 3 6 と下部電極 7 2 の間に極端に大きい電位差が生じることが防止される。したがって、この MOS FET 1 0 は、耐圧が高い。また、ターンオン時に、接続領域 3 8 に反転層が形成されないので、底部領域 3 6 からドリフト領域 3 4 に広がっている空乏層を短時間で消滅させることができる。したがって、この MOS FET 1 0 では、損失が生じ難い。

【0036】

次に、実施例 1 の MOS FET 1 0 の製造方法について説明する。まず、加工前の半導体基板 1 2 を準備する。加工前の半導体基板 1 2 は、ドリフト領域 3 4 とドレイン領域 3 5 を有する n 型半導体によって構成されている。まず、エピタキシャル成長またはイオン注入によって、ボディ領域 3 2 の低濃度領域 3 2 b を形成する。次に、ソース領域 3 0 、高濃度領域 3 2 a を形成する。次に、半導体基板 1 2 の上面 1 2 a を部分的にエッチングすることによって、図 6 に示すようにトレンチ 2 2 を形成する。次に、図 6 に示すように、半導体基板 1 2 に p 型不純物を注入する。ここでは、半導体基板 1 2 の厚み方向（z 方向）に対して傾斜した向きに沿って p 型不純物を照射する。これによって、トレンチ 2 2 の長手方向の側面と底面に p 型不純物を注入する。次に、図 6 とは反対側に不純物照射方向を傾斜させて、p 型不純物の注入を行う。これによって、図 6 とは反対側のトレンチ 2 2 の長手方向の側面に p 型不純物が注入される。次に、トレンチ 2 2 内に絶縁層を充填し、その後、その絶縁層をエッチングする。ここでは、図 7 に示すように、トレンチの底部に絶縁層を残存させる。残存した絶縁層が、底部絶縁層 2 4 a となる。ここでは、底部絶縁層 2 4 a の上面が低濃度領域 3 2 b の下端よりも下側に位置するようにエッチングを行う。次に、図 8 に示すように、半導体基板 1 2 に p 型不純物を注入する。ここでは、図 6 の場合と同様に、半導体基板 1 2 の厚み方向（z 方向）に対して傾斜した向きに沿って p 型不純物を照射する。これによって、トレンチ 2 2 の長手方向の側面（底部絶縁層 2 4 a の上部の側面）に p 型不純物を注入する。次に、図 8 とは反対側に不純物照射方向を傾斜させて、p 型不純物の注入を行う。これによって、図 8 とは反対側のトレンチ 2 2 の長手方向の側面（底部絶縁層 2 4 a の上部の側面）に p 型不純物が注入される。このように p 型不純物を注入することで、底部絶縁層 2 4 a よりも上部の側面（長手方向の側面）において、底部絶縁層 2 4 a に覆われている範囲の側面よりも p 型不純物濃度が高くなる。次に、図 9 に示すように、トレンチ 2 2 の側面に側面絶縁膜 2 4 b を形成する。その後、半導体基板 1 2 を熱処理することによって、半導体基板 1 2 に注入した p 型不純物を活性化させる。これによって、図 10 に示すように、底部領域 3 6 と接続領域 3 8 を形成する。上述したように、トレンチ 2 2 の長手方向の側面においては、底部絶縁層 2 4 a よりも上側の側面に、底部絶縁層 2 4 a に覆われている範囲の側面よりも高濃度に p 型不純物が注入されている。このため、図 5 に示すように p 型不純物濃度が分布する接続領域 3 8 を形成することができる。その後、ゲート電極 2 6 、層間絶縁膜 2 8 、上部電極 7 0 及び下部電極 7 2 を形成することで、図 1 ～ 3 に示す MOS FET 1 0 が完成する。

【0037】

なお、上述した実施例 1 では、接続領域 3 8 がトレンチ 2 2 の長手方向の両側面に形成されていた。しかしながら、図 11 に示すように、接続領域 3 8 がトレンチ 2 2 の長手方向の一方の側面にのみ形成されていてもよい。

【実施例 2】

【0038】

実施例 2 では、図 12、13 に示すように、接続領域 3 8 がトレンチ 2 2 の短手方向の

側面の一部に形成されている。実施例 2 でも、接続領域 38 が、図 5 と同様の p 型不純物濃度分布を有する。実施例 2 の MOSFET のその他の構成は、実施例 1 と等しい。実施例 2 のように接続領域 38 が配置されていても、実施例 1 と略同様に接続領域 38 が機能する。

【0039】

次に、実施例 2 の MOSFET の製造方法について説明する。まず、実施例 1 の製造方法と同様にして、低濃度領域 32b、ソース領域 30、高濃度領域 32a とトレンチ 22 を形成する。次に、図 14 に示すように、半導体基板 12 に p 型不純物を注入する。図示していないが、接続領域 38 を形成しない範囲のトレンチ 22 の側面はマスクによって覆われている。ここでは、半導体基板 12 の厚み方向（z 方向）に対して傾斜した向きに沿って p 型不純物を照射することによって、トレンチ 22 の短手方向の側面（マスクに覆われていない範囲の側面）と底面に p 型不純物が注入する。次に、図 14 とは反対側に不純物照射方向を傾斜させて、p 型不純物の注入を行う。これによって、図 14 とは反対側のトレンチ 22 の短手方向の側面に p 型不純物が注入される。次に、図 15 に示すように、p 型不純物の照射方向の傾斜角度を大きくして、再度、p 型不純物の注入を行う。ここでは、トレンチ 22 の短手方向の側面の上側の部分に p 型不純物が注入される。トレンチ 22 の短手方向の側面の下側の部分と底面には p 型不純物が注入されない。次に、図 15 とは反対側に不純物照射方向を傾斜させて、p 型不純物の注入を行う。これによって、図 15 とは反対側のトレンチ 22 の短手方向の側面に p 型不純物が注入される。このように p 型不純物を注入することで、図 15 に示すように、短手方向の側面の上側の部分において、短手方向の側面の下側の部分よりも p 型不純物濃度が高くなる。次に、半導体基板 12 を熱処理することによって、半導体基板 12 に注入した p 型不純物を活性化させる。これによって、図 16 に示すように、底部領域 36 と接続領域 38 を形成する。上述したように、トレンチ 22 の短手方向の側面においては、上側の部分で下側の部分よりも p 型不純物濃度が高い。したがって、図 5 に示すように p 型不純物濃度が分布する接続領域 38 を形成することができる。その後、図 17 に示すように、底部絶縁層 24a と側面絶縁膜 24b を形成する。このとき、接続領域 38 の p 型不純物濃度が高い領域の下端（すなわち、図 15 における p 型不純物の注入範囲の下端）よりも上側に底部絶縁層 24a の上面を配置する。その後、ゲート電極 26、層間絶縁膜 28、上部電極 70、下部電極 72 を形成することで、実施例 2 の MOSFET が完成する。

【0040】

なお、上述した実施例 2 では、接続領域 38 がトレンチ 22 の短手方向の両側面に形成されていた。しかしながら、図 18 に示すように、接続領域 38 がトレンチ 22 の短手方向の一方の側面にのみ形成されていてもよい。

【実施例 3】

【0041】

上述した実施例 1 では、トレンチ 22 の長手方向の側面を覆っている側面絶縁膜 24b の厚みが、トレンチ 22 の短手方向の側面を覆っている側面絶縁膜 24b の厚みと等しい。これに対し、実施例 3 の MOSFET では、図 19 に示すように、トレンチ 22 の長手方向の側面を覆っている側面絶縁膜 24b の厚みが厚い。実施例 3 の MOSFET では、トレンチ 22 の短手方向の側面を覆っている側面絶縁膜 24b の厚みは、図 3 と同程度に薄い。つまり、トレンチ 22 の長手方向の側面を覆っている側面絶縁膜 24b の厚みが、トレンチ 22 の短手方向の側面を覆っている側面絶縁膜 24b の厚みよりも厚い。言い換えると、接続領域 38 に接している部分の側面絶縁膜 24b の厚みが、ドリフト領域 34 に接している部分の側面絶縁膜 24b の厚みよりも厚い。このように接続領域 38 に接している部分の側面絶縁膜 24b の厚みが厚いと、ゲート電極 26 の電位に起因する電界の影響が、接続領域 38 の第 1 部分 38a に及び難くなる。したがって、この構成によれば、第 1 部分 38a に反転層がさらに形成され難くなる。

【0042】

なお、実施例 2 の構成において、接続領域 38 に接している部分の側面絶縁膜 24b の

厚みを、ドリフト領域 34 に接している部分の側面絶縁膜 24b の厚みよりも厚くしてもよい。この構成でも、第 1 部分 38a に反転層が形成され難くなる。

【0043】

なお、上述した実施例 1～3 では、MOSFET 10 をターンオンさせるときに、接続領域 38 の第 1 部分 38a に反転層が形成されない。しかしながら、第 1 部分 38a に反転層が形成されてもよい。第 1 部分 38a の p 型不純物濃度が高いので、第 1 部分 38a に反転層が形成されたとしても、その反転層の幅を従来よりも狭くすることができる。第 1 部分 38a のより広い部分が p 型に維持されるので、接続領域 38 のホールに対する抵抗はそれほど高くない。この構成でも、従来に比べて、底部領域 36 からドリフト領域 34 に広がっている空乏層を短時間で消滅させることができる。

10

【0044】

また、上述した実施例 1～3 では、n チャンネル型の MOSFET について説明した。しかしながら、本明細書に開示の技術を他のスイッチング素子に適用してもよい。例えば、p チャンネル型の MOSFET や IGBT に本明細書に開示の技術を適用してもよい。p チャンネル型の MOSFET は、上述した実施例の MOSFET の n 型領域と p 型領域とを入れ替えることで得ることができる。IGBT は、上述した実施例の MOSFET の n 型のドレイン領域 35 に代えて、p 型のコレクタ領域を設けることで得ることができる。

【0045】

また、上述した実施例 1～3 では、第 2 部分 38b の全体で p 型不純物濃度が第 1 部分 38a の p 型不純物濃度の最低値 N_{min1} よりも小さかった。しかしながら、第 2 部分 38b の一部の深さ範囲で、p 型不純物濃度が最低値 N_{min1} より高くてもよい。このような構成でも、最低値 N_{min1} よりも低い p 型不純物濃度を有する深さ範囲内で第 2 部分 38b が空乏化することで、底部領域 36 をボディ領域 32 から電氣的に分離することができる。

20

【0046】

上述した実施例の構成要素と、請求項の構成要素との関係について説明する。実施例 1～3 のソース領域 30 は、請求項の第 1 領域の一例である。実施例 1～3 のドリフト領域 34 は、請求項の第 2 領域の一例である。実施例 1～3 の接続領域 38 の第 1 部分 38a は、請求項の「側面絶縁膜と接続領域が接している深さ範囲内の接続領域」の一例である。実施例 1～3 の接続領域 38 の第 2 部分 38b は、請求項の「底部絶縁層と接続領域が接している深さ範囲内の接続領域」の一例である。

30

【0047】

本明細書が開示する技術要素について、以下に列記する。なお、以下の各技術要素は、それぞれ独立して有用なものである。

【0048】

本明細書が開示する一例の構成では、接続領域に接している範囲の側面絶縁膜が、第 2 領域に接している範囲の側面絶縁膜よりも厚い。

【0049】

この構成によれば、側面絶縁膜と接続領域とが接している深さ範囲内の接続領域により反転層が形成され難い。

40

【0050】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの 1 つの目的を達成すること自体で技術有用性を持つものである。

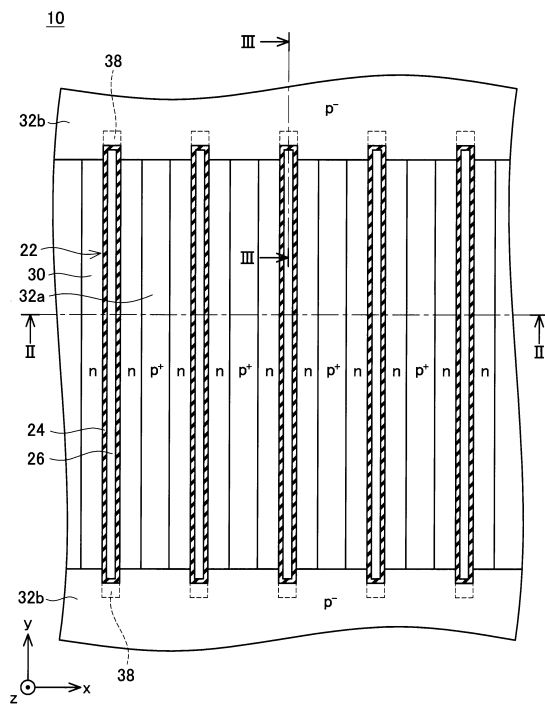
【符号の説明】

【0051】

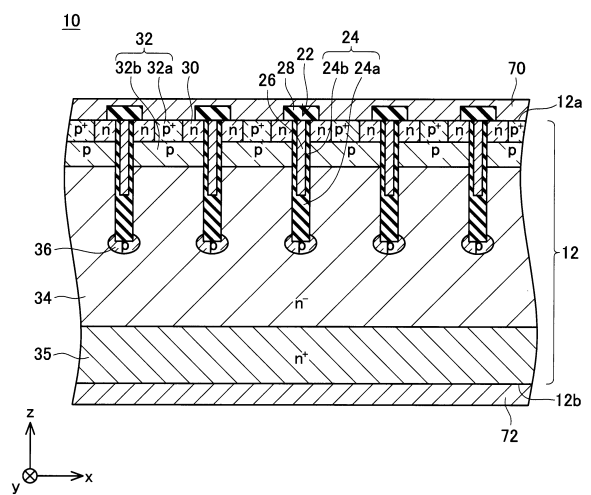
50

- 10 : MOSFET
- 12 : 半導体基板
- 22 : トレンチ
- 24 : ゲート絶縁層
- 24a : 底部絶縁層
- 24b : 側面絶縁膜
- 26 : ゲート電極
- 28 : 層間絶縁膜
- 30 : ソース領域
- 32 : ボディ領域
- 34 : ドリフト領域
- 35 : ドレイン領域
- 36 : 底部領域
- 38 : 接続領域
- 70 : 上部電極
- 72 : 下部電極

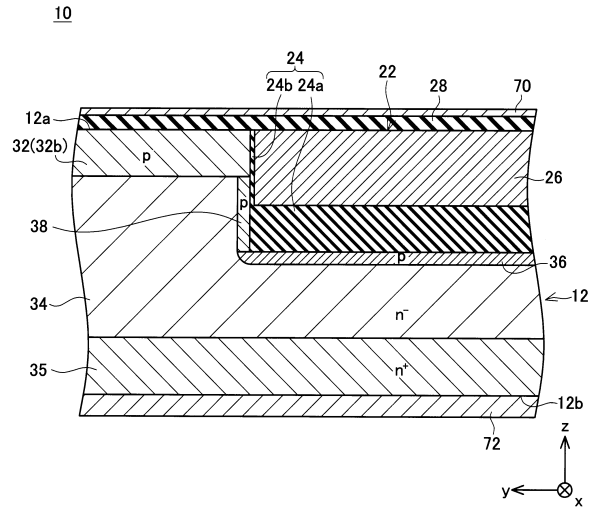
【図 1】



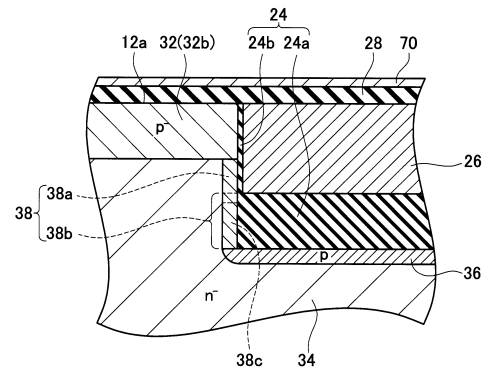
【図 2】



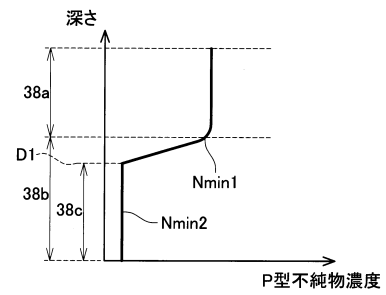
【図 3】



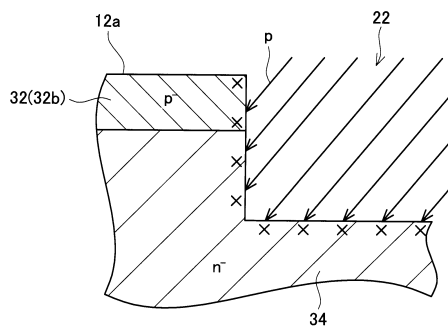
【図 4】



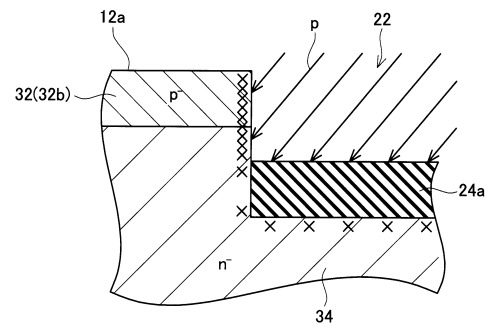
【図 5】



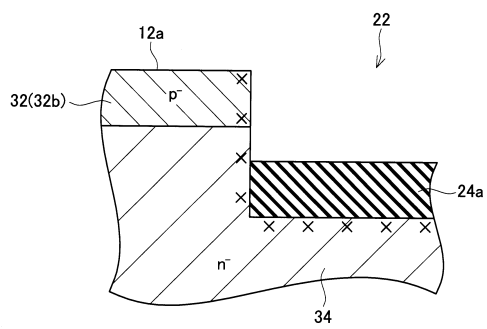
【図 6】



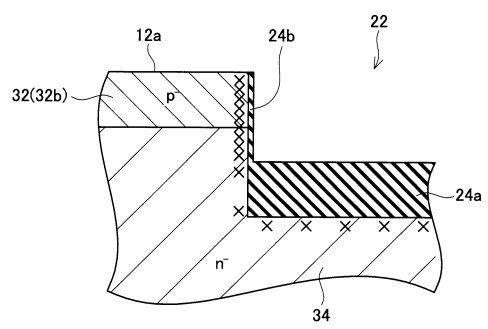
【図 8】



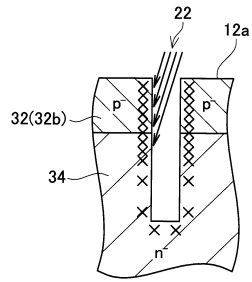
【図 7】



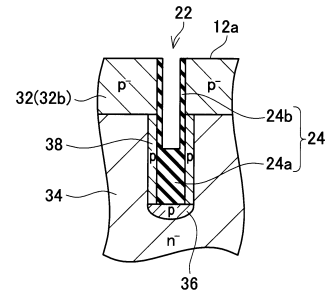
【図 9】



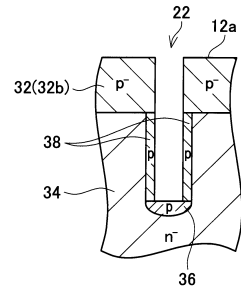
【図 15】



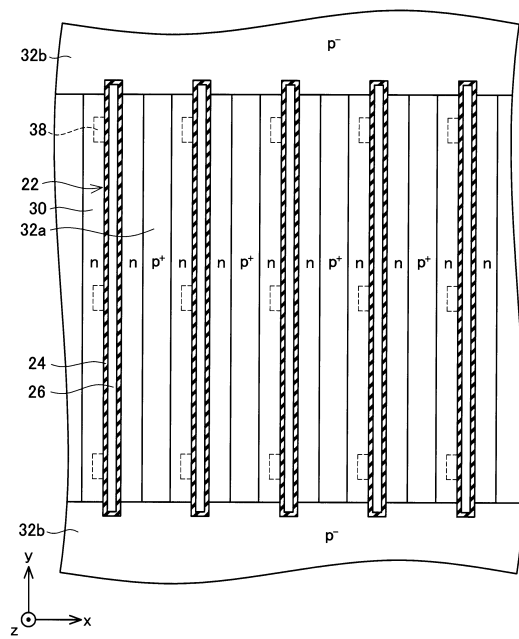
【図 17】



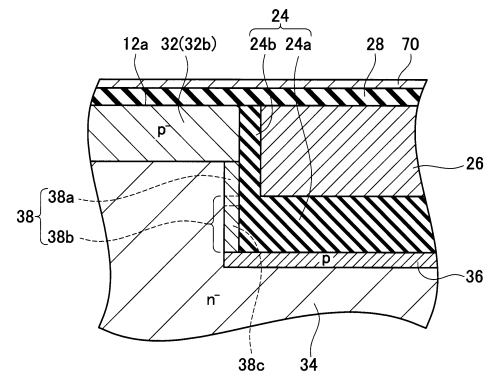
【図 16】



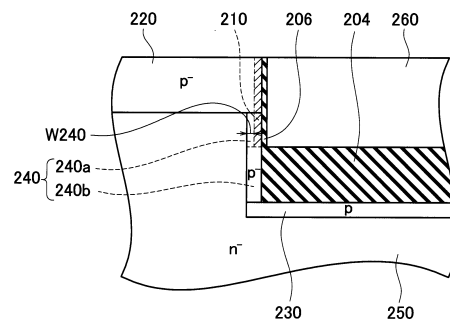
【図 18】



【図 19】



【図 20】



フロントページの続き

- (72)発明者 江口 博臣
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 山下 侑佑
愛知県長久手市横道41番地の1 株式会社豊田中央研究所内
- (72)発明者 浦上 泰
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 棚田 一也

- (56)参考文献 特開2009-081412 (JP, A)
特開2009-081411 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 29/78 |
| H01L | 21/336 |