

公告本

發明專利說明書

578305

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91124508 ※IPC分類：H01L 29/772

※申請日期：91.10.23

壹、發明名稱

(中文) 三角狀摻雜碳化矽金屬半導體場效電晶體及製造具有一閘極置放於一

雙重凹陷結構內之三角狀摻雜碳化矽金屬半導體場效電晶體之方法

(英文) DELTA DOPED SILICON CARBIDE METAL-SEMICONDUCTOR FIELD EFFECT

TRANSISTOR AND METHODS OF FABRICATING DELTA DOPED SILICON CARBIDE
METAL-SEMICONDUCTOR FIELD EFFECT TRANSISTORS HAVING A GATE DISPOSED
IN A DOUBLE RECESS STRUCTURE

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 莎普薩瑞希 史瑞姆

(英文) SAPTHARISHI SRIRAM

住居所地址：(中文) 美國北卡羅萊納州凱瑞市伯威克谷街616號

(英文) 616 BERWICK VALLEY LANE, CARY, NORTH CAROLINA
27513, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

參、申請人 (共 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商克立公司

(英文) CREE, INC.

住居所或營業所地址：(中文) 美國北卡羅萊納州德罕市斯里康路4600號

(英文) 4600 SILICON DRIVE, DURHAM, NORTH
CAROLINA 27702, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

代表人：(中文) 查爾斯 M. 史華波達

(英文) CHARLES M. SWOBODA

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國 ;2001/10/24;10/136,456

2. _____

3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國 ;2001/10/24;10/136,456

2. _____

3. -

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明領域

本發明關於微電子裝置，且特指形成於碳化矽之金屬半導體場效電晶體(MESFET)。

發明背景

需要高功率處理能力(>20瓦)而在高頻(例如射頻(500百萬赫)、S-頻帶(30億赫)及X-頻帶(100億赫))操作之電氣線路近年來已日益盛行。因為隨著高功率、高頻線路之增加，對於能在射頻以上可靠地操作而仍能處理高功率負載之要求也相對地增加。先前，雙極電晶體及金屬氧化物半導體場效電晶體(MOSFET)已被使用於高功率之用途，但此類裝置之功率處理能力在高操作頻率時可能會受到限制。接面型場效電晶體(JFET)通常使用於高頻用途，但先前習知之接面型場效電晶體的功率處理能力也可能會有限制。

近來，金屬半導體場效電晶體(MESFET)已使用於高頻用途。金屬半導體場效電晶體之構造中因只有多數載子可承載電流而較適用於高頻用途。金屬半導體場效電晶體之設計優於現行金屬氧化物半導體場效電晶體，係因減低閘極電容允許閘極輸入有較快之切換時間。因此，雖然所有場效電晶體均只使用主要載子承載電流，金屬半導體場效電晶體之蕭特基(Schottky)閘極結構可使金屬半導體場效電晶體更符合高頻用途需求。

除了結構型式外，可能更基本的是形成電晶體之半導體材料特徵也影響其操作參數。影響電晶體操作參數的特徵

(2)

(如電子活動性、飽和電子漂移速度、電性崩潰電場及導熱率)可對具有電晶體之高頻及高功率特徵有極大的影響。

電子活動性係指一電子在其出現之電場中，能在多快時間內被加速至一飽和速度的度量方式。以往，具有高電子活動性之半導體材料較受喜好，係因為其在較小電場中能產生較大之電流，當施加電場時可產生較快之響應。飽和電子漂移速度係指在半導體材料中，電子所能獲得之最快速度。具有高飽和電子漂移速度之材料較適於高頻用途，因為較高之速度可視為由源極至汲極之時間較短。

電性崩潰電場係指蕭特基接面崩潰處之電場強度及經由裝置之閘極電流的瞬間增加。高電性崩潰電場材料較適於高功率、高頻電晶體，因為一給定尺寸之材料大體上可支承較大之電場。較大之電場容許較快之轉態，即電子在較大之電場中比在較小之電場中可獲得較快之加速。

導熱率係指半導體材料耗散熱之能力。在典型之操作中，所有電晶體均會產生熱。結果，高功率與高頻電晶體通常會比小型信號電晶體產生較大之熱。隨著半導體材料溫度增高時，接面洩漏電流大體上會增加，且經過場效電晶體之電流大體上會隨溫度增高而減少，因為載子活動性隨溫度增高而減低。因此，如果熱由半導體消散，材料將可維持低溫而可承載較大之電流及較低之洩漏電流。

在先前，最高頻之金屬半導體場效電晶體曾由例如砷化鎵(GaAs)之n-型第III至V族化合物製造出，因為其高電子活動性。雖然這些裝置提供增加操作頻率且適度增加功率操

(3)

作能力，這些材料相對較低之崩潰電壓及低導熱率已限制其在高功率上之用途。

碳化矽(SiC)多年來已為人習知其具有優異之物理與電子性質，理論上應容許產製比矽(Si)或砷化鎵製成之裝置更能在較高溫、較高功率及較高頻下操作之電子裝置。約 4×10^6 伏特/公分之高電性崩潰電場、約 2.0×10^7 公分/秒之高飽和電子漂移速度與約 4.9 瓦/公分 $^\circ\text{K}$ 之高導熱率代表碳化矽將可適用於高頻、高功率之用途。美中不足的是製造上的困難度限制了碳化矽在高功率與高頻上之用途。

近來，具有碳化矽通道層的金屬半導體場效電晶體已被產製於矽基板上(參見頒予Suzuki等之美國專利第4,762,806號及頒予Kondoh等之4,757,028號專利)。因為金屬半導體場效電晶體之半導體層係經磊晶，各個磊晶層成長之層影響該裝置的特徵。因此，成長於一矽基板之碳化矽磊晶層與成長於其他基板上之碳化矽磊晶層大體上具有不同之電性及熱力學特徵。雖然揭示於美國專利第4,762,806號及4,757,028號之碳化矽形成於矽基板的裝置可能已顯示其在熱力學特徵上之改進，其使用矽基板大體上限制了此裝置消散熱量之能力。再者，在矽上形成碳化矽大體上導致磊晶層內之缺陷，進而導致裝置操作時之高洩漏電流。

其他使用碳化矽基板之金屬半導體場效電晶體已被開發出。於1990年6月19日申請但已放棄之美國專利申請案序號第07/540,488號(其所揭露以引用方式併入本文)描述一碳

(4)

化矽金屬半導體場效電晶體，具有成長碳化矽基板上之碳化矽磊晶層。這些裝置顯示已比先前裝置改進了熱力學特徵，因為其改進成長於碳化矽基板上之磊晶層的晶體品質。然而要獲得高功率與高頻，必須能克服碳化矽低電子活動性所帶來之限制。

同樣地，共同讓渡予Palmour之美國專利第5,270,554號描述一碳化矽金屬半導體場效電晶體，具有源極與汲極接觸形成在碳化矽之 n^+ 區上及一附加輕微摻雜磊晶層介於基板與 n -型層間，在其中形成了通道。頒予Sriram等之美國專利第5,925,895號亦描述碳化矽金屬半導體場效電晶體及其結構，該結構經描述為可克服減低金屬半導體場效電晶體高頻操作性能之「表面效應」。Sriram等亦描述使用 n^+ 源極與汲極接觸區及 p -型緩衝層之碳化矽金屬半導體場效電晶體。然而，除了這些專利揭示之性能外，仍可進一步達成在碳化矽金屬半導體場效電晶體上之改進。

例如，習知碳化矽場效電晶體結構使用一極薄、高度摻雜通道(三角狀摻雜通道)，其藉一相似導電係數型之輕微摻雜區與閘極並列，而可在場效電晶體整個操作範圍(例如由全開通道至接近截斷電壓)內提供固定特徵。三角狀摻雜通道曾經由Yokogawa等於2000年MRS秋季討論會在標題為「氮氣三角狀摻雜碳化矽層之電子性質」一文中揭示，及由Konstantinov等於2000年MRS秋季討論會在標題「低-高-低與三角狀摻雜碳化矽結構之調查」一文中揭示。這些文獻中討論之結構使用三角狀摻雜通道且具有符合高功率用

(5)

途需求之高崩潰電壓。然而，這些裝置也因為三角狀摻雜通道較低之活動性，而增加不符合需求之源極與汲極電阻。源極與汲極增加之電阻通常無法簡單地以增加三角狀摻雜通道之載子濃度來克服，因為此舉可能降低上文說明中被視為裝置重要特徵之崩潰電壓。

發明概要

本發明具體實施例提供一種金屬半導體場效電晶體(MESFET)單元胞。金屬半導體場效電晶體單元胞包括具有一源極、一汲極及一閘極之三角形摻雜碳化矽金屬半導體場效電晶體。閘極係位於源極與汲極間且延伸入一第一導電係數型之摻雜通道層。碳化矽區鄰近源極與汲極且分別在源極與閘極以及汲極與閘極間延伸。碳化矽區具有之載子濃度大於摻雜通道層之載子濃度。碳化矽區也與閘極隔開。

在本發明進一步具體實施例中，三角狀摻雜碳化矽金屬半導體場效電晶體及碳化矽區包括一碳化矽基板及在該基板上的一第一導電係數型之碳化矽三角狀摻雜層。在三角狀摻雜層上之第一導電係數型碳化矽的三角狀摻雜層通道層具有之載子濃度小於至少一摻雜通道層之載子濃度。摻雜通道層上之歐姆接觸可分別界定該源極與汲極。在摻雜通道層上之第一導電係數型碳化矽的罩蓋層具有之載子濃度大於摻雜通道層之載子濃度。一第一凹陷係位於源極與汲極之間。第一凹陷具有由罩蓋層延伸一第一距離而至摻雜通道層的第一底板。閘極係位於第一凹陷之內且延伸至

(6)

該摻雜通道層。一第二凹陷位於源極與汲極之間，且具有經由罩蓋層延伸一第二距離(第二距離小於第一距離)而至摻雜通道層的一第二底板。第二凹陷具有個別之側壁，該側壁分別介於個別之源極與閘極間以及汲極與閘極間，且與閘極、源極及汲極隔開，以界定分別在源極與閘極間以及汲極與閘極間之一延伸的罩蓋層區以提供碳化矽區。

在本發明進一步具體實施例中，第二凹陷之第二底板延伸一第三距離進入摻雜通道層。碳化矽基板可為一半導體絕緣碳化矽基板。第一導電係數型矽可為n-型導電係數碳化矽或p-型導電係數碳化矽。在本發明再進一步之具體實施例中，碳化矽區可為植入區。

在本發明另一具體實施例中，碳化矽區以單一成長步驟成長於三角狀摻雜層與摻雜通道層。在本發明進一步具體實施例中，三角狀摻雜層、摻雜通道層及罩蓋層係成長於基板上。

在本發明另外之具體實施例中，罩蓋層具有之載子濃度可從約 3×10^{17} /立方公分至約 6×10^{17} /立方公分且其厚度由約500埃(Å)至約1000埃。三角狀摻雜層具有之載子濃度可從約 2×10^{18} /立方公分至約 3×10^{18} /立方公分且其厚度由約200埃至約300埃。摻雜通道層具有之載子濃度可從約 1×10^{16} /立方公分至約 5×10^{16} /立方公分且其厚度由約1800埃至約3500埃。

在本發明進一步具體實施例中，金屬半導體場效電晶體進一步包括介於基板與三角狀摻雜層之第二導電係數型碳

(7)

化矽的一緩衝層。對一p-型緩衝層而言，緩衝層具有之載子濃度可從約 1.0×10^{16} /立方公分至約 6×10^{16} /立方公分，但通常約為 1.5×10^{16} /立方公分。緩衝層具有之厚度由約0.2微米至約0.5微米。對一n-型緩衝層而言，緩衝層具有之載子濃度約為 1×10^{15} /立方公分左右，而具有之厚度約為0.25微米。第二導電係數型碳化矽可為p-型導電係數碳化矽、n-型導電係數碳化矽或未摻雜碳化矽。

在本發明再進一步之具體實施例中，金屬半導體場效電晶體可進一步包括位於源極與汲極下方之第一導電係數型碳化矽區，其具有之載子濃度大於摻雜通道層之載子濃度。第一導電係數型碳化矽區具有之載子濃度可至少約為 1×10^{19} /立方公分。在本發明另一具體實施例中，金屬半導體場效電晶體可進一步包括在罩蓋層與摻雜通道層上的一氧化層。在本發明進一步具體實施例中，歐姆接觸包含鎳接觸。金屬半導體場效電晶體可進一步包含在歐姆接觸上的一覆蓋層。

在本發明再進一步具體實施例中，三角狀摻雜層與摻雜通道層形成一具有側壁以界定電晶體周邊之高台，且經由三角狀摻雜層與摻雜通道層延伸。高台之側壁可或可不延伸進入基板。

在本發明另外之具體實施例中，第一距離可從約0.07微米至約0.25微米，而第二距離可從約500埃至約1000埃。閘極可包括一在摻雜通道層上的一鉻第一閘極層，及在包含鉑與金之第一閘極層上的一覆蓋層。另一選擇是，閘極可

(8)

包括一在摻雜通道層上的一鍍第一閘極層及在第一閘極層上的覆蓋層，其中該覆蓋層包含金。閘極具有之長度可從約0.4微米至約0.7微米。由源極至閘極距離可從約0.5微米至約0.7微米。由汲極至閘極之距離可從約1.5微米至約2微米。源極與第二凹陷之第一個側壁的距離可從約0.1微米至約0.4微米，而汲極與第二凹陷之第二側壁的距離可從0.9微米至約1.7微米。第二凹陷之第一個側壁與閘極之距離可從約0.3微米至約0.6微米，而第二凹陷之第二個側壁與閘極之距離可從約0.3微米至約0.6微米。包含複數個單元胞之電晶體內的一第一閘極與第二閘極之距離可從約20微米至約50微米。

雖然上文說明中本發明主要係參考碳化矽金屬半導體場效電晶體，本發明也提供碳化矽金屬半導體場效電晶體之製造方法。

圖式之簡單說明

圖1係依據在本發明具體實施例一金屬半導體場效電晶體(MESFET)之剖面圖；及

圖2A至2H顯示依據本發明具體實施例製作金屬半導體場效電晶體之製程步驟。

發明之詳細說明

現將參考圖1與示範本發明各種具體實施例之圖2A至2H加以說明本發明。基於示範之需要，如附圖所示之各層或區之尺寸均經誇飾以示範本發明之結構。再者，本發明各種觀點係參考形成於一基板或其他層上的一層而加以說明

(9)

。如熟習本技藝者瞭解所謂參考形成於一基板或其他層上的一層可預期有另外之層插置於其間。形成於一基板或另一層上的一層而無中間層介入者，在本文中之說明形式將為「直接」在該層或基板上。相同的編號在所有圖面中代表相同的元件。

現將參考圖1與示範本發明各種具體實施例與本發明各種具體實施例之製造過程的圖2A至2H加以說明本發明。本發明提供之金屬半導體場效電晶體(MESFET)具有一三角狀摻雜層(即極薄而高度摻雜層)，其藉由相對於三角狀摻雜層係較輕微摻雜之摻雜通道層而與閘極並列。如下文中說明，提供相較於習知金屬半導體場效電晶體而言可增加崩潰電壓與降低源極與汲極電阻之雙重凹陷閘極結構。依據本發明具體實施例之金屬半導體場效電晶體可使用下文中說明之現存製造技藝加以製造。依據本發明具體實施例之金屬半導體場效電晶體可用於例如高效率線性功率放大器之基地台，如使用複合調變系統(如分碼多向近接(CDMA)及/或寬頻分碼多向近接(WCDMA))。

現將參考圖1詳加說明本發明具體實施例之金屬半導體場效電晶體(MESFET)。如圖1所示，提供p-型、n-型導電或半絕緣的一單一晶體主體碳化矽(SiC)基板10。該基板可由6H、4H、15R或3C族之碳化矽中選出之碳化矽所組成。

一附加之p-型碳化矽緩衝層12可設置於基板10上。附加之緩衝層12最好由6H、4H、15R或3C多晶型之p-型導電係數碳化矽組成。緩衝層具有之載子濃度可從約 1×10^{16} /立方

(10)

公分至約 6×10^{16} /立方公分，但通常約為 1.5×10^{16} /立方公分。適合之摻雜劑包括鋁、硼與鎵。緩衝層12具有之厚度由約0.2微米至約0.5微米。雖然上文中說明之緩衝層12係p-型碳化矽，本發明亦不受限於此一配置。另一選擇是，緩衝層可為未摻雜碳化矽或極低摻雜之n-型導電係數碳化矽。如果緩衝層12使用一低摻雜碳化矽，緩衝層12之載子濃度最好少於 5×10^{15} /立方公分。如果使用未摻雜或n-型緩衝層12，基板10最好為一半絕緣碳化矽基板。

緩衝層12可沉積於基板10與可為n-型或p-型碳化矽之三角狀摻雜層14間。三角狀摻雜層14通常具有均勻分佈在一極薄、二次元之層內的摻入雜質，且具有一高載子濃度。然而，三角狀摻雜層14也可有一具高載子濃度而附有一或多數個突出之摻雜輪廓(即表示三角狀摻雜層14通常具有深度變化之不同部份的載子濃度)。

全部為n-型碳化矽之三角狀摻雜層14、摻雜通道層16與罩蓋18層可如圖1所示設於基板10上。因此，摻雜通道層16係位於三角狀摻雜層14之上，而罩蓋層18係位於摻雜通道層16之上。如果附加緩衝層12係設於基板10上，三角狀摻雜層14、摻雜通道層16與罩蓋層18可設於附加之緩衝層12上。因為如上文說明之三角狀摻雜層可在其摻雜輪廓內含有單一突出或多數個突出，摻雜通道層16具有之載子濃度小於三角狀摻雜層14之摻雜輪廓內之至少一突出。摻雜通道層16之載子濃度也小於罩蓋層18之載子濃度。因此，摻雜通道層16相較於三角狀摻雜層14與罩蓋層18而言係屬輕

(11)

微摻雜(即具有較小之載子濃度)。

三角狀摻雜層14可由6H、4H、15R或3C多晶型之n-型導電係數碳化矽組成。三角狀摻雜n-型層之N-型載子濃度適於從約 2×10^{18} /立方公分至約 3×10^{18} /立方公分。適合之摻雜劑包括氮與磷。三角狀摻雜層14具有之厚度由約200埃至約300埃。摻雜通道層16具有之載子濃度可從約 1×10^{16} /立方公分至約 5×10^{16} /立方公分，且可由6H、4H、15R或3C多晶型之n-型導電係數碳化矽。摻雜通道層16可進一步具有載子濃度從約1800埃至約3500埃。最後，罩蓋層18具有之載子濃度可從約 3×10^{17} /立方公分至約 6×10^{17} /立方公分，而厚度由約500埃至約1000埃。

儘管上文中說明之三角狀摻雜層14、摻雜通道層16與罩蓋層18為n-型導電係數碳化矽，應瞭解本發明不受限於此配置。另一選擇是，例如在一互補裝置中，三角狀摻雜層14、摻雜通道層16與罩蓋層18可為p-型導電係數碳化矽。

如圖1進一步顯示， n^+ 區13與17係分別設於該裝置之源極與汲極區。如本文中所使用，「 n^+ 」或「 p^+ 」代表經界定為比出現在相同層或其他層或基板之鄰近或其他區內具有較高載子濃度之區域。區13與17通常為n型導電係數碳化矽且具有之載子濃度大於載子摻雜通道層16之濃度。對 n^+ 區13與17而言，約 1×10^{19} /立方公分之載子濃度是較適宜，但最好載子濃度能儘可能的高。

歐姆接觸26與22可設於植入區13與17上，且經隔開以便提供一源極接觸26與一汲極接觸22。歐姆接觸26與22較佳

(12)

是由鎳或其他適合之金屬組成。一氧化層20可進一步設於該裝置露出之表面上。

依據本發明具體實施例之金屬半導體場效電晶體包括一第一凹陷段與一第二凹陷段。第一凹陷段具有一底板，其經由罩蓋層18延伸約500埃到1000埃之距離而到達摻雜通道層16。第二凹陷段設於第一凹陷段之側壁34、36間。第一凹陷段之第一側壁34介於源極26與閘極24間，而第一凹陷段之第二側壁36介於汲極22與閘極24間。第二凹陷段之底板延伸進入摻雜通道層16約0.07微米至0.25微米之距離。第一凹陷段之底板可更延伸進入摻雜通道層16，例如約再伸入100埃，但不能太深入摻雜通道層16而到達第二凹陷段之底板。再者，源極26與第一凹陷結構之第一側壁34之距離可從約0.1微米至約0.4微米。汲極22與第一凹陷結構之第二側壁36的距離可從約0.9微米至1.7微米。第一凹陷段之第一側壁34與閘極24之距離可從約0.3微米至約0.6微米。第一凹陷段之第二側壁36與閘極24之距離約從0.3微米至約0.6微米。

應瞭解雖然上文中說明之凹陷段稱為第一與第二凹陷段，這些凹陷段並不受限於這些術語。這些術語僅用於一凹陷段與其他凹陷段之區分。因此，上文中說法之第一凹陷段可稱為第二凹陷段，而同理上文中之第二凹陷段可稱為第一凹陷段。

閘極接觸24係設於第二凹陷段而介於第一凹陷段之側壁34、36間。閘極接觸24可由鉻、鉬或矽化鉬、鎳或氮化鎢

(13)

銻組成，然而其他金屬例如金等熟習本技藝人士所知可達到蕭特基效應之材料也可使用。然而，蕭特基閘極接觸24通常具有三層之結構。此一結構因為其對鉻(Cr)之高黏合性而具有優勢例如，閘極接觸24可附帶地包括接觸摻雜通道層16的一鉻(Cr)第一閘極層。閘極接觸24可進一步包括一鉑(Pt)、金46或其他高導電金屬之覆蓋層。另一選擇是，閘極接觸24可包括在摻雜通道層16上之第二凹陷段底板上的第一鎳層。閘極接觸24可進一步包括一在第一鎳層上之覆蓋層，其包括一層金。如顯示，附加之金屬覆蓋層28、30與32可設於源極與汲極接觸26與22及與閘極接觸24上。覆蓋層28、30與32可為金、銀、鋁、鉑與銅。其他適合之高導電金屬也可用於覆蓋層。

位於閘極接觸下方之n-型導電係數區的厚度界定了該裝置通道區之剖面高度，且係依據該裝置需求之截斷電壓與載子濃度而加以選定。已知摻雜通道層與三角狀摻雜層之載子濃度，在已知截斷電壓下這些層之深度可使用熟習本技藝人士所知之方法輕易計算出。因此，需求選擇摻雜通道層之厚度與載子濃度以提供大於-3伏特(最好大於-5伏特)之截斷電壓。截斷電壓也可介於-3伏特與-20伏特間，但通常介於-5伏特與-15伏特間。

在選擇金屬半導體場效電晶體之尺寸時，閘極之寬度係界定為垂直於電流流動之閘極的尺寸。如圖1之剖面圖所示，閘極寬度係進出紙張之方向。閘極長度係平行電流動之閘極的尺寸。如圖1之剖面圖所示，閘極長度係接觸摻雜通

(14)

道層 16 之閘極 24 之尺寸。例如，依據本發明具體實施例之金屬半導體場效電晶體的閘極長度可從約 0.4 微米至約 0.7 微米。另一重要尺寸係如圖 1 之剖面圖所示由源極至閘極之距離，例如從源極接觸 26 或 n^+ 區 13 至閘極接觸 24 之距離。依據本發明具體實施例，源極至閘極之距離可從約 0.5 微米至約 0.7 微米。再者，由汲極 22 至閘極 24 之距離可從約 1.5 微米至約 2 微米。依據本發明之具體實施例進一步包括複數個金屬半導體場效電晶體單元胞，而該單元胞之第一閘極與第二閘極之距離可從約 20 微米至約 50 微米。

圖 2A 至 2H 顯示依據本發明具體實施例製造之場效電晶體。如圖 2A 中所見，一附加之緩衝層 12 可成長或沉積在一碳化矽基板 10 上。基板 10 可為一半絕緣碳化矽基板、一 p-型基板或一 n-型基板。附加緩衝層 12 可約為或較少於 1.5×10^{16} /立方公分之 p-型導電係數碳化矽。另一選擇是，緩衝層可為 n-型碳化矽或未摻雜碳化矽。

如果基板 10 係半絕緣，其可依共同讓與或共同審理中之美國專利申請案序號第 09/313,802 號標題為「未具釩優勢之半絕緣碳化矽」中之說明加以製造，該揭示係以引用方式全併入本文。此一半絕緣基板之製造，可藉由提供附有足夠高程度之點缺陷，以及 p-型與 n-型摻雜劑充分匹配之碳化矽基板，而使碳化矽基板之電阻率係由點缺陷所支配。此支配之達成可藉由提高溫度而以來源粉體製造碳化矽基板，其具有重金屬、暫態元件或其他深度陷入元件之濃度小於 1×10^{16} /立方公分，而最好小於 1×10^{14} /立方公分。例如，

(15)

溫度介於約攝氏2360度與2380度間，而可使用在約攝氏300度至約低於500度間之種晶。因此，最好半絕緣基板實質上不含重金屬、暫態元件或其他深度陷入元件(例如鈮)，以致基板之電阻率不受此類重金屬或暫態元件所支配。雖然半絕緣基板最好不含此類重金屬、暫態元件或其他深度陷入元件，如果此材料之出現並未實質上影響在此說明之金屬半導體場效電晶體的電氣性質時，可含有適量之此類元件而仍能得益於本發明之講授。

如圖2B中所見，一三角狀摻雜層14、一摻雜通道層16與一罩蓋層18經成長或沉積於附加緩衝層12上。應瞭解如果未包括緩衝層12，三角狀摻雜層、摻雜通道層16與罩蓋層18可成長或沉積在基板10上。如圖2B所示，三角狀摻雜層14形成於緩衝層12上，摻雜通道層16形成於三角狀摻雜層14上而罩蓋層18形成於摻雜通道層16上。應瞭解三角狀摻雜層14、摻雜通道層16與罩蓋層18可以單一成長步驟成長，藉由在第一次成長摻雜通道層16與第二次成長罩蓋層18時改變源極材料濃度。三角狀摻雜層14、摻雜通道層16與罩蓋層18也可在多數個成長步驟中成長。另一選擇是，罩蓋層18可藉由離子植入方式形成。

如圖2C所示，一遮罩45可形成以用於植入 n^+ 區13與17。區13與17通常藉由離子植入例如氮(N)或磷(P)，隨後施以高溫退火而形成。適當之退火度可從攝氏約1100度至約1600度。離子植入可施行於未經遮罩45覆蓋之區以形成如圖2D所示之 n^+ 區13與17。因此，離子被植入三角狀摻雜層14、

(16)

摻雜通道層16與罩蓋層18的一部份，以提供比摻雜通道層16具有較高載子濃度之 n^- 型導電係數碳化矽的高度摻雜區。植入後，摻雜劑經退火以活性化植入。

如圖2D中所見，基板10、緩衝層12、三角狀摻雜層14、摻雜通道層16、罩蓋層18與 n^+ 區13與17可經蝕刻以形成界定該裝置周邊的一隔離高台。基板10、三角狀摻雜層14、摻雜通道層16、罩蓋層18與 n^+ 區13與17形成之高台具有界定電晶體周邊之側壁。高台之側壁向下延伸經過裝置之三角狀摻雜層14。通常高台係形成以延伸進入裝置之基板10，如圖2C。高台可延伸經過裝置之電子空泛區以限制裝置內流至高台之電流及減低裝置之電容。如果裝置之電子空泛區延伸至高台之下，則其可能擴散至高台外部之範圍而產生較大之電容值。高台較佳係藉由反應式離子蝕刻上述裝置而形成，然而其他熟習本技藝人士所知之方法均可用以形成高台。再者，如果未使用高台，該裝置可使用其他方式例如光子轟擊、以補償原子逆摻雜或其他熟習本技藝人士所知之方法加以隔離。

圖2D進一步例示金屬半導體場效電晶體之第一凹陷43的形成。第一凹陷43之形成可藉由形成第一凹陷43的一遮罩47而後蝕刻穿過罩蓋層18約500埃至約1000埃之距離以依據遮罩47而形成凹陷。罩蓋層18經蝕刻而至少穿過摻雜通道層16以形成第一凹陷43。第一凹陷43可藉由蝕刻製程而形成，例如一乾式或濕式蝕刻製程。另一選擇是，蝕刻可進一步繼續深入摻雜通道層16如約100埃。蝕刻第一凹陷

(17)

以致該凹陷延伸進入摻雜通道層16，但最好不要使其達摻雜通道層16。

圖2E例示在第一凹陷43如上文中說明形成後的一氧化層20之組成。氧化層可成長或沉積於現有結構之曝露表面上，即在隔離高台 n^+ 區13與17、第一凹陷43內之罩蓋層18與摻雜通道層16。氧化製程移除可能因蝕刻製程而損壞之碳化矽，且也使在蝕刻時可能產生之粗糙表面光滑化。此舉可使在下文將說明之閘極金屬化前施行的第二凹陷蝕刻可以較淺些，使通常不易處理之次表面損壞及表面粗糙度減至最低。

接觸窗口可經蝕刻穿過氧化層20而至 n^+ 區13與17。鎳可經蒸發以沉積源極與汲極接觸26與22而後退火以形成如圖2F之歐姆接觸。此沉積與退火製程可使用其他熟習本技藝人士所知之習知技藝實施。例如，歐姆接觸可在攝氏約1050度下退火約2分鐘。然而其他時間與溫度(例如溫度由約攝氏800度至約1150度，及時間從約30秒至約10分鐘)也可使用。

圖2G例示金屬半導體場效電晶體閘極結構的一第二凹陷之組成。第二凹陷40之形成可藉由形成供第二凹陷用的一遮罩49，而後依據遮罩49而蝕刻成凹陷。摻雜通道層16可經蝕刻約0.07微米至約0.25微米之距離以形成凹陷40。應瞭解蝕刻穿過摻雜通道層16的距離並不包括蝕刻穿過氧化層20之部份。

上文中說明之第一與第二凹陷43與40可藉由乾式蝕刻形

(18)

成，例如電子粒子迴旋加速器共振(ECR)或感應耦合電漿(ICP)蝕刻。另一選擇是，上文中說明之凹陷可以雙重凹陷製程在二步驟中形成。例如，蕭特基閘極接觸24可穿過一氧化層20且進入摻雜通道層16而形成於第二凹陷段。氧化層20可首先經蝕穿而後第二次施行蝕刻以蝕刻進入摻雜通道層16。第一次蝕刻之深度可直通氧化層20，或者其可能僅部份穿過氧化層20。第二次蝕刻進入摻雜通道層16之較佳深度係從約0.07微米至約0.25微米。同理，第一凹陷段可經二階段蝕刻，首先如上文中說明蝕穿罩蓋層18而延伸至或進入摻雜通道層16。

二階段蝕刻可比單一蝕刻製程具有許多之優勢。其一優勢係第一蝕刻可在晶圓金屬化前施行，允許在蝕刻相關第一凹陷段後著成長一熱氧化物。熱氧化製程可移除可能因蝕刻製程而損壞之碳化矽，且也使在蝕刻時可能產生之粗糙表面光滑化。此舉可使在下文將說明之閘極金屬化前施行的第二凹陷蝕刻可以較淺些，使通常不易處理之次表面損壞及表面粗糙度減至最低。二階段蝕刻的另一優勢可能係較淺之第二次蝕刻可減低經蝕刻之側壁的閘極接觸。此可使接觸面積及損壞材料之可能減至最低，而減低接觸面積也可減低閘極電容，因而改善電晶體之頻率響應。

圖2H例示如上文中說明之閘極接觸24與附加之覆蓋層28、30與32之組成。例如，一鉻層可沉積在第二凹陷40內。通常鉻層係藉由蒸發沉積而形成。可藉由沉積鉑與金而完成閘極結構。熟習本技藝人士將瞭解，覆蓋層28與30可在

(19)

閘極結構形成前或後形成。事實上，如果使用鈦/鉑/金結構，覆蓋層之鉑與金部份可在形成閘極結構之鉑與金部份 32 之相同製程步驟中形成。因此，覆蓋層 28 與 30 可在形成一閘極接觸前或在形成一閘極接觸後形成。

如上文之簡要說明，依據本發明具體實施例之金屬半導體場效電晶體具有一雙重凹陷閘極結構，其相對於習知之金屬半導體場效電晶體可同時增加崩潰電壓及減低源極與汲極電阻。此提供之優勢使用三角狀摻雜層犧牲源極與汲極電阻以獲得高崩潰電壓而勝過習知之場效電晶體。

在圖式與說明書中揭示本發明的典型較佳具體實施例，雖然使用特定術語，但是說明中普遍使用這些專有術語，且僅供說明而無限制的用意，本發明的領域全揭示於下列申請專利範圍中。

圖式代表符號說明

10	基板
12	緩衝層
13	植入區
14	三角狀摻雜層
16	摻雜通道層
17	植入區
18	罩蓋層
20	氧化層
22	汲極
24	閘極

(20)

26		源極
28		覆蓋層
30		覆蓋層
32		覆蓋層
34		側壁
36		側壁
40		第二凹陷
43	-	第一凹陷
45		遮罩
46		金覆蓋層
47		遮罩
49		遮罩

肆、中文發明摘要

本發明揭示提供一種金屬半導體場效電晶體(MESFET)之單元胞。金屬半導體場效電晶體之單元胞包括具有一源極、一汲極及一閘極之三角形摻雜碳化矽金屬半導體場效電晶體。閘極係位於源極與汲極之間，且延伸入一第一導電係數型之摻雜通道層。碳化矽區鄰近源極與汲極且分別在源極與閘極以及汲極與閘極間延伸。碳化矽區具有之載子濃度大於摻雜通道層之載子濃度且由閘極隔開。

伍、英文發明摘要

The present invention provides a unit cell of a metal-semiconductor field-effect transistor (MESFET). The unit cell of the MESFET includes a delta doped silicon carbide MESFET having a source, a drain and a gate. The gate is situated between the source and the drain and extends into a doped channel layer of a first conductivity type. Regions of silicon carbide adjacent to the source and the drain extend between the source and the gate and the drain and the gate, respectively. The regions of silicon carbide have carrier concentrations that are greater than a carrier concentration of the doped channel layer and are spaced apart from the gate.

陸、(一)、本案指定代表圖為：第_____圖

(二)、本代表圖之元件代表符號簡單說明：

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種金屬半導體場效電晶體(MESFET)之單元胞，其包含：

一三角狀摻雜碳化矽金屬半導體場效電晶體，其具有一源極、一汲極與一閘極，該閘極位於該源極與該汲極間且延伸進入一第一導電係數型式的一摻雜通道層；及

鄰近該源極與該汲極之碳化矽區，且分別在該源極與該閘極間以及在該汲極與該閘極間延伸，該區具有之載子濃度大於該摻雜通道層之載子濃度且與該閘極隔開。

2. 如申請專利範圍第1項之單元胞，其中該三角狀摻雜碳化矽金屬半導體場效電晶體與該碳化矽區包含：

一碳化矽基板；

位於該基板第一導電係數型碳化矽上的一三角狀摻雜層；

該三角狀摻雜層上該第一導電係數型碳化矽的該摻雜通道層具有之載子濃度小於該三角狀摻雜層之至少一載子濃度；

摻雜通道層上之歐姆接觸，其分別界定該源極與該汲極；

在該摻雜通道層上之該第一導電係數型碳化矽的一罩蓋層，其具有之載子濃度大於該摻雜通道層之載子濃度；

一第一凹陷位於該源極與該汲極之間，該第一凹陷具

有經由該罩蓋層延伸一第一距離而至該摻雜通道層的第一底板；

位於該第一凹陷內之該閘極，且延伸進入該摻雜通道層；及

一第二凹陷位於該源極與該汲極之間，其具有經由該罩蓋層而延伸一第二距離(小於該第一距離)至該摻雜通道層的一第二底板，該第二凹陷分別具有介於該源極與該閘極間以及該汲極與該閘極之個別的側壁，且與該閘極、該源極及該汲極隔，以界定分別在該源極與該閘極間以及該汲極與該閘極間之一延伸之該罩蓋層區，以提供該碳化矽區。

3. 如申請專利範圍第2項之單元胞，其中該第二凹陷之該第二底板延伸一第三距離而進入該摻雜通道層。
4. 如申請專利範圍第2項之單元胞，其中該碳化矽基板包含一半絕緣碳化矽基板。
5. 如申請專利範圍第1項之單元胞，其中該第一導電係數型碳化矽包含n-型導電係數碳化矽。
6. 如申請專利範圍第1項之單元胞，其中該第一導電係數型碳化矽包含p-型導電係數碳化矽。
7. 如申請專利範圍第1項之單元胞，其中該碳化矽區係植入區。

8. 如申請專利範圍第1項之單元胞，其中該碳化矽區係以一單一成長步驟成長於該三角狀摻雜層與該摻雜通道層。
9. 如申請專利範圍第2項之單元胞，其中該三角狀摻雜層、該摻雜通道層與該罩蓋層係沉積於該基板上。
10. 如申請專利範圍第2項之單元胞，其中該罩蓋層具有之載子濃度從約 3×10^{17} /立方公分至約 6×10^{17} /立方公分。
11. 如申請專利範圍第2項之單元胞，其中該罩蓋層具有之厚度由約500埃至約1000埃。
12. 如申請專利範圍第2項之單元胞，其中該三角狀摻雜層具有之載子濃度可從約 2×10^{18} /立方公分至約 3×10^{18} /立方公分。
13. 如申請專利範圍第2項之單元胞，其中該三角狀摻雜層具有之厚度從約200埃至約300埃。
14. 如申請專利範圍第2項之單元胞，其中該摻雜通道層具有之載子濃度從約 1×10^{16} /立方公分至約 5×10^{16} /立方公分。
15. 如申請專利範圍第2項之單元胞，其中該摻雜通道層具有之厚度從約1800埃至約3500埃。
16. 如申請專利範圍第2項之單元胞，進一步包含：

一第二導電係數型碳化矽的一緩衝層，介於該基板與該三角狀摻雜層之間。

17. 如申請專利範圍第16項之單元胞，其中該緩衝層具有之載子濃度約 1.0×10^{16} /立方公分至約 6×10^{16} /立方公分。
18. 如申請專利範圍第16項之單元胞，其中該緩衝層具有之厚度約為0.5微米。
19. 如申請專利範圍第16項之單元胞，其中該第二導電係數型碳化矽係p-型導電係數碳化矽。
20. 如申請專利範圍第16項之單元胞，其中該第二導電係數型碳化矽係n-型導電係數碳化矽。
21. 如申請專利範圍第16項之單元胞，其中該第二導電係數型碳化矽係未摻雜碳化矽。
22. 如申請專利範圍第2項之單元胞，進一步包含：

一第一導電係數型碳化矽區，位於該源極與該汲極下方且具有之載子濃度大於該摻雜通道層之該載子濃度。

23. 如申請專利範圍第22項之單元胞，其中該第一導電係數型碳化矽該區具有的一載子濃度至少約為 1×10^{19} /立方公分。
24. 如申請專利範圍第2項之單元胞，進一步包含一位於該單蓋層與該摻雜通道層上之氧化層。

25. 如申請專利範圍第2項之單元胞，其中該歐姆接觸包含鎳接觸。
26. 如申請專利範圍第2項之單元胞，進一步包含一覆蓋層位於該歐姆接觸上。
27. 如申請專利範圍第2項之單元胞，其中該三角狀摻雜層與該摻雜通道層形成的一高台具有側壁，該側壁界定該電晶體之周邊且延伸經過該三角狀摻雜層與該摻雜通道層。
28. 如申請專利範圍第27項之單元胞，其中該高台之該側壁延伸進入該基板。
29. 如申請專利範圍第2項之單元胞，其中該第一距離係由約0.08微米至約0.25微米。
30. 如申請專利範圍第2項之單元胞，其中該閘極包含鉻的第一閘極層於該摻雜通道層之上。
31. 如申請專利範圍第30項之單元胞，其中該閘極進一步包含一覆蓋層在該第一閘極層上，其中該覆蓋層包含鉑與金。
32. 如申請專利範圍第2項之單元胞，其中該閘極包含一在該摻雜通道層上之鎳的第一閘極層。
33. 如申請專利範圍第32項之單元胞，其中該閘極進一步包含一覆蓋層在該第一閘極層上，其中該覆蓋層包含金。

34. 如申請專利範圍第1項之單元胞，其中該閘極具有之長度由約0.4微米至約0.7微米。
35. 如申請專利範圍第1項之單元胞，其中由該源極至該閘極的一距離係由約0.5微米至約0.7微米。
36. 如申請專利範圍第1項之單元胞，其中由該源極至該閘極的一距離係由約1.5微米至約2微米。
37. 如申請專利範圍第2項之單元胞，其中該第二距離係由約500埃至約1000埃。
38. 如申請專利範圍第2項之單元胞，其中該源極與該第二凹陷的一第一側壁間的一距離係由約0.1微米至約0.4微米；及
其中該汲極與該第二凹陷的一第二側壁間的一距離係由約0.9微米至約1.7微米。
39. 如申請專利範圍第2項之單元胞，其中該第二凹陷的一第一側壁與該閘極間的一距離係由約0.3微米至約0.6微米；及
其中該第二凹陷的一第二側壁距離與該閘極間的一距離係由約0.3微米至約0.6微米。
40. 一種金屬半導體場效電晶體(MESFET)，包含複數個如申請專利範圍第1項之單元胞，其中由一第一閘極至一第二閘極的一距離係由約20微米至約50微米。

41. 一種形成金屬半導體場效電晶體(MESFET)之方法，其包含：

形成具有一源極、一汲極與一閘極的一三角狀摻雜碳化矽摻雜碳化矽金屬半導體場效電晶體，該閘極位於該源極與該汲極間且延伸進入一第一導電係數型的一摻雜通道層；及

形成鄰近該源極與該汲極之碳化矽區，且分別在該源極與該閘極間以及該汲極與該閘極間延伸，該區具有之載子濃度大於該摻雜通道層之載子濃度且與該閘極隔開。

42. 如申請專利範圍第41項之方法，其中形成一三角狀摻雜碳化矽金屬半導體場效電晶體與形成該碳化矽區包含：

形成一第一導電係數型碳化矽的一三角狀摻雜層於一碳化矽基板上；

形成該第一導電係數型碳化矽的該摻雜通道層於該三角狀摻雜層上，其具有之載子濃度小於該三角狀摻雜層至少一載子濃度；

形成歐姆接觸於摻雜通道層上，其分別界定該源極與該汲極；

形成該第一導電係數型碳化矽的一罩蓋層於該摻雜通道層上，且具有之載子濃度大於該摻雜通道層之該載子濃度；

形成一第一凹陷位於該源極與該汲極之間，該第一凹陷具有經由該罩蓋層延伸一第一距離而至該摻雜通道層

的一第一底板；

形成該閘極於該第一凹陷內且延伸進入該摻雜通道層；及

形成一第二凹陷介於該源極與該汲極之間，其具有經由該罩蓋層而延伸一第二距離(小於該第一距離)至該摻雜通道層的一第二底板，該第二凹陷分別具有介於該源極與該閘極以及介於該汲極與該閘極間之個別的側壁，且與該閘極、該源極及該汲極隔開，以分別界定在該源極與該閘極間以及該汲極與該閘極間之一延伸之該罩蓋層區，以提供該碳化矽區。

43. 如申請專利範圍第42項之方法，其中形成一三角狀摻雜層、一摻雜通道層與一罩蓋層之步驟包含以一單一成長步驟磊晶地成長該三角狀摻雜層、該摻雜通道層與該罩蓋層之步驟。
44. 如申請專利範圍第43項之方法，其中在該單一成長步驟中的一源極材料濃度在成長該摻雜通道層時第一次改變，而在成長該罩蓋層時第二次改變。
45. 如申請專利範圍第43項之方法：

其中形成一罩蓋層之步驟包含植入該第一導電係數型之摻雜劑進入該摻雜通道層。
46. 如申請專利範圍第42項之方法，其中形成一三角狀摻雜層、一摻雜通道層與一罩蓋層之步驟包含沉積該三角狀摻雜層、沉積該摻雜通道層與沉積該罩蓋層之步驟。
47. 如申請專利範圍第42項之方法，其中該第一導電係數型

- 碳化矽包含n-型導電係數碳化矽。
48. 如申請專利範圍第42項之方法，其中該第一導電係數型碳化矽包含p-型導電係數碳化矽。
49. 如申請專利範圍第42項之方法，進一步包含在該基板與該三角狀摻雜層間形成一緩衝層之步驟。
50. 如申請專利範圍第49項之方法，其中形成一緩衝層包含形成一p-型導電係數碳化矽層之步驟。
51. 如申請專利範圍第49項之方法，其中形成一緩衝層包含形成一n-型導電係數碳化矽層之步驟。
52. 如申請專利範圍第49項之方法，其中形成一緩衝層包含形成一未摻雜碳化矽層之步驟。
53. 如申請專利範圍第42項之方法，其中形成歐姆接觸之步驟包含：
- 蝕刻一接觸窗口，係經由鄰近該金屬半導體場效電晶體的一源極區內之該罩蓋層；及
- 形成該歐姆接觸於該接觸窗口內。
54. 如申請專利範圍第42項之方法，該方法進一步包含：
- 植入n-型摻雜劑至該源極與汲極下方之區，以提供具有比該摻雜通道層之載子濃度更高之n-型導電係數碳化矽的一高度摻雜區；
- 其中形成歐姆接觸之步驟包含形成歐姆接觸於該高度摻雜區。
55. 如申請專利範圍第54項之方法，進一步包含蝕刻該三角狀摻雜層、該摻雜通道層、該罩蓋層與該高度摻雜區以

形成一高台之步驟。

56. 如申請專利範圍第54項之方法，其中植入n-型摻雜劑之步驟進一步包含將該n-型摻雜劑退火以活性化該n-型摻雜劑。
57. 如申請專利範圍第42項之方法，進一步包含成長一氧化層於該金屬半導體場效電晶體上之步驟。
58. 如申請專利範圍第42項之方法，進一步包含沉積一氧化層於該金屬半導體場效電晶體上之步驟。
59. 如申請專利範圍第42項之方法，其中形成該第二凹陷包含：
 - 形成一遮罩於該罩蓋層上，用於形成該第二凹陷；
 - 依據該遮罩蝕刻該第二距離穿過該罩蓋層而延伸至該摻雜通道層。
60. 如申請專利範圍第42項之方法，其中形成該第二凹陷包含：
 - 形成一遮罩於該罩蓋層上，用於形成該第二凹陷；
 - 依據該遮罩蝕刻該第二距離穿過該罩蓋層而延伸進入該摻雜通道層。
61. 如申請專利範圍第42項之方法，其中形成該第一凹陷包含：
 - 形成一遮罩，用於形成該第一凹陷；
 - 依據該遮罩蝕刻該第一距離而進入該第二底板。
62. 一種形成金屬半導體場效電晶體(MESFET)之方法，其包含：

形成一第二導電係數型之緩衝層於一碳化矽基板上；
依一單一成長步驟磊晶成長均為一第一導電係數型的一三角狀摻雜層、一摻雜通道層與一罩蓋層，一源極材料濃度在成長該摻雜通道層時第一次改變，而在成長該罩蓋層時第二次改變；

形成一遮罩，用於一第一導電係數型植入；

植入第一導電係數型植入劑及以一退火過程活性化該第一導電係數型植入劑；

蝕刻該三角狀摻雜層、該摻雜通道層、該罩蓋層與該第一導電係數型植入劑以形成一高台；

形成用於一第一凹陷的一遮罩及蝕刻介於一源極與一汲極間具有一第一底板之該第一凹陷，其延伸穿過該氧化層與該罩蓋層且進入與該摻雜通道層一第一距離，且具有分別介於該源極與一閘極間以及該汲極與該閘極間之一的個別之側壁；

成長一氧化層於該罩蓋層上及該第一凹陷內；

開啟供該源極與該汲極用之窗口；

形成歐姆接觸於該窗口上；

形成一遮罩，用於一第二凹陷；

蝕刻一第二凹陷使其延伸進入該摻雜通道層一大於該第一距離之第二距離；及

形成一閘極於該第二凹陷內使其延伸進入該摻雜通道層。

92 年 11 月 25 日修正/更正/補充

拾壹、圖式

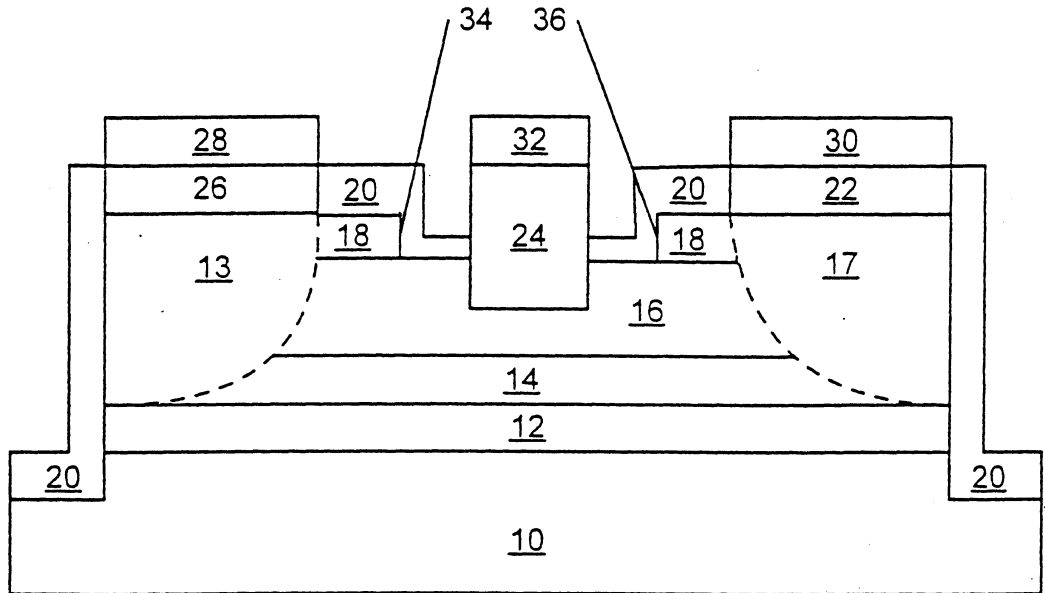


圖 1

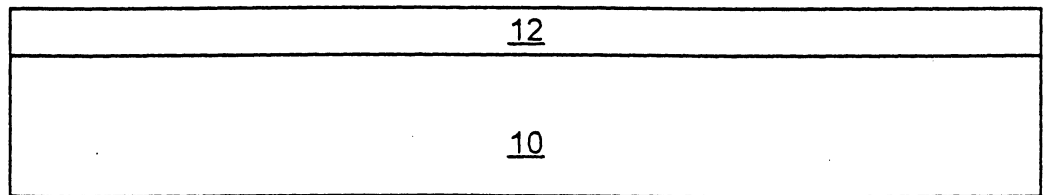


圖 2A

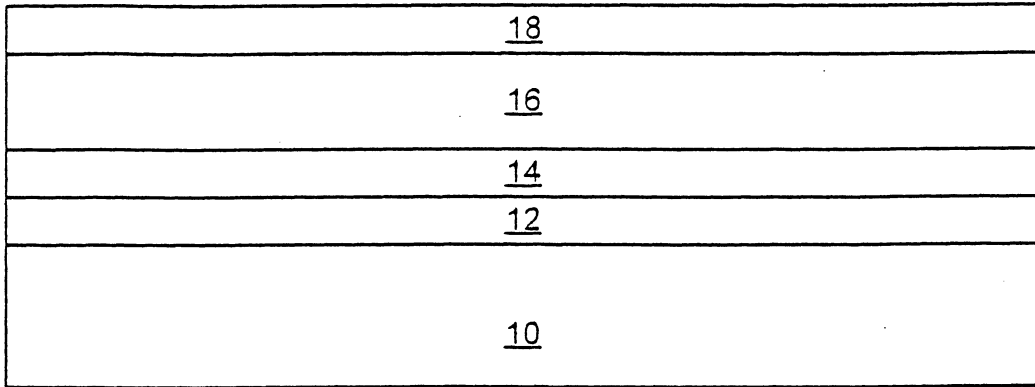


圖 2B

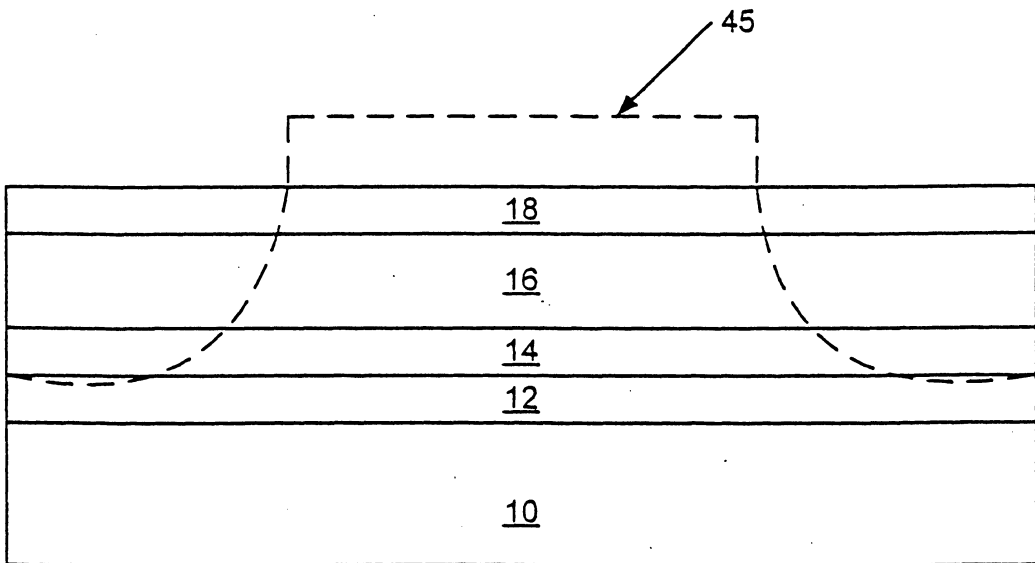


圖 2C

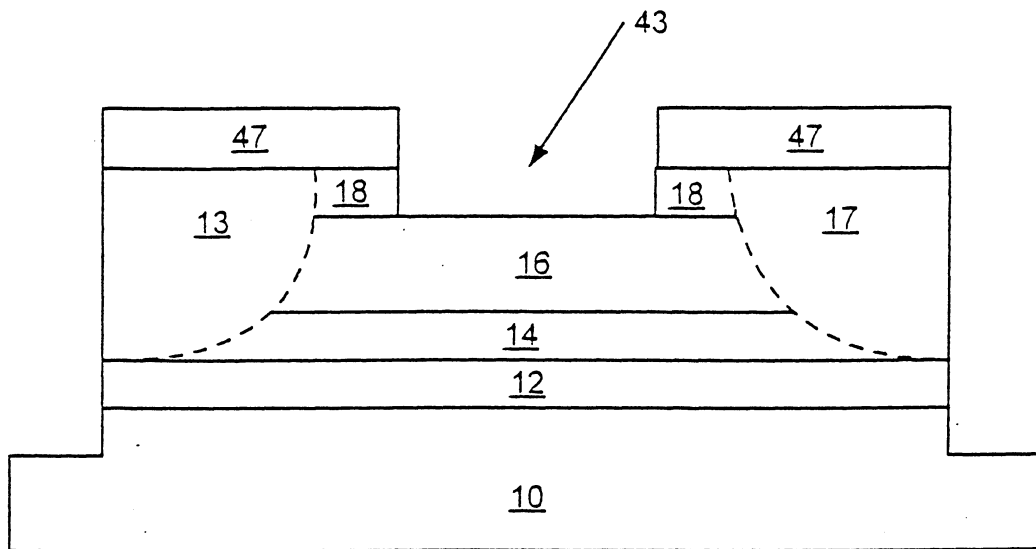


圖 2D

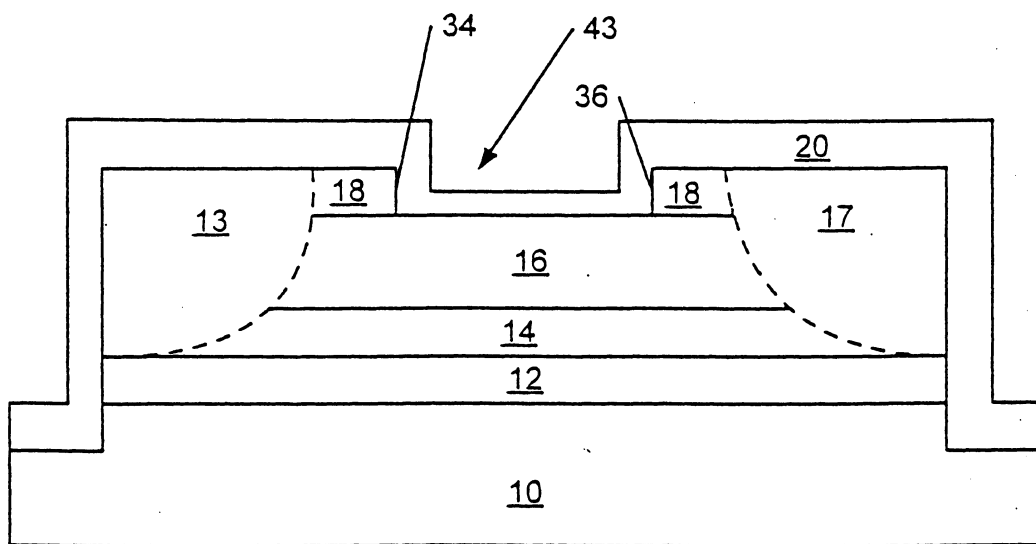


圖 2E

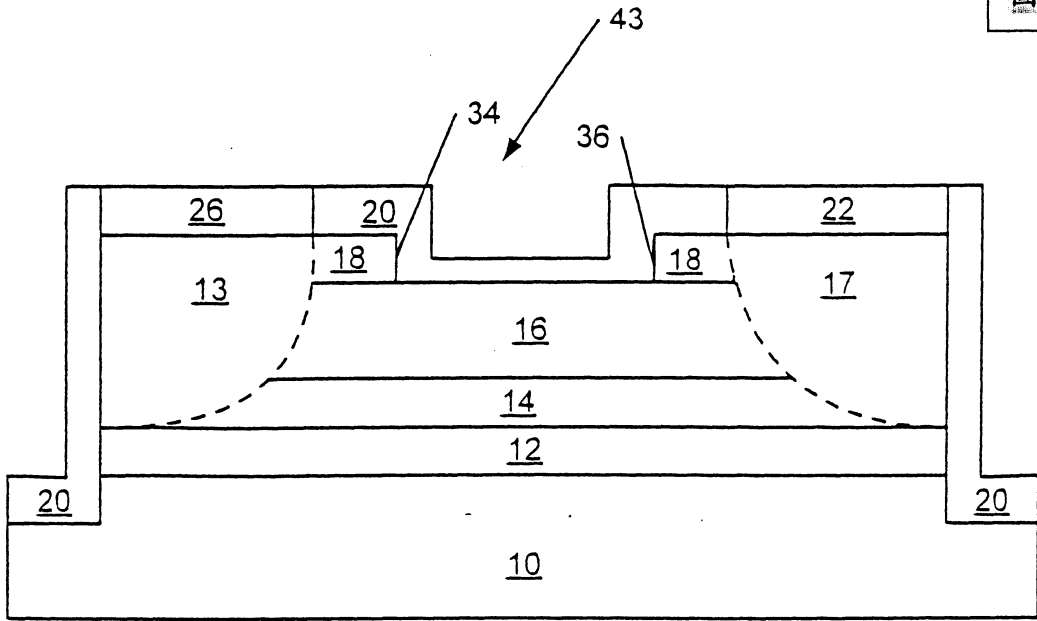


圖 2F

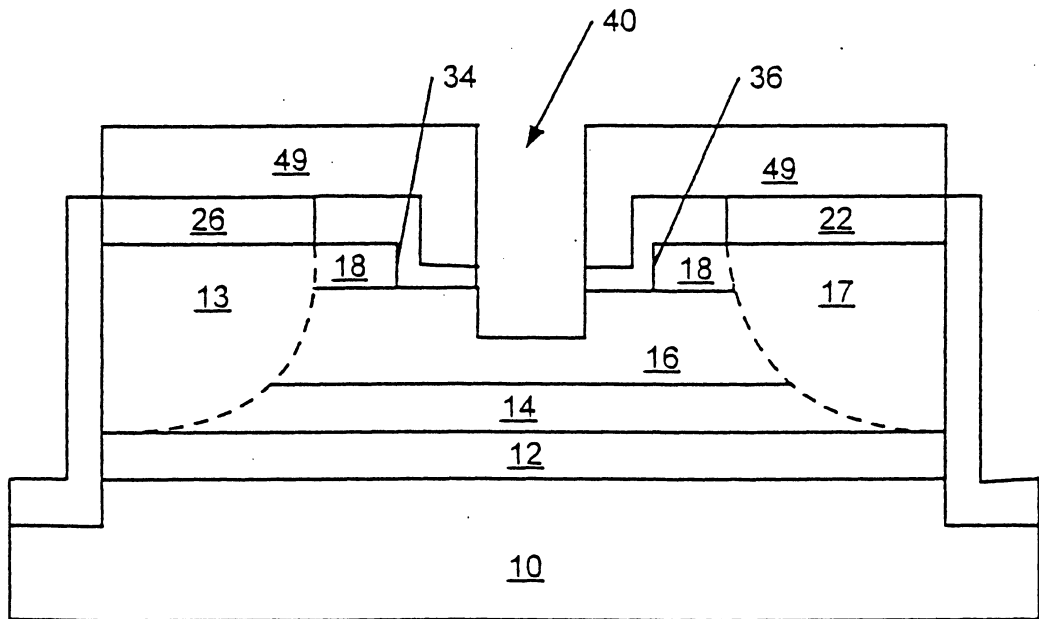


圖 2G

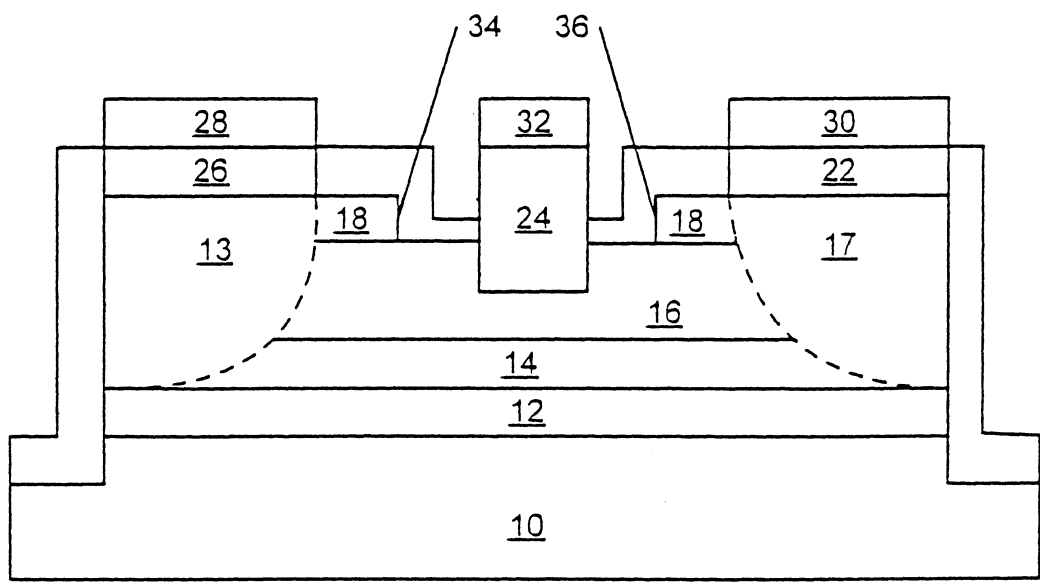


圖 2H