

**【特許請求の範囲】****【請求項 1】**

行列状に配列され、各々が基板領域上に形成されるフローティングゲートと、前記フローティングゲート上に配置されるメモリゲートとを有するメモリトランジスタと、前記フローティングゲートおよびメモリゲートに隣接して配置されるアシストゲートとを有し、前記メモリトランジスタと直列に接続されるアシストゲートトランジスタと、前記基板領域表面に形成される素子分離領域表面に形成される埋込消去ゲートとを有し、該フローティングゲートの蓄積電荷量に応じて不揮発的にデータを記憶する複数のメモリセル、

各前記メモリセル行に対応して配置され、各々が対応の行のメモリセルのメモリゲートに結合される複数のメモリゲート線、

各前記メモリセル行に対応して配置され、各々が対応の行のアシストゲートに結合される複数のアシストゲート線、

各前記メモリセル列に対応して配置され、各々が対応の列の埋込消去ゲートに結合される複数の埋込消去ゲート配線、

各前記メモリセル列に対応して配置され、各々が対応の列のメモリセルのメモリトランジスタの第 1 の導通ノードに結合される複数のソース線、

各前記メモリセル列に対応して配置され、各々が対応の列のメモリセルのアシストゲートトランジスタの第 2 の導通ノードに結合される複数のビット線、および

動作モード指示とアドレス信号とに従って指定されたメモリセルに対して指定された動作を制御する制御回路を備え、前記制御回路は、消去動作が指定されたとき、選択メモリセルに対するソース線、メモリゲート線および埋込消去ゲート配線それぞれに供給される電圧を指定するとともに消去動作を制御する消去制御部と、前記選択メモリセルに対するアシストゲート線およびビット線に対して供給される読出に必要な電圧を指定するとともに読出動作を制御する読出制御部とを含み、前記消去制御部および前記読出制御部は、並行して動作可能であり、

前記消去制御部および読出制御部からの電圧選択信号に従って指定された電圧を発生する電圧発生回路、

前記電圧発生回路からの消去電圧を選択されたメモリセルの埋込消去ゲート配線に伝達する消去回路、および

前記電圧発生回路からの読出電圧を選択されたメモリセルへ供給して前記選択メモリセルの記憶データを読出す読出回路を備え、前記読出回路は前記消去回路の消去電圧印加中に前記記憶データの読出を行うように前記制御回路により動作制御される、半導体装置。

**【請求項 2】**

前記読出回路は、前記消去動作を行なうために選択されたメモリセルの消去状態を検証するためのデータ読出を行う、請求項 1 記載の半導体装置。

**【請求項 3】**

前記読出制御部は、前記選択メモリセルが接続するビット線と異なるビット線に接続される非選択メモリセルに対する記憶データの読出を制御する、請求項 1 記載の半導体装置。

**【請求項 4】**

前記制御回路は、前記消去動作を行なうために選択されたメモリセルの消去状態を検証するペリファイ読出動作を制御する消去ペリファイ制御回路をさらに備え、

前記読出制御部は、前記動作モード指示が消去動作を指示しているときに前記動作モード指示に従って読出動作が指定されると前記選択メモリセルのアシストゲート線に接続される非選択メモリセルに対する記憶データの読出を制御する、請求項 1 記載の半導体装置。

**【請求項 5】**

前記複数のメモリセルは、複数の消去単位に分割され、前記ビット線は前記複数の消去単位に対して共通に配置され、

10

20

30

40

50

前記埋込消去ゲート配線は、各前記消去単位に分割され、

前記制御回路は、動作モード指示とアドレス信号とにตอบสนองして前記消去のために選択されたメモリセルが含まれる消去単位と異なる消去単位の非選択メモリセルに対して、前記消去制御部による前記消去のために選択されたメモリセルへの消去電圧の印加と並行して書込を行なうように前記書込回路を制御する書込制御部をさらに備える、請求項 1 記載の半導体装置。

【請求項 6】

前記消去電圧の印加中に読出すとき、前記読出制御部は、読出電圧を、前記消去のための消去電圧パルス印加期間よりも短い期間印加するとともに前記消去パルス印加期間よりも短い間隔で前記読出電圧を印加するように前記読出回路を制御する、請求項 1 記載の半導体装置。

10

【請求項 7】

行列状に配列され、各々がデータを記憶する電荷蓄積層とデータを消去する消去ゲートとを少なくとも備える複数の不揮発性メモリセルを有し、かつ複数のブロックに分割されるメモリアレイ、

前記複数のブロックに対して共通に設けられ、消去モード指示にตอบสนองして前記メモリアレイの選択ブロックに対して消去電圧を少なくとも前記消去ゲートに印加して該選択ブロックの不揮発性メモリセルの記憶データの消去を行なう動作を制御する消去制御回路、および

前記複数のブロックに対して共通に設けられ、アクセス指示にตอบสนองして、前記選択ブロックへの消去電圧印加期間中に前記選択ブロックと異なるブロックの不揮発性メモリセルに対してデータアクセスを行なう動作を制御するデータアクセス制御回路を備える、半導体装置。

20

【請求項 8】

前記消去制御回路は、消去ベリファイ動作を実行時、該消去ベリファイを示す信号を外部へ出力し、

前記データアクセス制御回路は、内部でのデータアクセスを示す信号を外部へ出力する、請求項 7 記載の半導体装置。

【請求項 9】

前記消去制御回路は、消去時に前記選択ブロックのメモリセルが消去状態にあるかを検証する動作を制御する消去ベリファイ制御部を備え、

30

前記データアクセス制御回路は、外部からのデータアクセス要求時、前記消去ベリファイ制御部が消去ベリファイ制御を実行中のときには前記ベリファイ制御部の消去ベリファイ動作を停止させて前記データアクセス要求に応じたアクセス動作を実行するように動作制御し、前記データアクセス要求に応じたアクセス動作完了後、前記消去ベリファイ部の制御動作停止を解除して消去ベリファイ動作を継続させる、請求項 7 記載の半導体装置。

【請求項 10】

前記メモリアレイの消去対象を特定するブロックを指定する消去アドレスを順次格納するファーストインファーストアウトレジスタをさらに備え、

前記消去制御回路は、前記ファーストインファーストアウトレジスタに格納された消去アドレスに従って消去対象のブロックに対する消去動作制御を順次実行する、請求項 7 記載の半導体装置。

40

【請求項 11】

各々が前記メモリアレイの消去対象のブロックを指定する消去アドレスを格納するとともに格納内容を並列に出力する複数のレジスタと、

消去期間を規定する時間をカウントするタイマとをさらに備え、

前記消去制御回路は、前記複数のレジスタに格納された消去アドレスに従って消去対象のブロックに対する消去動作を並行して実行し、該消去動作の最長期間は前記タイマのカウント値により規定される、請求項 7 記載の半導体装置。

【請求項 12】

50

前記消去制御回路は、前記レジスタへの消去アドレスの格納時に前記タイマを初期値にリセットして該初期値からカウント動作を行わせる、請求項 1 記載の半導体装置。

【請求項 1 3】

前記複数のブロックは、2つのブロックが対をなすように配置され、

前記消去制御回路および前記データアクセス制御回路は、外部からのデータ書込指示に  
応答して前記選択ブロックと対をなすように予め定められたブロックを並行して選択して  
前記選択ブロックに対する消去と前記予め定められたブロックに対して書込を並行して実  
行するように制御するとともに、前記対をなすブロックにおいては書込および消去を行う  
ブロックが交互に切換えられる、請求項 7 記載の半導体装置。

【請求項 1 4】

前記不揮発性メモリセルは、

単層選択ゲートを有し、選択信号に応答して選択的に導通する選択トランジスタと、

前記選択トランジスタと直列に接続され、電荷を蓄積するフローティング状態の電荷蓄  
積層とを有する単層ゲート構造のメモリトランジスタと、

メモリセル境界領域に配置されて隣接メモリセルを分離する素子分離膜上に形成され、  
消去動作時、前記電荷蓄積層との間で電荷を移動させる消去ゲートとを備える、請求項 7  
記載の半導体装置。

【請求項 1 5】

前記不揮発性メモリセルは、

互いに積層されるとともに電氣的に短絡される第 1 および第 2 の選択ゲート層を有し、  
選択信号に応答して選択的に導通する選択トランジスタと、

前記選択トランジスタと直列に接続され、電荷を蓄積するフローティング状態の電荷蓄  
積層と、前記電荷蓄積層上に形成され、前記電荷蓄積層への電荷の移動を制御する制御ゲ  
ートを有する積層ゲート構造のメモリトランジスタと、

メモリセル境界領域に配置されて隣接メモリセルを分離する絶縁膜上に形成され、消去  
動作時、前記電荷蓄積層との間で電荷を移動させる消去ゲートとを備える、請求項 7 記載  
の半導体装置。

【請求項 1 6】

各前記不揮発性メモリセルは、

基板領域上に形成され、電荷を蓄積するフローティング状態の電荷蓄積層と、

少なくともデータ読出時に該不揮発性メモリセルを選択する信号が印加される選択ゲ  
ートと、

前記基板領域上に前記選択ゲートと平行に配置され、消去時に前記電荷蓄積層との間で  
電荷を移動させる消去ゲートとを備える、請求項 7 記載の半導体装置。

【請求項 1 7】

行列状に配列され、各々が情報を不揮発的に記憶する複数の不揮発性メモリセルを有す  
るメモリアレイを備え、各前記不揮発性メモリセルは、単層選択ゲートを有し、選択信号  
に応答して選択的に導通する選択トランジスタと、前記選択トランジスタと直列に接続さ  
れ、電荷を蓄積するフローティング状態の電荷蓄積層と、ソース線に結合される第 1 の不  
純物領域とを有する単層ゲート構造のメモリトランジスタと、隣接メモリセルを分離する  
分離膜表面に配置され、消去動作時、前記電荷蓄積層との間で電荷を移動させる消去ゲ  
ートとを備え、

各前記メモリセル行に対応して配置され、各々に対応の行の不揮発性メモリセルの選択  
ゲートが接続される複数のワード線、および

各前記メモリセル列に対応して配置され、各々に対応の列のメモリセルの選択トランジ  
スタの第 2 の不純物領域が接続される複数のビット線を備える、半導体装置。

【請求項 1 8】

行列状に配列され、各々が情報を不揮発的に記憶する複数の不揮発性メモリセルを有す  
るメモリアレイを備え、各前記不揮発性メモリセルは、互いに積層されるとともに電氣的  
に短絡される第 1 および第 2 の選択ゲート層を有し選択信号に応答して選択的に導通する

10

20

30

40

50

選択トランジスタと、前記選択トランジスタと直列に接続され、電荷を蓄積するフローティング状態の電荷蓄積層と、前記電荷蓄積層上に形成されて前記電荷蓄積層への電荷の移動を制御する制御ゲートとを有する積層ゲート構造のメモリトランジスタと、隣接メモリセルを分離する分離膜表面に形成され、消去動作時、前記電荷蓄積層との間で電荷を移動させる消去ゲートとを備え、

各前記メモリセル行に対応して配置され、各々が対応の行のメモリセルの選択トランジスタの選択ゲートに接続される複数のワード線、および

各前記メモリセル列に対応して配置され、各々が対応の列のメモリセルの選択トランジスタの不純物領域に接続される複数のビット線とを備える、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、情報を不揮発的に記憶する機能を有する半導体装置に関し、特に、フローティングゲートなどの電荷蓄積層に蓄積される電荷量に応じて情報を不揮発的に記憶する不揮発性メモリセルを有する半導体装置に関する。より特定的には、この発明は、消去動作モード時に並行してデータアクセスを行なうための構成に関する。

【背景技術】

【0002】

フラッシュメモリは、情報を不揮発的に格納するメモリであり、プロセッサに対するブート用プログラム情報の格納および携帯機器におけるダウンロードデータなどのアプリケーションデータ/プログラムを格納するためなど広く用いられている。

【0003】

通常、マイクロコンピュータに内蔵される混載フラッシュメモリは、メモリサイズが、数KB（Kバイト）から数百KBである。通常のNOR型フラッシュメモリセルにおいて消去動作を行なう場合、コントロールゲートに $-10V$ 、基板領域へ $10V$ を印加する必要がある。この基板消去電圧が、メモリセルトランジスタのソースおよびドレイン領域を介してソース線およびビット線に伝達される。したがって、メモリセルの消去状態を確認するベリファイ動作は、各領域を初期状態に復帰させてベリファイ読出を行なう必要があり、消去電圧の供給を停止してから所定時間経過後に消去ベリファイを行なっている。このため、消去動作が長くなるという問題が生じる。

【0004】

また、フラッシュメモリにおいては、1つのメモリバンクに対して消去動作を行っている間に別のメモリバンクに対してデータ読出アクセスを行うバックグラウンドオペレーションモード（BGOモード）がサポートされているメモリがある。しかしながら、BGOモード搭載のフラッシュメモリにおいては、複数のバンクが必要となり、マイクロコンピュータに内蔵される混載フラッシュメモリのような小規模のメモリにおいては、複数バンク構成により面積が増大し、応じて、マイクロコンピュータの面積が増大するという問題が生じる。

【0005】

また、消去モード時のアクセス効率を改善するために、サスペンドモードを備えるフラッシュメモリがある。このサスペンドモードにおいては、消去動作を一旦停止してデータの読出（外部アクセス）を行なう。この読出動作完了後、再び停止された消去動作を再開する。このため、消去動作を一時停止させるための制御回路が必要となり、制御回路の面積が増大するという問題が生じる。また、消去動作を停止させるため、消去時間が長くなるという問題が生じる。

【0006】

また、消去ゲートをワード線（メモリセル行）方向に延在させて各ブロックごとに分離し、ブロック単位で消去を行なう構成が、特許文献1（特開平1-91395号公報）に示されている。この特許文献1に示される不揮発性メモリセルにおいては、消去動作時、消去ゲートにたとえば $27V$ の正の高電圧を印加し、ビット線、ソース線およびコントロ

10

20

30

40

50

ールゲートを0Vにする。これにより、フローティングゲートから消去ゲートに電子が引抜かれ、フローティングゲートを正に帯電させる。データ書込時においては、コントロールゲートにたとえば21Vの正の高電圧、ドレインを10V、ソースを0V、消去ゲートをたとえば5Vに設定する。これにより、ドレイン近傍においてホットエレクトロンを発生させ、このホットエレクトロンのインパクトアイオナイゼーション (impact ionization) により発生した高エネルギー電子をフローティングゲート中に注入する。消去ゲート線は、ブロック内で消去線に共通に結合され、ブロック単位での消去を行なうことができる。これにより、特許文献1は消去時間の短縮を実現することを図る。

【0007】

また、消去ゲートを不純物層で形成してメモリセルのサイズを低減することを図る構成が、特許文献2 (特開2008-270708号公報) に示されている。この特許文献2に示される構成においては、第1の方向に第1のプログラム線、第1の消去線および第1のワード線を配置する。第1のプログラム線は、メモリセルのプログラムゲート (不純物領域) に接続し、第1の消去線はメモリセルの消去ゲート (不純物領域) に接続され、第1のワード線がメモリセルのワード線ノード (コントロールゲート) に接続される。この特許文献2においては、消去ゲートを構成する不純物層を、プログラムゲート線を構成する不純物領域とビット線に接続する不純物領域の間に配置する。消去ゲート線およびプログラム線を同一方向に配置することにより、同一行の隣接メモリセルに消去ゲート不純物領域を共有させてメモリセルサイズを低減することを図る。また、消去線とプログラム線を同一方向に配置することにより、プログラム動作および消去動作を、1つのページ (ワード線) に制限し、他のページに対してプログラム障害 (ディスタージャンプ) が発生するのを抑制することを図る。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平1-91395号公報

【特許文献2】特開2008-270708号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

上述の特許文献1に示されるように消去ゲート線をワード線方向に配置し、コントロールゲートおよび消去ゲートを分離して配置することにより、消去電圧を印加する消去ゲート線と書込および読出に必要なメモリゲート線、ビット線およびソース線を分離することができる。しかしながら、この特許文献1の構成においては、消去電圧が基板領域上に形成されており、消去電圧を印加した状態でデータの読出または書込を行なうことができない。消去動作のみを単独で行なうことが考慮されており、BGOモードまたはサスペンドモードのような消去動作と並行して書込または読出を行なう構成については何ら考慮されていない。また、消去ゲート線にたとえば27Vの高電圧を印加しており、消去ベリファイを行なう場合、消去ゲート線の電圧が十分に低下した後にデータの読出を行なう必要がある。このため、消去時間を短縮することが困難となるという問題が生じる。

【0010】

また、特許文献2に示される構成においては、不純物層をプログラムゲートおよび消去ゲートとしてメモリトランジスタのソース/ドレイン不純物領域と別に平行に配置している。したがって、隣接メモリセル間で消去ゲート領域を共有して、メモリセルサイズを低減することが可能である。しかしながら、この特許文献2の構成の場合、プログラムゲートを構成する不純物領域および消去ゲートを構成する不純物領域が1つのメモリセル領域内にメモリトランジスタのソースおよびドレイン不純物領域と並列に配置されており、メモリセルサイズを低減するのが困難となるという問題が生じる。

【0011】

また、この特許文献2は、消去ゲート領域およびプログラムゲート領域をワード線と同

一方向に延在させて、ページ単位で消去を行なうことを開示しているものの、ページ単位での消去モード時、他のページまたは他ブロックでデータアクセスを行なう構成については何ら考察していない。

【 0 0 1 2 】

それゆえ、この発明の目的は、メモリセルサイズを増大させることなく、消去動作時にデータアクセスを消去動作に悪影響を及ぼすことなく実行することのできる半導体装置およびメモリセル構造を提供することである。

【 0 0 1 3 】

この発明の他の目的は、シングルバンク構成においても、BGOモードまたはサスペンドモードでデータアクセスを行なうことのできる半導体装置およびメモリセル構造を提供することである。

10

【課題を解決するための手段】

【 0 0 1 4 】

この発明に係る半導体装置の一実施の形態においては、複数のメモリセルを有する。各メモリセルは、基板領域上に形成されるフローティングゲートと、このフローティングゲート上に配置されるメモリゲートとを有するメモリトランジスタと、フローティングゲートおよびメモリゲートに隣接して配置されるアシストゲートを有し、メモリトランジスタと直列に接続されるアシストゲートトランジスタと、基板領域表面に形成される埋込消去ゲートとを有する。メモリセルは、フローティングゲートの蓄積電荷量に応じて不揮発性データを記憶する。

20

【 0 0 1 5 】

この発明に係る半導体装置は、一実施形態においてさらに、各メモリセル行に対応して配置され、各々が対応の行のメモリセルのメモリゲートに結合される複数のメモリゲート線と、各メモリセル行に対して配置され、各々が対応の行のメモリセルのアシストゲートに結合される複数のアシストゲート線と、各メモリセル列に対応して基板領域表面に配置され、各々が対応の列の埋込消去ゲートに結合される埋込消去ゲート配線と、メモリセル列に対応して配置され、各々が対応の列のメモリセルのメモリトランジスタの第1導通ノードに結合される複数のソース線と、各メモリセル列に対応して配置され、各々が対応の列のメモリセルのアシストゲートトランジスタの第2の不純物領域に結合される複数のビット線と、動作モード指示とアドレス信号とに従って指定されたメモリセルに対して指定された動作を行なうための制御信号を生成する制御回路とを備える。この制御回路は、消去動作が指定されたとき、選択メモリセルに対するソース線、メモリゲート線および埋込消去ゲート配線に各々供給される電圧を指定するとともに消去動作を制御する消去制御部と、選択メモリセルに対するアシストゲート線およびビット線に対して供給される読出に必要な電圧を指定するとともに読出動作を制御する読出制御部とを含む。

30

【 0 0 1 6 】

この一実施の形態において、半導体装置は、さらに、消去制御部および読出制御部から指定された電圧を発生する電圧発生回路と、電圧発生回路からの消去電圧を選択したメモリセルの埋込消去ゲート配線に伝達する消去回路と、電圧発生回路からの読出電圧を選択メモリセルへ供給して該選択メモリセルの記憶データを読出す読出回路を備える。読出回路は、消去回路の消去電圧印加中に記憶データの読出を行なうように動作制御される。

40

【 0 0 1 7 】

この発明に係る半導体装置は、別の実施の形態においては、メモリアレイと、消去制御回路と、データアクセス制御回路とを含む。メモリアレイは、行列状に配列され、各々が少なくともデータを記憶する電荷蓄積層と、データを消去する消去ゲートを少なくとも備える複数の不揮発性メモリセルを有し、また複数のブロックに分割される。

【 0 0 1 8 】

消去制御回路は、複数のブロックに対して共通に設けられ、メモリアレイの選択ブロックに対して消去電圧を少なくとも消去ゲートに印加して選択ブロックの不揮発性メモリセルの記憶データの消去を行なう動作を制御する。

50

## 【 0 0 1 9 】

データアクセス制御回路は、複数のブロックに対して共通に設けられ、選択ブロックへの消去電圧印加期間中に、この選択ブロックと異なるブロックの不揮発性メモリセルに対してデータアクセスを行なう動作を制御する。

## 【 0 0 2 0 】

この発明に係る半導体装置は、さらに別の実施の形態においては、複数の不揮発性メモリセルを有するメモリアレイを有する。各不揮発性メモリセルは、単層選択ゲートを有し選択信号に応答して選択的に導通する選択トランジスタと、この選択トランジスタと直列に接続され、電荷を蓄積するフローティング状態の電荷蓄積層と、ソース線に結合される第1の不純物領域とを有する単層ゲート構造のメモリトランジスタと、メモリセル境界領域に配置され、隣接メモリセルを分離する分離膜表面に形成され、消去動作時、電荷蓄積層との間で電荷を移動させる消去ゲートとを備える。

10

## 【 0 0 2 1 】

この半導体装置はさらに、各メモリセル行に対応して配置され、各々に対応の行の不揮発性メモリセルの選択ゲートが接続される複数のワード線と、各メモリセル列に対応して配置され、各々に対応の列のメモリセルの選択トランジスタの第2の不純物領域が接続される複数のビット線を備える。

## 【 0 0 2 2 】

この発明に係る半導体装置は、さらに他の実施の形態において、複数の不揮発性メモリセルを有するメモリアレイを含む。この不揮発性メモリセルは、互いに積層されるとともに、電氣的に短絡される第1および第2の選択ゲート層を有し、選択信号に応答して選択的に導通する選択トランジスタと、この選択トランジスタと直列に接続され、電荷を蓄積するフローティング状態の電荷蓄積層と、この電荷蓄積層上に形成され、電荷蓄積層への電荷の移動を制御する制御機能を有する積層ゲート構造のメモリトランジスタと、メモリセル境界領域において隣接メモリセルを分離する絶縁膜上に形成され、消去動作時、電荷蓄積層との間で電荷を移動させる消去ゲートとを備える。

20

## 【 0 0 2 3 】

この半導体装置は、さらに、各メモリセル行に対応して配置され、各々が対応の行のメモリセルの選択トランジスタの選択ゲートに接続される複数のワード線と、各メモリセル列に対応して配置され、各々が対応の列のメモリセルの選択トランジスタの不純物領域に接続される複数のビット線とを備える。

30

## 【 発明の効果 】

## 【 0 0 2 4 】

不揮発性メモリセルにおいて消去ゲートを設け、この消去ゲートと電荷蓄積層との間で電荷を移動させる。この消去電圧印加と並行して、データの読出／書込を行なう。したがって、シングルバンク構成においても、消去動作のバックグラウンドでデータアクセスを行なうことができ、アクセス効率が改善される。

## 【 0 0 2 5 】

また、メモリセル構造としては、セル間の素子分離領域上に消去ゲートを配置することにより、メモリセルのレイアウト面積の増大は抑制される。

40

## 【 図面の簡単な説明 】

## 【 0 0 2 6 】

【 図 1 】 この発明の実施の形態 1 に従う半導体装置のメモリセルの典型的等価回路を示す図である。

【 図 2 】 この発明の実施の形態 1 に従う半導体装置のメモリセルの平面レイアウトを概略的に示す図である。

【 図 3 】 図 2 に示す線 L 3 - L 3 に沿った断面構造を概略的に示す図である。

【 図 4 】 図 2 に示す線 L 4 - L 4 に沿った断面構造を概略的に示す図である。

【 図 5 】 図 1 に示すメモリセルの各動作モードにおける印加電圧を一覧にして示す図である。

50



【図 6】図 1 に示すメモリセルの書込時の印加電圧および電子の流れを模式的に示す図である。

【図 7】図 1 に示すメモリセルの消去時の印加電圧および電子の流れを示す図である。

【図 8】図 1 に示すメモリセルのデータ読出時の印加電圧および電流の流れを示す図である。

【図 9】この発明の実施の形態 1 に従う半導体装置の全体の構成を概略的に示す図である。

【図 10】この発明の実施の形態 1 に従う半導体装置の消去時の動作を示すフロー図である。

【図 11】図 10 に示す消去時の動作を示すタイミング図である。

10

【図 12】この発明の実施の形態 1 に従う半導体装置の消去動作に関連する部分の構成を概略的に示す図である。

【図 13】図 1 に示すメモリセルの消去および書込状態時の電流特性を示す図である。

【図 14】この発明の実施の形態 2 に従う半導体装置の全体の構成を概略的に示す図である。

【図 15】図 14 に示す列選択ゲート回路の構成を概略的に示す図である。

【図 16】図 14 に示す半導体装置の消去時の動作を示すタイミング図である。

【図 17】この発明の実施の形態 2 に従う半導体装置の変更例のアレイ構成を概略的に示す図である。

【図 18】この発明の実施の形態 2 に従う半導体装置のコマンドレジスタ / 制御回路の構成を概略的に示す図である。

20

【図 19】図 14 に示す行デコーダ、列デコーダおよび E G 制御回路の構成を概略的に示す図である。

【図 20】消去および読出時のフローティングゲートの寄生容量の分布を概略的に示す図である。

【図 21】この発明の実施の形態 3 のデータ読出および消去シーケンスを示すタイミング図である。

【図 22】この発明の実施の形態 3 に従う半導体装置のコマンドレジスタ / 制御回路の構成を概略的に示す図である。

【図 23】この発明の実施の形態 4 に従う半導体装置の全体の構成を概略的に示す図である。

30

【図 24】図 23 に示すメモリアレイの構成をより具体的に示す図である。

【図 25】この発明の実施の形態 4 に従う半導体装置における各メモリブロックの印加電圧を概略的に示す図である。

【図 26】この発明の実施の形態 4 に従う半導体装置の消去およびデータアクセス動作を説明するタイミング図である。

【図 27】この発明の実施の形態 4 に従う半導体装置の書込および読出動作シーケンスを示す図である。

【図 28】図 23 に示すコマンドレジスタ / 制御回路の構成を概略的に示す図である。

【図 29】図 23 に示す E G 制御回路の構成を概略的に示す図である。

40

【図 30】この発明の実施の形態 5 に従う半導体装置の全体の構成を概略的に示す図である。

【図 31】図 30 に示す半導体装置の消去時の動作シーケンスを示す図である。

【図 32】図 30 に示す半導体装置の消去および書込動作態様を示す図である。

【図 33】図 30 に示すコマンドレジスタ / 制御回路の構成を概略的に示す図である。

【図 34】この発明の実施の形態 6 に従う半導体装置の消去および読出動作シーケンスを示す図である。

【図 35】この発明の実施の形態 6 に従う半導体装置のコマンドレジスタ / 制御回路の構成を概略的に示す図である。

【図 36】この発明の実施の形態 7 に従う半導体装置の全体の構成を概略的に示す図であ

50

る。

【図 3 7】図 3 6 に示す消去アドレスレジスタファイルの構成を概略的に示す図である。

【図 3 8】図 3 6 に示す半導体装置の消去対象のメモリブロックを示す図である。

【図 3 9】図 3 6 に示す半導体装置の消去および読出動作シーケンスを示す図である。

【図 4 0】図 3 6 に示すコマンドレジスタ / 制御回路の構成を概略的に示す図である。

【図 4 1】図 4 0 に示すコマンドレジスタ / 制御回路のレジスタファイル制御動作を示すフロー図である。

【図 4 2】図 4 0 に示すコマンドレジスタ / 制御回路の消去動作を示すフロー図である。

【図 4 3】図 4 0 に示すコマンドレジスタ / 制御回路の電源遮断時の動作制御を示すフロー図である。

10

【図 4 4】この発明の実施の形態 8 に従う半導体装置の要部の構成を概略的に示す図である。

【図 4 5】この発明の実施の形態 8 に従う半導体装置の E G 制御回路の構成を概略的に示す図である。

【図 4 6】この発明の実施の形態 8 に従う半導体装置のレジスタ制御態様を示す図である。

【図 4 7】この発明の実施の形態 8 に従う半導体装置の動作シーケンスを示す図である。

【図 4 8】この発明の実施の形態 8 に従う半導体装置の消去時の動作を示すフロー図である。

【図 4 9】この発明の実施の形態 9 に従う半導体装置のメモリアレイの構成を概略的に示す図である。

20

【図 5 0】この発明の実施の形態 9 に従う半導体装置の書込および消去動作シーケンスを示す図である。

【図 5 1】この発明の実施の形態 9 に従う半導体装置のコマンドレジスタ / 制御回路の構成を概略的に示す図である。

【図 5 2】この発明の実施の形態 9 に従う半導体装置の制御時の動作シーケンスを示す図である。

【図 5 3】この発明の実施の形態 9 に従う半導体装置の消去時の動作シーケンスの変更例を示す図である。

【図 5 4】この発明の実施の形態 1 0 に従う半導体装置のメモリアレイのブロック構成を概略的に示す図である。

30

【図 5 5】図 5 4 に示すメモリブロックへのアクセスシーケンスを示す図である。

【図 5 6】この発明の実施の形態 1 0 に従う半導体装置の全体の構成を概略的に示す図である。

【図 5 7】図 5 6 に示す半導体装置のコマンドレジスタ / 制御回路およびクロックアドレス変換器の構成を概略的に示す図である。

【図 5 8】図 5 6 に示す半導体装置の動作を示すフロー図である。

【図 5 9】この発明の実施の形態 1 1 に従う半導体装置の全体の構成を概略的に示す図である。

【図 6 0】図 5 9 に示す半導体装置のメモリアレイのメモリセルの配置を示す図である。

40

【図 6 1】図 6 0 に示すメモリセルの平面レイアウトを概略的に示す図である。

【図 6 2】図 6 2 に示す線 L 6 2 - L 6 2 に沿った断面構造を概略的に示す図である。

【図 6 3】図 6 1 に示す線 L 6 3 - L 6 3 に沿った断面構造を概略的に示す図である。

【図 6 4】図 6 0 に示すメモリアレイへのデータ書込時の印加電圧を示す図である。

【図 6 5】図 6 2 に示すメモリアレイへの消去時の印加電圧を示す図である。

【図 6 6】図 6 2 に示すメモリアレイへの読出時の印加電圧を示す図である。

【図 6 7】この発明の実施の形態 1 2 に従う半導体装置の全体の構成を概略的に示す図である。

【図 6 8】図 6 7 に示す半導体装置のメモリアレイの構成を概略的に示す図である。

【図 6 9】図 6 8 に示すメモリセルの平面レイアウトを概略的に示す図である。

50

【図 70】図 69 に示す線 L 70 - L 70 に沿った断面構造を概略的に示す図である。

【図 71】図 69 に示す線 L 71 - L 71 に沿った断面構造を概略的に示す図である。

【図 72】図 68 に示すメモリアレイの書込時の印加電圧を示す図である。

【図 73】図 68 に示すメモリアレイの消去時の印加電圧の一例を示す図である。

【図 74】図 68 に示すメモリアレイの読出時の印加電圧の一例を示す図である。

【図 75】この発明の実施の形態 13 に従う半導体装置の全体の構成を概略的に示す図である。

【図 76】この発明の実施の形態 13 に従う半導体装置のメモリセルの平面レイアウトを概略的に示す図である。

【図 77】図 76 に示す線 L 77 - L 77 に沿った断面構造を概略的に示す図である。

10

【図 78】図 76 に示す線 L 78 - L 78 に沿った断面構造を概略的に示す図である。

【図 79】図 75 に示すメモリアレイのメモリセルの配置の一例を示す図である。

【図 80】この発明の実施の形態 13 の変更例のメモリセルの断面構造を概略的に示す図である。

【図 81】図 80 に示すメモリセルのアレイ部の配置の一例を示す図である。

【発明を実施するための形態】

【0027】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 において用いられる半導体装置のメモリセルの電気的等価回路を概略的に示す図である。図 1 において、メモリセル MC は、フローティングゲート FG を有するメモリトランジスタ 1 と、メモリトランジスタ 1 と直列に接続されるアシストゲートトランジスタ（選択トランジスタ）2 を含む。メモリトランジスタ 1 は、フローティングゲート FG とその上層に形成されるメモリゲート MG との積層ゲート構造を有する N チャネル MOS トランジスタ（絶縁ゲート型電界効果トランジスタ）であり、そのソース不純物領域がソース線 SL に結合される。アシストゲートトランジスタ 2 は、アシストゲート AG を有する単層ゲート構造の N チャネル MOS トランジスタであり、ビット線 BL にその不純物領域が接続される。これらのアシストゲートトランジスタ 2 およびメモリゲートトランジスタ 1 の間には不純物領域は形成されない。

20

【0028】

メモリセル MC は、さらに消去ゲート EG を有する。この消去ゲート EG は、メモリセルを分離する素子分離領域（STI（シャロー・トレンチ・アイソレーション）膜）表面に、列方向（ビット線延在方向）に沿って連続的に延在するように形成される。この消去ゲート EG とフローティングゲート FG の間で電荷を移動させ、フローティングゲート FG から電子を消去ゲート線 EG に引抜くことにより、消去動作を行なう。このメモリセル MC の境界領域にビット線 BL と平行に消去ゲート EG を埋込配線で配設することにより、メモリセル MC のレイアウト面積の増大を抑制する。

30

【0029】

図 2 は、メモリセルの平面レイアウトを概略的に示す図である。図 2 において、Y 方向（列方向）に沿って互いに間をおいてかつ各々 Y 方向に沿って連続的に延在するように活性領域 3a および 3b が配置される。活性領域 3a および 3b 各々においては、図 1 に示すメモリトランジスタ 1 およびアクセストランジスタ 2 が形成される。

40

【0030】

活性領域 3a および 3b と直交する方向に、すなわち X 方向（行方向）に連続的に延在してメモリゲート配線 5a - 5d およびアシストゲート配線 6a - 6d がそれぞれ隣接して配置される。メモリゲート配線 5a - 5d がメモリゲート MG a - MG d を構成し、アシストゲート配線 6a - 6d がアシストゲート AG a - AG d を構成する。

【0031】

メモリゲート配線 5a - 5d の間に、ソース線 SL a - SL c をそれぞれ形成するメタル配線 7a - 7c が X 方向に連続的に延在してかつ互いに間をおいて配置される。ソースメタル配線 7a - 7c は、それぞれソースコンタクト 8 により、下層の活性領域に形成さ

50

れる不純物領域に電氣的に接続される。

【 0 0 3 2 】

活性領域 3 a および 3 b 上に Y 方向に連続的に延在してビット線 B L a および B L b をそれぞれ形成するメタル配線 1 0 a および 1 0 b がそれぞれ配設される。このビット線メタル配線 1 0 a および 1 0 b はそれぞれ、アシストゲートを構成するゲート配線 6 a および 6 b の間のビット線コンタクト 9 を介して活性領域 3 a および 3 b に形成される不純物領域に接続される。

【 0 0 3 3 】

また、活性領域 3 a および 3 b の間の素子分離領域には、後に説明するようにシャロー・トレンチ・アイソレーション膜が形成されており、このシャロー・トレンチ・アイソレーション膜上に、埋込消去ゲート配線層 4 a および 4 b が Y 方向に沿って連続的に延在して形成され、それぞれ消去ゲート E G a および E G b として用いられる。活性領域 3 a および 3 b の間には、埋込消去ゲート配線層は設けられていない。2 行のメモリセルに共通に消去ゲート線が共有される。

【 0 0 3 4 】

図 2 に示す平面レイアウトにおいて、図 2 において破線ブロックで示すメモリセル領域 M C R は、ビット線コンタクト 9、アシストゲート A G、メモリゲート M G、ソース線コンタクト 8 および消去ゲート E G を含む。Y 方向において隣接するメモリセルにおいてビット線コンタクト 9 およびソース線コンタクト 8 が共有され、メモリセルレイアウト面積を低減する。また、2 行に配設されるメモリセルに共通に消去ゲート線を設けることにより、最小消去単位を 2 行のメモリセルに設定することができる。

【 0 0 3 5 】

図 3 は、図 2 に示す線 L 3 - L 3 に沿った断面構造を概略的に示す図である。図 3 において、P 型半導体基板領域 1 2 表面に、互いに間を置いて N 型不純物領域 1 3 および 1 4 が形成される。この P 型半導体基板領域 1 2 は、図 2 に示す活性領域 3 a に対応する。

【 0 0 3 6 】

不純物領域 1 3 は、ソース線コンタクト 8 を介してソース線 S L a を形成するメタル配線 7 a に電氣的に接続される。一方、不純物領域 1 4 は、ビット線コンタクト 9 を介してビット線 B L a を形成するメタル配線 1 0 a に電氣的に接続される。ビット線コンタクト 9 は、プラグ 9 a および 9 c と、これらのプラグ 9 a および 9 c の間の中間配線 9 b を含む。

【 0 0 3 7 】

不純物領域 1 3 および 1 4 の間の基板領域上に、フローティングゲート F G を構成する電荷蓄積層 1 5 とメモリゲート M G を形成するゲート配線 5 a が互いに整列してかつ積層して配置される。フローティングゲート F G およびメモリゲート M G に隣接してアシストゲート A G を形成するゲート配線 6 a が配置される。アシストゲート A G は単に、下層の基板領域 1 2 表面に選択的にチャンネルを形成する。

【 0 0 3 8 】

図 4 は、図 2 に示す線 L 4 - L 4 に沿った断面構造を概略的に示す図である。線 L 4 - L 4 に沿った領域においては、メモリゲート M G a が、メタルゲート配線 5 a により形成されており、その下部の基板領域表面には、チャンネル領域が存在し、不純物領域は設けられていない。各活性領域 ( 3 a 、 3 b ) は、S T I ( シャロー・トレンチ・アイソレーション ) 分離膜 1 8 a 、 1 8 b および 1 8 c により互いに分離される。

【 0 0 3 9 】

活性領域 ( 明確に示さず ; 正確にはメモリトランジスタのチャンネル形成領域 ) 表面上にフローティングゲート F G を構成する電荷蓄積層 1 5 a および 1 5 b が配置される。S T I 分離膜 1 8 a および 1 8 c 表面に、上部に突出部を有する埋込配線層 4 a および 4 b が形成され、フローティングゲートを構成する電荷蓄積層 1 5 a および 1 5 b に、この突出部が隣接する。図 4 においては、中央の S T I 分離膜 1 8 b においては、消去ゲート E G を構成する埋込配線層は形成されないが、形成されていてもよい。

## 【 0 0 4 0 】

図 5 は、各動作モード時におけるメモリゲート M G、ソース線 S L、アシストゲート A G およびビット線 B L、および、消去ゲート E G への各動作モード時の印加電圧を一覧にして示す図である。以下、図 5 に示す印加電圧を参照して、各動作モードについて説明する。

## 【 0 0 4 1 】

図 6 は、メモリセル M C へのデータ書込時の選択メモリセルへの印加電圧を示す図である。この場合、図 5 に示すように、選択メモリセル M C のメモリゲート M G へ 1 0 V が印加され、ソース線 S L には 5 V が印加される。アシストゲート A G には 1 . 5 V が印加され、ビット線 B L は、0 V に設定される。図 6 においては示さない埋込消去ゲート E G はオープン状態または接地電圧 ( 0 V ) に設定される。

10

## 【 0 0 4 2 】

この状態においては、アシストゲート A G には 1 . 5 V 程度の低い電圧が印加され、その下層の基板表面に比較的高抵抗のチャネルを形成する。ソース線 S L から不純物領域 1 3 および 1 4 を介してビット線 B L に電流が流れる。アシストゲート A G 下部には、比較的高抵抗のチャネルが形成されており、この高抵抗のチャネル境界領域において高電界が発生し、この高電界により電子がエネルギーを得てホットエレクトロンとなる。メモリゲート M G の高電圧により、この生成された電子 ( ホットエレクトロン ) がフローティングゲート F G に注入される。これにより、メモリトランジスタのしきい値電圧が高くなる。

## 【 0 0 4 3 】

20

非選択メモリセルに対しては、メモリゲート M G、ソース線 S L、アシストゲート A G は 0 V に設定され、ビット線 B L が 1 . 5 V に設定される。非選択メモリゲート M G および非選択アシストゲート A G が 0 V であり、チャネルは形成されず、電流は流れない。

## 【 0 0 4 4 】

ビット線 B L を、非選択セルに対して 1 . 5 V に設定するのは以下の理由による。すなわち、図 2 に示すように、アシストゲート A G を構成するアシストゲート配線とビット線 B L とは直交する方向に配置される。したがって、選択行かつ非選択列のメモリセルにおいては、アシストゲート A G が選択状態の 1 . 5 V である。ビット線 B L を 1 . 5 V に設定することにより、非選択メモリセルにおいてアシストゲートトランジスタのゲートおよびソース ( アシストゲート A G および不純物領域 1 4 ) の電位が等しくなり、チャネルは、アシストゲート A G 下部に形成されず、不純物領域 1 3 および 1 4 間に電流は流れない。これにより、半選択状態のメモリセルに対するデータの書込を防止する。

30

## 【 0 0 4 5 】

図 7 は、消去時のメモリセルへの印加電圧をその断面構造とともに示す図である。図 5 および図 7 に示すように、消去時においては、選択メモリセルおよび非選択メモリセルに関わらず、メモリゲート M G、ソース線 S L は接地電圧 ( 0 V ) に設定され、アシストゲート A G およびビット線 B L は開放状態 ( オープン状態 ) に設定される。選択メモリセルに対して埋込消去ゲート E G a に 1 0 V を印加し、非選択メモリセルの消去ゲート E G b には 0 V を印加する。この場合、図 7 に示すように、電荷蓄積層 1 5 a と埋込消去ゲート E G a の間に大きな電界が印加され、フローティングゲート 1 5 a から埋込消去ゲート配線 4 a にファウラーノルドハイム電流により電子が流出し、電荷蓄積層 1 5 a の蓄積電荷量が低減し、メモリトランジスタのしきい値電圧が小さくなる。一方、埋込消去ゲート E G b には 0 V が印加され、フローティングゲート F G b ( 電荷蓄積層 1 5 b ) と埋込ゲート E G b の間には、高電界は印加されず、電荷の移動は生じない。

40

## 【 0 0 4 6 】

この消去動作において、基板領域に正の消去高電圧を印加してフローティングゲート F G から電子を基板領域へと放出する場合、ソースおよびドレイン不純物領域により、基板領域からの高電圧が、同様、印加され、フローティングゲート F G と基板領域の間の結合容量が大きくなり、効率的に電荷 ( 電子 ) を引抜けない。一方、埋込消去ゲート E G を利用する場合、単に S T I 分離膜 1 8 a および 1 8 c 表面に形成される埋込消去ゲート配線

50

4 a および 4 b の基板領域上部の突出部と対応のフローティングゲート F G との間で電界が発生するだけであり、カップリングを小さくでき、低電圧で消去を行なうことができる。また、埋込消去ゲート E G は、S T I 分離膜 1 8 a および 1 8 c 表面に形成されており、基板領域、ソース線およびビット線には、消去時の高電圧は印加されず、消費電力を低減することができる。また、後に説明するように、埋込消去ゲートは、ビット線、ソース線およびメモリゲート線と分離されており、埋込消去ゲートに消去電圧を印加した状態で、メモリセルに対してデータアクセスを行なうことができる。

【 0 0 4 7 】

図 8 は、メモリセルのデータ読出時の印加電圧および電流の流れる経路を概略的に示す図である。図 5 に示すように、メモリセルが選択セルの場合、ビット線 B L に読出電圧 1 . 0 V が印加され、アシストゲート A G に 1 . 5 V が印加される。メモリゲート M G およびソース線 S L は、0 V に設定される。通常の読出時においては、埋込消去ゲート E G はオープン状態または接地電圧 ( 0 V ) に設定される。

【 0 0 4 8 】

メモリセルのフローティングゲート F G が消去状態のときには、メモリトランジスタはデプレッション状態であり、下部にチャネルが形成され、ビット線 B L からソース線 S L に電流が流れる ( アシストゲート A G 下部にはチャネルが形成されている ) 。

【 0 0 4 9 】

一方、フローティングゲート F G が書込状態 ( プログラム状態 ) の場合、しきい値電圧は大きく、メモリトランジスタ ( メモリゲート下部 ) の基板領域表面にはチャネルは、形成されない。この場合、ビット線 B L からソース線 S L へは、ほとんど電流が流れない。この消去状態を論理 “ 1 ” および書込状態を論理 “ 0 ” に対応付けると、ビット線 B L を流れる電流を図示しないセンスアンプで検出することにより、メモリセルの記憶データを検出することができる。

【 0 0 5 0 】

非選択メモリセルにおいては、アシストゲート A G およびビット線 B L が 0 V に設定される。選択行かつ非選択列のメモリセルにおいても、ビット線 B L およびソース線 S L は同一電位であり、電流は流れず、データの読出は行なわれない。

【 0 0 5 1 】

この埋込消去ゲートを用いて、フローティングゲートと埋込消去ゲートの間で電荷を移動させて消去を行なうメモリセルの構成の場合、書込電流は小さい ( ソースサイド注入を行なっており、効率的に低消費電流 ( 1 0  $\mu$  A 程度 ) で書込を行なうことができる ) 。また、書込時に、電圧 5 V 、 1 0 V 、消去時に 1 0 V の電圧が必要とされ、合計 2 種類の電源電圧を生成する電源回路が必要とされるだけである。また、消去および書込時の電流消費は小さく、消去および書込高電圧を生成する回路 ( チャージポンプ回路 ) のサイズを低減でき、応じて、レイアウト面積を低減することができる。

【 0 0 5 2 】

本発明においては、この埋込消去ゲートを有するメモリセル構造を利用して、消去と並行して同一メモリブロック内でデータアクセスを行なう。

【 0 0 5 3 】

図 9 は、この発明の実施の形態 1 に従う半導体装置の全体の構成を概略的に示す図である。図 9 において、半導体装置は、メモリセル M C が行列状に配列されるメモリアレイ 2 0 を含む。この図 9 において、メモリアレイ 2 0 内において 1 つのメモリセル M C を代表的に示す。メモリセル M C は、ソース不純物領域 1 3 、ドレイン不純物領域 1 4 、埋込消去ゲート E G を構成する埋込消去ゲート配線 4 と、ウェル領域にウェル電圧 W E L L を印加する P 型不純物領域 2 1 を含む。このウェル電圧 W E L L は、図 9 に示す構成においては接地電圧レベルに固定される。

【 0 0 5 4 】

このメモリセル M C の基板領域上に、アシストゲート A G 、フローティングゲート F G およびメモリゲート M G が形成される。1 行のメモリセルのアシストゲート A G はアシス

10

20

30

40

50

トゲート線 A G L に接続され、1 行のメモリセルのメモリゲート M G がメモリゲート線 M G L に接続される。またソース線 S L が不純物領域 1 3 に接続される。このソース線 S L は、書込モード時に 5 V の電圧が印加されるため、その電圧レベルが後に説明する行デコーダ 2 8 により設定される。1 列のメモリセルの不純物領域 1 4 に共通にビット線 B L が設けられる。

#### 【0055】

この半導体装置は、さらに、外部からのアドレス A D D を受けるアドレスレジスタ 2 2 と、アドレスレジスタ 2 2 からのアドレスおよび外部からの制御信号 / W E 、 / C E および / O E を受けて、指定された動作モードを識別し、指定された動作に必要な動作制御を行なうコマンドレジスタ / 制御回路 2 4 と、コマンドレジスタ / 制御回路 2 4 からの動作モード指示に従って動作モードに応じた電圧を発生する電圧発生回路 2 6 を含む。

10

#### 【0056】

制御信号 / W E は、ライトイネーブル信号であり、制御信号 / C E は、チップイネーブル信号でありこの半導体装置が選択されたことを示す。制御信号 / O E は出力イネーブルであり、データ読出タイミングを与える。通常、これらの制御信号 / W E および / C E の変化に応じて、動作モードを指定するコマンドおよびアクセス対象のメモリセルを指定するアドレスを取り込むタイミングが規定される。このコマンドは、アドレス入力ノードおよびデータ入力ノードを介して与えられる。

#### 【0057】

電圧発生回路 2 6 は、消去モード時には消去動作に必要な電圧 ( 1 0 V ) を生成し、書込モード時には、5 V および 1 0 V および 1 . 5 V の電圧を生成する。読出時には、アシストゲートへの電圧 1 . 5 V およびビット線 B L に印加される 1 . 0 V の電圧を生成する。

20

#### 【0058】

半導体装置はさらに、行選択を行う行デコーダ 2 8 、列選択を行う列デコーダ 3 0 および列選択ゲート回路 3 2 と消去ゲート電圧を設定する E G 制御回路 3 4 とを含む。行デコーダ 2 8 は、アドレスレジスタ 2 2 からのアドレス信号に従ってメモリセルアレイ 2 4 の選択行に対応するアシストゲート線 A G L およびメモリゲート線 M G L へ、電圧発生回路 2 6 から与えられた電圧を伝達する。この行デコーダ 2 8 は、ソース線デコーダ 2 8 を含み、データ書込時選択列の書込対象のソース線に 5 V の書込電圧を伝達する。

30

#### 【0059】

列デコーダ 3 0 は、アドレスレジスタ 2 2 からの列アドレス信号をデコードし、メモリアレイ 2 0 の列に対応するビット線を選択する列選択信号を生成するとともに、電圧発生回路 2 6 からの電圧レベルの列選択信号を生成する。列選択ゲート回路 3 2 は、列デコーダ 3 0 からの列選択信号に従って選択列のビット線を選択する。

#### 【0060】

E G 制御回路 3 4 は、消去動作時、アドレスレジスタ 2 2 からのアドレス信号に従って消去対象の消去ゲート線 E G L へ、電圧発生回路 2 6 からの消去電圧を伝達する。

#### 【0061】

この E G 制御回路 3 4 は、消去時、電圧発生回路 2 6 からの消去電圧を伝達された書込消去ゲート線 E G L 上に供給する。行デコーダ 2 8 および列デコーダ 3 0 は、E G 制御回路 3 4 からの消去高電圧印加期間中に、並行してメモリセル選択を行ない、消去ペリファイのためのメモリセルデータ読出を実行する。

40

#### 【0062】

この半導体装置は、さらに、メモリセルのデータを読出すセンスアンプ 3 6 と、選択メモリセルにデータの書込を行なうデータ書込ドライバ 3 8 と、外部との間でデータ D Q を送受する入出力バッファ 4 0 を含む。データ書込ドライバ 3 8 およびセンスアンプ 3 6 へは、アドレスレジスタ 2 2 からのアドレスが与えられ、複数の列 ( 1 I / O あたり ) のうち 1 つの列を選択してデータの書込および読出を実行する。データ書込ドライバ 3 8 へは、また、電圧発生回路 2 6 からの書込電圧が与えられ、データ書込ドライバ 3 8 により、

50

ビット線書込電圧を選択列へ伝達する。

【 0 0 6 3 】

データ書込ドライバ 3 8 により、“ 0 ”データの書込を行なう場合、ビット線 B L の電圧が 0 V に設定され、データ“ 0 ”が書込まれる。一方、データ“ 1 ”を格納する場合には、ビット線 B L に 1 . 5 V の電圧が印加され、選択メモリセルは、消去状態の低しきい値電圧状態に維持される。

【 0 0 6 4 】

入出力バッファ 4 0 は、データ書込時には、外部からのデータ D Q から内部書込データを生成してデータ書込ドライバ 3 8 へ伝達し、データ読出時には、センスアンプ 3 6 からの内部読出データをバッファ処理して外部出力データ D Q を生成する。データ出力タイミングが制御信号 / O E により決定される。

10

【 0 0 6 5 】

このコマンドレジスタ / 制御回路 2 0 および電圧発生回路 2 6 を用いて各動作モードに応じた内部電圧を生成するとともに、内部動作を制御する。コマンドレジスタ / 制御回路 2 4 は、たとえばシーケンスコントローラで構成され、消去、書込および読出に必要な内部動作をシーケンスコントローラに設定されたシーケンスに従って順次制御する。

【 0 0 6 6 】

図 1 0 は、図 9 に示す半導体装置の消去時の動作を示すフロー図である。以下、図 1 0 を参照して、図 9 に示す半導体装置の消去動作について説明する。

20

【 0 0 6 7 】

まず、外部から消去動作を指示するコマンドおよび消去対象のメモリセル領域を示すアドレスが与えられる（ステップ S 1 ）。このコマンドおよびアドレスに従って図 9 に示すコマンドレジスタ / 制御回路 2 4 は、電圧発生回路 2 6 に、消去モード指示 E R S を与え、電圧発生回路 2 6 に消去動作に必要な電圧を発生させる。

【 0 0 6 8 】

行デコーダ 2 8 は、消去モード時には、アシストゲート線 A G L およびメモリゲート線 M G L を、それぞれ、オープン状態（または 0 V ）および 0 V に設定する。列デコーダ 3 0 の出力信号は全て非選択状態であり、列選択ゲート回路 3 2 は、ビット線 B L を全て、オープン状態に維持する。

30

【 0 0 6 9 】

この状態で、選択されたメモリセルの消去ゲート線 E G L に消去高電圧（消去パルス）を印加する（ステップ S 2 ）。すなわち、図 9 に示す E G 制御回路 3 4 は、電圧発生回路 2 6 からの消去高電圧を、選択メモリセルに対して配置された埋込消去ゲート線 E G L へ伝達する。

【 0 0 7 0 】

この消去パルスを印加した状態で、次いで消去対象のメモリセルのデータの読出を行い、メモリセルが消去状態、すなわち低しきい値電圧状態にあるかを識別する（ステップ S 3 ）。この消去ベリファイにおいて非消去状態のメモリセルが存在する場合、再びステップ S 2 からの消去パルス印加ステップを実行する。一方、ステップ S 3 において、消去対象のメモリセル全てが、消去状態と判定されると、消去動作が完了する。

40

【 0 0 7 1 】

通常、消去高電圧はたとえば 1 0 V の電圧レベルである。この消去電圧は、電圧発生回路 2 6 においてチャージポンプ回路を用いて発生されるのが一般的である。したがって、消去高電圧の消去開始時の所定レベルへの立上げおよび消去停止時の所定レベルへの立下げに、数 1 0 0  $\mu$  s 程度の時間が必要である。この立下げ時間を利用してメモリセルデータの読出を行なって消去ベリファイを行なうことができ、消去時間を短くすることができる。特に、消去ゲート線 E G L を選択状態の H レベルに維持した状態でも消去ベリファイを実行することができ、消去時間を短くすることができる。この場合、選択トランジスタ（アシストゲート A G ）が存在するため、メモリトランジスタは、過消去状態（デプレッション状態）にあっても特に問題は生じず、消去パルス印加時にメモリセルのデータの読

50



出を行なうと、通常よりも長い期間消去パルスが印加される状態が生じても特に問題は生じない。

#### 【0072】

なお、1回目の消去での消去ベリファイ時に、1ビットでも非消去状態のメモリセルが存在すると、消去対象のメモリセルに対して再度、2回目の消去パルス（消去高電圧）が印加される。

#### 【0073】

図11は、図10に示す消去動作を具体的に示すタイミング図である。以下、図11を参照して、図9に示す半導体装置の消去動作について説明する。

#### 【0074】

図11において、外部からの制御信号 /WE および /CE をともに一旦立下げてから立上げると、データ端子 DQ およびアドレス端子 ADD から与えられた信号が、コマンドとして内部へ取込まれ、コマンドレジスタ / 制御回路 24 により取込んだコマンドに従って動作モード（消去モード）の識別が行なわれる。

#### 【0075】

次に、制御信号 /WE および /CE の立上がりから次の立下がりによって、アドレス ADD がアドレスレジスタ 22 に取込まれて消去対象のメモリセルが指定される。この後、制御信号 /WE および /CE を H レベルに立上げると、消去モードが開始される。すなわち、コマンドレジスタ / 制御回路 24 は、制御信号 /WE および /CE が 2 回立上げられると、コマンドにより指定された動作モードに入る。この場合、電圧発生回路 26 に消去モード指示 ERS をイネーブルして与え、消去に必要な電圧（消去高電圧）を発生させる。消去モードにおいては、EG 制御回路 34 により、消去対象として指定されたメモリセルの埋込消去ゲート線 EGL へは、消去高電圧（+10V）の消去パルスが印加される。この消去パルスが印加され所定期間が経過すると、内部で消去ベリファイ読出を行なう。すなわち、所定時間経過後、所定の時間間隔で、消去ベリファイ読出指示 VREAD が、イネーブルされ、行デコーダ 28 および列デコーダ 30 および列選択ゲート回路 32 を用いて、埋込消去ゲート線 EGL に消去電圧を与えた状態で、メモリゲート線 MGL およびビット線 BL に読出電圧を供給する。ビット線電流に従って選択メモリセルのデータをセンスアンプ 36 で読出し、コマンドレジスタ / 制御回路 24 において、読出したメモリセルが消去状態にあるかの識別を行なう。このベリファイ動作を、各メモリセルに対して順次実行する。

#### 【0076】

この1回目の消去に対するベリファイ（VR）により、消去不良（消去フェイル）と判断されると、引き続き、消去パルスを所定期間印加した後、再度消去ベリファイを実行する（消去高電圧を印加した状態で）この2回目の消去に対するベリファイにおいて全ビット消去完了と判定されると（消去パスと判定されると）、消去モード ERS をディスエーブルし、EG 制御回路 34 から消去ゲート線 EGL への消去高電圧の印加を停止する。この消去パルスの印加および消去ベリファイは、消去ベリファイにおいて消去パスと判定されるまで、繰返し実行される。

#### 【0077】

消去パルスの印加期間の間に、複数の消去対象のメモリセルの逐次ベリファイ読出を行なうことができる。したがって、この消去パルスが完全に接地電圧レベルに低下するまでの期間を待つ必要なく、ベリファイ動作を開始することができ、消去時間を短縮することができる。この場合、1回目の消去ベリファイ読出を行なうまでの期間として、消去に必要な期間が確保されればよい。消去ベリファイ時においては、少なくとも1ビットの未消去状態のメモリセルが存在する場合、消去対象のメモリセルに対し引き続き消去パルスを印加する。したがって、最初の消去ベリファイを消去パルス印加中に行なうメモリセルの消去パルス印加期間が仮に不十分であっても、消去ベリファイ期間において消去パルスが印加される。したがって、次の消去パルス印加後、この最初の消去ベリファイ時に未消去状態と識別されるメモリセルでも、確実に、消去状態に設定することは可能であり、全体と

10

20

30

40

50

して消去時間の増大は、十分に抑制することができる。

【 0 0 7 8 】

図 1 2 は、メモリセル M C の消去および消去ベリファイ読出に関連する部分の構成を概略的に示す図である。コマンドレジスタ / 制御回路 2 4 は、コマンドをデコードするコマンドデコーダ 4 0 と、コマンドデコーダ 4 0 のデコードしたコマンドを格納するコマンドレジスタ 4 1 と、コマンドレジスタ 4 1 に格納される消去コマンドに従って消去動作を制御する消去制御部 4 2 と、消去ベリファイを行なう消去ベリファイ部 4 3 を含む。

【 0 0 7 9 】

コマンドデコーダ 4 0 は、外部からの制御信号 / W E および / C E および / O E に従って、アドレス A D D およびデータ D Q をコマンドとして受けてデコードする。

10

【 0 0 8 0 】

消去制御部 4 2 は、コマンドレジスタ 4 1 に格納された消去コマンドに従って消去指示 E R S をイネーブルして消去動作モードを指示するとともに消去ベリファイ時には所定の間隔で消去読出指示 V R E A D をアサート（活性化）し、消去動作および消去ベリファイ読出動作の制御および消去ベリファイ制御部 4 3 のベリファイ動作を制御する。この消去制御部 4 2 は、たとえば消去制御シーケンスコントローラで構成され、消去コマンドに従って所定のシーケンスで消去指示 E R S および消去ベリファイ読出指示 V R E A D を所定のタイミングでイネーブルする。

【 0 0 8 1 】

消去ベリファイ制御部 4 3 は、消去制御部 4 2 により動作制御され、センスアンプ 3 6 に含まれるセンスアンプ回路 4 8 からのベリファイ読出データ D O を受け、このベリファイ読出データ D O が消去状態を示す論理値であるかを判別する。

20

【 0 0 8 2 】

電圧発生回路 2 6 は、消去高電圧発生回路 4 6 と、A G 読出電圧発生回路 4 5 とを含む。消去高電圧発生回路 4 6 は、消去制御部 4 2 からの消去動作指示 E R S の活性化時（アサート時）、消去高電圧 V P E G（+ 1 0 V）を生成する。一方、消去読出および消去ベリファイおよび書込時において、1 . 5 V または 0 V の電圧がアシストゲート A G に印加されるだけであり、A G 読出電圧発生回路 4 5 は、たとえば 1 . 5 V のアシストゲート電圧 V a g を常時生成する。

【 0 0 8 3 】

30

E G 制御回路 3 4 は、E G 線選択回路 4 7 を含む。この E G 線選択回路 4 7 は、消去動作時消去制御部 4 2 によりイネーブルされ、アドレス信号 A D D に従って消去対象のメモリセルの埋込消去ゲート線 E G L を選択し、該選択された埋込消去ゲート線 E G L に、消去高電圧発生回路 4 6 からの消去高電圧 V P E G を伝達する。

【 0 0 8 4 】

消去動作時、行デコーダ 2 8 は、消去ベリファイ読出指示 V R E A D がアサートされると、アドレス信号 A D D に従って消去対象のメモリセルに対して配置されるアシストゲート線 A G L にアシストゲート電圧 V a g を伝達する。このとき、メモリゲート線 M G L は、0 V に設定される。行デコーダ 2 8 により選択された 1 行のメモリセルのうち、図 9 に示す列選択ゲート回路 3 2 が列デコーダ 3 0 からの列選択信号に従って選択メモリセルのビット線 B L をセンスアンプ 3 6 に結合する。センスアンプ 3 6 は、センスアンプ回路 4 8 を含み、読出電流 I r e a d を選択列のビット線 B L に伝達し、参照電流 R E F との間で大小比較を行なってベリファイ読出データ D O を生成し、消去ベリファイ制御部 4 3 へ与える。

40

【 0 0 8 5 】

消去ベリファイ制御部 4 3 は、センスアンプ 3 6 からの内部読出データ D O が消去状態の論理値 “ 1 ” であるかの判別を行い、消去不良ビットが存在すると、消去不良ビットの存在を消去制御部 4 2 に伝達する。全ビットが消去状態のときには、消去完了を消去制御部 4 2 に通知する。この消去ベリファイ制御部 4 3 からの消去結果通知に従って、消去動作の継続および完了（消去パルスの継続印加および印加停止）を実行する。

50

## 【 0 0 8 6 】

消去ベリファイ動作時、消去高電圧を埋込消去ゲート線 E G L に与えた場合、メモリセル M C において、フローティングゲート F G と埋込消去ゲート線 E G L の間で電子が、ファウラーノルドハイム電流の形態で引抜かれる。このフローティングゲート F G および埋込消去ゲート線 E G L は、ソース線 S L、メモリゲート M G およびアシストゲート A G およびビット線 B L とすべて電氣的に分離されている。したがって、この状態で、アシストゲート A G にベリファイ読出電圧 V a g を印加してビット線 B L とソース線 S L の間に、メモリセル M C の記憶データに応じた電流を流しても、何ら消去動作には影響を及ぼさず、正確にメモリセル M C のメモリトランジスタのしきい値電圧に応じた電流を流すことができる。

10

## 【 0 0 8 7 】

図 1 3 は、このメモリトランジスタのしきい値電圧とメモリセルを流れる電流の対応を概略的に示す図である。消去状態においては、メモリトランジスタはしきい値電圧 V t h 0 を有し、メモリゲート M G に印加される電圧 V m g が 0 V であっても、メモリトランジスタにはチャネルが形成される。一方、メモリトランジスタが書込状態のときには、このメモリトランジスタは、しきい値電圧 V t h 1 を有し、メモリゲート電圧 V m g が 0 V の場合、電流は流れない。直列に接続されるアシストゲート A G を選択することにより、メモリトランジスタのしきい値電圧の状態に応じた読出電流がビット線 B L ソース線 S L との間に流れ、センスアンプ 3 6 において、ビット線電流と参照電流 I r e f との大小に応じて、消去状態および書込状態を識別することができる。

20

## 【 0 0 8 8 】

また、消去状態においては、メモリトランジスタは、デプレッション状態にある。しかしながら、アシストゲートトランジスタ（選択トランジスタ）により、メモリセルの選択 / 非選択がデータ書込 / 読出時に行なわれるため、この消去状態、すなわちデプレッション状態にメモリトランジスタがあっても特に、問題は生じず、また、消去の制御が容易となる（デプレッション状態が許容されるため）。

## 【 0 0 8 9 】

以上のように、この発明の実施の形態 1 に従えば、埋込消去ゲート線を用いて消去を行なっており、この消去ゲートは、ビット線、ソース線、ウェルおよびメモリゲートと分離されており、消去電圧印加と並行して消去ベリファイ読出を行なうことができる。これにより、消去に要する時間を短縮することができる。

30

## 【 0 0 9 0 】

## [ 実施の形態 2 ]

図 1 4 は、この発明の実施の形態 2 に従う半導体装置の全体の構成を概略的に示す図である。図 1 4 に示す半導体装置は、以下の点で、図 9 に示す半導体装置とその構成が異なる。すなわち、メモリアレイ 2 0 において、複数の埋込消去ゲート線 E G L A および E G L B により、メモリアレイ 2 0 は複数の列ブロックに分割される。埋込消去ゲート線 E G L A ( E G ( 0 ) ) がメモリセル M C a の埋込消去ゲート E G に結合され、埋込消去ゲート線 E G L B ( E G ( 1 ) ) が、メモリセル M C b の埋込消去ゲート E G に結合される。メモリセル M C a および M C b は、それぞれビット線 B L ( 0 ) および B L ( 1 ) に結合される。

40

## 【 0 0 9 1 】

メモリアレイ 2 0 は、単一バンク構造であり、ある行のメモリセルに対するデータアクセス（読出または書込）時、別の行のメモリセルに対して並行してデータアクセスはできない。

## 【 0 0 9 2 】

E G 制御回路 4 4 は、埋込消去ゲート線単位で、メモリアレイ 2 0 における消去を実行する。ここで、メモリアレイ 2 0 が、列ブロックに分割されているのは、埋込消去ゲート線は、ビット線と平行に配設されているためである。したがって、消去対象のメモリセル M C a が消去実行状態のとき、この消去対象のメモリセル M C a と同一行のメモリセル M

50

C bは埋込消去ゲート線は非選択状態であり、一方、アシストゲート線A G Lはオープン状態である。メモリゲート線M G Lおよびソース線S Lは接地電圧レベルであり、ビット線B L ( 0 )はフローティング状態である。このとき、アシストゲート線A G Lを選択状態へ駆動して、この消去非対象のメモリセルM C bに対するデータの読出を実行する。この図14に示す半導体装置の他の構成は、図9に示す半導体装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

#### 【0093】

図15は、図14に示す列選択ゲート回路32の構成を、関連するメモリセルM C ( 0 )およびM C ( 1 )の接続態様とともに示す図である。メモリセルM C ( 0 )は、埋込消去ゲート線E G L ( 0 )に接続される消去ゲートE G ( 0 )を有し、メモリセルM C ( 1 )は、埋込消去ゲート線E G L ( 1 )に接続される消去ゲートE G ( 1 )を有する。メモリセルM C ( 0 )およびM C ( 1 )に共通に、メモリゲート線M G L ( 0 )およびアシストゲート線A G L ( 0 )が設けられる。メモリセルM C ( 0 )はビット線B L ( 0 )を介して列選択ゲート回路32に含まれるY選択ゲートY G 0に結合され、メモリセルM C ( 1 )は、ビット線B L ( 1 )を介してY選択ゲートY G 1に結合される。これらのY選択ゲートY G 0およびY G 1は、それぞれ、列選択信号S G ( 0 )およびS G ( 1 )に 응답して選択的に導通し、導通時、対応のビット線B L ( 0 )およびB L ( 1 )を内部読出データ線R Dに結合する。この内部読出データ線R Dはセンスアンプ36に含まれるセンスアンプ回路48に結合される。このセンスアンプ回路48は、図12に示すセンスアンプ回路48と同じであり、内部読出データ線R Dを流れる電流と参照電流I R E Fとを差動増幅して内部読出データD Oを生成する。

#### 【0094】

今、図15においてメモリセルM C ( 0 )が消去対象のメモリセルであり、メモリセルM C ( 1 )が読出対象のメモリセルであるとする。ここで、読出対象のメモリセルは、外部からデータアクセスが要求されたメモリセルである。

#### 【0095】

図16は、図14および図15に示す半導体装置の消去動作および読出動作を並行して実行するときの動作タイミングを示す図である。以下、図16を参照して、図14および図15に示す半導体装置の消去時のデータ読出動作について説明する。

#### 【0096】

消去時においては、メモリゲート線M G L ( 0 )およびアシストゲート線A G L ( 0 )はともにオープン状態である。この状態で、埋込消去ゲート線E G L ( 0 )に消去高電圧が印加され、消去対象のメモリセルM C ( 0 )の埋込消去ゲートE G ( 0 )の電圧レベルが10Vの高電圧レベルに設定されて、メモリセルM C ( 0 )における消去が実行される。このとき、埋込消去ゲート線E G L ( 1 )は非選択状態またはオープン状態の接地電圧レベルであり、メモリセルM C ( 1 )に対しては何ら消去は行なわれない。消去電圧を埋込消去ゲートA G ( 0 )に印加した状態で、埋込消去ゲート線E G L ( 1 )に接続されるメモリセルM C ( 1 )等のメモリセルの読出を実行する。

#### 【0097】

すなわち、アシストゲート線A G L ( 0 )およびY選択信号S G ( 1 )を選択状態に駆動し、メモリセルM C ( 1 )のデータの読出を実行する。所定の間隔で、アシストゲート線A G L ( i )を最終のアシストゲート線A G L ( n )まで、順次選択する。このときまた、Y選択ゲートY G 1を列選択信号S G ( 1 )に従って選択状態に駆動する。これにより、埋込消去ゲート線E G L ( 1 )に対応して配置されるメモリセルのデータを、順次読出することができる。埋込消去ゲート線E G L ( 1 )に対するメモリセルのデータの読出完了後、次いで、アシストゲート線A G L ( 0 )を選択状態へ駆動するとともに、Y選択信号S G ( 0 )を選択し、消去対象のメモリセルM C ( 0 )、...のペリファイ読出を順次、消去高電圧を立ち下げる前に、開始する。

#### 【0098】

したがって、消去高電圧を印加した状態で、データアクセス（外部読出）を行なうこと

ができ、通常のフラッシュメモリのサスペンドモード動作のように、一旦、消去高電圧の印加を停止してビット線等の内部電圧が安定した後に外部からデータアクセスを行なう必要がない。これにより、高速のデータアクセスを行なうことができる、また、実施の形態 1 と同様、ベリファイと消去を並行して実行することが可能であり、消去に要する時間も短縮することができる。

#### 【0099】

図 17 は、この発明の実施の形態 2 における半導体装置のメモリアレイ 20 の一般的構成を概略的に示す図である。図 17 においてメモリアレイ 20 は、複数の列ブロック CB0 - CBn に分割される。これらの列ブロック CB0 - CBn それぞれに対応して埋込消去ゲート線 EGL0、EGL1、... EGLn が設けられる。消去は、列ブロック単位で実行される。これらの列ブロック CB0 - CBn に共通にアシストゲート線 AGL およびメモリゲート線 MGL が配設される。列ブロック CB0 - CBn それぞれに、Y 選択ゲート YG1、YG2、... YGn が設けられる。これらの Y ゲート YG1 - YGn は、それぞれブロック選択信号 SG0、SG1、... SGn に従って対応の列ブロックの選択列を内部読出データ線 RD を介してセンスアンプへ結合する。

10

#### 【0100】

この図 17 に示すアレイ構成においては、1 つの列ブロック CBi において消去が埋込消去ゲート線 EGLi の印加電圧に従って実行されているとき、他の列ブロックにおいてデータの読出を行ない、また、消去ブロックにおいて消去動作と並行してベリファイ動作を行なうことができる。

20

#### 【0101】

なお、列ブロック CB0 - CBn それぞれにおいて、複数列にわたってビット線が配設される。この場合、ビット線各々に対して列選択ゲートが配置され、列選択信号に従ってビット線が選択され、この選択列のビット線がブロック選択信号 SG0 - SGn に従って対応の Y 選択ゲートにより選択されて内部読出データ線 RD に結合される。

#### 【0102】

図 18 は、図 14 に示すコマンドレジスタ / 制御回路 24 の構成を概略的に示す図である。図 18 に示すコマンドレジスタ / 制御回路 24 において、コマンドレジスタとして、消去コマンドを格納する消去コマンドレジスタ 41e と読出コマンドを格納する読出コマンドレジスタ 41r とが設けられる。消去コマンドレジスタ 41e からの消去コマンド（消去指示）が消去制御部 42 へ与えられる。また、消去対象の列ブロックを指定する消去ブロックアドレスを格納する消去ブロックアドレスレジスタ 50 が設けられる。

30

#### 【0103】

消去制御部 42 は、消去モードが指定されたとき、消去列ブロックを特定する列ブロックアドレスを消去ブロックアドレスレジスタ 50 に格納する。

#### 【0104】

消去制御部 42 は、また、消去ベリファイ動作を制御する消去ベリファイ制御部 43 の動作を制御する。このコマンドレジスタ / 制御回路 24 において、また、比較回路 52 および読出制御部 54 が設けられる。比較回路 52 は、読出コマンドレジスタ 41r に読出コマンドが格納され、この読出コマンドレジスタ 41r からデコードされた読出コマンドとして読出指示 Cread が与えられ、かつ消去制御部 42 からの消去モード指示 ERS が与えられると、消去ブロックアドレスレジスタ 50 の格納ブロックアドレスと外部からのアドレス信号 ADD のブロックアドレスとを比較する。

40

#### 【0105】

読出制御部 54 は、この比較回路 52 の出力信号が不一致を示すとき、読出モードイネーブル信号 READ をイネーブルする。読出制御部 54 からの読出モードイネーブル信号 READ は、消去制御部 42 へ与えられ、消去制御部 42 は、この読出モードイネーブル信号 READ のアサート時（活性化時）、ベリファイ動作を禁止状態に設定して、消去動作を継続的に実行する。

#### 【0106】

50

比較回路 5 2 がアドレスの一致を検出した場合には、この読出動作は消去ブロックに対して実行されるため、データの外部読出は停止され、読出動作モードイネーブル信号 R E A D は非活性状態に維持される。これにより、消去ブロックと別のブロックに対し外部からデータの読出アクセスを行なうことができる。

【 0 1 0 7 】

なお、このデータ読出時、外部からのアドレスをアドレスレジスタ 2 2 に格納し、このアドレスレジスタ 2 2 に格納されたアドレスを先頭アドレスとして、順次内部アドレスを生成して、選択ブロックの行（アシストゲート線）が順次選択されてもよい。このとき、列選択信号は、選択ブロックにおいて、同じ列を選択するように固定されてもよい。

【 0 1 0 8 】

10

図 1 9 は、図 1 4 に示す行デコーダ 2 8、列デコーダ 3 0 および E G 制御回路 3 4 の構成をより具体的に示す図である。図 1 9 において、行デコーダ 2 8 は、アシストゲート線デコーダ 5 6、メモリゲート線デコーダ 5 8、およびソース線デコーダ 5 9 を含む。アシストゲート線デコーダ 5 6 は、読出モードイネーブル信号 R E A D、消去モード指示 E R S およびベリファイ読出モード指示 V R E A D に従って、データ読出モードにおいては、アドレス信号 A D D に含まれる X アドレス信号 A D X をデコードし、選択行のアシストゲート線 A G L へ所定の電圧（V a g）を伝達する。

【 0 1 0 9 】

消去モード時においては、このアシストゲート線デコーダ 5 6 はディスエーブルされ、アシストゲート線 A G L を開放状態または接地電圧（0 V）レベルに設定する。アシストゲート線デコーダ 5 6 のアシストゲート線ドライバは、アシストゲート線を開放状態に設定する構成の場合、3 値ドライバで構成され、消去モード時、非選択アシストゲート線ドライバは、出力ハイインピーダンス状態に設定される。

20

【 0 1 1 0 】

メモリゲート線デコーダ 5 8 も同様、消去モード指示 E R S、読出モードイネーブル信号 R E A D、およびベリファイ読出モードイネーブル信号 V R E A D に従ってアドレス信号 A D X をデコードし、メモリゲート線 M G L に所定の電圧を印加する。このメモリゲート線デコーダ 5 8 は、消去動作モード時には、メモリゲート線 M G L を開放状態（オープン状態）または接地電圧（0 V）に設定し、ベリファイ読出およびデータアクセス読出時においては、メモリゲート線 M G L を接地電圧レベルに維持する。メモリゲート線デコーダ 5 8 は、データ書込時において、選択行のメモリゲート線 M G L に書込高電圧を印加する。

30

【 0 1 1 1 】

ソース線デコーダ 5 9 は、消去モード指示 E R S、読出モードイネーブル信号 R E A D、およびベリファイ読出モードイネーブル信号 V R E A D に従ってアドレス信号 A D X をデコードし、書込モード時、選択行のソース線 S L へ書込高電圧（5 V）を伝達し、それ以外の動作モード時には、ソース線 S L を接地電圧レベルに維持する。

【 0 1 1 2 】

列デコーダ 3 0 は、この読出モードイネーブル信号 R E A D、ベリファイ読出イネーブル信号 V R E A D のアサート時イネーブルされ、アドレス信号 A D D に含まれる Y アドレス信号 A D Y をデコードし、列選択信号 S G を生成する。この列選択信号 S G は、列ブロックを特定するブロック選択信号およびこの特定された列ブロック内の列を指定する列選択信号 C S L 両者を含んでもよい。また、この列選択信号は、列ブロック選択信号と列選択信号との合成信号であってもよい。

40

【 0 1 1 3 】

E G 制御回路 3 4 に含まれる E G 線選択回路 4 7 は、消去モード指示 E R S の活性化時、アドレス信号 A D Y をデコードし、選択列の埋込消去ゲート線 E G L を選択状態に駆動し、所定の消去高電圧を印加する。読出モード時およびベリファイ読出モード時においては、E G 線選択回路 4 7 は、埋込消去ゲート線をオープン状態または接地電圧レベルに維持する。

50

## 【 0 1 1 4 】

この図 1 9 に示す構成を利用することにより、消去対象の列ブロックに対し消去を行なう動作と並行して外部からのデータアクセスをおよびベリファイ読出を別の列ブロックにおいて実行することができる。

## 【 0 1 1 5 】

なお、アドレス信号 A D D は、外部からのデータアクセスが行なわれる場合には、外部からのアドレス信号 A D D であり、ページモード動作が可能な場合には、このアドレス信号 A D D が順次内部のアドレスレジスタに格納されたアドレスをカウントアップして内部アドレスを生成する。消去ベリファイ読出時においては、このアドレス信号 A D D は、図示しないベリファイカウンタから生成されるベリファイ読出アドレス信号である。

10

## 【 0 1 1 6 】

以上のように、この発明の実施の形態 2 に従えば、単バンク構成のメモリアレイを複数の列ブロックに分割し、列ブロック単位で消去を行なうように構成している。これにより、消去列ブロックと別の列ブロックに対し外部からデータアクセスを行なうことができ、実施の形態 1 と同様の効果に加えて、データアクセスが効率的に行なうことができ、外部の処理装置のデータ待ち時間をなくすることができる。また、実施の形態 1 と同様の効果を得ることができる。

## 【 0 1 1 7 】

## [ 実施の形態 3 ]

図 2 0 は、消去および読出を並行して行なう際のメモリセルの印加電圧を概略的に示す図である。図 2 0 において、消去時においては、埋込消去ゲート E G に消去高電圧  $V_{eg}$  ( $= 10V$ ) が印加される。読出時においては、アシストゲート A G に読出電圧  $V_{ag}$  ( $= 1.5V$ ) が印加される。読出時、ビット線 B L は、読出電圧 ( $1.0V$ ) が印加される。この状態において、読出時においては、アシストゲート A G 上の電圧  $V_{ag}$  により、ドレイン不純物領域 1 4 に隣接する基板領域表面に、チャネル 6 0 が形成される。この状態においては、埋込消去ゲート E G とフローティングゲート F G の間に、寄生容量 C 0 が存在し、フローティングゲート F G とアシストゲート A G の間に寄生容量 C 1 が存在し、フローティングゲート F G とチャネル 6 0 の間にも、寄生容量 C 2 が存在する。

20

## 【 0 1 1 8 】

通常の従来と同様の消去動作においては、アシストゲート A G およびビット線 B L はオープン状態または  $0V$  (接地電圧) であり、埋込消去ゲート E G に対してのみ消去高電圧が印加される。したがって、消去電圧印加と読出動作を並行して実行する場合、寄生容量 C 1 および C 2 により、埋込消去ゲート E G とフローティングゲート F G の間の寄生容量 C 0 による結合の効果が低下する。このため、効率的なカップリングを埋込消去ゲート E G とフローティングゲート F G の間に実現することができなくなり、埋込消去ゲート E G とフローティングゲート F G の間に十分な電圧を印加することができず、消去効率が低下することが考えられる。

30

## 【 0 1 1 9 】

図 2 1 は、この発明の実施の形態 3 における消去および読出を行なう際の動作シーケンスを示すタイミング図である。メモリセルのレイアウトおよび読出部の構成は、先の図 1 4 および図 1 5 に示す実施の形態 2 に従う半導体装置の構成と同じである。消去時、埋込消去ゲート E G (0) に消去高電圧を印加する。続いて、消去非対称のアシストゲート A G を順次選択し、同一列のブロック列選択信号 (またはブロック選択信号) S G (1) を選択状態に駆動し、データ読出を行なう。図 2 1 に示すシーケンスにおいては、A G (0) から A G (n) を順次選択して、(n+1) 回のデータ読出を行なう。この読出の間の待機期間  $T_r$  および読出期間  $T_{re}$  は、消去パルス印加期間  $T_e$  よりも十分に小さくする。

40

## 【 0 1 2 0 】

すなわち、消去パルス印加時においては、データ読出は連続的ではなく所定の間隔  $T_r$  をおいて行ない、読出間隔  $T_r$  よりも十分長い期間、消去高電圧を印加する。最後に外部データ読出を行なった後、ベリファイ読出動作が実行される。図 2 1 に示すシーケンスに

50

おいては、列選択信号（またはブロック選択信号）SG(0)に従ってアシストゲート線AG(0)、...を順次選択して実行される。この消去電圧印加中にベリファイ読出を開始し、ベリファイ読出モードでデータを内部読出しし、消去ベリファイ結果が消去パスを示せば、消去高電圧を所定のレベルに低下させる。

【0121】

したがって、このアシストゲートに印加される読出パルス印加期間Treは、消去高電圧を印加する期間Teに比べて十分短くされ、埋込消去ゲートEGとフローティングゲートFGのカップリングが低下する影響を低減することができ、正確に消去を行なうことができる。

【0122】

図22は、この発明の実施の形態3に従う半導体装置のコマンドレジスタ/制御回路24の構成を概略的に示す図である。この図22に示すコマンドレジスタ/制御回路24は、以下の点で、図18に示すコマンドレジスタ/制御回路24の構成と、その構成が異なる。すなわち、図22に示すコマンドレジスタ/制御回路24においては、読出制御部54に対しタイマ65が設けられる。この図22に示すコマンドレジスタ/制御回路24の他の構成は、図18に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0123】

この図22に示すコマンドレジスタ/制御回路24の構成においては、読出制御部54は、データ読出を行なうとき、読出モードイネーブル信号READをタイマ65からのカウンタ値に従って所定間隔でイネーブルする。この読出モードイネーブル信号READの活性化期間により、データ読出期間が指定される。この場合、読出制御部54は、読出モードとして、バーストモードのように連続的にデータの読出を行なうモードが指定されたとき、読出モードイネーブル信号READを、この読出動作期間中イネーブル状態に設定し、各読出期間を規定する読出活性化信号RENを、タイマ65のカウント値に従って選択的に所定の間隔で、所定期間イネーブル状態とする構成が用いられてもよい。

【0124】

消去制御部42は、読出制御部54からの読出動作完了指示に従って消去ベリファイ制御部43を制御し、ベリファイ読出を消去ベリファイ制御部43の制御の下に実行する。

【0125】

列デコーダおよび行デコーダの構成は、先の図19に示す構成と同様の構成を利用する。読出モードイネーブル信号READの活性化期間中、アドレス信号ADDのデコード動作が実行されて、行および列の選択が実行される。

【0126】

電圧発生回路(26)は、各動作モードに応じて必要な電圧、すなわち消去高電圧、読出電圧およびベリファイ読出電圧を、各制御部42, 43および54の制御の基に生成する。

【0127】

なお、バーストモードが許容される場合、また、アドレス信号ADDは、タイマ65のカウント値に従って、順次、アドレスカウンタ(図示せず)からアドレスレジスタの格納アドレスを出発アドレスとして生成する構成が用いられてもよい。

【0128】

以上のように、この発明の実施の形態3に従えば、消去電圧印加中のデータ読出時、消去電圧印加期間よりも十分短い間隔および読出期間で読出を行っており、消去電圧印加による消去動作に影響を及ぼすことなく、並行してデータ読出を行なうことができる。

【0129】

[実施の形態4]

図23は、この発明の実施の形態4に従う半導体装置の全体の構成を概略的に示す図である。図23に示す半導体装置は、以下の点で、その構成が、図14に示す半導体装置と異なる。すなわち、メモリアレイ20が、複数のメモリブロックBK0 - BKnに分割さ

10

20

30

40

50



れる。これらのメモリブロック  $BK0 - BK_n$  には共通に、ビット線  $BL$  が配設され、各メモリブロックの対応の列のメモリセルがビット線  $BL$  に接続される。

【0130】

メモリブロック  $BK0 - BK_n$  には、それぞれ、行方向に沿って延在するアシストゲート線  $AGL$  およびメモリゲート線  $MGL$  が配設される。また、メモリブロック  $BK0 - BK_n$  それぞれに対して、ブロック埋込消去ゲート線  $BEG$  が配設される。メモリブロック  $BK0 - BK_n$  それぞれにおいてローカル埋込消去ゲート線  $LEG$  が配設され、対応のブロック消去ゲート線  $BEG$  に結合される。ローカル埋込消去ゲート線  $LEG$  は、対応のメモリブロック内において各メモリセル列に沿って列方向に延在するように配置される。

【0131】

$EG$  制御回路 70 は、消去モード時、メモリブロック単位で、ブロック埋込消去ゲート線  $BEG$  を選択状態へ駆動する。

【0132】

この図 23 に示す他の構成は、図 14 に示す半導体装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0133】

図 24 は、図 23 に示すメモリアレイ 20 の構成をより具体的に示す図である。図 24 に示す構成においては、消去単位が異なるメモリブロックが設けられているため、メモリブロック  $BK0 - BK_n$  の符号に代えて、符号  $BKA$  および  $BKB$  を用いる。

【0134】

図 24 において、たとえば 1 K バイトの容量のメモリブロック  $BKA0 - BKA3$  と、例えば 2 K バイトの容量のメモリブロック  $BKB0 - BKB15$  が設けられる。メモリブロック  $BKA0 - BKA3$  および  $BKB0 - BKB15$  に対しては、メモリブロック単位で消去が行なわれる。したがって、合計容量 4 KB (バイト) のメモリブロック  $BKA0 - BKA3$  においては、消去単位は 1 K バイトであり、一方、合計 32 KB のメモリブロック  $BKB0 - BKB15$  においては、消去単位は 2 K バイトである。この消去単位を異ならせることにより、アプリケーションに応じてデータを、消去単位の異なるメモリブロックに格納する。例えば、頻繁に書き換えるデータを容量の小さなメモリブロック  $BKA0 - BKA3$  に格納し、データ量が多いまたは書換え頻度の小さなデータを容量の大きなメモリブロック  $BKB0 - BKB15$  に格納する。

【0135】

メモリブロック  $BKA0 - BKA3$  および  $BKB0 - BKB15$  に共通にビット線  $BL$  が設けられる。図 24 においては、ビット線  $BL0$  および  $BLk$  を代表的に示す。ビット線  $BL0 - BLk$  に対し、各メモリブロックにおいてメモリセル  $MC$  の選択トランジスタ (アシストゲートトランジスタ) が結合される。この場合、データアクセスが各メモリブロックにおいて 2 ビット単位で実行されるため、記憶容量は、物理アドレスの 1 / 2 倍となる。

【0136】

メモリブロック  $BKA0 - BKA3$  および  $BKB0 - BKB15$  に共通に、列選択ゲート回路 32 が設けられる。この列選択ゲート回路 32 により選択されたビット線が、内部データバスを介してセンスアンプ回路 48 および書込ドライブ回路 72 に結合される。このセンスアンプ回路 48 および書込ドライブ回路 72 は、それぞれ、図 23 に示すセンスアンプ 36 およびデータ書込ドライバ 38 内に設けられる。

【0137】

メモリブロック  $BKA0 - BKA3$  に対しては、ブロック埋込消去ゲート線  $BEGA0 - BEGA3$  がそれぞれ設けられ、メモリブロック  $BKB0 - BKB15$  には、ブロック埋込ゲート線  $BEB0 - BEB15$  がそれぞれ設けられる。

【0138】

図 25 は、図 24 に示すメモリブロックにおける 1 つのメモリブロックに対する消去を行なう場合の、各ブロックのゲート配線の印加電圧を概略的に示す図である。図 25 にお

10

20

30

40

50

いて、消去対象のブロックにおいては、メモリセルM C eのローカル埋込消去ゲート線L E Gに消去高電圧(10V)が印加される。メモリセルM C eのメモリゲートM GおよびアシストゲートA Gは、オープン状態または0Vであり、ソース線S Lは、接地ノードに結合される。したがって、消去時、アシストゲートA Gを0Vに設定すれば、消去対象のメモリセルM C eのローカル埋込消去ゲート線L E Gは、ビット線B Lと分離される。

【0139】

この消去対象のメモリブロックと異なるメモリブロックにおいて、メモリセルM C dのローカル埋込消去ゲート線L E Gは、0Vまたはオープン状態に維持される。メモリセルM C dのメモリゲートM GおよびアシストゲートA Gには、消去対象のメモリセルM C eのメモリゲートM GおよびアシストゲートA Gの印加電圧にかかわらず、別の電圧を印加することができる。したがって、ビット線B Lに読出電圧または書込電圧を印加することができ、また、消去非対象のメモリブロックのソース線S Lには書込電圧を印加することができ、応じて、メモリセルM C dに対してデータアクセス(読出/書込)を行なうことができる。すなわち、消去ブロックにおける消去電圧印加期間中に、並行して、別のメモリブロックに対してデータのアクセス(外部データの書込または読出)を行なうことができる。

10

【0140】

図26は、この発明の実施の形態4における消去およびデータアクセスシーケンスの一例を示す図である。図26において、消去対象ブロックにおいて消去電圧が印加される。この消去電圧印加と並行して、別のデータアクセスブロックにおいてデータの読出または書込を実行することができる。これにより、読出および書込の自由度が改善され、データアクセス効率が改善される。

20

【0141】

消去モード時のベリファイ動作においては、単にデータアクセスブロックのデータアクセス完了時またはその間を縫って消去ベリファイ読出が実行されればよい。

【0142】

図27は、この発明の実施の形態4に従う半導体装置のデータアクセスシーケンスを示す図である。図27に示すアクセスシーケンスにおいては、書込および読出が交互に異なるメモリブロックに対して実行される。書込(プログラム)時においては、ビット線を用いて書込電圧が伝達されるため、書込および読出を並行して実行することはできない。

30

【0143】

図28は、図23に示すコマンドレジスタ/制御回路24の構成を概略的に示す図である。この図28に示すコマンドレジスタ/制御回路24においては、指定された動作モードを特定するコマンドを格納するコマンドレジスタとして、消去コマンドレジスタ41e、書込コマンドレジスタ41w、および読出コマンドレジスタ41rが設けられる。これらのコマンドレジスタ41e、41wおよび41rは、図示しないコマンドデコーダからのデコード後のコマンドをそれぞれ格納する。

【0144】

図28に示すコマンドレジスタ/制御回路20は、先の図18に示す構成と同様、消去制御部42、消去ベリファイ制御部43および消去ブロックアドレスレジスタ50を含む。消去制御部42は、消去コマンドレジスタ41eからの消去コマンドに従って消去モード指示E R Sをアサートし、消去動作と並行してまたは消去完了後消去ベリファイ制御部43を活性化して消去ベリファイ動作を実行する。消去ベリファイが完了すると消去制御部42は、消去ベリファイ制御部43からの消去ベリファイ完了指示に従って消去動作を停止する。

40

【0145】

コマンドレジスタ/制御回路24においては、さらに、比較回路52A、読出制御部54A、書込制御部75および書込ベリファイ制御部77が設けられる。比較回路52Aは、書込コマンドレジスタ40wからの書込モード指示C w r i t eおよび読出コマンドレジスタ41rからの読出モード指示C r e a dの一方のアサートと消去制御部42からの

50

消去モード指示 ERS のアサートに従って、消去ブロックアドレスレジスタ 50 に格納された消去ブロックアドレスと与えられたアドレス信号 ADD のブロックアドレスとを比較する。比較結果が一致する場合、比較回路 52A は、データアクセス活性化信号 ENA をネゲート状態に維持し、比較結果が不一致のときには、データアクセス活性化信号 ENA をアサートする。

【0146】

読出制御部 54A は、書込制御部 75 からの書込モードイネーブル信号 WRITE のネゲート（非活性化）時、読出モード指示 Read と比較回路 52A からのデータアクセス活性化指示とに従って、読出モードイネーブル信号 READ および読出動作活性化信号 RENN を生成する。読出モードイネーブル信号 READ は、読出動作期間中イネーブル状態に設定され、読出動作活性化信号 RENN は、実際のデータ読出を行なう期間を規定する。この半導体装置が、アドレス信号の変化に従って読出動作の活性化タイミングを設定する場合、特に、読出動作活性化信号 RENN は生成されなくてもよい。また、読出動作活性化信号 RENN に従ってアシストゲート線 AG の活性化期間およびセンスアンプの活性化期間が規定される。

10

【0147】

読出制御部 54A は、さらに、書込ベリファイ制御部 77 からの書込ベリファイ指示に従って読出モードイネーブル信号 READ および読出動作活性化信号 RENN を活性化する。読出制御部 54A は、また、図示しない経路により、消去ベリファイ制御部 43 からの消去ベリファイ指示に従って読出モードイネーブル信号 READ および読出動作活性化信号 RENN を活性化する。

20

【0148】

書込制御部 75 は、比較回路 52A からのデータアクセス活性化信号 ENA のアサート時に書込モード指示 Cwrite がアサートされると、書込モードイネーブル信号 WRITE および書込動作活性化信号 WREN を活性化する。書込動作モード指示信号 WRITE は書込動作期間を規定し、書込動作活性化信号 WREN は、メモリゲートおよびビット線に印加される書込電圧の印加期間を規定する。書込制御部 75 は、書込完了後、書込ベリファイ制御部 77 を起動し、書込ベリファイを実行する。

【0149】

書込制御部 75 は、読出制御部 54A が読出モードイネーブル信号 READ をアサートしているときには、非活性状態に維持される。

30

【0150】

この発明の実施の形態 4 に従う半導体装置における行デコーダの構成としては、各メモリブロックに対して、図 19 に示す構成がローカルデコーダとして設けられればよい。

【0151】

図 29 は、図 23 に示す EG 制御回路 70 の構成の一例を概略的に示す図である。図 29 に示す EG 制御回路 70 においては、EG 線選択回路 79 が設けられる。EG 線選択回路 79 は、消去モード指示 ERS のアサート時、アドレス信号 ADD に含まれるブロックアドレス BADD をデコードし、選択メモリブロックに対するブロック埋込消去ゲート線 BEG に消去高電圧 VPEG を伝達する。残りの非選択メモリブロックに対しては、EG 線選択回路 79 は、ブロック埋込消去ゲート線を接地電圧に維持する（またはオープン状態に維持する）。

40

【0152】

各動作モードに必要な電圧については、消去制御部 42、書込制御部 75 および読出制御部 54A からの消去モード指示 ERS、書込モードイネーブル信号 WRITE および読出モードイネーブル信号 READ に従って、それぞれ図 23 に示す電圧発生回路において消去電圧、書込電圧、読出電圧および消去 / 書込ベリファイ読出電圧が生成され（または選択され）、行デコーダおよび列デコーダへ与えられ、各動作モードに応じた電圧が選択メモリセルへ供給される。

【0153】

50

以上のように、この発明の実施の形態 4 に従えば、消去動作と並行して別のメモリブロックにおいて読出または書込を実行可能としている。応じて、データアクセス効率がさらに改善される。また実施の形態 1 および 2 と同様の効果を得ることができる。

【 0 1 5 4 】

なお、この実施の形態 4 においても、実施の形態 3 と同様、書込または読出を行なう期間および間隔は、消去電圧印加期間よりも十分短くされ、消去動作に悪影響を及ぼさないようにされる。

【 0 1 5 5 】

[ 実施の形態 5 ]

図 30 は、この発明の実施の形態 5 に従う半導体装置の全体の構成を概略的に示す図である。この図 30 に示す半導体装置は、以下の点で、図 23 に示す半導体装置とその構成が異なる。すなわち、コマンドレジスタ / 制御回路 24 A は、消去動作時には、外部に消去ステータス信号 R Y I B Y \_ \_ E R を出力し、かつ内部でデータ読出、書込またはペリファイ動作実行中、アクセス禁止ステータス信号 R Y I B Y \_ \_ R W を外部装置へ出力する。

【 0 1 5 6 】

また、ペリファイカウンタ 80 およびマルチプレクサ 82 が設けられる。ペリファイカウンタ 80 は、消去ペリファイ時および書込ペリファイ時、カウント動作によりペリファイ対象のメモリセルを特定するアドレスを生成する。マルチプレクサ 82 は、アドレスレジスタ 22 からの内部アドレスとペリファイカウンタ 80 からのペリファイアドレスの一方を選択して内部アドレスを生成して、列デコーダ 30、行デコーダ 28 および E G 制御回路 70 へ与える。マルチプレクサ 80 からの内部アドレスは、またデータ書込ドライバ 38 およびセンスアンプ 36 へも与えられる。

【 0 1 5 7 】

この図 30 に示す半導体装置の他の構成は、図 23 に示す半導体装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 1 5 8 】

図 30 に示す半導体装置においては、コマンドレジスタ / 制御回路 24 A は、内部でデータの読出、書込（実際の書込動作）またはペリファイ動作を行なわれたとき、アクセス禁止ステータス信号 R Y I B Y \_ \_ R W をアサートする。したがって、アクセス禁止ステータス信号 R Y I B Y \_ \_ R W がアサート状態のときには、処理装置などの外部装置は、この半導体装置へのアクセスが禁止される。

【 0 1 5 9 】

一方、コマンドレジスタ / 制御回路 24 A からの消去ステータス信号 R Y I B Y \_ \_ E R がアサート状態のときには、この半導体装置内部で消去動作が行なわれるときである（消去ペリファイ動作は行なわれていない）。したがって、この場合には、外部からのデータのアクセス（書込 / 読出）を許可する。内部で、ペリファイ動作が行なわれるとき、外部アクセスを禁止することによって、データの衝突を確実に防止して、高速のデータアクセスを実現することができる。

【 0 1 6 0 】

図 31 は、消去時の動作シーケンスの一例を示す図である。図 31 に示すように、メモリアレイ 20 における 1 つのメモリブロックに対する消去が行なわれる。この消去が、内部で行なわれると、コマンドレジスタ / 制御回路 24 A が、消去ステータス信号 R Y I B Y \_ \_ E R をアサートする。この信号 R Y I B Y \_ \_ E R のアサートにより、外部装置は、アクセス不可能であることを報知される。

【 0 1 6 1 】

外部装置が、この状態で、読出アクセス（リードアクセス）を行なうと、データアクセス禁止ステータス信号 R Y I B Y \_ \_ R W がアサートされる。1 つのリード動作が内部で完了すると、この信号 R Y I B Y \_ \_ R W がデアサート（ネゲート）される。信号 R Y I B Y \_ \_ R W のネゲートに従って次の読出動作が繰返し実行される。

【 0 1 6 2 】

10

20

30

40

50

メモリブロックに対する消去および消去ベリファイが完了すると、消去ステータス信号 R Y I B Y \_ E R がネゲートされる。このとき、消去ベリファイ動作が実行中は（ベリファイ動作は、記号 V R で示す）、信号 R Y I B Y \_ E R はアサート状態であり、さらに、信号 R Y I B Y \_ R W がアサートされる。応じて、消去ベリファイ動作期間中、外部からのアクセスは禁止される。このベリファイ動作が完了し、再び消去電圧の印加が行なわれると、信号 R Y I B Y \_ E R がアサートされ、外部装置に対してアクセス可能が報知される。

#### 【 0 1 6 3 】

消去ベリファイ動作完了に従って、信号 R Y I B Y \_ R W はネゲートされる。したがって、消去電圧印加期間中に、読出動作が繰返し実行されると、内部の読出動作が完了するごとに、信号 R Y I B Y \_ R W がネゲート状態となり、内部で読出動作が行なわれるときにアサート状態とされ、内部でデータ読出が行なわれるとき外部からのアクセスは禁止される。読出動作が完了すると、信号 R Y I B Y \_ R W はネゲートされる。消去が完了すると、また、信号 R Y I B Y \_ E R がネゲートされる。

10

#### 【 0 1 6 4 】

消去電圧（パルス）印加時に、信号 R Y I B Y \_ E R を用いて、外部にデータアクセス可能を報知し、また、内部で読出動作が行なわれていることを外部へ信号 R Y I B Y \_ R W を用いて報知することにより、消去動作時に並行して確実に外部からデータ読出アクセスを、アクセスデータとベリファイデータとの衝突を回避しつつ、行なうことができる。

20

#### 【 0 1 6 5 】

図 3 2 は、この消去パルス印加時の他の動作シーケンスの例を示す図である。図 3 2 においては、消去パルス印加と並行して書込動作（ライト動作）が行なわれる。このライト動作時には、書込ベリファイが実行される。

#### 【 0 1 6 6 】

消去パルスが印加されると、信号 R Y I B Y \_ E R がアサートされ、外部に対しデータアクセス可能が報知される。応じて、外部からデータの書込アクセスが実行され、信号 R Y I B Y \_ R W がアサートされる。書込動作が完了すると、書込ベリファイ動作が続いて実行される。書込ベリファイ動作（V R 動作）が実行されるため、信号 R Y I B Y \_ R W は、継続してアサート状態に維持される。書込ベリファイ動作が完了すると、1つのデータ書込が完了し、信号 R Y I B Y \_ R W がネゲートされる。

30

#### 【 0 1 6 7 】

消去動作時、信号 R Y I B Y \_ R W のネゲートに従って、次の外部からの書込アクセスが実行される。データ書込およびベリファイ動作が完了すると、信号 R Y I B Y \_ R W がネゲートされる。この信号 R Y I B Y \_ R W のネゲートに従って、消去動作が完了し、信号 R Y I B Y \_ E R がネゲートされる。この消去パルス印加後、消去ベリファイ動作が、消去対象のメモリセルが確実に消去されたかを識別するために実行される。このとき、信号 R Y I B Y \_ E R はアサートされるものの、信号 R Y I B Y \_ R W がアサート状態であり、外部からの書込アクセスは禁止される。信号 R Y I B Y \_ E R および R Y I B Y \_ R W を内部で利用することにより、書込ベリファイと消去ベリファイトの競合を回避することができる。

40

#### 【 0 1 6 8 】

消去ベリファイ動作により消去動作が完了すると、消去ステータス信号 R Y I B Y \_ E R がネゲートされる。一方、消去ベリファイ動作により消去フェイルと判定されると、消去ステータス信号 R Y I B Y \_ E R が引続きアサートされ、消去パルス印加が引続き実行される。このとき、消去ベリファイ動作完了に従って信号 R Y I B Y \_ R W がネゲートされ、外部からの書込アクセスが許可される。

#### 【 0 1 6 9 】

内部で書込動作が開始されると、信号 R Y I B Y \_ R W がアサートされ、データ書込が実行され、続いて、書込ベリファイが実行される。この書込および書込ベリファイが完了すると、信号 R Y I B Y \_ R W がネゲートされる。また、消去パルス印加期間が完了する

50

と、信号 R Y I B Y \_ E R がネゲートされる。消去ベリファイ動作が実行されるため、再び信号 R Y I B Y \_ R W がアサートされ、外部からの書込アクセスは禁止される。

【 0 1 7 0 】

以上のように、内部で消去ベリファイまたは書込ベリファイを実行する場合、外部アクセスを禁止することにより、ベリファイ動作と外部からのデータアクセス動作が衝突するのを回避して消去動作に並行して外部からのデータアクセス（書込／読出）を実行することができる。特に、消去ステータス信号 R Y I B Y \_ E R を、消去時の消去パルス印加時および消去ベリファイ動作中はアサート状態に維持し、アクセスステータス信号 R Y I B Y \_ R W は、メモリセルへのアクセス時、すなわち、消去ベリファイ動作時、外部書込アクセス時および外部読出アクセス時にアサート状態に設定する。これにより、信号 R Y I B Y \_ E R および R Y I B Y \_ R W を互いに独立に制御することができ、制御が容易となる。

10

【 0 1 7 1 】

なお、図 3 1 および図 3 2 に示す構成において、各データ読出または書込ごとに、読出コマンドまたは書込コマンドが与えられるように動作を示している。しかしながら、この読出コマンドおよび書込コマンドとしてバーストアクセスモードが指定され、連続的にデータの読出または書込が実行されてもよい。この場合、信号 R Y I B Y \_ R W は、このバーストアクセス期間中アサート状態に維持される。

【 0 1 7 2 】

図 3 3 は、図 3 0 に示すコマンドレジスタ／制御回路 2 4 A の構成を概略的に示す図である。この図 3 3 に示すコマンドレジスタ／制御回路 2 4 A の構成は、以下の点で、図 2 8 に示すコマンドレジスタ／制御回路 2 4 の構成と異なる。すなわち、書込ベリファイ制御部 7 7 A が、書込ベリファイ指示信号 W V R を生成し、消去ベリファイ制御部 4 3 A が、消去ベリファイ指示信号 E V R を生成する。この信号 W V R および E V R のアサート時、ベリファイ動作が実行される。

20

【 0 1 7 3 】

消去制御部 4 2 は、消去電圧印加期間中および消去ベリファイ動作期間中、信号 R Y I B Y \_ E R をアサートして外部へ出力する。これらの信号 W V R、E V R、読出モードインネーブル信号 R E A D および書込モードインネーブル信号 W R I T E を受ける信号発生器 8 4 が、信号 R Y I B Y \_ R W を生成するために設けられる。この信号発生器 8 4 は、与えられた信号 W V R、R E A D、E V R および W R I T E のいずれかのアサート時、信号 R Y I B Y \_ R W をアサートして外部へ出力する。これにより、内部でデータの書込、読出およびベリファイが実行されている場合、信号 R Y I B Y \_ R W をアサートすることができる。

30

【 0 1 7 4 】

なお、信号発生器 8 4 に対し、信号 R E A D および W R I T E に代えて活性化信号 W R E N および R E N N が与えられてもよい。

【 0 1 7 5 】

消去ベリファイ制御部 4 3 A は、消去制御部 4 2 と同様、シーケンスコントローラで構成され、消去パルス印加後、所定のシーケンスで消去ベリファイ動作を実行する。これにより、信号 R Y I B Y \_ R W を利用することにより、このベリファイ動作と外部からのデータ読出アクセスとが衝突するのを防止することができる。

40

【 0 1 7 6 】

以上のように、この発明の実施の形態 5 に従えば、内部消去状態を示す信号と内部の読出、書込およびベリファイ動作を示す信号とを外部の装置に出力している。したがって、内部でのベリファイ動作時に、外部からの書込および読出アクセスを禁止することにより、データの外部アクセスとベリファイ動作が競合するのを防止することができる。応じて、正確かつ効率的に、消去パルス印加時においても、データアクセスを行なうことができる。

【 0 1 7 7 】

50

本実施の形態 5 においては、消去電圧（パルス）印加期間中の消去ベリファイは行なわれていない。この消去パルス印加中の消去ベリファイは、以下の実施の形態において説明するように、外部アクセスとの間でタイミング調整が行われて実行されてもよい。

【0178】

[ 実施の形態 6 ]

図 3 4 は、この発明の実施の形態 6 に従う半導体装置の消去時のデータアクセスシーケンスの一例を示す図である。図 3 4 に示す動作シーケンスにおいて、消去ベリファイ動作中に、読出アクセス要求が発行されたとき、消去ベリファイ動作 V R を停止させ、要求された読出動作を実行する。データ読出アクセス完了後、停止した消去ベリファイ動作を残りのベリファイアドレス領域 V A について実行する。

10

【0179】

これにより、読出データアクセス時、待ち時間を生じさせることなく、データ読出アクセスを実行することができる。

【0180】

図 3 5 は、この発明の実施の形態 6 に従う半導体装置のコマンドレジスタ / 制御回路の構成を概略的に示す図である。半導体装置の全体の構成は、図 2 3 に示す半導体装置の構成と同じである。

【0181】

図 3 5 に示すコマンドレジスタ / 制御回路 2 4 A は、以下の点で、その構成が図 3 3 に示すコマンドレジスタ / 制御回路 2 4 A と異なる。すなわち、信号発生器 8 4 は、設けられない。すなわち、内部ステータスを外部に報知する信号は、本実施の形態 6 においては利用されない。消去ベリファイ制御部 4 3 B は、読出制御部 5 4 A からの読出モードイネーブル信号 R E A D を受け、この読出モードイネーブル信号 R E A D がアサートされると、実行中のベリファイ動作を停止させ、読出制御回路 5 4 A に対して外部読出アクセス許可を報知する。また、カウント更新指示信号 V R C N T をネゲートしてベリファイカウンタ 8 0 のカウント動作を停止させる。

20

【0182】

読出制御回路 5 4 A は、消去ブロックと異なるメモリブロックへの読出アクセス時、この消去ベリファイ制御部 4 3 B からの読出アクセス許可を受けると、読出動作活性化信号 R E N N をアサートしてデータの外部読出動作を実行する。読出アクセスが完了すると、読出制御部 5 4 A は、読出モードイネーブル信号 R E A D をネゲートする。この読出モードイネーブル信号 R E A D のネゲートに従って、カウント更新指示信号 V R C N T をアサートして消去ベリファイを停止したベリファイアドレスから再開する。

30

【0183】

また、この消去ベリファイ制御部 4 3 B は、消去制御部 4 2 から、消去ベリファイ開始指示が与えられた時に、読出モードイネーブル信号 R E A D がアサートされ、外部読出アクセスが実行されている場合には、この消去ベリファイを外部データ読出アクセスが完了するのを待つ。消去ベリファイ制御部 4 3 B は、この読出モードイネーブル信号 R E A D がネゲートされると、ベリファイカウンタ 8 0 へカウント更新信号 V R C N T を与え、このベリファイカウンタ 8 0 からのベリファイアドレスカウントをマルチプレクサ 8 2 に選択させて、このベリファイカウンタ 8 0 からのカウント値に従って消去ベリファイ動作を実行する。

40

【0184】

この図 3 5 に示すコマンドレジスタ / 制御回路 2 4 A の他の構成は、図 3 3 に示すコマンドレジスタ / 制御回路 2 4 A の構成と同様であり、その詳細説明は省略する。

【0185】

以上のように、この発明の実施の形態 6 に従えば、消去時にベリファイ動作実行時外部からの読出アクセス要求が与えられたとき、または、その逆に外部読出アクセス中に消去ベリファイ指示がアサートされると、消去ベリファイ動作を停止または待ち合わせ、外部からの読出アクセスを実行している。外部読出アクセスに対して消去ベリファイ動作より

50

も高い優先順位を与えている。これにより、外部からの読出アクセスの待ち時間を短縮することができ、高速のデータ読出を行なうことができる。

【 0 1 8 6 】

〔 実施の形態 7 〕

図 3 6 は、この発明の実施の形態 7 に従う半導体装置の全体の構成を概略的に示す図である。図 3 6 に示す半導体装置は、図 3 0 に示す半導体装置と以下の点で、その構成が異なる。すなわち、消去ブロックを特定する消去アドレスを複数個格納する消去アドレスレジスタファイル 9 0 が設けられる。消去アドレスレジスタファイル 9 0 は、コマンドレジスタ / 制御回路 2 4 B の制御の基に、格納した消去アドレスを順次読出し、その消去ブロックアドレス E A D を E G 制御回路 7 0 へ与える。この図 3 6 に示す半導体装置の他の構成は、図 3 0 に示す半導体装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

10

【 0 1 8 7 】

図 3 7 は、図 3 6 に示す消去アドレスレジスタファイル 9 0 の構成の一例を概略的に示す図である。消去アドレスレジスタファイル 9 0 は、複数のレジスタを含み、各レジスタが、それぞれ消去アドレス格納領域 9 0 a および有効フラグ格納領域 9 0 b を含む。レジスタ R E G 0 - R E G a は、シフト動作により、その記憶データを順次、F I F O 8 ファーストイン・ファーストアウト) 態様で読出す。

【 0 1 8 8 】

有効フラグ格納領域 9 0 b に格納されるフラグ F G ( F G 0 - F G j ) が有効状態を示すとき、この対応の消去アドレス格納領域 9 0 a に含まれる消去アドレス E A D ( E A D 0 - E A D j ) が消去ブロックを指定するアドレスとして E G 制御回路 7 0 へ与えられ、指定された消去ブロックに対する消去が実行される。

20

【 0 1 8 9 】

図 3 8 は、この発明の実施の形態 7 におけるメモリアレイ内のメモリブロックの消去シーケンスを概略的に示す図である。メモリアレイ (メモリマツト) 2 0 において、複数のメモリブロックが設けられる。ここで、メモリマツトは、行デコーダおよび列選択ゲート回路により囲まれるメモリアレイの部分であり、単一のバンクを構成する部分を示す。

【 0 1 9 0 】

図 3 8 において、メモリブロック B K a に対してデータアクセスが行なわれるとき、消去アドレスレジスタファイル 9 0 において、ブロック 1、B K 2、B K 4 を特定する消去アドレスが順次格納され、メモリブロック B K 3 に対しては、消去非実行を示すスキップフラグ (リセット状態とされた有効フラグ) が格納される。この場合、メモリブロック B K a に対するデータアクセス (読出または書込) と並行して、メモリブロック B K 1、B K 2 に対する消去が行なわれ、メモリブロック B K 3 に対しては消去はスキップされて実行されない。メモリブロック B K 3 に対して割当てられた消去時間の経過後、メモリブロック B K 4 に対する消去が実行される。

30

【 0 1 9 1 】

スキップアドレスを消去アドレスレジスタファイルにおいて格納することにより、データアクセスのバックグラウンドで消去を行なう期間を停止させる。この消去アドレスおよびスキップアドレスは、外部からのコマンドにより指定される。

40

【 0 1 9 2 】

電源遮断時においては、消去アドレスレジスタファイル 9 0 に格納された未実行の消去アドレスが、メモリアレイ 2 0 の特定の領域に格納される。

【 0 1 9 3 】

図 3 9 は、この発明の実施の形態 7 における消去およびデータアクセス動作シーケンスを概略的に示す図である。すなわち、メモリアレイの図 3 8 に示すメモリブロック B K a に対するデータアクセスを実行中、メモリブロック B K 1 に対する消去 ( 1 ) が実行される。消去ベリファイ動作時には、外部からの読出アクセスは禁止される。このベリファイ動作が完了し、メモリブロック B K 1 の消去が完了すると、次のメモリブロック B

50



K 2 に対する消去 ( 2 ) が実行される。メモリブロック B K 3 が特定されるとき、そのメモリブロックは消去スキップブロックであり、消去は実行されない。この間を消去停止期間とし、所定期間経過後 ( 消去が必要な期間 )、次のメモリブロック B K 4 に対する消去 ( 3 ) が実行される。

【 0 1 9 4 】

したがって、この外部からのデータアクセス ( データ読出時 ) 時、外部に対してほぼ消去動作を見えなくすることができ、アクセス効率を改善することができる。

【 0 1 9 5 】

図 4 0 は、図 3 6 に示すコマンドレジスタ / 制御回路 2 4 B の構成を概略的に示す図である。図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B は、以下の点で、図 3 3 に示すコマンドレジスタ / 制御回路 2 4 A の構成とその構成が異なる。すなわち、図 4 0 において、比較回路 5 2 A からのデータアクセス活性化信号 E N A が、消去制御部 4 2 へ与えられる。消去アドレスレジスタファイル 9 0 に対するアドレスおよびフラグの書込が、消去制御部 4 2 の制御の下に行なわれる。消去制御部 4 2 は、消去 / スキップコマンドレジスタ 4 1 e e からのコマンドに従って消去に必要な動作を制御する。

【 0 1 9 6 】

消去アドレスレジスタファイル 9 0 に対し、電源遮断検出制御部 9 4 と消去アドレスロード / セーブ制御部 9 6 が設けられる。電源遮断検出制御部 9 4 は、外部からの電源 V D D の遮断時に、消去アドレスロード / セーブ制御部 9 6 に電源遮断検出信号を与える。消去アドレスロード / セーブ制御部 9 6 は、電源遮断検出信号のアサート時、セーブ書込イネーブル信号 S W E N をアサートして書込制御部 7 5 へ与え、電源回復時、ロード読出イネーブル信号 L R E N をアサートして読出制御部 5 4 B へ与える。すなわち、消去アドレスロード / セーブ制御部 9 6 は、電源遮断および回復時の消去アドレスレジスタファイル 9 0 に対するデータの書込および読出を制御する。

【 0 1 9 7 】

書込制御部 7 5 A は、書込モード指示 C w r i t e のアサート時の動作制御に加えて、セーブ書込イネーブル信号 S W E N のアサート時、書込モードイネーブル信号 W R I T E および書込動作活性化信号 W R E N をアサートし、消去アドレスレジスタファイル 9 0 に格納される消去アドレスおよびフラグのメモリアレイの所定のメモリ領域への書込動作を制御する。

【 0 1 9 8 】

読出制御部 5 4 B は、ロード読出イネーブル信号 L R E N のアサート時、また読出モードイネーブル信号 R E A D および読出活性化信号 R E N N をアサートし、このロードされた消去アドレスおよびフラグのメモリアレイの所定の領域からの読出動作を制御する。この読出されたロード消去アドレスおよびフラグは、消去アドレスロード / セーブ制御部 9 6 により、消去アドレスレジスタファイル 9 0 に順次格納される。

【 0 1 9 9 】

なお、図 4 0 において、信号発生器 8 4 は設けられず、また、信号 R Y I B Y \_ E R は発生されなくてもよい。消去は、外部データアクセスのバックグラウンドで実行されるため、外部装置に対して消去パルス印加期間を報知することは特に要求されないためである。消去コマンドとして、通常の消去モードとバックグラウンドで消去を行なうバックグラウンド消去モードが準備されている場合には、信号 R Y I B Y \_ E R が利用されてもよい。

【 0 2 0 0 】

この図 4 2 に示すコマンドレジスタ / 制御回路 2 4 B の他の構成は、図 3 3 に示すコマンドレジスタ / 制御回路 2 4 A の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 2 0 1 】

図 4 1 は、図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B の消去アドレスレジスタファイル 9 0 への格納動作を示すフロー図である。以下、図 4 1 を参照して、図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B の消去レジスタファイル格納動作について説明する。

## 【 0 2 0 2 】

まず、コマンドレジスタ / 制御回路 2 4 B は、外部からコマンドが印加されるのを待つ (ステップ S T 1)。外部からのコマンドが印加されると、消去制御部 4 2 は、この消去 / スキップコマンドレジスタ 4 1 e e に格納されたコマンドが消去コマンドであるか (ステップ S T 2) またはスキップコマンドであるか (S T 4) を判別する。

## 【 0 2 0 3 】

与えられたコマンドが消去コマンドの場合 (ステップ S T 2)、消去制御部 4 2 は、与えられた消去アドレスを消去アドレスレジスタファイル 9 0 に格納するとともに、対応のレジスタの有効フラグ F L G をセットする。消去アドレスレジスタへのアドレス格納およびフラグセット後、レジスタファイル 9 0 のレジスタのシフト動作を実行する (ステップ S T 3)。

10

## 【 0 2 0 4 】

一方、与えられたコマンドがスキップコマンドの場合 (ステップ S T 4)、消去制御部 4 2 は、レジスタファイル 9 0 にスキップアドレスを格納し、対応の有効フラグをリセット状態に維持する。この後、レジスタファイルのレジスタを 1 段シフトする。これにより、消去アドレスおよびスキップアドレス格納が完了する。このとき、単にスキップフラグのみが格納されてもよい (有効フラグをリセット状態に維持する)。次いで、レジスタを 1 段シフトする。

## 【 0 2 0 5 】

与えられたコマンドが消去コマンド (バックグラウンド消去コマンドでもなく、また消去スキップコマンドでもない場合には (ステップ S T 2 および S T 4 において判定結果が N O のとき)、このコマンドが指定する動作の実行を、書込コマンドレジスタ 4 1 w または読出コマンドレジスタ 4 1 r に格納される動作モード指示 C w r i t e および C r e a d のいずれかに従って、書込制御部 7 5 A または読出制御部 5 4 B により、指定された動作の実行が制御される。

20

## 【 0 2 0 6 】

消去アドレスレジスタファイル 9 0 がシフトレジスタで構成される場合、最終段のレジスタから先頭消去アドレスを読出すには、レジスタファイルのレジスタ段数コマンドが印加される必要がある。しかしながら、消去アドレスレジスタファイル 9 0 が、書込アドレスおよび読出アドレスに従って F I F O 態様でデータの書込および読出を行なう構成の場合、最初に 1 回格納された消去アドレスに従って消去を実行することができる。

30

## 【 0 2 0 7 】

なお、消去コマンドとしては、外部から消去のみが指定されて通常の消去動作を行なうモードを指定する通常消去コマンドと、外部からのデータアクセスと並行してバックグラウンドモードで消去を行なうバックグラウンド消去モードを指定するコマンドがそれぞれ別々に設けられており、バックグラウンド消去コマンドが印加されたときに、消去アドレスレジスタファイル 9 0 への消去アドレスの格納動作が実行されるように構成されてもよい。

## 【 0 2 0 8 】

図 4 2 は、図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B のバックグラウンド消去モード時の動作を示すフロー図である。以下、図 4 2 を参照して、図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B のバックグラウンド消去動作について説明する。

40

## 【 0 2 0 9 】

消去制御部 4 2 は、消去アドレスレジスタファイル 9 0 から、最も古く格納されたレジスタの内容をレジスタのシフト動作により読出す (ステップ S T 1 0)。このレジスタファイルから与えられたレジスタの内容に対して有効フラグがセット状態であるかリセット状態であるかの判定が行なわれる (ステップ S T 1 1)。

## 【 0 2 1 0 】

有効フラグがセット状態でなく、リセット状態の場合には、消去アドレスが指定するメモリブロックに対する消去は実行されない。所定期間の待機の後 (ステップ S T 1 2)、

50

再びステップ S T 1 0 に戻る。一方、有効フラグがセット状態の場合には、対応の消去アドレスが指定するメモリブロックに対する消去を実行する必要がある。このときには、先ず、比較回路 5 2 A において消去アドレスが示す消去対象ブロックとデータアクセスが行なわれているメモリブロックが同じであるかの判定が行なわれる（ステップ S T 1 3）。消去対象メモリブロックとデータアクセスメモリブロックとが同一の場合、この消去対象のメモリブロックに対する消去を行なうことができないため（アクセス対象のデータが変更されるため）、データアクセス（読出または書込）が完了するのを待つ（ステップ S T 1 4）。このデータアクセス完了後、再びステップ S T 1 3 に戻る。

【 0 2 1 1 】

一方、消去メモリブロックとデータアクセスメモリブロックとが異なるメモリブロックの場合には、その消去アドレスが指定するメモリブロックに対する消去を実行する（ステップ S T 1 5）。

【 0 2 1 2 】

この消去が完了すると（ステップ S T 1 6）、再び、ステップ S T 1 0 に戻り、消去アドレスレジスタファイル 9 0 からのレジスタの内容のシフトアウト読出以降の動作を実行する。これにより、データアクセスのバックグラウンドでデータアクセスメモリブロックと異なるメモリブロックに対する消去を実行することができる。

【 0 2 1 3 】

また、スキップアドレスが指定するメモリブロックに対しては、有効フラグがリセット状態のとき、所定期間待機することにより、このスキップアドレスが指定するメモリブロックに対する消去期間消去を実行する必要がなく、不必要な消去を停止させて消費電流を低減する。

【 0 2 1 4 】

なお、この図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B の構成においては、消去ベリファイ動作（V R 動作）においては、外部からのデータアクセスを停止させている。しかしながら、この場合、外部からのデータアクセスが完了するまで、消去ベリファイ動作を中断させて、データアクセス完了後、消去ベリファイを実行するように構成してもよい（実施の形態 6 参照）。

【 0 2 1 5 】

図 4 3 は、図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B の電源遮断時の動作を示すフロー図である。以下、図 4 3 を参照して、図 4 0 に示すコマンドレジスタ / 制御回路 2 4 B の電源遮断時の動作について説明する。

【 0 2 1 6 】

電源遮断検出制御部 9 4 は、外部からの電源 V D D が遮断されたかを判断する（ステップ S T 2 0）。電源遮断時においては、例えば、外部の電源管理ユニットに設けられる電源切換回路により、補助電源に電源が切換えられる。この補助電源を用いて、消去アドレスロード / セーブ制御部 9 6 は、電源遮断検出制御部 9 4 からの電源遮断検出信号に従ってセーブ書込イネーブル信号 S W E N をアサートするとともに、消去アドレスレジスタファイル 9 0 から、各レジスタに格納された内容を読出す。書込制御部 7 5 A が、セーブ書込イネーブル信号 S W E N に従ってイネーブルされ、所定のメモリアレイの領域に、消去アドレスレジスタファイル 9 0 から順次読出されたレジスタ内容を格納する（ステップ S T 2 1）。

【 0 2 1 7 】

消去アドレスロード / セーブ制御部 9 6 から、すべてのレジスタ内容のロードが完了したことが報知されると、外部の電源管理ユニットにおいて、補助電源を遮断する（ステップ S T 2 2）。次いで、この状態で、電源が回復するのを待つ（ステップ S T 2 3）。

【 0 2 1 8 】

電源が回復すると、消去アドレスロード / セーブ制御部 9 6 は、電源遮断検出制御部 9 4 からの電源回復指示信号に従ってロード読出イネーブル信号 L R E N をアサートして読出制御部 5 4 B へ与える。読出制御部 5 4 B は、ロード読出イネーブル信号に従ってメモ

10

20

30

40

50

リアレイの所定領域にセーブされたレジスタ内容を読み出す。この消去アドレスのセーブ／ロード時においては、特定のアドレス領域を指定するアドレスがこの消去アドレスロード／セーブ制御部 96 から発生されて図 36 に示すマルチプレクサ 82 を介してアドレスレジスタ 22 へ与えられて、特定のセーブ／ロード領域が指定される。

【0219】

消去アドレスロード／セーブ制御部 96 は、この読み出し制御部 54B の制御の下に読み出された消去アドレス、スキップアドレスおよびフラグを順次消去アドレスレジスタファイル 90 に格納する（ステップ ST24）。この消去アドレスレジスタファイル 90 へのレジスタ内容のロード完了後、消去アドレスロード／セーブ制御部 96 は、消去制御部 42 へ報知する（ステップ ST25）。この消去制御部 42 は、消去アドレスレジスタファイル 90 のロード完了指示に従って、バックグラウンドモードで、残りのアドレスが指定するメモリブロックに対する消去動作を実行する。

10

【0220】

なお、このバックグラウンドモードで消去を実行している際に、電源が遮断された場合、この中断された消去対象のメモリブロックは不完全な消去状態となる可能性がある。この場合、図 40 に示す消去ブロックアドレスレジスタファイル 50 に格納される消去ブロックアドレスも、併せてロード／セーブするように構成すればよい。電源回復後、再度この中断されたメモリブロックに対して消去を実行する。

【0221】

以上のように、この発明の実施の形態 7 に従えば、データアクセス中に、バックグラウンドモードで消去をデータアクセスメモリブロックと異なるメモリブロックに対して実行している。これにより、データアクセスを中断させることなく内部で消去を実行することができる。したがって、消去時間を外部に対して隠すことができ、外部装置は、消去動作制御が不要となり、データアクセスを自由に実行することができる。

20

【0222】

[実施の形態 8]

図 44 は、この発明の実施の形態 8 に従う半導体装置のコマンドレジスタ／制御回路の要部の構成を概略的に示す図である。図 44 において、コマンドレジスタ／制御回路は、複数の並列に設けられるレジスタ 100a - 100d と、消去パルスタイマ 112、およびベリファイ周期タイマ 114 を含む。消去制御部 110 は、図 35 に示す消去制御部 42 に対応し、消去ベリファイ制御部 116 は、図 35 に示す消去ベリファイ制御部 43B に対応する。半導体装置全体の構成は、図 36 に示す半導体装置の構成と同じであり、メモリブロック単位で消去が実行され、異なるメモリブロックに対して消去およびデータアクセスを並行して実行することができる。

30

【0223】

レジスタ 100e - 100d は、各々、アドレス格納フィールド 102a およびフラグ格納フィールド 102b を含む。

【0224】

レジスタ 100a - 100d においては、消去用コマンドが印加されるごとに順次異なるレジスタに消去アドレス EAD が格納されるとともに、有効フラグ FLG がセットされる。これらのレジスタ 100a - 100d から並列に格納内容を読み出すことができる。

40

【0225】

消去パルスタイマ 112 は、消去メモリブロックに対する消去パルスの印加期間を規定し、新たな消去アドレスが与えられてフラグ FLG がセットされるごとに、そのカウント値が初期値にリセットされて、この初期値から再度カウントする。

【0226】

ベリファイ周期タイマ 114 は、この消去パルスタイマ 112 の最初のカウント開始からカウント動作を行ない、所定の周期でベリファイ開始を指示する。消去ベリファイ制御部 116 は、消去制御部 110 からの消去パルス電圧印加時、ベリファイ周期タイマ 114 からのベリファイ開始指示に従って消去ベリファイを、レジスタ 100a - 100d に

50

格納される有効消去アドレスに対して実行する。この消去ベリファイが完了した消去メモリブロックに対しては対応のフラグ F L G がリセットされ、消去が完了したことが示される。

【0227】

この消去完了指示は、また消去制御部 110 へ与えられ、このレジスタ 100 a - 100 d のフラグ格納フィールド 102 b の対応のフラグ F L G をリセットする。消去制御部 110 は、このフラグのセット/リセットを制御するとともに、レジスタ 100 a - 100 d へのアドレスの格納および読出を管理する。

【0228】

図 45 は、この発明の実施の形態 8 に従う半導体装置の E G 制御回路に含まれる消去ゲート線制御回路 120 の構成を概略的に示す図である。図 45 において、消去ゲート線制御回路 120 は、ブロックデコーダ 122 と、消去ゲート線ドライバ 124 とラッチ回路 126 と、リセットデコーダ 128 とを含む。

【0229】

ブロックデコーダ 122 は、レジスタ 100 a - 100 d に格納される消去アドレス E A D をデコードし、メモリブロックを指定するブロック選択信号を生成する。消去ゲート線ドライバ 124 は、消去高電圧 V P E G を受け、ブロックデコーダ 122 からのブロック選択信号に従ってブロック埋込消去ゲート線 B E G に対し、消去高電圧 V P E G を伝達する。ラッチ回路 126 は、メモリブロックそれぞれに対応して設けられ、対応のブロック埋込消去ゲート線 B E G の高電圧をラッチする。

【0230】

リセットデコーダ 128 は、レジスタ 100 a - 100 d に格納される消去アドレス E A D 0 - E A D 3 のうち、消去の完了したブロックアドレス（消去アドレス）E A D i をデコードし、対応のメモリブロックに対して設けられたラッチ回路 126 に対しリセット信号 R S T を与える。ラッチ回路 126 は、リセット信号 R S T のアサートに従ってラッチ動作を停止する。したがって、このときには、ブロック埋込ゲート線 B E G は、消去ゲート線ドライバ 124 の出力信号に従ってフローティング状態または接地電圧レベルに維持される。

【0231】

これにより、各メモリブロック単位で、ブロック埋込消去ゲート線 B E G を選択状態に駆動することができ、複数のメモリブロックにおいて並行して消去を実行することができる。また、リセットデコーダ 128 により、消去の完了したメモリブロックに対してのみリセット信号 R S T をアサートして、消去動作を停止させることができる。

【0232】

図 46 は、この発明の実施の形態 8 に従う半導体装置のレジスタの格納内容と消去パルスタイマ 112 の動作の制御を概略的に示す図である。以下、図 46 を参照して、図 44 に示すコマンドレジスタ/制御回路の動作について説明する。

【0233】

図 46 において、初期状態では、レジスタ 100 a - 100 d は、すべてリセット状態にあり、また消去パルスタイマ 112 も動作停止状態にある。

【0234】

時刻 T A において、バックグラウンド消去コマンドが印加されると、レジスタ 100 a がセットされ、対応の消去アドレス（E D A ）が格納される。この時刻 T A において、最初にバックグラウンド消去モードが指示されると、消去パルスタイマ 112 がカウント動作を開始する。消去パルスタイマ 112 のカウント期間消去動作が行なわれ、消去パルス（消去高電圧）が対応のブロック埋込消去ゲート線に印加される。

【0235】

時刻 T B において、再びバックグラウンド消去モードが指示され、レジスタ 100 b がセットされ、対応の消去アドレスが格納される。この時刻 T B における 2 回目のバックグラウンド消去モード指示に従って、消去パルスカウンタ 112 が初期値にリセットされ、

10

20

30

40

50

再び初期値からカウント動作を開始する。

【 0 2 3 6 】

時刻 T C において、レジスタ 1 0 0 a に格納される消去アドレスが指定するメモリブロックの対する消去が完了する（消去ベリファイの結果）。応じて、レジスタ 1 0 0 a がリセットされる（フラグ F L G がリセットされる）。この時刻 T C においても、消去パルスタイマ 1 1 2 はカウント動作を継続しており、レジスタ 1 0 0 b に格納された消去アドレスが指定するメモリブロックに対する消去が継続して実行される。

【 0 2 3 7 】

時刻 T D において、バックグラウンド消去コマンドが印加され、レジスタ 1 0 0 c および 1 0 0 d に消去アドレスがそれぞれ格納され、レジスタ 1 0 0 c および 1 0 0 d のフラグがセットされる。この時刻 T D におけるレジスタ 1 0 0 c および 1 0 0 d のセットにより、再び、消去パルスタイマ 1 1 2 がリセットされ、その初期値から再びカウント動作を開始する。

【 0 2 3 8 】

時刻 T E において、レジスタ 1 0 0 b に格納される消去アドレスが指定するメモリブロックが消去が完了し（消去ベリファイによる）、このレジスタ 1 0 0 b がリセットされる。このとき、まだレジスタ 1 0 0 c および 1 0 0 d に対する消去は行なわれており、消去パルスタイマ 1 1 2 はカウント動作を継続する。消去パルスタイマ 1 1 2 は、そのカウント値が予め定められた最大値に到達すると、消去パルス印加を停止し、レジスタ 1 0 0 c および 1 0 0 d をリセットする。

【 0 2 3 9 】

以上のように、消去パルスタイマ 1 1 2 のカウント値を、新たに消去アドレスがセットされるごとに初期値にリセットし、最長、カウント値が最大値に到達するまで消去パルスを印加する。複数のメモリブロックに対して並行して消去を行なうことができる。また、消去パルスタイマ 1 1 2 のカウントが最大値に到達すると、消去電圧（パルス）の印加を停止させることにより、必要以上高電圧がメモリセルに印加されるのを防止することができ、消費電流が低減されるとともに絶縁膜の劣化を抑制することができる。

【 0 2 4 0 】

消去高電圧が長期間にわたって印加され、メモリセルが過消去状態（メモリトランジスタがデプレッション状態）となっても、アシストゲートトランジスタ（選択トランジスタ）が存在しており、何ら問題は生じない。

【 0 2 4 1 】

図 4 7 は、図 4 6 に示す消去動作時に行なわれる外部アクセスの動作シーケンスの一例を示す図である。図 4 7 においては、外部からのデータアクセスとしてデータ読出を行うリード動作が一例として示される。以下、図 4 7 を参照して、この発明の実施の形態 8 に従う半導体装置の直列消去動作モードについて説明する。

【 0 2 4 2 】

時刻 T A において、バックグラウンド消去コマンドとともに消去アドレスが印加され、レジスタ 1 0 0 a に消去アドレスが格納され、このレジスタ 1 0 0 a に格納される消去アドレスが指定するメモリブロックに対する消去動作（ 1 ）が実行される。図 4 4 に示すタイマ 1 1 2 および 1 1 4 がカウント動作を開始する。このとき、外部からデータ読出アクセスが行なわれており、消去ベリファイ動作を実行することができない。外部データアクセス（リードアクセス）が完了すると、消去ベリファイ動作を、レジスタ 1 0 0 a に格納されたアドレスに従って行なうことができる。

【 0 2 4 3 】

時刻 T B において、新たなバックグラウンド消去コマンドが与えられ、レジスタ 1 0 0 b に消去アドレスが格納され、かつレジスタ 1 0 0 b のフラグがセットされる。この時刻 T B において、消去パルスタイマ 1 1 2 がリセットされ、再び初期値からカウント動作を実行する。レジスタ 1 0 0 a の消去アドレスが示すメモリブロックは、消去ベリファイ（ V R 1 ）において消去未完了と判断され、再度、消去パルスが印加される。このベリファイ

10

20

30

40

50

時においては、消去電圧印加と並行してベリファイ動作が実行されてもよい。

【0244】

以後、外部からのデータ読出アクセスが行なわれない期間に、図44に示すベリファイ周期タイマ114のカウント値に従って、消去ベリファイ動作が実行される。

【0245】

時刻TCにおいて、消去ベリファイ動作により、レジスタ100aに格納される消去アドレスが示すメモリブロックの消去が完了する。このとき、外部から読出アクセスが行なわれ、ベリファイ動作は禁止される。

【0246】

時刻TDにおいて、外部からのバックグラウンド消去コマンドに従って、レジスタ100cおよび100dに消去アドレスが格納され、これらのレジスタ100cおよび100dがセットされる。この時刻TDにおいて消去パルスタイマ112がリセットされ、再びタイマ112が初期値からカウント動作を継続する。

【0247】

外部からのデータ読出アクセスが完了すると、レジスタ100b - 100dに格納される消去アドレスに対する消去ベリファイVR2 - VR4が順次実行される。

【0248】

時刻TEにおいて、消去ベリファイ動作VR2により、レジスタ100bに格納される消去アドレスが示すメモリブロックに対する消去動作(2)が完了する。一方、レジスタ100cおよび100dの消去アドレスについては、消去ベリファイ動作により消去未完了と判断され、消去パルス(消去高電圧)が継続して印加される。

【0249】

この時刻TEの経過後、消去ベリファイ動作VR4の完了後、外部から読出アクセスが実行され、その読出アクセスの間、消去ベリファイが禁止される。外部読出アクセスが存在しなくなると、レジスタ100cおよび100dに格納される消去アドレスのメモリブロックに対する消去ベリファイ動作(VR3, VR4)が実行される。

【0250】

時刻TFにおいて、消去ベリファイ動作VR3により、レジスタ100cに格納される消去アドレスが示すメモリブロックの消去動作が完了する。以降、外部からのデータ読出アクセス(リード)が連続して実行され、レジスタ100dに格納される消去アドレスが指定するメモリブロックに対して継続的に消去パルス(消去高電圧)が印加され、消去ベリファイ動作は実行されない。

【0251】

時刻TGにおいて、消去パルスタイマ112のカウント値が最大値に到達すると、消去パルス印加が停止され、レジスタ100dのアドレスがリセットされ、消去動作が停止する。この消去の中断は、外部に対して信号で報知されてもよい。

【0252】

図44に示すベリファイ消去タイマ114を用いて、外部からのデータアクセスが行なわれていない期間、消去ベリファイ動作を実行する。これにより、外部からは、データアクセスを継続して行ない、外部に対し、内部で実行される消去動作を隠すことができ、データアクセスを容易に行なうことができる。

【0253】

制御回路の構成としては、先の図35に示す構成を用い、また、図40に示す電源遮断検出制御部(94)および消去アドレスロード/セーブ制御部(96)を利用する。これにより、電源遮断時において、レジスタ100a - 100dに格納される消去アドレスを、メモリアレイの特定の領域にセーブして、電源回復時に再びこれらのレジスタ100a - 100dにロードすることができる。

【0254】

図48は、図44に示すコマンドレジスタ/消去制御回路の動作を示すフロー図である。以下、図48を参照して、図44に示すコマンドレジスタ/消去制御回路の動作につい

10

20

30

40

50

て説明する。このコマンドレジスタ / 消去制御回路は、コマンドレジスタ / 制御回路 2 4 B ( または 2 4 A ) の消去動作制御に関連する部分を示す。

【 0 2 5 5 】

まず、消去コマンドが印加されるのを待つ ( ステップ S T 3 0 ) 。消去コマンドが印加されると、消去制御部 1 1 0 は、与えられたアドレスを消去レジスタに格納するとともに、フラグ F L G をセットする。また、消去コマンド印加に従って消去パルスタイマ 1 1 2 を初期値に設定して起動する。また、この消去コマンドが最初に与えられると、ペリファイ周期タイマ 1 1 4 を起動する。消去コマンドとともに与えられた消去アドレスに従って、消去制御部 1 1 0 は、図 4 5 に示す E G 制御回路 1 2 0 においてブロックデコーダ 1 2 2 へ消去アドレス ( E A D ) を与え、指定されたメモリブロックに対する消去動作を実行する ( ステップ S T 3 1 ) 。

10

【 0 2 5 6 】

この消去動作開始後、消去ペリファイ制御部 1 1 6 は、消去制御部 1 1 0 によりイネーブルされ、ペリファイ周期タイマ 1 1 4 のカウント値が所定値に到達するのを待つ ( ステップ S T 3 2 ) 。

【 0 2 5 7 】

図 4 4 に示すペリファイ周期タイマ 1 1 4 のカウント値が所定値に到達し、ペリファイ動作を実行する場合、まず、消去制御部 1 1 0 は、外部アクセスが存在するかを識別する ( ステップ S T 3 2 ) 。これは、図 3 5 に示す制御回路動作と同様、書込動作モード指示信号 W R I T E または読出動作モード指示信号 R A D がアサートされているかを基に判別される。

20

【 0 2 5 8 】

外部アクセスが存在する場合、外部アクセスの完了かどうかを判別する ( ステップ S T 3 3 ) 。外部アクセスが完了しないで継続して実行されている場合、次いで、消去制御部 1 1 0 は、消去ペリファイ制御部 1 1 6 のペリファイ開始を待たせて、消去パルスタイマ 1 1 2 のカウント値が最大値に到達したかを識別する ( ステップ S T 3 0 ) 。消去パルスタイマ 1 1 2 がまだカウントアップしていない場合には、ステップ S T 3 3 に戻って外部アクセスが完了するのを待つ。一方、ステップ S T 3 4 において、消去パルスタイマ 1 1 2 がカウントアップを完了した場合には、消去制御部 1 1 0 は、レジスタ 1 0 0 a - 1 0 0 d をすべてリセットし、また、フラグ F L G もリセットする ( ステップ S T 3 5 ) 。これにより、消去動作が完了する。

30

【 0 2 5 9 】

ステップ S T 3 2 において外部アクセスが存在しないかまたはステップ S T 3 3 において外部アクセスが完了すると、消去制御部 1 1 0 が、消去ペリファイ制御部 1 1 6 をイネーブルする。レジスタ 1 0 0 a - 1 0 0 d に格納される有効フラグがセットされた消去アドレスが逐次読出され、消去メモリブロックにおいてペリファイカウンタ ( 図 3 5 ) からのペリファイアドレスに従って、メモリブロックのメモリセルを逐次読出して消去ペリファイ動作を実行する。このとき、電圧発生部においては、消去ペリファイに必要なペリファイ電圧が選択されて行および列デコーダ ( 列選択ゲート回路に含まれる列デコーダ ) へ与えられてメモリセルデータの読出が実行される。このペリファイカウンタは、一例として、読出された消去アドレスをブロックアドレスとして保持し、このメモリブロック内のアドレスを順次そのカウント値に従って生成する。これにより、消去メモリブロックに対するブロックアドレスおよびメモリセルアドレスを生成することができる。

40

【 0 2 6 0 】

消去ペリファイ制御部 1 1 6 は、読出されたデータの論理値をモニタし、すべてのメモリセルの記憶データが消去状態にあるかを識別し、その識別結果に従って対応のメモリブロックが消去状態にあるかを識別する ( ステップ S T 3 7 ) 。対応のメモリブロックがまだすべて消去状態にない場合には、消去ペリファイ制御部 1 1 6 は、消去継続を消去制御部 1 1 0 に知らせる。消去制御部 1 1 0 は、ステップ S T 3 2 へ戻り、ペリファイ周期カウンタ 1 1 4 のカウント値に従って所定のペリファイ周期が完了するのを待つ。

50



## 【0261】

一方、ステップST37における消去ベリファイで、全てのメモリセルが消去状態であると識別された場合には、消去制御部110は、レジスタ100a - 100dのうちの対応のレジスタをリセットし、また、図45に示すリセットデコーダ128へ対応の消去アドレスEAD<sub>i</sub>を与え、対応のメモリブロックの消去高電圧をリセットする（ステップST39）。

## 【0262】

レジスタ100a - 100dがすべてリセット状態にある場合には（ステップST39）、消去制御部110は、消去動作を完了させる。一方、すべてのレジスタがリセット状態にない場合には、再び、ステップST32へ戻り、消去制御部110は、消去パルスタイマ112のカウント値をモニタしつつ消去高電圧を継続して生成させて、EG選択回路120へ与える。

## 【0263】

以上のように、この図44に示すコマンドレジスタ/消去制御回路、より具体的には図35に示す制御回路および図40に示す電源遮断検出制御部および消去アドレスロード/セーブ制御部を利用することにより、複数のメモリブロックに対して並行して消去動作を行なうとともに、電源遮断時、このレジスタに格納された消去アドレスを特定のメモリ領域へ格納することができる。

## 【0264】

電源遮断時におけるレジスタ100a - 100dの内容のセーブおよびロード動作は、図43に示すフロー図と同様の動作制御が、消去アドレスロード/セーブ制御部により実行される。

## 【0265】

以上のように、この発明の実施の形態8に従えば、複数のメモリブロックに対し並行して、消去動作を行なうように構成しており、また、外部アクセスを優先させている。したがって外部に対して内部で実行される消去動作を完全に隠すことができ、データアクセスの制御が容易となる。

## 【0266】

## [実施の形態9]

図49は、この発明の実施の形態9に従う半導体装置のメモリブロックへのアクセス態様を概略的に示す図である。図49においてメモリアレイ20には、複数のメモリブロックにおいて、パイプライン的に書込および消去を異なるメモリブロックに対して並行して実行する。

## 【0267】

いま、メモリブロックBK<sub>b</sub>に対して消去を行なっているとき、メモリブロックBK<sub>a</sub>に並行して書込を実行する。このメモリブロックBK<sub>b</sub>の消去完了後、次に書込指示が与えられると、次のメモリブロックBK<sub>a</sub>に対する消去動作と並行してメモリブロックBK<sub>b</sub>に対する書込を実行する。すなわち、書込は、常に消去が行なわれたメモリブロックに対して実行される。

## 【0268】

図50は、この発明の実施の形態9に従う半導体装置のアクセスシーケンスの一例を示す図である。図50において、水平方向に整列して配置されるメモリブロックは同一メモリブロックを示す。

## 【0269】

図50において、まず1つのメモリブロックにおいて消去が実行される。続いて、書込および消去を同時に行なうコマンド（または、単なる書込コマンド）が印加され、異なるメモリブロックに対して消去および書込が並行して実行される。以後、複数のメモリブロックにおいて、消去後メモリブロックに対し書込が実行される。

## 【0270】

書込および消去をパイプライン的に実行する。書込が、消去メモリブロックに対して行

10

20

30

40

50

なわれるため、高速にデータの書込を行なうことができる。特に、ファームウェアなどの大量のデータを一度に書換える場合、高速に書換えを行なうことができる。また、S R A M (スタティック・ランダム・アクセス・メモリ)からのデータのセーブを高速で行なうことができる。

【0271】

なお、図50に示す動作シーケンスにおいて書込および消去時においては、ペリファイ動作が実行される。このペリファイに対しては、書込ペリファイおよび消去ペリファイは、異なるタイミングで、すなわち異なる時間において実行することが要求される。

【0272】

図51は、この発明の実施の形態9に従う半導体装置のコマンドレジスタ/制御回路24の構成を概略的に示す図である。この発明の実施の形態9に従う半導体装置の全体の構成は、図23に示す半導体装置の構成と同じである。

【0273】

図51において、コマンドレジスタ/制御回路24において、コマンドデコーダ140、消去コマンドレジスタ141eおよび書込コマンドレジスタ141w、消去制御部142、書込制御部175、消去ペリファイ制御部143、書込ペリファイ制御部177が設けられる。

【0274】

コマンドデコーダ140は、クロック発生器160からの内部クロック信号CLKに同期して外部からの制御信号/CE、/WEおよび/OEがある動作モードを指定しているとき、アドレスADDおよびデータDQから与えられたコマンドをデコードし、そのデコード結果を、デコード結果に従って、消去コマンドレジスタ141eおよび書込コマンドレジスタ141wのいずれかに与える。

【0275】

消去コマンドレジスタ141eは、図28に示す消去コマンドレジスタ41eに対応し、コマンドデコーダ140からのデコード後の消去コマンドを格納する。書込コマンドレジスタ141wは、図28に示す書込コマンドレジスタ41wに対応し、コマンドデコーダ140からのデコード後の書込コマンドを格納する。

【0276】

消去制御部142は、図28に示す消去制御部42に対応し、消去コマンドレジスタ141eに格納される消去コマンドに従って消去に必要な動作を制御する。消去ペリファイ制御部143は、図28に示す消去ペリファイ制御部43に対応し、消去制御部142からの消去電圧印加時、所定のシーケンスで消去ペリファイ動作を制御し、消去ペリファイ完了時、消去制御部142に消去電圧印加動作を停止させる。

【0277】

書込制御部175は、図28に示す書込制御部75に対応し、書込コマンドレジスタ141wに格納される書込コマンドに従って書込動作を制御する。

【0278】

書込ペリファイ制御部177は、図28に示す書込ペリファイ制御部77に対応し、書込制御部176からの書込完了指示に従ってイネーブルされて書込ペリファイ動作を制御する。書込ペリファイ制御部177は、書込データを保持する書込データレジスタを含み、書込ペリファイにより正確にメモリセルに対してデータ書込が行なわれることを検出すると、書込制御部175に対し、書込動作を停止させる。

【0279】

この図51に示すコマンドレジスタ/制御回路24においては、さらに、書込ペリファイカウンタ150、および消去ペリファイカウンタ152が設けられる。アドレスレジスタ22内において、アクセスアドレスレジスタ154および消去アドレスレジスタ156が設けられる。

【0280】

アクセスアドレスレジスタ154は、書込制御部175からの制御のもとに、外部から

10

20

30

40

50

のアドレス信号 A D D をアクセスアドレスとして格納する。データ書込時、アクセスアドレスレジスタ 1 5 4 に格納された書込アドレスを先頭アドレスとしてベリファイを行うため、書込制御部 1 7 5 は、書込ベリファイカウンタ 1 5 2 の初期値として格納する。ここで、書込は連続アドレスに対して実行されるアクセスシーケンスを想定している。

【 0 2 8 1 】

書込ベリファイカウンタ 1 5 0 は、書込ベリファイ制御部 1 7 7 の制御のもとに、クロック信号 C L K に同期して書込ベリファイカウントを順次更新し、書込ベリファイアドレスを生成し、アクセスアドレスレジスタ 1 5 4 へ与える。これにより、アクセスアドレスレジスタ 1 5 4 に格納されたベリファイアドレスが、図示しない行デコーダおよび列デコーダへ与えられ、メモリセルの選択およびデータ読出が実行される。

10

【 0 2 8 2 】

消去アドレスレジスタ 1 5 6 は、消去制御部 1 4 2 からの指示に従って、アドレス信号 A D D を消去アドレスとして格納するとともに、その格納した消去アドレスを消去ベリファイカウンタ 1 5 2 にカウント初期値として格納する。この消去アドレスはメモリブロックを指定しており、消去ベリファイカウンタの上位ビット位置にベリファイブロックアドレスとして格納され、カウント動作により、このメモリブロック内のメモリセルが順次指定される。

【 0 2 8 3 】

消去ベリファイカウンタ 1 5 2 は、消去制御部 1 4 2 の制御のもとに、この消去アドレスレジスタ 1 5 6 に格納されたアドレスを先頭値として格納するとともに、消去ベリファイ制御部 1 2 3 の制御のもとに、消去ベリファイ時、内部クロック信号 C L K に同期してそのカウント値を更新する。消去アドレスレジスタ 1 5 6 に格納される消去アドレスが E G 線制御回路へ与えられ、消去高電圧を印加するメモリブロックに対するブロック埋込消去ゲート線 ( B E G ) へ消去高電圧が印加される。

20

【 0 2 8 4 】

なお、この図 5 1 に示すコマンドレジスタ / 制御回路 2 4 において、図 2 8 に示す構成と同様、読出制御部 5 4 ( A ) が設けられ、消去ベリファイ制御部 1 4 3 および書込ベリファイ制御部 1 7 7 の制御のもとに、ベリファイカウンタのカウント値がマルチプレクサを介してデコーダへ与えられ、ベリファイ読出が実行される。

【 0 2 8 5 】

30

この図 5 1 に示すコマンドレジスタ / 制御回路 2 4 の構成において、書込制御部 1 7 5 および消去制御部 1 4 2 は、それぞれ消去ベリファイおよび書込ベリファイが完了するまで、次の書込および消去動作を停止させる。消去ベリファイおよび書込ベリファイが完了すると、消去制御部 1 4 2 および書込制御部 1 7 5 は、アクセスアドレスレジスタ 1 5 4 および消去アドレスレジスタ 1 5 6 に、外部から与えられるアドレスをそれぞれ格納し、クロック信号 C L K に同期して消去および書込を並行して実行する。

【 0 2 8 6 】

なお、このパイプライン態様でのデータアクセスは、所定の消去および書込時間が規定され、外部からの装置は、その所定間隔で、消去および書込コマンドを印加するとともに、消去アドレスおよび書込アドレスを印加する。

40

【 0 2 8 7 】

また、アクセスアドレスレジスタ 1 5 0 および消去アドレスレジスタ 1 5 6 が、複数のレジスタで構成され、F I F O 態様でその格納アドレスを読出す構成とされてもよい。この場合、内部で、消去ベリファイおよび書込ベリファイがともに完了した後、アドレスレジスタ ( F I F O ) の格納値を更新して次のメモリブロックに対する消去および書込を実行する。

【 0 2 8 8 】

さらに、書込および消去の完了後に消去アドレスレジスタ 1 5 6 の格納するアドレスが書込アドレスレジスタ 1 5 4 に転送され、外部から書込アドレスが与えられると消去アドレスレジスタ 1 5 6 に格納されて、消去および書込が実行されてもよい。この場合、デー

50

タ書込もメモリブロック単位でブロック内の先頭アドレスから実行することが要求される。

【 0 2 8 9 】

以上のように、この発明の実施の形態 9 に従えば、パイプライン態様で書込および消去を並行して実行しており、大量のファームウェアなどのデータを高速で書換えることができる。

【 0 2 9 0 】

また、書込時においては、消去が完了したメモリブロックに対する書込が実行されており、書込前に対応のメモリブロックの消去を行なう必要がなく、高速のデータ書込が実現される。

【 0 2 9 1 】

[ 変更例 1 ]

図 5 2 は、この発明の実施の形態 9 に従う半導体装置のアクセスシーケンスの変更例を示す図である。この図 5 2 に示すアクセスシーケンスにおいては、2つのメモリブロックに対し並行して消去が行なわれる。その消去と並行して、消去後のメモリブロックに対してメモリブロックごとに書込が行なわれる。すなわち、図 5 2 において、メモリブロック 1 および 2 に対し並行して消去が行なわれる。次のサイクルにおいて、メモリブロック 3 および 4 において消去が行なわれ、これと並行してメモリブロック 1、2 に対して順次書込が実行される。次のサイクルにおいては、消去されたメモリブロック 3 および 4 に対する書込が順次実行される。消去および書込はパイプライン的に実行される。

【 0 2 9 2 】

複数ブロック単位で消去を行なうことにより、消去時間が短縮され、書込を高速に行なうことができる。また、書込データ量が少ない場合、メモリブロック全体を消去する消去時間より短い時間で書込が完了する。したがって、書込データ量が少ない場合、1つの消去サイクル内で、複数メモリブロックに対して順次データ書込を行なうことができる。

【 0 2 9 3 】

図 5 3 は、この変更例 1 における別のアクセスシーケンスを示す図である。この図 5 3 に示すアクセスシーケンスにおいては、メモリブロックごとに消去が行なわれ、各消去と並行して書込が行なわれる。すなわち、メモリブロック 1 - 4 ... に対して消去が行なわれると、最初の消去サイクル経過後の次のサイクルから、消去と並行してメモリブロック 1 - 4 に対してデータの書込が、並行して順次パイプライン的に実行される。

【 0 2 9 4 】

この図 5 3 に示すアクセスシーケンスの場合、消去に要する時間よりも書込に要する時間が短い。しかしながら、書込データ量が多い場合、消去サイクル内に十分時間を取ってデータの書込を行なうことができる。

【 0 2 9 5 】

この図 5 2 および図 5 3 に示すように、消去メモリブロック単位を変更することにより、書込データ量に応じて書込に要する時間を変更することができ、消去メモリブロックと並行して書込データ量に応じて、消去および書込時間を最適化することができる。

【 0 2 9 6 】

この変更例におけるコマンドレジスタ / 制御回路の構成としては、図 5 1 に示す構成を利用することができる。コマンドデコーダ 1 4 0 から、消去単位ブロックを設定するコマンドが消去制御部 1 4 2 に与えられる。消去制御部 1 4 2 は、与えられた消去単位ブロック特定指示（消去単位のメモリブロック数を特定する指示）に応じて、消去アドレスレジスタ 1 5 6 に格納されるメモリブロックを特定するブロックアドレスの最下位ビットの縮退 / 有効を設定する。アドレス最下位ビットを縮退することにより、2つのメモリブロックに対して並行して消去を行なうことができる。最下位ビットを有効とすることにより、1つのメモリブロックが特定されて、この特定された1つのメモリブロックに対して消去が行なわれる。

10

20

30

40

50

## 【 0 2 9 7 】

また、このメモリブロックの消去単位のメモリブロック数に応じて、消去制御部 1 4 2 が、内部に含まれる消去パルス印加時間を規定する消去パルスタイマの時間を調整する。外部の装置は、この設定された消去ブロック単位数に応じて設定された書込サイクル（クロックサイクル）で書込アクセスを実行する。ここで、「クロックサイクル」は、パイプラインアクセスサイクルを規定するクロック信号のサイクル数を示す。

## 【 0 2 9 8 】

書込制御部 1 7 5 も、その設定された消去メモリブロック数（消去単位）に応じた書込サイクルの変更および書込ベリファイ期間の変更 / 設定は、特に要求されない。外部からのデータ書込完了指示に従って、書込ベリファイを実行する。ベリファイ用の書込データレジスタの全レジスタに書込データが保持されると書込を実行し、次いで、書込ベリファイを実行する。このとき、外部に対して実施の形態 5 のように内部ステータスを示す信号 R Y B Y \_ \_ E R および R Y I B Y \_ \_ R W が出力されて、アクセスの調整が行われても良い。

10

## 【 0 2 9 9 】

これに代えて、図 5 1 に示すアクセスアドレスレジスタ 1 5 4 を F I F O で構成し、2 つの書込メモリブロックアドレスを順次格納し、書込制御部 1 7 5 の制御の基に逐次書込が実行されてもよい。図 5 1 に示す書込ベリファイ制御部 1 7 7 においては、書込ベリファイを行なうための書込データを格納するレジスタが設けられており、このレジスタを複数段設け、各書込メモリブロックに対する書込データを順次格納して、データの書込およびベリファイが行なわれてもよい。

20

## 【 0 3 0 0 】

以上のように、この発明の実施の形態 9 に従えば、パイプライン態様で消去および書込を実行しており、高速のデータ書込を実現することができる。また、この消去単位のメモリブロック数を変更可能とすることにより、書込データ量に応じて最適な消去サイクル時間を設定することができる。

## 【 0 3 0 1 】

## [ 実施の形態 1 0 ]

図 5 4 は、この発明の実施の形態 1 0 に従う半導体装置のメモリアレイ（マット）の構成を概略的に示す図である。図 5 4 において、メモリアレイ（メモリマット）2 0 は、一例として 5 2 B（バイト）の記憶容量を有する複数のメモリブロック B K 0 - B K m に分割される。これらのメモリブロック B K 0 - B K m は、2 つのメモリブロックにより 1 つのメモリブロック対 P B K を構成する。すなわち、メモリブロック B K i および B K ( i + 1 ) が、メモリブロック対 P B K ( i / 2 ) を構成する。ここで、i は 0 から m のいずれかである。図 5 4 においては、メモリブロック対は隣接メモリブロックで構成されるように示すが、対を成すメモリブロックは、離れては位置されるメモリブロックであってもよい。例えば、上半分のメモリブロック領域と下半分のメモリブロック領域とに分割し、上半分のメモリブロック領域および下半分のメモリブロック領域において同一位置のメモリブロックにより、メモリブロック領域 P B K が形成されても良い。

30

## 【 0 3 0 2 】

図 5 5 は、この発明の実施の形態 1 0 に従う半導体装置におけるデータアクセス時の書込動作を概略的に示す図である。図 5 5 においては、メモリブロック対 P B K ( i / 2 ) におけるメモリブロック B K i および B K ( i + 1 ) に対する書込シーケンスを一例として示す。

40

## 【 0 3 0 3 】

外部からデータ書込を指示する書込コマンドが印加されたとき、フェーズ P H 1 においては、メモリブロック B K i に対するデータ書込が行なわれ、メモリブロック B K ( i + 1 ) に対して消去が並行して行なわれる。一方、フェーズ P H 1 に続く次のフェーズ P H 2 において、メモリブロック対 P B K ( i / 2 ) に対するデータ書込アクセスが要求されたとき、消去状態のメモリブロック B K ( i + 1 ) に対しデータの書込を行ない、これと

50

並行して、先に書込まれたメモリブロック  $BK\ i$  に対する消去を実行する。データ読出は、書込が行なわれたメモリブロックに対して実行される。

【0304】

この図55に示すように、メモリブロック対  $PBK\ (i/2)$  において、書込および消去をメモリブロック  $BK\ i$  および  $BK\ (i+1)$  に対して交互に実行することにより、高速のデータ書込を、書込サイクル内において書込メモリブロックに対する消去動作を伴うことなく実行することができる。したがって、たとえば、電源遮断時におけるデータのセーブおよびSRAM（スタティック・ランダム・アクセス・メモリ）などの揮発性メモリに格納されたアプリケーションデータまたは命令を、高速で、この半導体装置へセーブすることができる（本実施の形態においては、書込は、常に消去状態のメモリブロックに対して実行されるため）。

10

【0305】

図56は、この発明の実施の形態10に従う半導体装置の全体の構成を概略的に示す図である。この図56に示す半導体装置は、図23に示す半導体装置と以下の点でその構成が異なる。すなわち、コマンドレジスタ/制御回路24Cにおいて、各メモリブロック対のフェーズを示すフラグを格納するテーブルメモリ180が設けられる。また、テーブルメモリ180の参照結果に従ってブロックアドレスの転送経路を設定するブロックアドレス変換器182が設けられる。ブロックアドレス変換器182からのブロックアドレスが行デコーダ28およびEG制御回路70にそれぞれ与えられる。

【0306】

20

図56に示す半導体装置の他の構成は、図23に示す半導体装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0307】

なお、図56において、列デコーダ30は列選択ゲート回路32に隣接して配置されるように示す。この列デコーダ30および列選択ゲート回路32の配置は、図23に示す列デコーダ30および列選択ゲート回路32と同じ構成である。メモリアレイ20は、行デコーダ28および列デコーダ30に囲まれており、メモリマットとも呼ばれる。

【0308】

図57は、図56に示すコマンドレジスタ/制御回路24Cおよびブロックアドレス変換器182の構成の一例を概略的に示す図である。図57において、コマンドレジスタ/制御回路24Cは、行から与えられるコマンドをデコードするコマンドデコーダ200と、コマンドデコーダ200からの書込コマンドを格納する書込コマンドレジスタ202と、コマンドデコーダ200を介して与えられる書込アドレスを格納する書込アドレスレジスタ204と、書込/ベリファイ制御部206および消去/ベリファイ制御部208と、テーブルメモリ180とを含む。

30

【0309】

コマンドデコーダ200は、これまでのコマンドデコーダ(40)と同様、制御信号/CE、/WEおよび/OEの指示に従って外部からのアドレスADDおよびデータDQをコマンドとして取り込んでデコードし、指定された動作モードを示す内部コマンドを生成する。

40

【0310】

書込コマンドレジスタ202は、コマンドデコーダ200からのコマンドがデータ書込を示す書込コマンドのとき、その書込コマンドを格納する。書込アドレスレジスタ204は、与えられたコマンドが書込コマンドのとき、書込/ベリファイ制御部206の制御のもとに、コマンドデコーダ200を介して与えられるアドレスを書込アドレスとして格納する。この書込アドレスは、メモリブロック対PBKを特定するブロックアドレスを含むアドレスである。

【0311】

書込/ベリファイ制御部206は、書込コマンドレジスタ200に書込コマンドが格納されると、書込アドレスレジスタ204に格納された書込アドレスに従ってテーブルメモ

50

リ 1 8 0 を参照し、対応のフェーズフラグ P F L G を参照し、フェーズを示すフェーズ指示信号 P H Y を生成するとともに、書込動作を指定する書込イネーブル信号 W E N をアサートする。また、書込 / ベリファイ制御部 2 0 6 は、後に説明するブロックアドレス変換器 1 8 2 からの書込ブロックアドレス B A D W を格納し、書込ベリファイ時のアドレスを生成するとともに書込および書込ベリファイに必要な動作を制御する。

【 0 3 1 2 】

消去 / ベリファイ制御部 2 0 8 は、書込 / ベリファイ制御部 2 0 6 からの書込イネーブル信号 W E N に従って、消去 / ベリファイ動作を実行する。消去 / ベリファイ制御部 2 0 8 は、ブロックアドレス変換器 1 8 2 からの消去ブロックアドレス B A D E を格納し、消去ベリファイ時のベリファイアドレスを図示しない消去ベリファイカウンタを利用して順次生成する。この書込 / ベリファイ制御部 2 0 6 および消去 / ベリファイ制御部 2 0 8 の書込、消去およびベリファイ動作としては、これまでの実施の形態 1 から 9 において用いられた動作のいずれが用いられてもよい。

【 0 3 1 3 】

テーブルメモリ 1 8 0 には、各メモリブロック対に対応してフェーズフラグ P F L G 0 - P F L G k が格納される。ここで、k は、 $(i - 1) / 2$  である。

【 0 3 1 4 】

ブロックアドレス変換器 1 8 2 は、書込イネーブル信号 W E N のアサート時、アドレスレジスタ 2 2 から与えられるブロックアドレス B A D から 2 種類のブロックアドレスを生成するブロックアドレス生成部 2 1 0 と、フェーズ指示信号 P H Y に従ってブロックアドレス生成部 2 1 0 からのブロックアドレスの転送経路を設定する経路選択スイッチ 2 1 2 とを含む。

【 0 3 1 5 】

ブロックアドレス生成部 2 1 0 は、メモリブロック対を指定するブロックアドレス B A D に対して 2 種類 ( “ 0 ” および “ 1 ” ) の最下位ビットを付加し、メモリブロック対のメモリブロックをそれぞれ指定するブロックアドレス B A D 0 および B A D 1 を生成する。経路選択スイッチ 2 1 2 は、フェーズ指示信号 P H Y に従って、生成されたブロックアドレス B A D 0 および B A D 1 の転送経路を設定して、行デコーダへ与えられる書込ブロックアドレス信号 B A D W および E G 線制御部 7 0 へ与えられる消去ブロックアドレス B A D E を生成する。

【 0 3 1 6 】

なお、消去または書込ベリファイ時には、行デコーダへは、ブロックアドレス B A D E および B A D W に代えて、図示しないベリファイカウンタからのベリファイアドレスが与えられる ( 図示しないマルチプレクサを用いて ) 。このベリファイ時には、ベリファイアドレスのメモリブロックを特定するブロックアドレスとしては、書込ブロックアドレス B A D W および消去ブロックアドレス B A D E が、カウンタにおいて初期設定され、ブロック内アドレスがカウンタの更新により生成される。

【 0 3 1 7 】

図 5 8 は、図 5 7 に示すコマンドレジスタ / 制御部およびブロックアドレス変換器の動作を示すフロー図である。以下、図 5 8 を参照して、図 5 7 に示すコマンドレジスタ / 制御回路 2 4 C およびブロックアドレス変換器 1 8 2 の動作について説明する。

【 0 3 1 8 】

まず、書込 / ベリファイ制御部 2 0 6 は、外部からの書込コマンドが印加されるのを待つ ( ステップ S T 4 0 ) 。

【 0 3 1 9 】

外部から書込コマンドが与えられ、書込コマンドレジスタ 2 0 2 に書込を指示する信号が格納されると、書込 / ベリファイ制御部 2 0 6 は、書込アドレスレジスタ 2 0 4 に、書込アドレスを格納するとともに、この書込アドレスレジスタ 2 0 4 に格納された書込アドレスに基づいてテーブルメモリ 1 8 0 を参照する。テーブルメモリ 1 8 0 の参照により、対応のフェーズフラグ P F L G i がフェーズ P H 1 および P H 2 のいずれの状態に設定さ

10

20

30

40

50

れているかを判定する（ステップST43）。このフェーズPH1およびPH2の判定は、フェーズフラグPFLGiがセット状態にあるかリセット状態にあるかにより行う。

【0320】

ブロックアドレス変換器182においては、書込／ベリファイ制御部206からの書込イネーブル信号WENのアサートに従って外部アドレス信号ADDに含まれるブロックアドレスBADに対して最下位ビットを付加し、2つのブロックアドレスBAD0およびBAD1を生成する。最下位ビットの付加は、単に、書込イネーブル信号WENのアサート時にビット“0”および“1”をブロックアドレスの最下位ビット位置に追加するだけである。一例として、ブロックアドレス信号BAD0およびBAD1は、データ書込時には、それぞれ、最下位アドレスビットが“0”および“1”に設定される。

10

【0321】

このブロックアドレス生成部210におけるブロックアドレス生成と並行して、書込／ベリファイ制御部206においては、テーブルメモリ180のフェーズフラグPFGiの参照結果に基づいて識別されたフェーズに従ってフェーズ指示信号PHYを発生する（ステップST44）。

【0322】

このフェーズ指示信号PHYに従って、ブロックアドレス変換部182においては、経路選択スイッチ212が、内部ブロックアドレス信号BAD0およびBAD1の転送経路を設定し、書込ブロックアドレス信号BADWおよび消去ブロックアドレス信号BADEを生成し、それぞれ行デコーダおよびEG線制御部へ与える（ステップST45）。

20

【0323】

書込ベリファイ制御部206は、フェーズ指示信号PHYの発生後、消去／ベリファイ制御部208をイネーブルし、指定されたメモリブロックに対する書込、消去およびベリファイを実行する（ステップST46）。このベリファイ時には、書込／ベリファイ制御部206および消去／ベリファイ制御部208に、それぞれ書込ブロックアドレス信号BADWおよび消去ブロックアドレス信号BADEが与えられて格納されており、これらの格納アドレスに基づいてベリファイ動作が実行される。

【0324】

このベリファイ時には、ブロック書込アドレス信号BADWに従ってベリファイブロックアドレス信号がベリファイアドレス信号とともに行および列デコーダへ与えられる。このとき、EG線制御部へは、継続して、ブロック消去アドレス信号BADEが与えられ、消去電圧印加と書込および書込ベリファイとが並行して実行されてもよい。また、消去電圧印加および書込動作の完了後、書込ベリファイを実行し、続いて消去ベリファイが実行されてもよい。

30

【0325】

この書込／消去ベリファイにおいて書込または消去不良が示されると、再び書込または消去が実行される（ステップST48）。書込および消去ベリファイがともに書込および消去完了を示すと、書込／ベリファイ制御部206は、テーブルメモリ180の対応のフェーズフラグPHLGiの状態を変更する（ステップST49）。

【0326】

次に、書込および消去の動作を、対応のメモリブロック対の異なるメモリブロックに対してそれぞれ並行して実行することができる。

40

【0327】

なお、この書込および消去を行なう場合、先の実施の形態1から8において説明した書込および消去動作制御のいずれが用いられてもよい。

【0328】

データ読出時には、その詳細構成は示していないが、書込メモリブロックに対して読出アクセスを実行する必要がある。データ読出アクセス時には、以下の動作が実行される。読出コマンドが印加されると、読出制御部（例えば図33参照）が、読出活性化信号RENをアサートして、読出アドレスを読出アドレスレジスタに格納するとともに、こ

50



の格納された読出アドレスに従って、テーブルメモリの対応のフェーズフラグ P F L G を参照する。このフラグ参照結果に従って、対応のメモリブロック対のフェーズを判定する。ブロックアドレス変換器 1 8 2 においては、ブロックアドレス生成部 2 1 0 が、書込時と同様の態様でメモリブロックアドレスを生成する。

#### 【 0 3 2 9 】

経路選択スイッチ 2 1 2 は、読出モード時においては、書込時と逆の態様で、ブロックアドレスの転送経路を設定する。例えば、フェーズ P H 1 のときには、メモリブロック B K i に対して書込が行われ、メモリブロック B K ( i + 1 ) に対して消去が行われ、書込完了後にフェーズは、P H 2 に変更される。従って、書込後に読出アクセスを行う場合には、フェーズ P H 1 と同じ態様でメモリブロック B K i に対して読出アクセスを行なう必要がある。

10

#### 【 0 3 3 0 】

従って、読出アクセス時に書込アクセス時と逆の態様で経路選択スイッチ 2 1 2 において経路設定を行うことにより、書込が行われたメモリブロックに対して読出アクセスを行なうことができる。書込 / ベリファイ制御部 2 0 6 と読出制御部におけるフェーズ判定の論理を反対に設定することにより、フェーズ指示信号 P H Y に従って、経路選択スイッチ 2 1 2 において同一態様で経路選択を行って正確にアクセス対象のメモリブロックを選択することができる。この場合、動作モードに従って書込時のフェーズ指示信号と読出時のフェーズ指示信号の一方を選択して経路選択回路 2 1 2 へ与える回路を設けることにより、経路選択態様の変更は、容易に実現することができる。

20

#### 【 0 3 3 1 】

以上のように、この発明の実施の形態 1 0 に従えば、メモリブロックを対をなすように設け、この対をなすメモリブロックに対しデータ書込を行なう場合には、2 つのメモリブロックに対して交互に書込を行ない、他方のメモリブロックに対して消去を実行する。これにより、大量のデータを常に、消去メモリブロックに対して書込むことができ、書込を高速で行なうことができる。

#### 【 0 3 3 2 】

なお、電源遮断時にテーブルメモリ 1 8 0 の内容をメモリアレイ 2 0 の特定の領域にセーブするとともに電源回復時または電源投入時にセーブしたフェーズフラグをテーブルメモリに対してロードする構成がさらに設けられてもよい（実施の形態 7 参照）。また、データアクセスが、実施の形態 9 と同様にパイプライン的に実行されてもよい。

30

#### 【 0 3 3 3 】

##### [ 実施の形態 1 1 ]

図 5 9 は、この発明の実施の形態 1 1 に従う半導体装置の全体の構成を概略的に示す図である。この図 5 9 においては、メモリアレイ 2 0 におけるメモリセル行を選択する選択ゲート線 S G L、ブロック埋込消去ゲート線 B E G およびローカル埋込ゲート線 L E G が、各メモリブロック B K 0 - B K n に対応して配置される。ビット線 B L およびソース線 S L は、メモリセル列に対応して列方向に延在して複数のメモリブロック B K 0 - B K n に共通に配置される。

#### 【 0 3 3 4 】

行デコーダ 2 8 A およびソース線デコーダ 3 0 0 は、それぞれ、アドレスレジスタ 2 2 からの行および列アドレスを受け、選択ゲート線 S G L およびソース線 S L を、書込動作および読出動作（ベリファイ動作を含む）に応じて選択状態へ駆動する。E G 制御回路 7 0 は、消去時、消去メモリブロックに対するブロック埋込消去ゲート線 B E G に消去高電圧を印加する。

40

#### 【 0 3 3 5 】

メモリブロックごとにウェル W L L の電圧を設定するために、ウェル制御回路 2 2 0 が設けられる。このウェル制御回路 2 2 0 は、E G 制御回路 7 0 と同様、メモリブロック単位でウェル電位（W E L L）を制御するため、アドレスレジスタ 2 2 から、メモリブロックアドレスを受け、電圧発生回路 2 6 A からの電圧に応じたウェル電圧を選択メモリプロ

50

ックおよび非選択メモリブロックへそれぞれ伝達する。

【0336】

後に説明するように、メモリセルの構造が、実施の形態1から10において用いたメモリセルの構造と異なるため、電圧発生回路26Aが、コマンドレジスタ/制御回路24Dの制御のもとに生成する電圧レベルが、これまでの実施の形態1から10の場合と異なる。この図59に示す半導体装置の他の構成は、図23に示す半導体装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。なお、以下の実施の形態においても、メモリアレイは、メモリマツトと等価であり、単一バンク構成のメモリアレイを想定する。

【0337】

図60は、図59に示すメモリアレイ20におけるメモリセルの配置の一例を示す図である。図60において、2行2列に配列されるメモリセルMC00、MC01、MC10およびMC11を代表的に示す。これらのメモリセルMC00、MC01、MC10およびMC11は、同じ構成を有するため、図60においては、メモリセルMC99に対しその構成要素に参照符号を付す。

【0338】

メモリセルMC00は、ソース線SL0とビット線BL0の間に直列に接続されるPチャネルMOSトランジスタで構成されるアクセストランジスタPATと、フローティングゲートを有するメモリトランジスタPMTを有する。メモリトランジスタPMTは、ゲートがフローティング状態とされ、電荷が蓄積するフローティングゲートFGとして利用される。

【0339】

メモリセル列に対応してビット線BL0、BL1が配置され、また、メモリセル列に対応してソース線SL0、SL1...が配置される。メモリセル行に対応して、選択ゲート線SGL0、SGL1...が配置される。ソース線SLは、対応の列のメモリセルの選択トランジスタPATの不純物領域に結合される。選択ゲート線SGLは、対応の行のメモリセルの選択トランジスタPATのゲートに結合される。

【0340】

メモリセル列に対応してメモリセル列の境界領域にローカル埋込ゲート線LEG0、LEG1...が配置される。これらのローカル埋込消去ゲート線LEG0、LEG1は、共通にブロック埋込消去ゲート線BEGに結合される。ソース線SL0、SL1は、アクセストランジスタPATの不純物領域および裏打ち用メタル配線(シャント配線)とで構成される。ローカル埋込消去ゲート線LEG0、LEG1は、メモリセル間の素子分離領域に形成されており、ソース線と埋め込み消去ゲート線との配線の衝突は生じない。

【0341】

図61は、メモリセルMCの平面レイアウトを概略的に示す図である。メモリセルは、同一の平面レイアウトを有するため、図61においては、メモリセルを、代表的に示すために、符号MCで参照する。

【0342】

図61において、メモリセルMCは、活性領域230を含む。この活性領域230は、ソース線に結合される不純物領域231aと、不純物領域231bと、ビット線に結合される不純物領域231cとを含む。不純物領域231aおよび不純物領域231cは、それぞれ、同一列の隣接メモリセルにより共有される。

【0343】

不純物領域231aおよび231bの間に、BL方向(ビット線延在方向)と直交する方向に選択ゲートSGを構成する選択ゲート配線232が配設される。この選択ゲート配線232により、選択ゲート線SGLが構成される。

【0344】

不純物領域231bおよび231cの間に、フローティングゲートFGを構成する電荷蓄積層234が形成される。メモリセルMCの活性領域230のBL方向と直交する方向

10

20

30

40

50

において、隣接メモリセル間の素子分離領域においてB L方向に連続的に延在する埋込消去ゲート配線2 3 8が形成され、各メモリセルM Cに対する埋込消去ゲートE Gを構成する。

#### 【0 3 4 5】

この図6 1に示すメモリセルの配置の場合、ソース不純物領域2 3 1 aが、ソース線S Lに結合され、ドレイン不純物領域2 3 1 bがビット線B Lに結合される。ソースメタル配線を、メモリセル列間の素子分離領域上に埋込消去ゲート配線上に第1メタル配線を用いて形成し、ビット線を、活性領域2 3 0上に第1メタル配線上層の第2メタル配線を用いて形成する。これにより、ソース線およびビット線をB L方向に平行に延在させる場合においても、配設の衝突は、生じない。

10

#### 【0 3 4 6】

図6 2は、図6 1に示す線L 6 2 - L 6 2に沿った断面構造を概略的に示す図である。図6 2においては、埋込消去ゲート配線2 3 8を、対応を示すため、併せて示す。図6 2において、Nウェル2 4 0の表面の活性領域にP型不純物領域2 3 1 a、2 3 1 bおよび2 3 1 cがそれぞれ間をおいて形成される。不純物領域2 3 1 aおよび2 3 1 bの間に、選択ゲートS Gを形成する選択ゲート配線2 3 2が配設され、不純物領域2 3 1 bおよび2 3 1 cの間の領域に、フローティングゲートF Gを構成する電荷蓄積層2 3 4が配置される。この電荷蓄積ゲート層2 3 4は、各メモリセルごとに分離して配置される。

#### 【0 3 4 7】

なお、不純物領域2 3 1 aおよび2 3 1 cがそれぞれソース線S Lおよびビット線B Lに結合され、埋込消去ゲート配線2 3 8が埋込消去ゲートE Gに結合される。この場合、前述のように、埋込消去ゲートE Gおよびソース線(ソースメタル配線)S Lは、ビット線B Lと異なる位置および配線層に配設されるため、図6 2においては、接続配線に対する斜線で、その位置が異なることを示す。

20

#### 【0 3 4 8】

図6 3は、図6 1に示す線L 6 3 - L 6 3に沿った断面構造を概略的に示す図である。図6 3において、メモリセルのB L方向と直交する方向において隣接するメモリセルを分離するためにS T I分離膜2 4 2が設けられる。このS T I分離膜2 4 2表面に、埋込消去ゲート配線2 3 8が形成される。この埋込消去ゲート配線2 3 8は、その頂部に突出部を有し、フローティングゲートF Gを構成する電荷蓄積層2 3 4に隣接する。消去時、これまでの実施の形態と同様、F N電流により、電荷蓄積層2 3 4(フローティングゲートF G)に蓄積された電子を、埋込消去ゲート配線2 3 8(埋込消去ゲートE G)に引抜く。

30

#### 【0 3 4 9】

図6 0から図6 3に示すように、PチャネルM O Sトランジスタを用いてメモリセルを構成しても、消去および書込を実行することができる。消去電圧印加中は、以下に説明するように、読出動作が可能であるものの、書込動作は実行できない。

#### 【0 3 5 0】

図6 4は、この発明の実施の形態1 1におけるメモリセルの書込時の印加電圧を示す図である。図6 4において、メモリセルM C 0 0に対し書込を行なう場合を考える。この場合、選択行の選択ゲート線S G L 0が0 Vに設定され、一方、非選択行の選択ゲート線S G L 1へは、8 Vが印加される。選択列のビット線B L 0には0 Vが伝達され、また、選択列のソース線S L 0に対し8 Vが印加される。非選択列のビット線B L 1は8 Vに設定され、非選択ソース線S L 1は0 Vに設定される。このとき、ウェル領域(Nウェル2 4 0)に対するウェル電圧W E L Lは、8 Vに設定され、埋込消去ゲート線B E Gはオープン状態または0 Vに設定される。

40

#### 【0 3 5 1】

メモリセルM C 0 0においては、アクセストランジスタP A TがPチャネルM O Sトランジスタであり、オン状態となり、ソース線S L 0からビット線B L 0に向かって電流が流れる。このとき、メモリトランジスタP M TおよびアクセストランジスタP A Tの間の

50

P型不純物領域231b(図62参照)に、ソース線SLからアクセストランジスタPATを介して電流が流れる。この場合、メモリトランジスタPMTのドレイン高電界によりホットエレクトロンが発生し、フローティングゲートFGに電子が注入される。

【0352】

メモリトランジスタPMTが、PチャネルMOSトランジスタの場合、フローティングゲートに電子が注入されると、そのしきい値電圧が低くなり、メモリトランジスタPMTがオン状態となる。これにより、メモリセルMC00を、書込状態に設定することができる。

【0353】

メモリセルMC01においては、メモリトランジスタは、ゲート(選択ゲート)およびソースが同一電位であり、オフ状態を維持し、書込電流はメモリセルMC01には流れない。メモリセルMC10に対しても、そのアクセストランジスタ(PAT)がゲートおよびソースが同一電位でありオフ状態を維持する。また、メモリセルMC11は、アクセストランジスタ(PAT)のゲート電位がソース電位よりも高くオフ状態にある。したがって、選択メモリセルに対してのみメモリ、データの書込を行なうことができる。

【0354】

このとき、ウェル電位WELLを、8Vに設定することにより、Nウェルと不純物領域21a-231cに印加される電圧は、最大8Vであり、基板領域と不純物領域の間のPN接合を導通するのを防止することができ、正確な書込を行なうことができる。

【0355】

図65は、消去時のメモリセルへの印加電圧を示す図である。この消去モードにおいては、選択メモリブロックに対するブロック埋込消去ゲート線BEGが8Vに設定され、ローカル埋込消去ゲートLEG0、LEG1、...すべてが、8Vに設定される。ウェル電圧WELL、選択ゲート線SGL0、SGL1、およびソース線SL0およびSL1は、すべて3Vに設定される。ビット線BL0およびBL1は、消去と並行してデータの読出を行なう場合の電圧に応じて、0Vまたは3Vである。消去と並行して読出が行なわれない場合、ビット線BLの電圧は、3Vに設定される。

【0356】

この消去モード時においては、図63に示すように、8Vの電圧が埋め込み消去ゲートEGに印加されるため、埋込消去ゲートEGとフローティングゲートFGの間のカップリングにより、FN電流が流れ、フローティングゲートFGに格納される電子が埋込消去ゲートEGに放出される。応じて、メモリトランジスタPMTのしきい値電圧が、高くなる。一方、非選択メモリブロックに対しては、このブロック埋込消去ゲート線BEGは0Vに設定され、フローティングゲートFGから埋込消去ゲートEGへの電子の移動は生じず、消去は行なわれない。

【0357】

従って、この消去動作時においては、消去メモリブロックと別のメモリブロックにおいて選択ゲート線を選択状態の0Vに設定することにより、ソース線からビット線に電流が流れ(メモリトランジスタがオン状態のとき)、ソース線の電圧とほぼ等しい電圧レベルとなる。一方、メモリセルが消去状態のときには、メモリトランジスタPMTがオフ状態であり、ソース線からビット線に電流が流れず、ビット線BLが、もとの接地電圧レベルである。この電圧レベルを検知することにより、読出を行なうことができ、1つのメモリブロックにおいて消去動作を行なっているとき、別のメモリブロックにおいてデータの読出を行なうことができる。消去メモリブロックにおいては、アクセストランジスタPATはオフ状態に維持されるため、ビット線BLの電位は何ら消去動作に影響を及ぼさないためである。

【0358】

図66は、データ読出時のメモリセルの印加電圧を示す図である。図66において、メモリセルMC00に対しデータ読出を行なう場合を考える。この場合、選択ゲート線SGL0は0Vに設定され、選択ゲート線SGL1は3Vに設定される。ソース線SL0、S

10

20

30

40

50

L 1 は 3 V に設定され、ウェル電位 W E L L は 3 V に設定される。ビット線 B L 0 および B L 1 は、0 V にプリチャージされる。選択メモリセル M C 0 0 は、対応の選択ゲート線 S G L 0 が 0 V であり、ソース線 S L 0 の電位は 3 V であり、アクセストランジスタ P A T がオン状態となる。メモリトランジスタ P M T は、書込状態のときには、オン状態であり、ソース線 S L 0 からビット線 B L 0 に電流が流れ、このビット線 B L 0 上の読出電圧 V r b は、ソース線 S L 0 の電圧 3 V とほぼ等しくなる。一方、メモリトランジスタ P M T は、消去状態のときには、オフ状態であり、ビット線 B L 0 にはソース線 S L 0 から電流が流れず、ビット線 B L 0 は、プリチャージ電圧レベルの 0 V を維持する。このビット線 B L 0 の電圧を図示しないセンスアンプで検知することにより、メモリセル M C 0 0 のデータの読出を行なうことができる。

10

#### 【0359】

メモリセル M C 0 1 においても、選択ゲート線 S G L 0 の電圧に従って、アクセストランジスタがオン状態であり、ビット線 B L 1 にメモリトランジスタ P M T の記憶情報に応じて選択的に流れ、その電圧レベルが記憶情報に応じた読出電圧 V r v レベルとなる。

#### 【0360】

図 6 6 に示すように、メモリセルのデータ読出時においては、1 行のメモリセルから対応のビット線上にデータの読出が行なわれる。この後、ビット線 B L を列デコーダにより選択することにより、選択メモリセルのデータの読出を行なう。

#### 【0361】

この図 6 5 および図 6 6 に示すように、ビット線 B L ( B L 0 , B L 1 , ... ) が、複数のメモリブロックに共有されている場合、消去時に、ビット線電圧が、0 V または 3 V の場合には、消去動作には何ら悪影響を及ぼさない ( フローティングゲート F G と埋め込み消去ゲート E G の間のカップリングに対する影響は小さい ) 。したがって、1 つのメモリブロックに対して消去動作を行なっている期間に並行して別のメモリブロックにおいてデータの読出を行なうことができる。

20

#### 【0362】

しかしながら、図 6 4 および図 6 6 に示すように、データ書込を行なう場合、ビット線電圧が 0 V または 8 V に設定され、また、ソース線 S L も 0 V または 8 V に設定される。ビット線 B L が 8 V に設定される場合、メモリトランジスタ P M T に高電圧が印加され、フローティングゲートへの電子の注入が行なわれる可能性があり、特に 8 V の高電圧がビット線 B L に印加された場合、ビット線に接続される不純物領域 2 3 1 c と埋め込み消去ゲート E G の電圧が等しくなり、消去ゲートとフローティングゲートとのカップリングが弱くなり、消去不良が生じる可能性がある。また、ソース線 S L が列方向に延在して複数のメモリブロックにより共有される場合、ソース線の電圧も書込データに応じて消去時の電圧と異なる電圧が印加され、消去時の電圧と書込時の電圧とが競合し、消去および書込を並行して行なうことができなくなる。したがって、消去動作と並行して別のメモリブロックにおいてデータの書込を行なうことは禁止される。

30

#### 【0363】

この場合、コマンドレジスタ / 制御回路 2 4 D において、消去動作時、書込コマンドが与えられた場合、その書込を禁止するように構成されればよい。またこれに代えて、実施の形態 5 と同様、消去動作実行中にフラグを外部装置に出力して、データの書込アクセスを禁止することを外部装置に通知するように構成されてよい。本実施の形態 1 1 においては、したがって、先の実施の形態 4 , 5 または 6 と同様の構成を利用して、消去動作と読出動作を異なるメモリブロックにおいて並行して実行することができる。また、実施の形態 1 と同様、消去電圧印加中に消去ベリファイを実行することができる。また、メモリセルのトランジスタは、ともに、単層ゲートトランジスタであり、製造工程が簡略化される。

40

#### 【0364】

なお、ソース線 S L は、各メモリブロックにおいて行方向に延在して各メモリセル行に対応して配置されてもよい。

50

## 【 0 3 6 5 】

## [ 実施の形態 1 2 ]

図 6 7 は、この発明の実施の形態 1 2 に従う半導体装置の全体の構成を概略的に示す図である。図 6 7 に示す構成においては、メモリセルアレイ 2 0 において、各メモリブロック B K 0 - B K n において、コントロールゲート線 C G L、選択ゲート線 S G L、ソース線 S L およびブロック埋込消去ゲート線 B E G およびローカル埋込消去ゲート線 L E G が配設される。ソース線 S L およびウェル電位 W E L L は接地電位に固定される。

## 【 0 3 6 6 】

後に説明するように、メモリセルは、コントロールゲート線 C G L、選択ゲート線 S G L、ソース線 S L および埋込消去ゲート線を有するため、コマンドレジスタ / 制御回路 2 4 B の書込動作、読出動作、および消去時ベリファイ動作時の制御態様は、これまでの実施の形態 4 から 1 0 に示す実施の形態の態様と同様である。電圧発生回路 2 6 B は、メモリセル構造に応じて、その発生する電圧レベルが異なる。

10

## 【 0 3 6 7 】

図 6 7 に示す半導体装置の他の構成は、図 2 3 に示す半導体装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

## 【 0 3 6 8 】

図 6 8 は、図 6 7 に示すメモリアレイ（メモリマツト）2 0 におけるメモリセルの配置を概略的に示す図である。図 6 8 においては、2 行 2 列に配列されるメモリセルの配置を代表的に示す。メモリセル M C 0 0、M C 0 1、M C 1 0、M C 1 1 の各々は同一構成を有するため、図 6 9 においては、代表的に、メモリセル M C 0 0 に対し、その構成要素に参照符号を付す。

20

## 【 0 3 6 9 】

メモリセル M C 0 0 は、アクセストランジスタ N A T およびメモリトランジスタ N M T とを有する。メモリトランジスタ N M T は、コントロールゲート C G およびフローティングゲート F G を有する積層ゲートトランジスタである。一方、アクセストランジスタ N A T は、メモリトランジスタ N M T と同一の積層構造を有し、かつフローティングゲートおよびコントロールゲートが短絡されて選択ゲート S G として用いられる。

## 【 0 3 7 0 】

メモリトランジスタ N M T のコントロールゲート C G は、行方向に延在する対応のコントロールゲート線 C G L（C G L 0、C G L 1）に結合される。また、メモリトランジスタ N M T の不純物領域が対応の列のビット線 B L 0、B L 1 に結合される。アクセストランジスタ N A T は、その選択ゲート S G が、対応の行方向に延在する選択ゲート線 S G L（S G L 0、S G L 1）に結合され、かつその不純物領域が対応のソース線 S L（S L 0、S L 1）に結合される。

30

## 【 0 3 7 1 】

この図 6 8 に示すメモリセルの配置において、各メモリセルに対し、ローカル埋込消去ゲート線 L E G 0、L E G 1 が配設される。これらのローカル埋込消去ゲート線 L E G 0、L E G 1 は、共通に、対応のブロック埋込消去ゲート線 B E G に結合され、メモリセルの埋込消去ゲート E G として機能する。

40

## 【 0 3 7 2 】

この図 6 8 に示すメモリセル M C（M C 0 0、M C 0 1、M C 1 0、M C 1 1）の構成においては、同一の構造のメモリセル（フラッシュメモリセル）を 2 つ直列に接続し、一方のフラッシュメモリセルのコントロールゲートおよびフローティングゲートを電氣的に接続して選択ゲート S G として利用する。したがって、これらのアクセストランジスタ N A T およびメモリトランジスタ N M T を同一製造工程で形成することができ、また、アクセストランジスタ N A T の微細化時においても、そのコントロールゲート電極配線がゲート電極を突き抜ける現象を防止することができる。

## 【 0 3 7 3 】

図 6 9 は、図 6 8 に示すメモリセル M C（M C 0 0、M C 0 1、M C 1 0、M C 1 1）

50

の平面レイアウトを概略的に示す図である。図 6 9 において、メモリセル M C は、活性領域 2 5 0 に形成される。活性領域 2 5 0 は、不純物領域 2 5 1 a、2 5 1 b および 2 5 1 c を含む。不純物領域 2 5 1 a および 2 5 1 b の間の活性領域上に、X 方向に連続的に延在する選択ゲート配線 2 5 2 が配置され、不純物領域 2 5 1 b および 2 5 1 c の間の活性領域上に、X 方向に連続的に延在するコントロールゲート配線 2 5 3 が配置される。この選択ゲート配線 2 5 2 は、選択ゲート線 S G L を構成し、メモリセルの選択ゲート S G として機能する。コントロールゲート配線 2 5 3 はコントロールゲート線 C G L を構成し、メモリトランジスタ N M T のコントロールゲート C G を構成する。コントロールゲート C G 下部に、フローティングゲート F G が破線で示すように配置される。

【 0 3 7 4 】

10

メモリセルの X 方向に隣接するメモリセル間の素子分離領域表面に埋込消去ゲート E G を構成する消去ゲート配線 2 5 4 が、Y 方向に連続的に延在して配設される。

【 0 3 7 5 】

この不純物領域 2 5 1 a が図示しないソース線 S L に結合され、不純物領域 2 5 1 c が図示しないビット線 B L に結合される。ビット線 B L およびソース線 S L が、Y 方向に平行して延在する場合、これらはそれぞれ、第 2 メタル配線および第 1 メタル配線で構成し、異なる位置に配置する（たとえばソース線を埋込ゲート配線 2 5 4 上層に配設する）。ソース線 S L は、接地電圧に固定されるため、ソース線 S L は、行方向に延在するように配置されてもよい。

【 0 3 7 6 】

20

図 7 0 は、図 7 1 に示す線 L 7 0 - L 7 0 に沿った断面構造を概略的に示す図である。図 7 0 においては、別の位置に配置される埋込消去ゲート配線 2 5 4 を、そのメモリセル構造を明確に示すために併せて示す。活性領域 2 5 0 は、P ウェル 2 6 0 表面に形成され、その表面に不純物領域 2 5 1 a、2 5 1 b および 2 5 1 c が間をおいて配置される。不純物領域 2 5 1 a および 2 5 1 b の間の P ウェル表面上に選択ゲート配線 2 5 2 が配設され、不純物領域 2 5 1 b および 2 5 1 c の間の P ウェル表面上に、コントロールゲート C G を構成するコントロールゲート配線 2 5 3 が配設される。

【 0 3 7 7 】

選択ゲート配線 2 5 2 およびコントロールゲート配線 2 5 3 下部に、ゲート配線 2 5 7 およびフローティングゲート F G を構成する電荷蓄積層 2 5 6 が配置される。ゲート配線 2 5 7 は、ビア 2 5 8 を介して選択ゲート配線 2 5 2 に結合され、選択ゲート配線 2 5 2 と同様、連続的に X 方向に延在して配置される。一方、フローティングゲート F G を構成する電荷蓄積層 2 5 6 は、メモリセル領域内に各メモリセルに対応してメモリセル毎に分離して配置される。

30

【 0 3 7 8 】

埋込消去ゲート配線 2 5 4 が、埋込消去ゲート E G に結合され、不純物領域 2 5 1 a がソース線 S L に結合され、不純物領域 2 5 1 c がビット線 B L に結合される。これらのソース線 S L および埋込消去ゲート E G は、ビット線 B L と異なる位置に配置されるためその接続線に斜線を付して示す。

【 0 3 7 9 】

40

図 7 1 は、図 6 9 に示す線 L 7 1 - L 7 1 に沿った断面構造を概略的に示す図である。図 7 1 に示すように、メモリセルは、P ウェル 2 6 0 表面に形成され、図 6 9 に示す X 方向において隣接するメモリセルは、S T I 分離膜 2 6 2 a および 2 6 2 b により分離される。この S T I 分離膜 2 6 2 a および 2 6 2 b 表面に、埋込消去ゲート配線 2 5 4 a および 2 5 4 b が配設される。これらの埋込消去ゲート配線 2 5 4 a および 2 5 4 b は、これまでの実施の形態と同様、P ウェル 2 6 0 表面に突出する部分を有する。この S T I 分離膜 2 6 2 a および 2 6 2 b の間の領域上にフローティングゲート F G を構成する電荷蓄積層 2 5 6 が配置され、コントロールゲート C G を構成するコントロールゲート配線 2 5 3 が、S T I 分離膜 2 5 4 a および 2 5 4 b を越えて行方向に連続的に延在して配置される。フローティングゲート F G およびコントロールゲート C G は、図示しない層間絶縁膜

50

により分離されている。

【0380】

消去時においては、この埋込消去ゲートEGに消去高電圧を印加し、フローティングゲートFGから電子を引抜く。これにより、アクセストランジスタNATのしきい値電圧を低くする。

【0381】

図72は、この発明の実施の形態12における半導体装置の書込時のメモリセルの印加電圧を示す図である。図73においては、メモリセルMC00に対し書込が行なわれる場合の印加電圧を一例として示す。この場合、選択ゲート線SGL0には3Vが印加され、選択ゲート線SGL1には0Vが印加される。コントロールゲート線CGL0には10Vが印加され、コントロールゲート線CGL1には0Vが印加される。ビット線BL0に5Vが印加され、ビット線BL1、ソース線SL0およびSL1は、すべて0Vに設定される。ブロック埋込消去ゲート線BEGはオープン状態または0Vに設定される。

【0382】

この状態において、メモリセルMC00においては、アクセストランジスタNATがオン状態となり、また、メモリトランジスタNMTも、そのコントロールゲートCGに高電圧10Vが印加され、オン状態となる。応じて、ビット線BL0からソース線SL0に対し電流が流れる。ビット線BL0から流入された電流は、図70に示す不純物領域251c - 251dの間の高電界により加速され、チャネルホットエレクトロン(CHE)が発生し、このチャネルホットエレクトロンが、コントロールゲートCGの正の高電圧上にコントロールゲート方向へ引寄せられ、フローティングゲートFGに注入される。したがって、書込状態においては、メモリトランジスタNMTのしきい値電圧が高くなる。

【0383】

チャネルホットエレクトロンが発生するのは、選択ゲート線SGL0には1.5Vの電圧が印加され、ビット線BL0 - ソース線SL0間の電圧が、大部分が、このメモリトランジスタNMTのチャネル間に印加されるためである。

【0384】

図73は、消去時のメモリセルの印加電圧を示す図である。この場合、ブロック埋込消去ゲート線BEGに10Vの高電圧が印加される。ソース線SL0, SL1、選択ゲート線SGL0, SGL1、コントロールゲート線CGL0およびCGL1は、0Vに設定される。ビット線BL0およびBL1は、他のメモリブロックで書込を行なう場合の電圧に応じてその電圧レベルが5Vまたは0Vに変化する可能性がある。この場合においても、消去メモリブロックにおいては、コントロールゲートCGに印加される電圧は0Vである。従って、消去中のメモリブロックにおいて、メモリトランジスタNMTが消去状態にあり、オン状態となっても、選択ゲートSGの電圧は0Vであり、アクセストランジスタNATはオフ状態であり、ビット線およびソース線の間に電流は流れない。埋込消去ゲートEG(ローカル埋込消去ゲート線LEG0, LEG1)の正の高電圧(10V)によるフローティングゲートFGからの電荷の引抜きに対し、ビット線電圧は何ら悪影響を及ぼさない。したがって、1つの消去メモリブロックにおいて、フローティングゲートFGからファウラー - ノルドハイム電流に従って電荷を引抜いて消去を行ない、他のメモリブロックにおいて書込を行なっても、確実に消去メモリブロックにおいてメモリセルを消去状態に設定することができる。

【0385】

図74は、データ読出時のメモリセルの印加電圧を示す図である。図74においては、メモリセルMC00に対する読出を行なう場合の印加電圧を一例として示す。選択ゲート線SGL0に1.5Vが印加され、コントロールゲート線CGL0、選択ゲート線SGL1、コントロールゲート線CGL1およびソース線SL0, SL1は、0Vに設定される。ビット線BL1はフローティング状態または接地電圧(0V)レベルである。ビット線BL0には、図示しないセンスアンプからの読出電圧(たとえば1.5V)が印加される。この場合、メモリセルMC00において、アクセストランジスタNATがオン状態とな



る。メモリトランジスタNMTが、消去状態にあるか書込状態にあるかに応じて選択的にオン状態となり、ビット線BL0とソース線SL0との間に電流が流れる。このビット線電流を図示しないセンスアンプで検出することにより、データの読出を実行する。

【0386】

したがってこの図72から図74に示すように、埋込消去ゲートは、ビット線と完全に分離されており、1つのメモリブロックにおいて消去動作を行なうときの他のメモリブロックにおいてデータの読出または書込を行なうことができる。したがって、この発明の実施の形態12に従う半導体装置において、先の実施の形態1から10に示す制御態様で、消去動作と並行して読出または書込アクセスを実行することができる。

【0387】

以上のように、この発明の実施の形態12に従えば、積層ゲート構造のトランジスタを2つ直列に接続し、1つのトランジスタにおいてコントロールゲートおよびフローティングゲート配線を電氣的に接続して選択アクセストランジスタとして使用している。したがって、その製造工程を複雑化することなく、安定に動作するメモリセルを実現することができ、また、単層ゲートトランジスタの微細化時に、ゲート電極配線がゲート電極を突き抜け、短絡が生じるなどの不具合を防止することができ、安定に動作するメモリセルを実現することができる。また、消去動作と並行して書込および読出のいずれかを行なうことができ、高速アクセスが可能となる。

【0388】

[実施の形態13]

図75は、この発明の実施の形態13に従う半導体装置の全体の構成を概略的に示す図である。図75に示す半導体装置は、以下の点で、先の図23に示す半導体装置とその構成が異なる。すなわち、メモリアレイ20のメモリブロックBK0 - BK<sub>n</sub>各々において、行方向にローカル消去ゲート配線LEGAが配設される。このローカル消去ゲート配線LEGAは、埋込配線ではなく、基板上配線である。この各メモリブロックにおけるローカル消去ゲート配線LEGAはブロック単位で結合され、EG制御回路70の制御に、消去電圧または接地電圧またはオープン状態に設定される。

【0389】

このメモリアレイ20におけるメモリセルの構造に応じて、行デコーダ305からの行選択線CWLが配設される。すなわち、メモリセルが、後に説明するスプリットゲート構造のメモリセルである場合、この行選択線CWLは、ワード線WLおよびカップリングゲート線CPGLを有し、または、これに代えて、行選択線CWLは、コントロールゲート線CGLを含む。ソース線SLは、接地電圧レベルに固定される。

【0390】

このメモリアレイ20におけるメモリセルの構造に応じて印加電圧レベルが異なり、コマンドレジスタ/制御回路24Fは、これまでの実施の形態6から10と同様の態様で消去動作を制御する。電圧発生回路26Cは、その発生電圧が動作モードに応じて異なる。

【0391】

図75に示す半導体装置の他の構成は、図23に示す半導体装置と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0392】

図76は、この発明の実施の形態12において用いられるメモリセルの平面レイアウトを概略的に示す図である。図76において、不純物領域310aおよび310bが対向してY方向(列方向)に連続的に延在して配置され、これらの不純物領域310aおよび310bは、チャネル領域311により連結される。このチャネル領域311上にフローティングゲート312が配設される。フローティングゲート312上にフローティングゲート312と重なるように、コントロールゲート配線314がX方向に連続的に延在して配置される。コントロールゲート配線314およびフローティングゲート312と隣接して、コントロールゲート配線314とその一部が重なるように、X方向に連続的に延在して消去ゲート配線316が設けられる。

## 【 0 3 9 3 】

不純物領域 3 1 0 a および 3 1 0 b は、図示しない領域（コントロールゲート配線 3 1 4 の間の領域において上層のビット線およびソース線とコンタクトを介して電氣的に接続される。

## 【 0 3 9 4 】

この図 7 6 に示すメモリセルは、コントロールゲートと消去用ゲートを有するいわゆるスプリットゲート構造のメモリセルである。

## 【 0 3 9 5 】

図 7 7 は、図 7 6 に示す線 L 7 7 - L 7 7 に沿った断面構造を概略的に示す図である。図 7 7 において、P 型半導体基板領域 3 2 0 上に、フローティングゲート 3 1 2、およびコントロールゲート配線 3 1 4 が重なり合うように配設される。このコントロールゲート配線 3 1 4 およびフローティングゲート 3 1 2 に隣接してかつ一部がコントロールゲート配線と重なり合うように消去ゲート配線 3 1 6 が形成される。この領域においては、チャネル領域 3 1 1 は、素子分離膜 3 2 2 によりその幅が規定される。消去ゲート配線 3 1 6 は、この素子分離膜 3 2 2 上に形成され、この素子分離膜 3 2 2 は、列方向において隣接するメモリセルを分離する。

## 【 0 3 9 6 】

これらのコントロールゲート配線 3 1 4 とフローティングゲート 3 1 2 の間には、ゲート絶縁膜が配設され、また、消去ゲート配線 3 1 6 がゲート絶縁膜により、コントロールゲート配線 3 1 4 およびフローティングゲート 3 1 2 と分離される。

## 【 0 3 9 7 】

図 7 8 は、図 7 5 に示す L 7 8 - L 7 8 に沿った断面構造を概略的に示す図である。図 7 8 において、半導体基板領域 3 2 0 表面に、不純物領域 3 1 0 a および 3 1 0 b が離れて配置される。不純物領域 3 1 0 a に近接して、フローティングゲート 3 1 2 が基板領域 3 2 0 のチャネル形成領域 3 1 1 上に形成される。フローティングゲート層 3 1 2 上にコントロールゲート配線 3 1 4 が連続的に形成される。

## 【 0 3 9 8 】

図 7 9 は、図 7 5 に示すメモリアレイ 2 0 におけるメモリセルの配置の一例を概略的に示す図である。図 7 9 においては、2 行 2 列に配置されるメモリセル M C 0 0、M C 0 1、M C 1 0 および M C 1 1 を代表的に示す。行方向に整列するメモリセル M C 0 0 および M C 0 1 に対しコントロールゲート線 C G L 0 およびローカル消去ゲート線 L E G A 0 が配設され、また、行方向に配列するメモリセル M C 1 0 および M C 1 1 に対しローカル消去ゲート線 L E G A 1 およびコントロールゲート線 C G L 1 が配設される。このコントロールゲート線 C G L 0 および C G L 1 は、対応の行のメモリセル M C ( M C 0 0, M C 0 1, M C 1 0, M C 1 1 ) のコントロールゲート C G に結合される。

## 【 0 3 9 9 】

一方、ローカル消去ゲート線 L E G A 0 は、対応の行のメモリセル M C の消去ゲート E G に結合される。コントロールゲート C G 下部にフローティングゲート F G が配置される。消去ゲート E G は、このフローティングゲート F G に隣接して配設される。

## 【 0 4 0 0 】

列方向に整列するメモリセル M C に対し、ビット線 B L ( B L 0, B L 1 ) およびソース線 S L 0 が配設される。このソース線 S L 0 は、消去ゲート E G に近接して配置される不純物領域に接続される。

## 【 0 4 0 1 】

消去時においては、選択メモリセルが接続する行のローカル消去ゲート線 L E G A ( L E G A 0, L E G A 1 のいずれか ) にたとえば 1 0 V の高電圧が印加される。残りのビット線 B L、ソース線 S L およびコントロールゲート線 C G は、0 V に設定される。この状態においては、消去ゲート E G とフローティングゲート F G の間でファウラノルドハイムトンネル電流が流れ、フローティングゲート F G に蓄積された電子が消去ゲート E G を介してローカル消去ゲート線 L E G A へ放出されて消去が行なわれる。消去時のメモリセル

10

20

30

40

50

トランジスタのしきい値電圧は低くなる。

【0402】

書込時においては、選択行のコントロールゲート線 C G L (たとえば C G L 0) にたとえば 10 V の高電圧が印加され、選択列のビット線 B L (たとえば B L 0) に例えば 5 V の書込高電圧が印加される。ソース線 S L 0 は接地電圧レベルに維持される。また、消去ゲート線 L E G A (L E G A 0, L E G A 1) は 0 V に設定される。消去ゲート E G は、メモリセル M C のトランジスタの不純物領域上に形成され、チャネル領域上では消去ゲート E G は、フローティングゲート F G とは重なっていない。したがって、メモリトランジスタにおいて図 7 8 に示す不純物領域 3 1 0 b から不純物領域 3 1 0 a に電流が流れ、ドレイン高電界により、チャネルホットエレクトロンが生成され、フローティングゲート F G へ電子が注入される。

10

【0403】

非選択のメモリセルにおいては、コントロールゲート線 C G L が 0 V であるかビット線 B L が 0 V であり、書込電流は流れず、データの書込は行なわれない。

【0404】

データ読出時においては、消去ゲート線 L E G A (L E G A 0、L E G A 1) を 0 V に設定し、選択行のコントロールゲート線 C G L に読出電圧 (たとえば 1.5 V) を供給する。選択列のビット線 B L に、読出電圧 (たとえば 1 V) を与える。選択メモリセルを介してビット線からソース線へ電流をセンスアンプで検出してデータの読出を行なう。非選択のメモリセルは、対応のコントロールゲート線 C G L が 0 V であるかビット線 B L が接地電圧レベルまたはフローティング状態であり、非選択メモリセルを介しては電流は流れない。

20

【0405】

図 7 9 に示すメモリブロックの構成において、図 7 9 に示すようにローカル消去ゲート線 L E G A 0 および L E G A 1 にたとえば 10 V の消去高電圧を印加した状態を考える。その場合、ローカル消去ゲート線 L E G A 0 および L E G A 1 を含む消去メモリブロックにおいては、コントロールゲート線 C G L 0、C G L 1 ... はすべて 0 V に設定され、メモリトランジスタがオフ状態となる。図 7 8 に示すように、不純物領域 3 1 0 b とフローティングゲート 3 1 2 の間には距離があり、コントロールゲート配線 3 1 4 が接地電圧レベルである場合には、チャネルは形成されない。従って、ビット線に、たとえば書込高電圧 5 V が印加されても、消去対象のメモリセルには電流は流れない。したがって、1 つのメモリブロックにおいて消去を行なっているとき、別のメモリブロックに対してデータの書込 / 読出を行なうことができる。

30

【0406】

したがって、この図 7 6 から図 7 8 に示すようなスプリットゲート構造のメモリセルを用いて、メモリブロックにおける消去動作と並行して別のメモリブロックにおいて書込または読出のデータアクセスを行なうことができる。この場合、制御シーケンスとしては、先の実施の形態 1 から 1 1 のいずれの構成が用いられてもよい。

【0407】

なお、この図 7 9 に示す構成において、ローカル消去ゲート線 L E G A 0、L E G A 1 が全て分離されており、個々にその電圧を設定することが可能な場合には、メモリセル行単位で消去を実行することができる。

40

【0408】

[ 変更例 ]

図 8 0 は、この発明の実施の形態 1 2 に従う半導体装置の変更例のメモリセルの断面構造を概略的に示す図である。図 8 0 において、メモリセルは、半導体基板領域 4 0 0 表面に間をおいて形成されるビット線不純物領域 4 0 2 a およびソース線不純物領域 4 0 2 b と、ビット線不純物領域 4 0 2 a に近接して基板領域上に図示しないゲート絶縁膜を介して形成されるワードゲート配線 4 0 3 と、ソース線不純物領域 4 0 2 b に隣接して配置されるフローティングゲート層 4 0 5 と、フローティングゲート層 4 0 5 上にワードゲート

50

配線 4 0 3 に近接して配置されるカップリングゲート配線 4 0 6 と、カップリングゲート配線 4 0 6 およびフローティングゲート配線層 4 0 5 に近接してソース線不純物領域 4 0 2 b 上に形成される消去ゲート配線 4 0 4 を含む。

#### 【 0 4 0 9 】

ワードゲート配線 4 0 3 がワード線 W L を構成する。フローティングゲート層 4 0 5 が、フローティングゲート F G を構成し、メモリセルごとに分離して設けられる。消去ゲート配線 4 0 4 は、消去ゲート E G を構成し、ビット線不純物領域 4 0 2 a がビット線 B L に接続され、ソース線不純物領域 4 0 2 b がソース線 S L に結合される。

#### 【 0 4 1 0 】

この図 8 0 に示すメモリセルにおいては、ワード線 W L および消去ゲート E G が行方向に連続して延在して配置され、また、カップリングゲート C P G も行方向に連続的に延在して配置される。

#### 【 0 4 1 1 】

図 8 1 は、メモリセルのレイアウトの配置の一例を示す図である。図 8 1 においては、2 行 2 列に配置されるメモリセル M C 0 0 , M C 0 1 , M C 1 0 , M C 1 1 を代表的に示す。メモリセル M C 0 0 , M C 0 1 , M C 1 0 , M C 1 1 の各々は同一構成を有するため、図 8 1 においては、メモリセル M C 0 0 に対してその構成図に参照符号を付す。

#### 【 0 4 1 2 】

メモリセル M C 0 0 は、アクセストランジスタ A T A とメモリトランジスタ M T A の直列体で構成される。このアクセストランジスタ A T A は、単層ゲート構造の M O S トランジスタで構成され、メモリトランジスタ M T A が、積層構造の M O S トランジスタで構成され、カップリングゲート C P G およびフローティングゲート F G を含む。

#### 【 0 4 1 3 】

アクセストランジスタ A T A は、対応の行に配置されるワード線 W L ( W L 0 , W L 1 ) にそのゲートが接続され、ビット線不純物領域がビット線 B L ( B L 0 , B L 1 ) に接続される。ソース不純物領域がソース線 S L ( S L 0 , S L 1 ) に接続される。

#### 【 0 4 1 4 】

メモリトランジスタ M T A は、そのカップリングゲート C P G が対応のカップリングゲート線 C P G L ( C P G L 0 , C P G L 1 ) に結合され、フローティングゲート F G は、フローティング状態に維持される。消去ゲート E G が、対応の行に配設される消去ゲート線 L E G B ( L E G B 0 , L E G B 1 ) に結合される。

#### 【 0 4 1 5 】

この図 8 1 に示すメモリセルのデータの書込、消去および読出は以下のように行なわれる。すなわち、書込時においては、選択メモリセルに対し、ビット線 B L に、書込高電圧（たとえば 5 V）が印加され、ワード線 W L に書込高電圧（たとえば 5 V）が印加される。カップリングゲート C P G に書込高電圧（たとえば 1 0 V）が印加される。消去ゲート E G およびソース線 S L は、接地電圧レベルに維持される。この状態において、図 8 0 に示すワード線 W L の下部のチャネル形成領域 4 0 7 に、チャネルが形成される。ワード線 W L とフローティングゲート F G の間にはギャップ領域 4 0 8 が存在しており、チャネル抵抗が高くなる。したがって、ビット線 B L からソース線 S L へ電流が流れたときにこのギャップ領域 4 0 8 における高電界によりホットエレクトロンが発生し、カップリングゲート C P G の高電圧に、ホットエレクトロンが引かれ、フローティングゲート F G に電子が注入される。書込状態においては、従って、メモリトランジスタのしきい値電圧が高くなる。

#### 【 0 4 1 6 】

データ消去時においては、ビット線 B L 、ソース線 S L 、ワード線 W L およびカップリングゲート C P G が、接地電圧（0 V）に維持され、消去ゲート E G に消去高電圧（たとえば 1 0 V）が印加される。この状態においては、消去ゲート E G とフローティングゲート F G の間にファウラノルドハイムトンネル電流が流れ、フローティングゲート F G に蓄積された電子が、消去ゲート E G に引抜かれる。

10

20

30

40

50

## 【 0 4 1 7 】

消去対象のメモリブロックにおいては、図 8 1 に示すように、消去ゲート線 L E G B 0 および L E G B 1 が、たとえば 1 0 V の消去高電圧に設定される。一方、残りのカップリングゲート線 C P G L ( C P G L 0 , C P G L 1 ) およびワード線 W L ( W L 0 , W L 1 ) は 0 V に維持され、アクセストランジスタ A T A はオフ状態に維持される。したがって、別のメモリブロックでデータの書込が行なわれ、たとえばビット線 B L 0 に書込高電圧 (たとえば 5 V) に印加されても、消去対象のメモリブロックにおいてアクセストランジスタ A T A はオフ状態であり、消去メモリブロックの消去動作に対して別メモリブロックの書込動作は何ら悪影響を及ぼさない。

## 【 0 4 1 8 】

データ読出時においては、ビット線 B L に読出電圧 (たとえば 1 . 5 V) が印加され、ワード線 W L に読出電圧 (たとえば 1 . 5 V) が印加される。カップリングゲート C P G は、接地電圧レベルに維持され、ソース線 S L および消去ゲート E G も接地電圧に維持される。このとき、このメモリセルが消去状態にあると、フローティングゲートの蓄積電荷量は少なく、チャネル形成領域 4 0 7 のフローティングゲート F G 下部には、チャネルが形成される。ワード線 W L が選択されると、ビット線 B L からソース線 S L へ電流が流れる。一方、メモリセルが書込状態のときには、フローティングゲート F G に電子が注入されており、フローティングゲート F G 下部のチャネル形成領域 4 0 7 にはチャネルが形成されない。したがって、対応のワード線 W L が選択状態とされても、ビット線 B L からソース線 S L に電流は流れない。このビット線 B L の電流をセンスアンプで検出してデータ読出を行う。

## 【 0 4 1 9 】

この読出において、ビット線の読出電圧は、たとえば 1 . 5 V であり、消去対象のメモリブロックにおける消去動作に対し何ら悪影響を及ぼさない。

## 【 0 4 2 0 】

したがって、この図 8 0 に示すように、ワード線 W L と消去ゲート E G が行方向に並行して連続的に延在して配設される場合においても、これまでの実施の形態 1 から 1 0 と同様、消去メモリブロックの消去動作と並行して別のメモリブロックにおいて書込アクセスまたは読出アクセスを実行することができる。この場合、実施の形態 1 から 1 0 のいずれのアクセス制御シーケンスが用いられてもよい。

## 【 0 4 2 1 】

したがって、メモリセル構造として消去ゲートがビット線 B L と完全に分離されるメモリセル構造であれば、メモリブロック単位で消去を行なう際、別のメモリブロックで消去動作と並行して書込または読出を実行することができる。

## 【 0 4 2 2 】

このとき、ローカル消去ゲート線がそれぞれ分離され、個々に電圧を設定することができる場合には、消去単位として 1 行のメモリセルを設定することができる。

## 【 0 4 2 3 】

以上のように、この発明の実施の形態 1 3 に従えば、行方向にワード線と消去ゲート線が並行して配設される構成においても、メモリブロック単位で消去を実行することにより、1 つのメモリブロックにおいて消去を実行し、他のメモリブロックで書込または読出アクセスを実行することができ、高速の書込 / 読出を行なうことができ、アクセス効率が改善される。

## 【 産業上の利用可能性 】

## 【 0 4 2 4 】

この発明に係る半導体装置は、個別メモリ装置およびプロセッサなどのロジックと同一の半導体基板上に集積化される混在メモリに適用することにより、効率的に消去時間を短縮してデータアクセスを行なうことのできるメモリ装置およびメモリシステムを実現することができる。

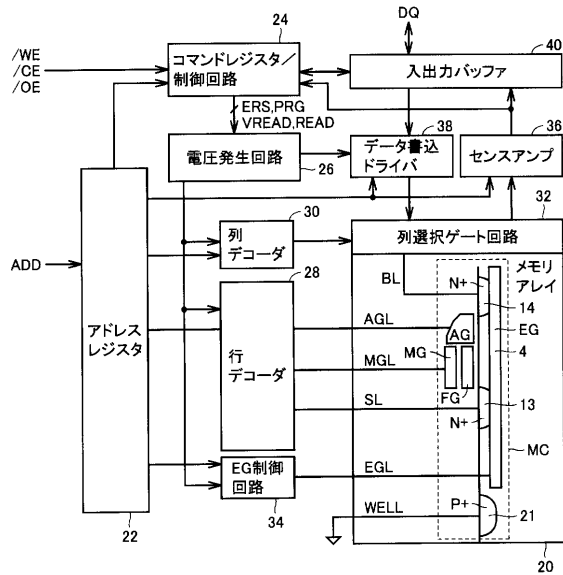
## 【 符号の説明 】

## 【 0 4 2 5 】

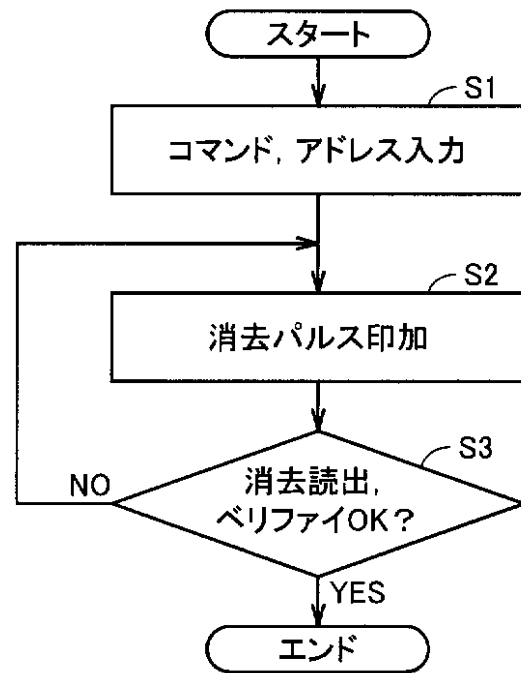
1 メモリトランジスタ、2 アクセストランジスタ、3 a , 3 b 活性領域、4 a ,  
 4 b 埋込消去ゲート配線、1 0 a , 1 0 b 導電線、5 a - 5 d メモリゲート配線、  
 6 a - 6 d アシストゲート配線、A G アシストゲート、M G メモリゲート、F G  
 フローティングゲート、2 0 メモリアレイ、2 2 アドレスレジスタ、2 4 コマンド  
 レジスタ/制御回路、2 6 電圧発生回路、2 8 行デコーダ、3 0 列デコーダ、3 2  
 列選択ゲート回路、3 4 E G 制御回路、4 0 コマンドデコーダ、4 1 コマンドレ  
 ジスタ、4 2 消去制御部、4 3 消去ベリファイ制御部、4 4 E G 制御回路、Y G 0  
 , Y G 1 列選択ゲート、4 5 A G 読出電圧発生回路、4 6 消去高電圧発生回路、4  
 7 E G 線選択回路、5 6 アシストゲート線デコーダ、5 8 メモリゲート線デコーダ 10  
 、5 9 ソース線デコーダ、6 5 タイマ、7 0 E G 制御回路、B K 0 - B K n メモ  
 リブロック、B E G ブロック埋込消去ゲート線、L E G ローカル埋込消去ゲート線、  
 2 4 A コマンドレジスタ/制御回路、8 0 ベリファイカウンタ、8 2 マルチプレク  
 サ、9 0 消去アドレスレジスタファイル、2 4 B コマンドレジスタ/制御回路、2 4  
 電源線検出制御部、9 6 消去アドレスロード/セーブ制御部、1 2 0 E G 制御回路  
 、1 2 2 ブロックデコーダ、1 2 4 消去ゲート線ドライバ、1 2 6 ラッチ回路、1  
 2 8 リセットデコーダ、1 5 4 アクセスアドレスレジスタ、1 5 6 消去アドレスレ  
 ジスタ、1 5 2 消去ベリファイカウンタ、1 8 0 テーブルメモリ、1 8 2 ブロック  
 アドレス変換器、2 0 6 書込/ベリファイ制御部、2 0 8 消去/ベリファイ制御部、  
 2 4 D コマンドレジスタ/制御回路、2 2 0 ウェル制御回路、P M T メモリトラン 20  
 ジスタ、P A T アクセストランジスタ、M C , M C 0 0 , M C 0 1 , M C 1 0 , M C 1  
 1 メモリセル、2 4 E コマンドレジスタ/制御回路、2 6 b 電圧発生回路、2 8 B  
 行デコーダ、2 4 F コマンドレジスタ/制御回路、2 6 C 電圧発生回路、3 0 0  
 行デコーダ、L E G A ローカル消去ゲート線、L E G B 0 , L E G B 1 ローカル消去  
 ゲート線、C P G L 0 , C P L G 1 カップリングゲート線、W L 0 , W L 1 ワード線  
 、L E G A 0 , L E G A 1 ローカル消去ゲート線、C G L 0 , C G L 1 コントロール  
 ゲート線、A T A アクセストランジスタ、N T A メモリトランジスタ。



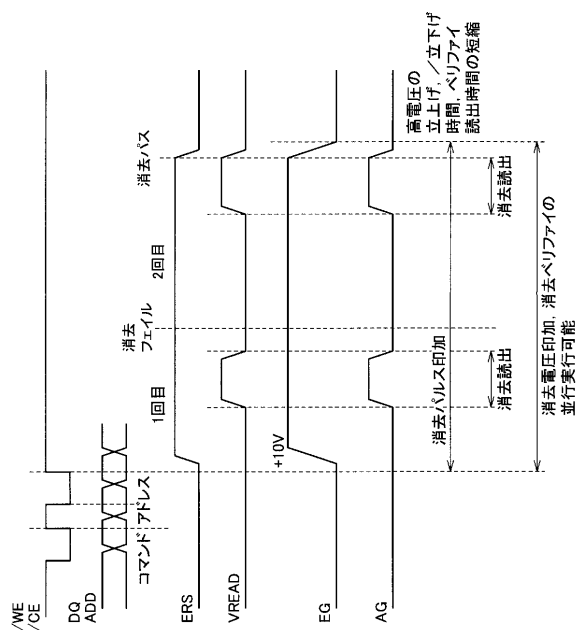
【図 9】



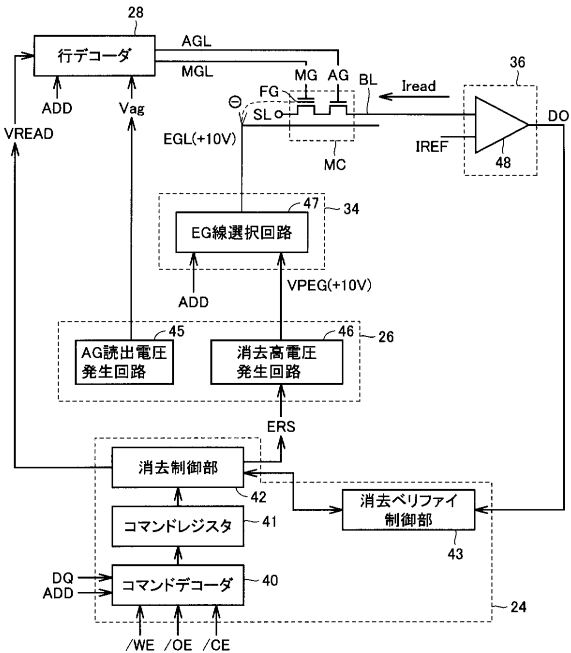
【図 10】



【図 11】

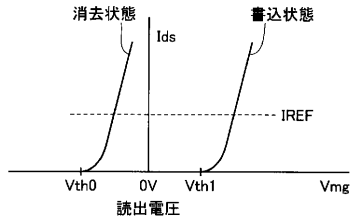


【図 12】

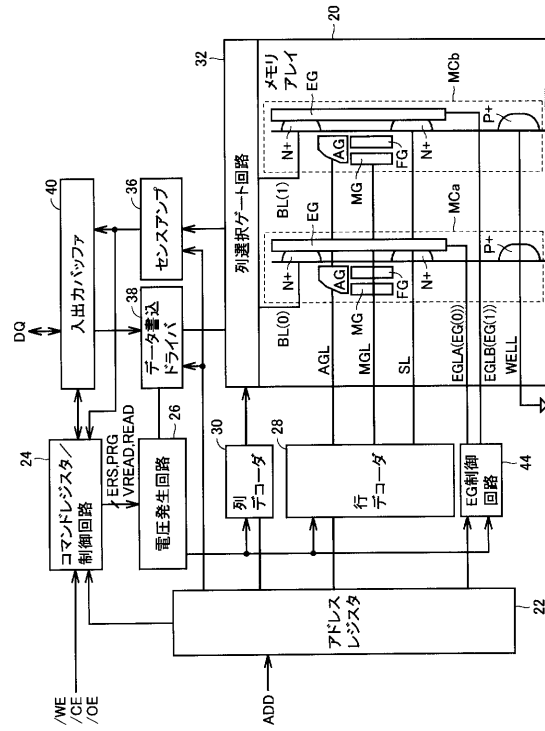




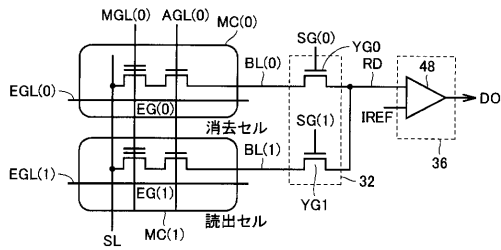
【図 13】



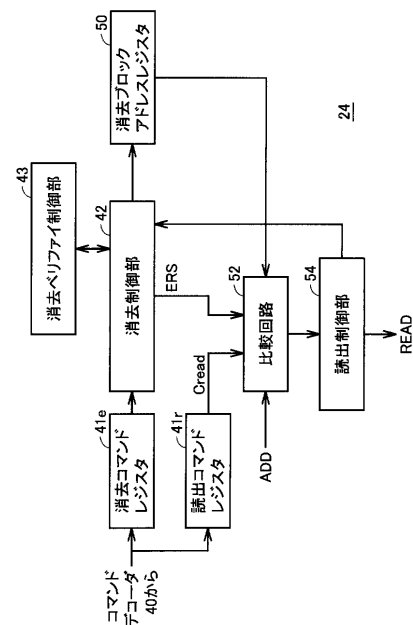
【図 14】



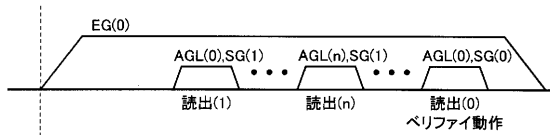
【図 15】



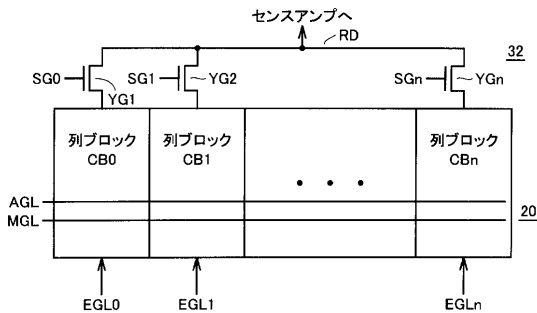
【図 18】



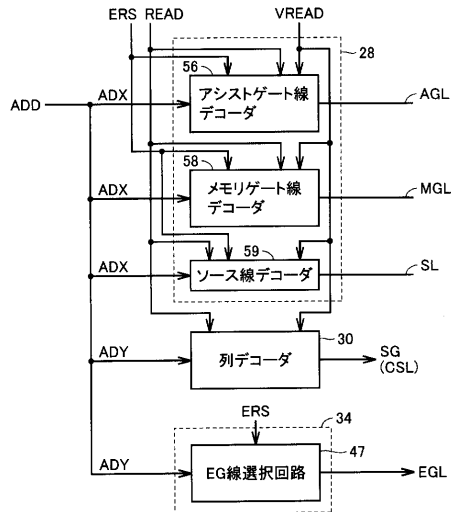
【図 16】



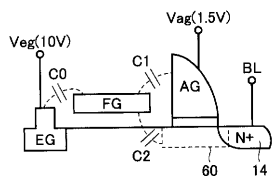
【図 17】



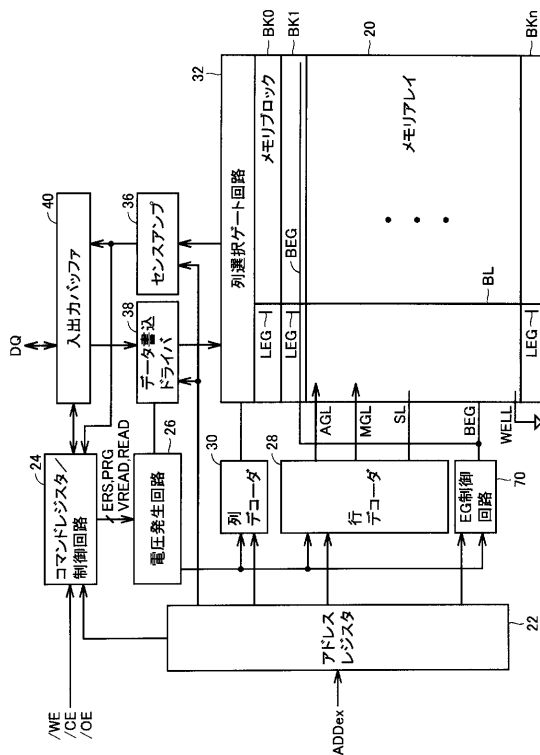
【図 19】



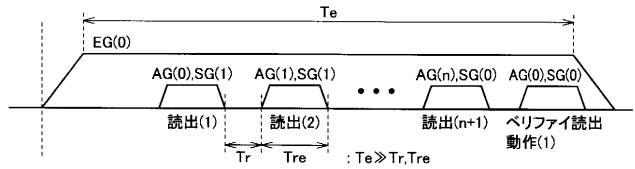
【図 20】



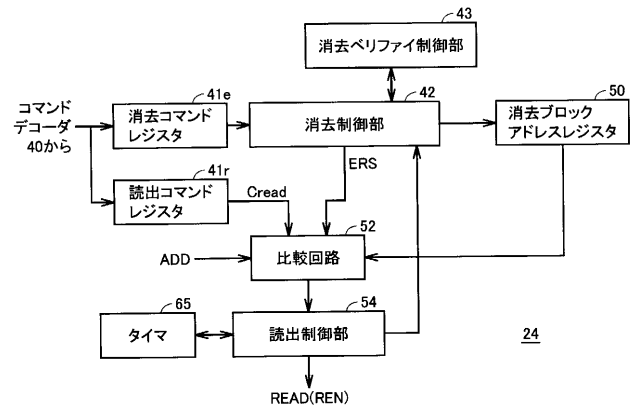
【図 23】



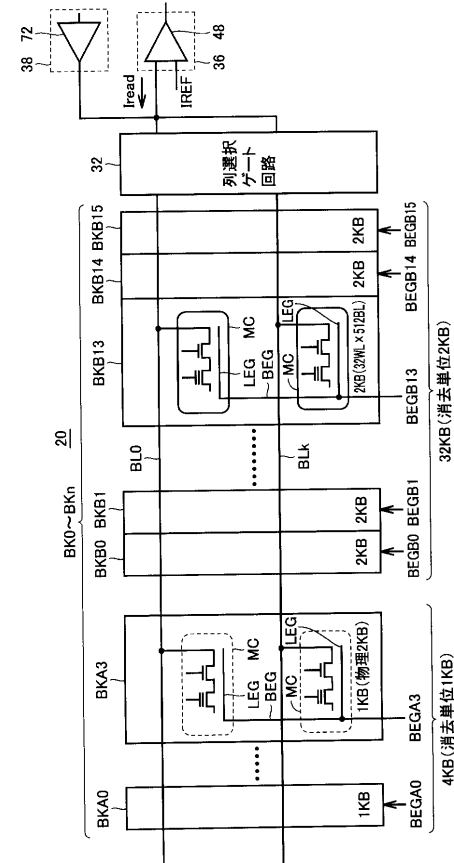
【図 21】



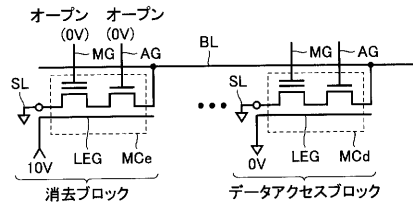
【図 22】



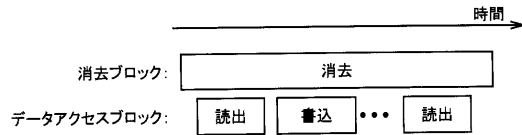
【図 24】



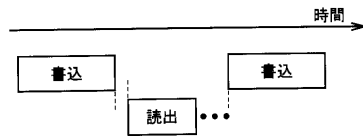
【図 25】



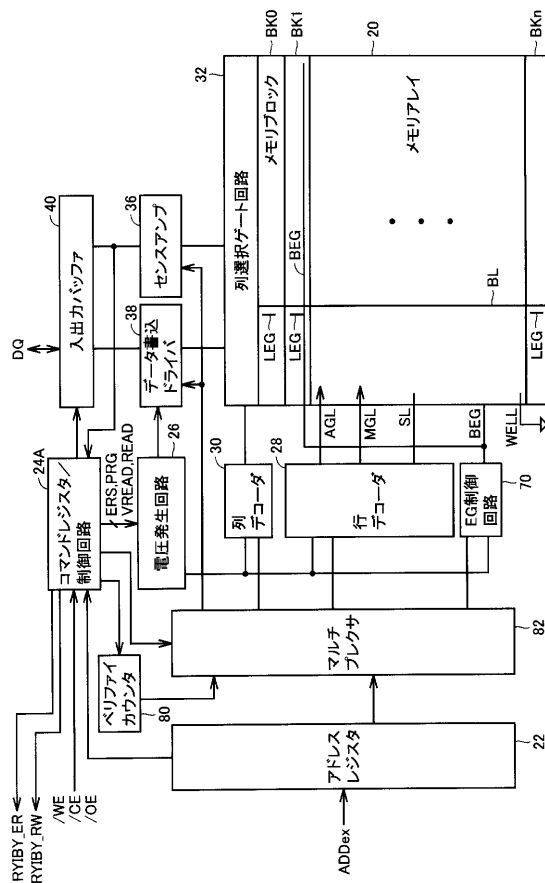
【図 26】



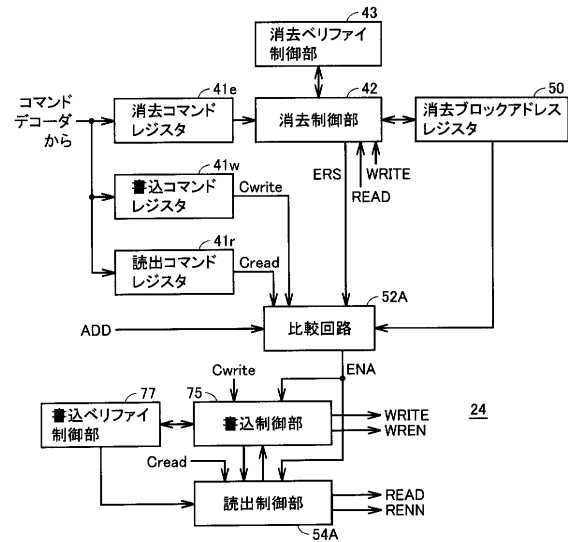
【図 27】



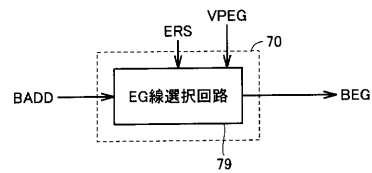
【図 30】



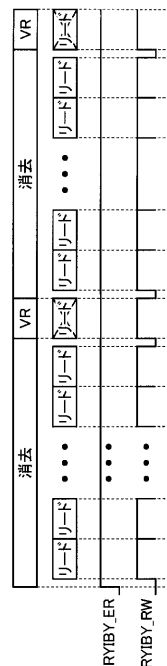
【図 28】



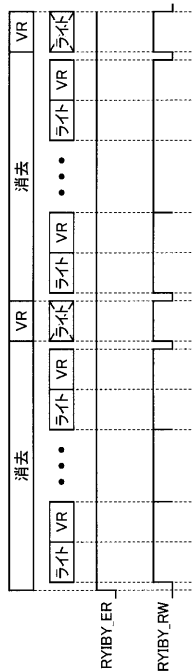
【図 29】



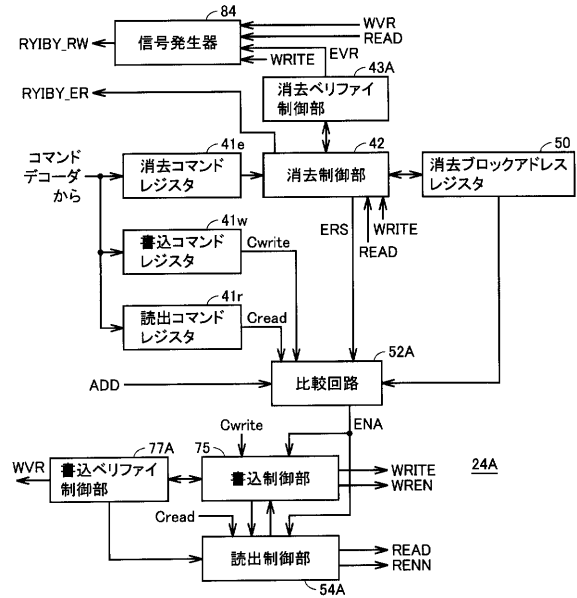
【図 31】



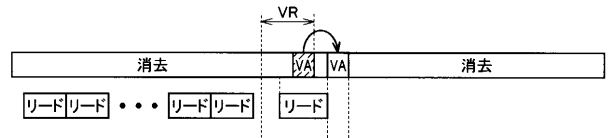
【図 3 2】



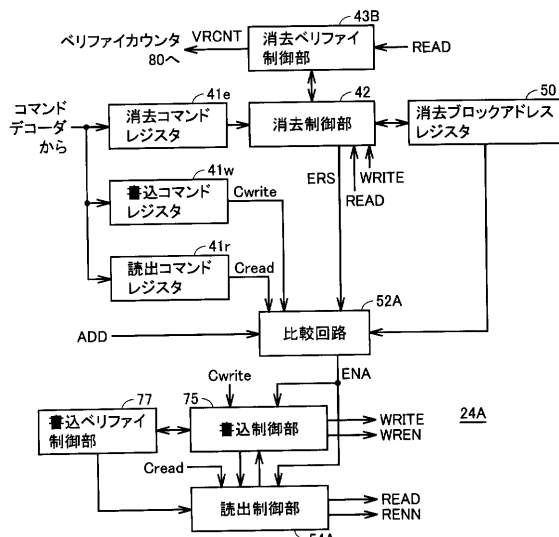
【図 3 3】



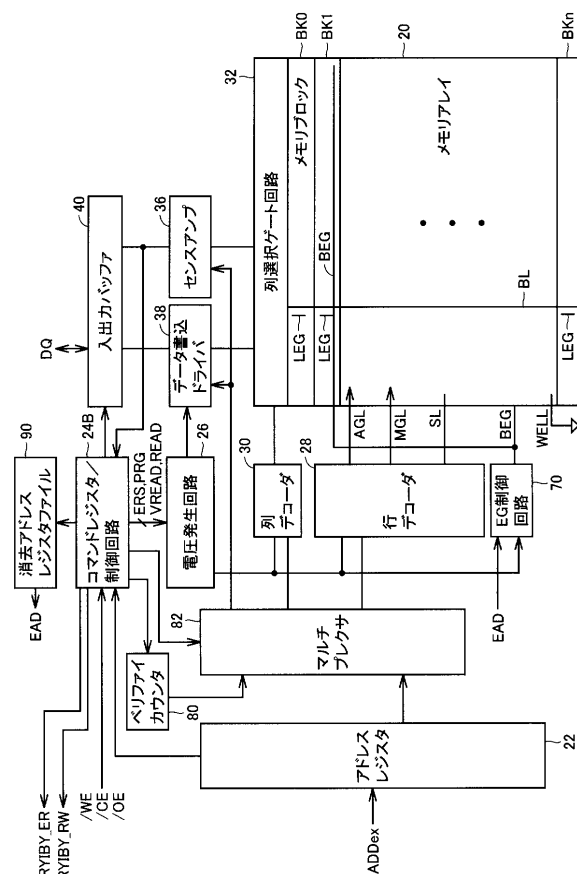
【図 3 4】



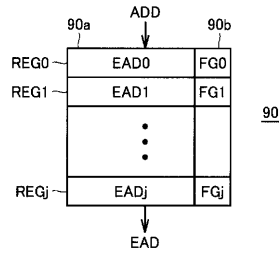
【図 3 5】



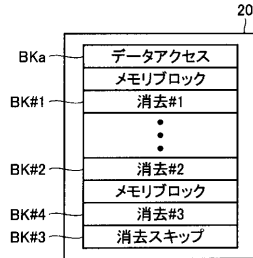
【図 3 6】



【図 37】



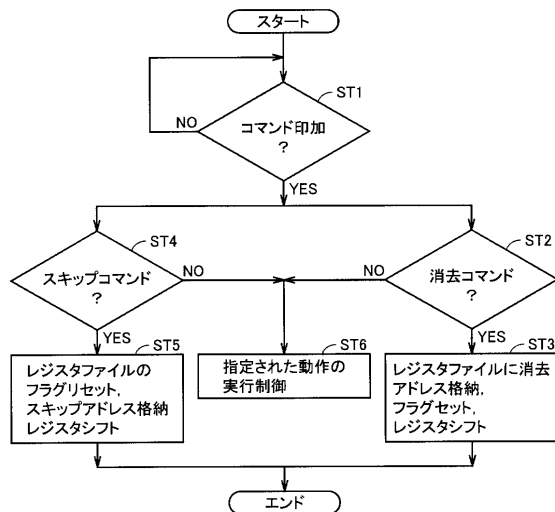
【図 38】



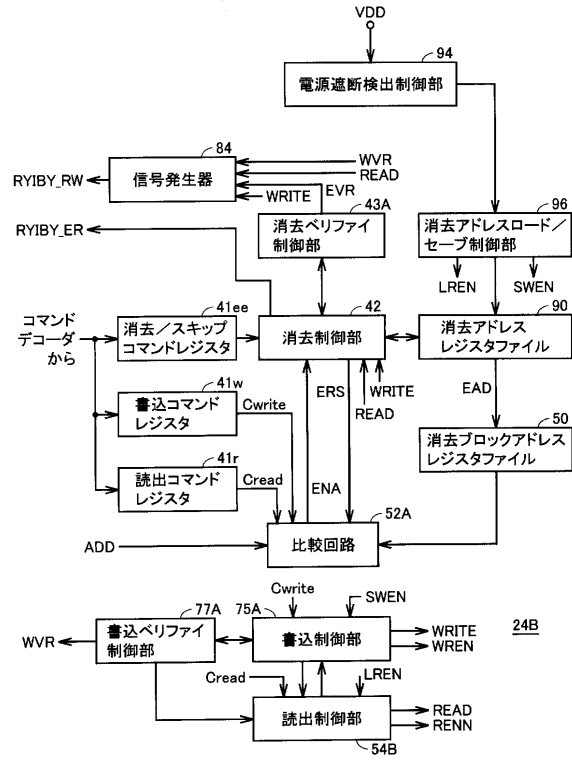
【図 39】

消去#1	VR	消去#2	VR
リード/リード	...	リード/リード	...

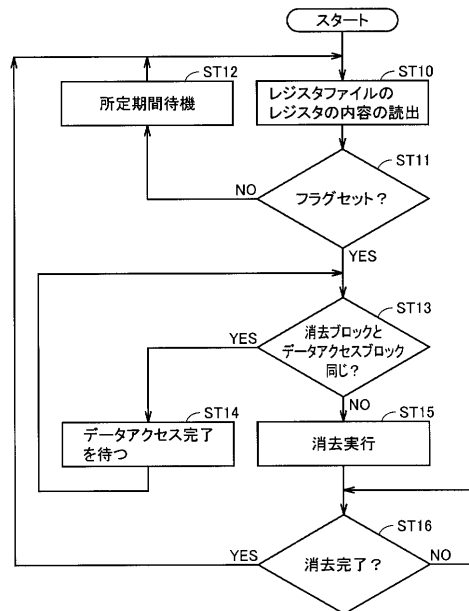
【図 41】



【図 40】



【図 42】



【 図 4 4 】

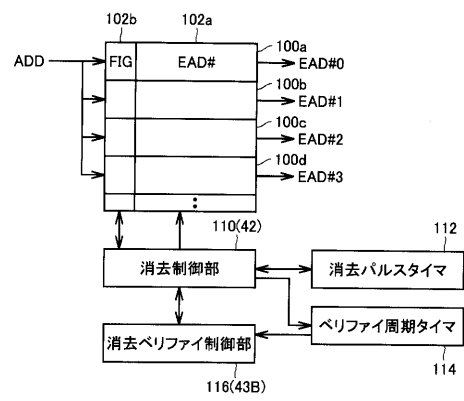
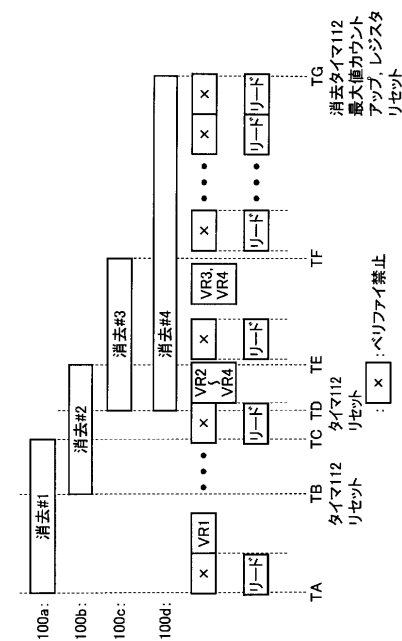
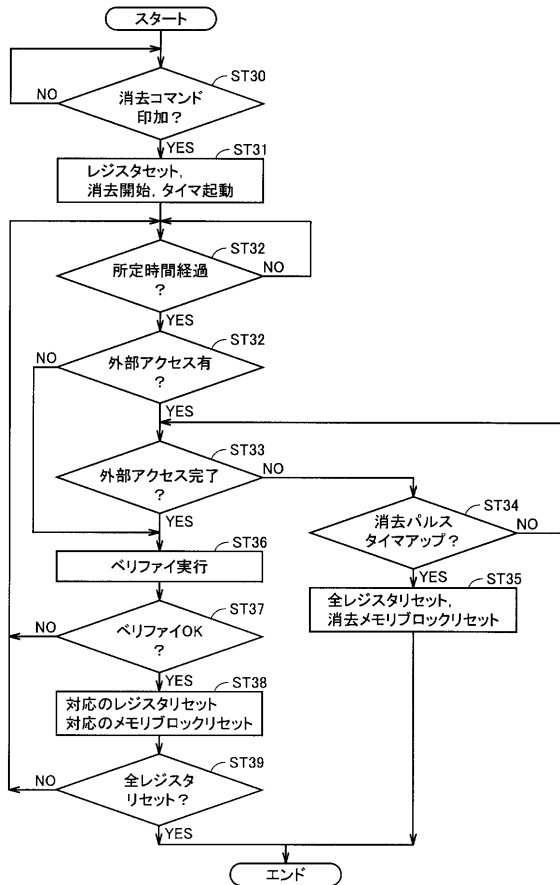


Figure 1 is a block diagram of the first embodiment of the video signal processing circuit. The circuit is enclosed in a dashed box labeled 120. It includes a Block Decoder (122) receiving EAD# and EAD#i, a Reset Decoder (128) receiving EAD#i, a Gate Driver (124) receiving VPEG, and a Latch Circuit (126) receiving signals from the Block Decoder, Reset Decoder, and Gate Driver. The Latch Circuit outputs BEG and provides an RST signal back to the Reset Decoder.

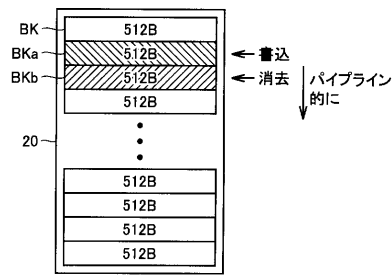
【 図 4 7 】



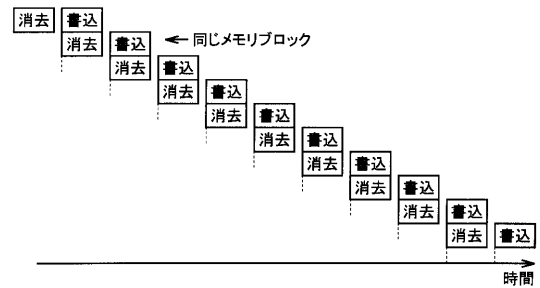
【 図 4 8 】



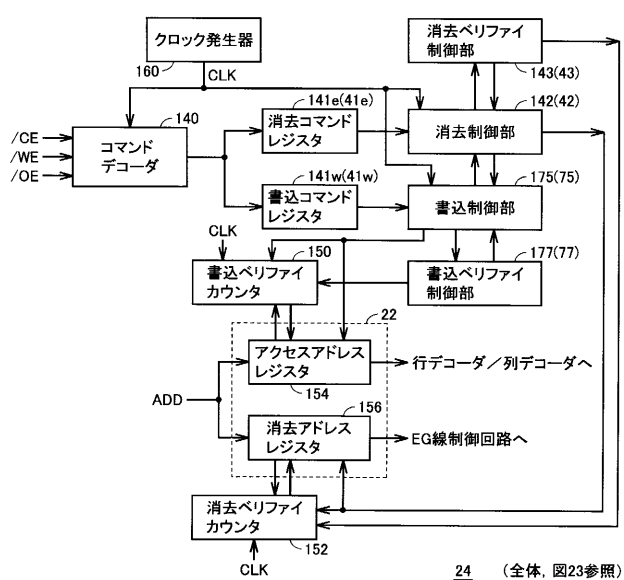
【 図 4 9 】



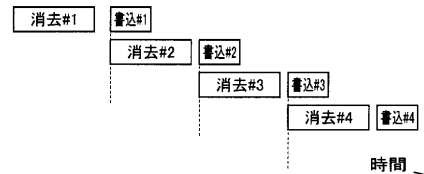
【 図 5 0 】



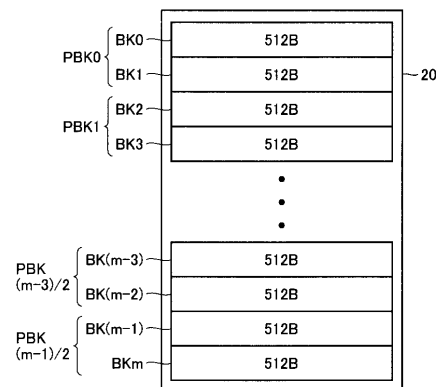
【 図 5 1 】



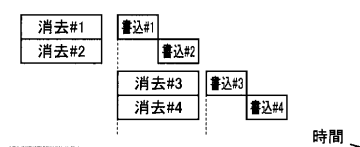
【 図 5 3 】



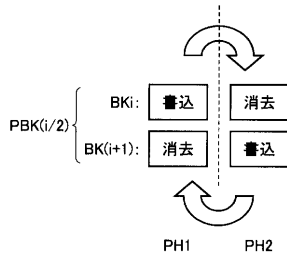
【 図 5 4 】



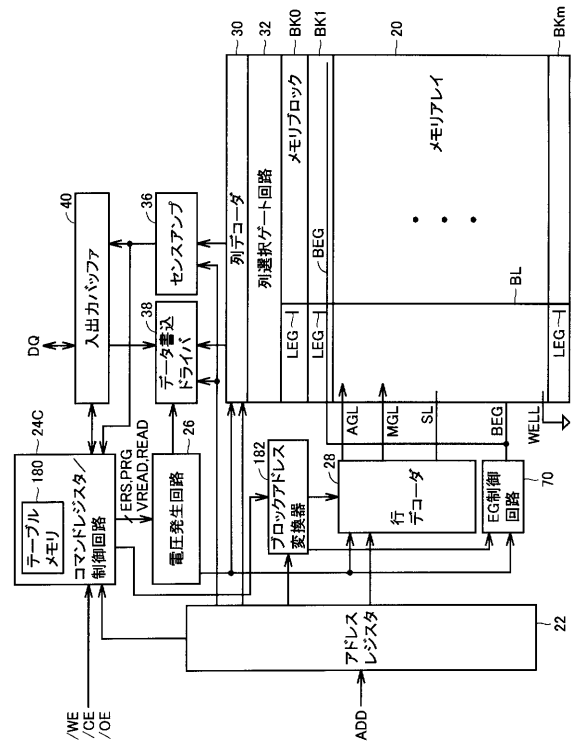
【 図 5 2 】



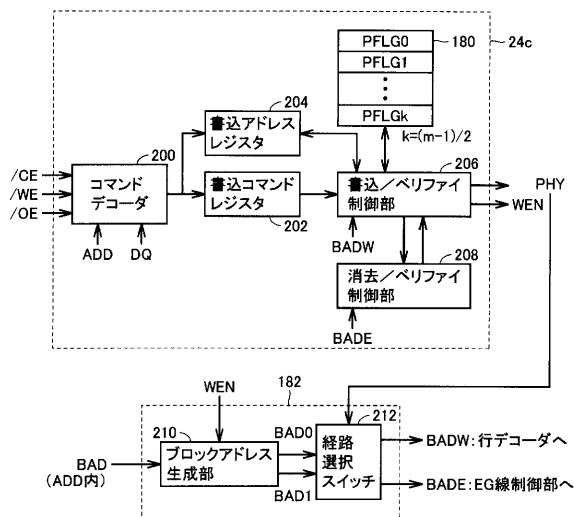
【図 55】



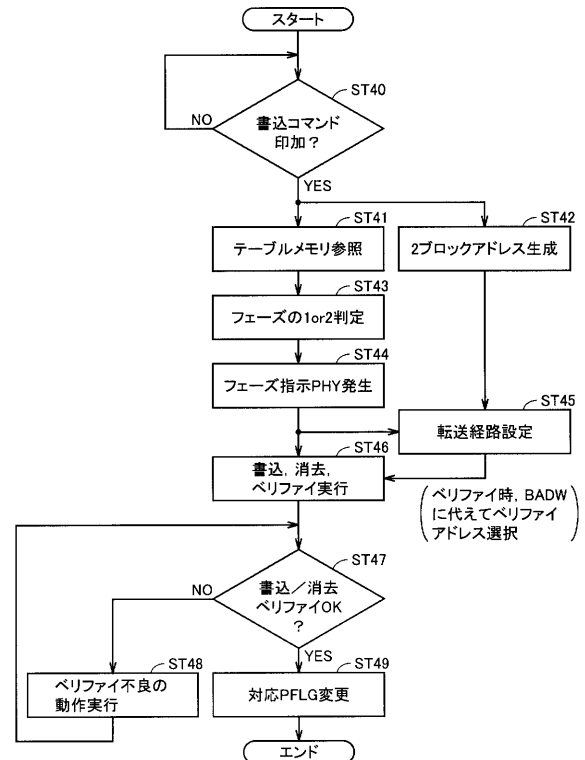
【図 56】



【図 57】



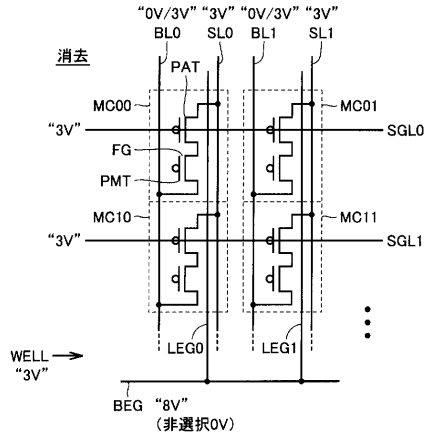
【図 58】



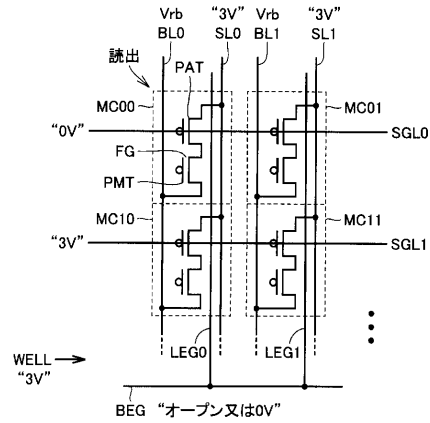




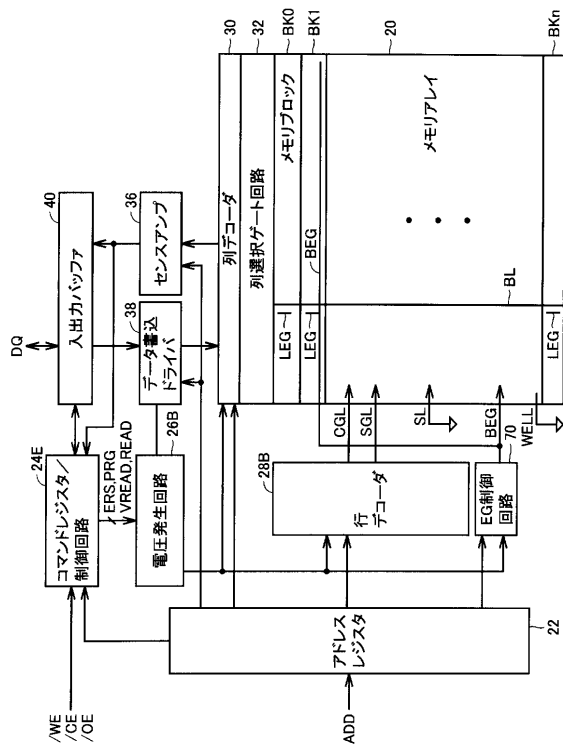
【図 65】



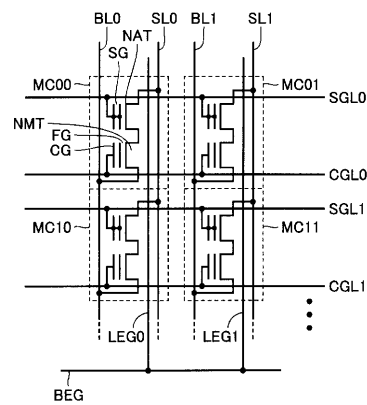
【図 66】



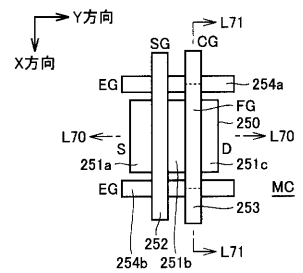
【図 67】



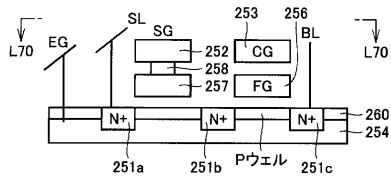
【図 68】



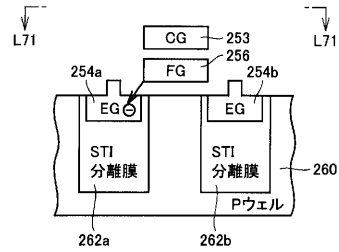
【図 69】



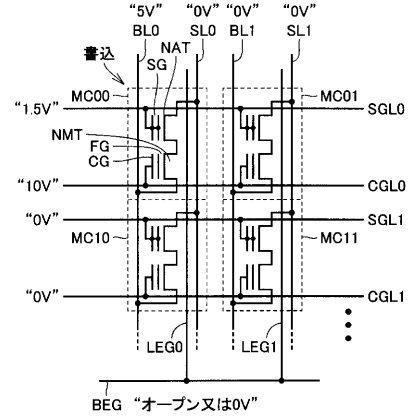
【図 70】



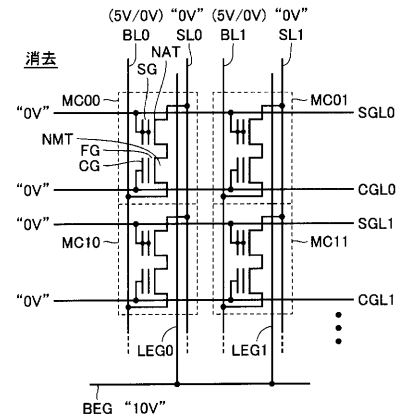
【図 71】



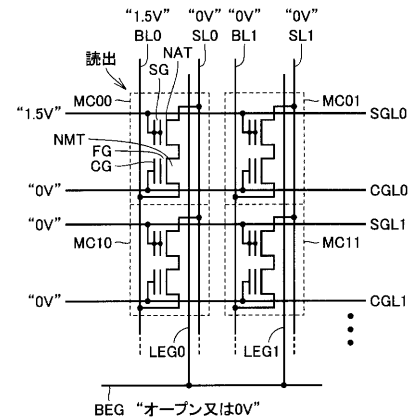
【図 72】



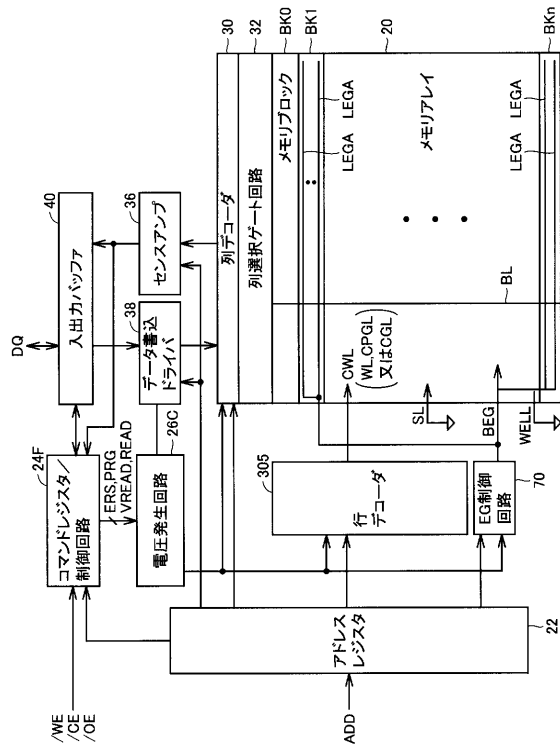
【図 73】



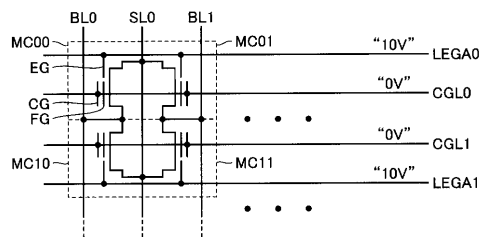
【図 74】



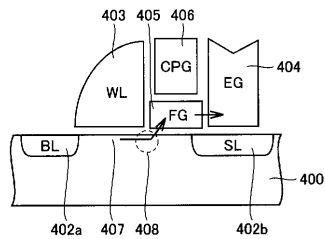
【 図 7 5 】



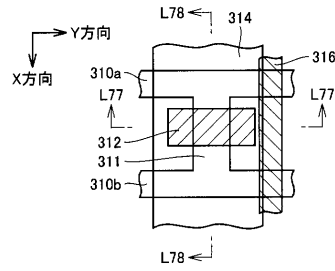
【 図 7 9 】



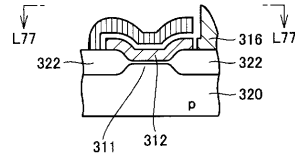
【 ㄨ 8 0 】



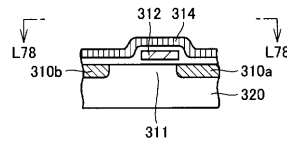
【 図 7 6 】



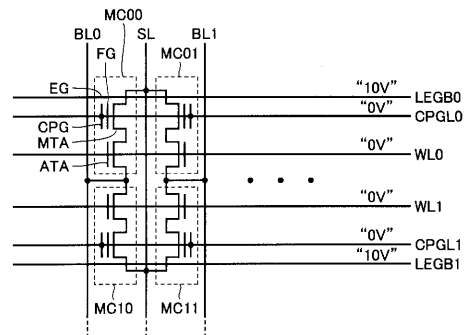
【 図 7 7 】



【 図 7 8 】



【 図 8 1 】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L</b>	<b>29/792</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	17/00 6 2 3 Z
<b>G 1 1 C</b>	<b>16/04</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	17/00 6 1 2 E
<b>G 1 1 C</b>	<b>16/06</b>	<b>(2006.01)</b>	<b>G 1 1 C</b>	17/00 6 3 1

(74)代理人 100124523

弁理士 佐々木 真人

(72)発明者 谷崎 弘晃

兵庫県伊丹市瑞原四丁目 1 番地 株式会社ルネサスデザイン内

(72)発明者 九ノ里 勇一

東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

(72)発明者 ニツ谷 知士

東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

(72)発明者 香田 憲次

兵庫県伊丹市瑞原四丁目 1 番地 株式会社ルネサスデザイン内

F ターム(参考) 5B125 BA06 BA07 BA08 BA09 CA01 CA06 CA08 CA30 DA01 DA02  
 DA04 DA09 DB01 DB08 DB10 DB11 DB12 DB13 DB20 DC01  
 DC08 DC11 DC12 DC13 DC14 DC18 DC19 DC20 DD02 DD09  
 DE01 DE03 DE04 DE06 DE12 DE13 DE20 EA08 EA10 EB08  
 EB10 EF07 EF09 EF10 EG02 EG04 EG18 EH01 EK06 EK08  
 FA01 FA02 FA06 FA07  
 5F083 EP02 EP23 EP24 EP30 EP33 EP34 EP36 ER02 ER05 ER14  
 ER21 GA01 LA03 LA04 LA05 LA06 LA07 LA10 MA06 MA19  
 MA20 NA01  
 5F101 BA01 BB04 BB05 BB09 BB17 BC02 BC11 BD22 BD23 BD35  
 BE01 BE02 BE05 BE07