

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H03K 19/0175

(45) 공고일자 2000년02월01일

(11) 등록번호 10-0241201

(24) 등록일자 1999년11월02일

(21) 출원번호	10-1996-0036655	(65) 공개번호	특1997-0013701
(22) 출원일자	1996년08월30일	(43) 공개일자	1997년03월29일
(30) 우선권 주장	95-224218 1995년08월31일 일본(JP)		

(73) 특허권자	가부시키가이샤 도시바 니시무로 타이쵸
(72) 발명자	일본국 가나가와현 가와사키시 사이와이구 호리가와쵸 72번지 시게하라 히로시 일본국 오이타현 오이타시 오아자 마츠오카 3500번지가부시키가이샤 도시바 오이타공장 내 기누가사 마사노리 일본국 가나가와현 가와사키시 사이와이구 호리가와쵸 580번 1호 가부시키가 이샤 도시바 반도체시스템 기술센터 내
(74) 대리인	김윤배, 이범일

심사관 : 정성창

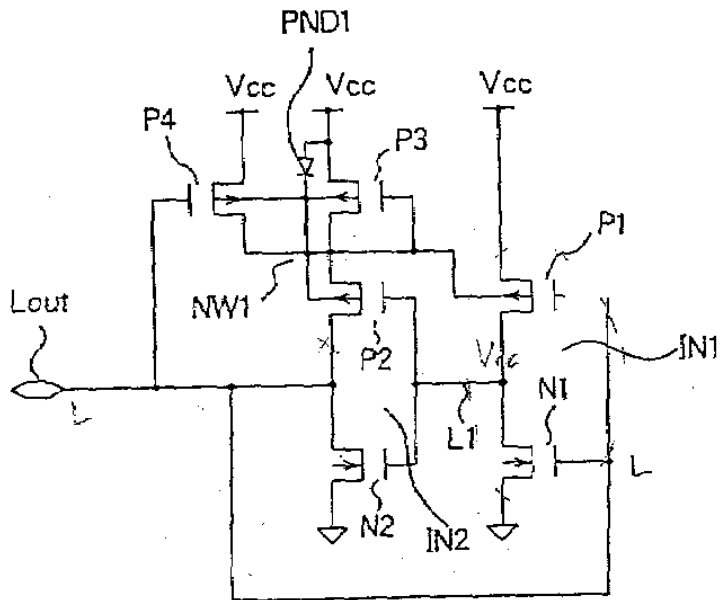
(54) 버스홀드회로

요약

종래는, 버스홀드회로와 다른 전원전압이 공급되는 출력회로가 버스라인에 접속되어 있으면, 버스홀드회로내의 기생다이오드가 원인으로 되어 불필요한 전류가 전원단자로 흐르고 있었다.

버스라인에 입력측이 접속된 인버터(IN1)와, 전원단자와 접지단자와의 사이에 접속된 트랜지스터(P3,P4,P2,N2)를 갖추고서, 입력측이 인버터(IN1)의 출력측에 접속되고 출력측이 버스라인에 접속된 인버터(IN2)를 구비하고, 트랜지스터(P3,P4,P2)의 백게이트는 트랜지스터(P2)의 소오스에 접속되어 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시형태에 따른 버스홀드회로의 구성을 나타낸 회로도.

제2도는 본 발명의 제2실시형태에 따른 버스홀드회로의 구성을 나타낸 회로도.

제3도는 본 발명의 제3실시형태에 따른 버스홀드회로의 구성을 나타낸 회로도.

제4도는 본 발명의 제4실시형태에 따른 버스홀드회로의 구성을 나타낸 회로도.

제5도는 본 발명의 버스홀드회로를 적용하는 것이 가능한 버스홀드회로와, 출력회로를 접속한 버스라인을 나타낸 블록도.

제6도는 종래의 버스홀드회로의 구성을 나타낸 회로도.

제7도는 종래의 출력회로의 구성을 나타낸 회로도.

제8도는 종래의 다른 출력회로의 구성을 나타낸 회로도이다.

#### \* 도면의 주요부분에 대한 부호의 설명

P1, P2, P3, P4 : P채널 트랜지스터      N1, N2, N3 : N채널 트랜지스터  
IN1, IN2 : 인버터      Lout : 출력단자  
NW1 : N형 웰      PND1, PND2 : 기생 pn접합 다이오드  
D1 : pn접합 다이오드      TB1, TB2 : 3상태 버퍼  
101 : 버스라인

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 버스홀드회로(bus holding circuit)에 관한 것으로, 특히 버스라인에 버스홀드회로와는 다른 전원전압을 이용하여 동작하는 출력회로가 접속되어 있는 경우에 적합한 버스홀드회로에 관한 것이다.

컴퓨터 등의 전자기기에서는, 신호는 공통의 버스라인에 의해 전송된다. 제5도에 버스라인(101)상에 출력회로가 설치된 예를 나타낸다. 버스라인(101)에 출력회로로서 3상태 버퍼(TB1, TB2)의 출력단자가 각각 접속되어 있다. 3상태 버퍼(TB1, TB2)는 모두 CMOS구성이고, 각각 다른 전원전압(Vcc1, Vcc2)이 공급된다.

3상태 버퍼(TB1)는, 로우레벨의 이네이블신호(/EN1)가 입력되면 동작상태로 되어, 데이터신호(IN1)에 따른 신호를 버스라인(101)상에 출력한다. 3상태 버퍼(TB2)는, 로우레벨의 이네이블신호(/EN2)가 입력되면 동작상태로 되어, 데이터신호(IN2)에 따른 신호를 버스라인(101)상에 출력한다. 이네이블(/EN1, /EN2)가 하이레벨로 되면, 각각 3상태 버퍼(TB1, TB2)는 비동작상태로 되어 출력이 고임피던스상태로 된다.

더욱이, 버스라인(101)에는 버스홀드회로(102)가 설치되어 있다. 이 버스홀드회로(102)는, 버스라인(101)상의 신호레벨을 플립플롭기구에 의해, 전원전압(Vcc) 또는 접지전압(Vss)의 어느 한쪽의 레벨을 유지한다. 버스홀드회로(102)는, 직렬로 접속된 2단의 인버터(IN101, IN102)를 갖추고, 인버터(IN101)의 출력단자와 인버터(IN102)의 입력단자가 공통으로 버스라인(101)에 접속되어 있다. 인버터(IN101, IN102)는 전원전압(Vcc1, Vcc2)과는 다른 전원전압(Vcc)이 공급되어 동작한다.

3상태 버퍼(TB1, TB2)의 어느 한쪽으로부터 신호가 출력되어 버스라인(101)의 전위가 논리 「1」 또는 「0」의 어느 한쪽 레벨로 되고, 이 레벨을 버스홀드회로(102)가 유지한다. 3상태 버퍼(TB1, TB2)가 고임피던스상태로 된 후에도 버스홀드회로(102)에 의해 버스라인(101)의 레벨이 유지된다. 이에 따라, 3상태 버퍼(TB1, TB2)가 고임피던스상태로 된 후에, 잡음이나 리크전류 등에 의해 버스라인(101)의 레벨이 변동하는 것이 방지된다.

이와 같이, 버스홀드회로(102)는 버스라인(101)의 논리레벨을 유지하는 것을 목적으로 하여 설치된 것으로, 버스라인(101)을 구동하는 3상태 버퍼(TB1, TB2) 등의 회로의 동작에 지장을 주지 않도록 구동력이 작게 억제되어 있다.

그런데, 3상태 버퍼를 CMOS구성으로 한 경우, 출력단에는 P채널 MOS형 트랜지스터와 N채널 MOS형 트랜지스터가 설치되게 된다. 이 때문에, 3상태 버퍼의 출력단자에는 P채널 트랜지스터의 P형 드레인확산층이 접속되어, 출력단자와 P채널 트랜지스터와의 사이에는 기생 pn접합 다이오드가 형성되게 된다.

이제, 3상태 버퍼(TB1, TB2)에 각각 공급되는 전원전압(Vcc1, Vcc2) 사이에  $V_{cc1} < V_{cc2}$ 라는 관계가 있다고 하자. 더욱이, 3상태 버퍼(TB2)가 전원전압(Vcc2)과 같은 레벨의 신호를 버스라인(101)에 출력한 경우에, 전원전압(Vcc1, Vcc2)과 3상태 버퍼(TB1, TB2)의 출력단자와 출력단의 P채널 트랜지스터의 드레인 확산층과의 사이의 기생 pn접합의 빌트인(built-in)전압(Vf)과의 사이에  $V_{cc1} + V_f < V_{cc2}$ 의 관계가 성립한다고 하자. 이 경우에는, 기생다이오드가 순방향으로 바이어스된다. 그 결과, 기생다이오드를 매개해서 전원전압(Vcc2)단자로부터 전원전압(Vcc1)단자로 불필요한 전류가 흐르게 된다.

그래서, 본 출원인은 이러한 문제를 해결하는 3상태 버퍼로서, 제7도 및 제8도에 각각 나타낸 바와 같은 회로를 일본 특허평 6-19432에 있어서 제안했다.

그러나, 버스홀드회로에 있어서도, 상술한 3상태 버퍼와 동일한 문제가 생기고 있었다.

제6도에 종래의 버스홀드회로의 구성을 나타낸다. 전원전압(Vcc)단자와 접지전압(Vss)단자와의 사이에 P

채널 트랜지스터(P101), N채널 트랜지스터(N101)가 직렬로 접속된 인버터(IN102)와, 이것과는 병렬로 전원전압(Vcc)단자와 접지전압(Vss)단자와의 사이에 P채널 트랜지스터(P102), N채널 트랜지스터(N102)가 직렬로 접속된 인버터(IN101)가 직렬로 접속되고, 인버터(IN102)의 입력단자와 인버터(IN101)의 출력단자가 공통으로 버스라인(101)으로의 출력단자(Lout)에 접속되어 있다.

이제, 3상 배퍼(TB1, TB2)에 공급되는 전원전압(Vcc1, Vcc2)과 이 버스홀드회로에 공급되는 Vcc와의 사이에  $V_{cc} < V_{cc1} < V_{cc2}$ 라는 관계가 성립한다고 하자. 그리고, 버스라인(101)의 레벨이 전원전압 Vcc1 또는 Vcc2의 어느 한쪽과 동일한 레벨로 되었다고 하자. 상기 버스홀드회로의 출력단자(Lout)에 접속된 출력단 인버터(IN101)가 갖춘 P채널 트랜지스터(P102)의 드레인확산층과 백게이트와의 사이에 기생하는 pn접합 다이오드(PND101)의 빌트인전위(Vf)와의 사이에  $V_{cc} + v_f < V_{cc1} < V_{cc2}$ 의 관계가 성립하면, 기생 pn접합 다이오드(PND101)에는 순방향으로 바이어스되는 상태로 된다. 그 결과, 이 다이오드(PND101)를 매개해서 전원전압 Vcc1 또는 Vcc2의 레벨에 있는 출력단자(Lout)로부터 전원전압(Vcc)단자로 불필요한 전류가 유입하게 된다.

상술한 바와 같이, 종래의 버스홀드회로에는, 버스홀드회로와 다른 전원전압이 공급되는 출력회로가 버스라인에 접속되어 있는 경우, 버스홀드회로내의 기생다이오드가 원인으로 되어 불필요한 전류가 전원단자로 흐른다고 하는 문제가 있었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 사정을 감안하여 이루어진 것으로, 버스라인에 버스홀드회로와 다른 전원전압이 공급되는 출력회로가 접속되어 있는 경우에도, 버스홀드회로에 있어서 불필요한 전류가 전원단자로 흐르는 것을 방지하는 것이 가능한 버스홀드회로를 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따른 버스홀드회로는, 제1전원전압단자와, 제2전원전압단자, 상기 제1전원전압단자와 상기 제2전원전압단자와의 사이에 제1 P채널 트랜지스터의 소오스·드레인간 전류경로와 제1 N채널 트랜지스터의 소오스·드레인간 전류경로가 직렬로 접속되고, 상기 제1 P채널 트랜지스터의 게이트 및 상기 제1 N채널 트랜지스터의 게이트가 버스라인에 접속된 입력단 인버터 및,

상기 제1전원전압단자와 상기 제2전원전압단자와의 사이에 제2 P채널 트랜지스터의 소오스·드레인간 전류경로와 제3 P채널 트랜지스터의 소오스·드레인간 전류경로와 제2 N채널 트랜지스터의 소오스·드레인간 전류경로가 직렬로 접속되고, 제4 P채널 트랜지스터의 소오스·드레인간 전류경로가 상기 제2 P채널 트랜지스터의 소오스·드레인간 전류경로와 병렬로 접속되며, 상기 제2 P채널 트랜지스터의 게이트가 상기 버스라인에 접속되고, 상기 제3 P채널 트랜지스터의 게이트 및 상기 제2 N채널 트랜지스터의 게이트가 상기 제1 P채널 트랜지스터의 소오스·드레인간 전류경로와 상기 제1 N채널 트랜지스터의 소오스·드레인간 전류경로의 공통접속점에 접속되며, 상기 제4 P채널 트랜지스터의 게이트가 상기 제2 P채널 트랜지스터의 소오스·드레인간 전류경로와 상기 제3 P채널 트랜지스터의 소오스·드레인간 전류경로의 공통접속점에 접속되고, 상기 제3 P채널 트랜지스터의 소오스·드레인간 전류경로와 상기 제2 N채널 트랜지스터의 소오스·드레인간 전류경로의 공통접속점이 상기 버스라인에 접속된 출력단 인버터를 구비하고,

상기 제1, 제2, 제3 및 제4 P채널 트랜지스터의 백게이트가 상기 제2 P채널 트랜지스터의 소오스·드레인간 전류경로와 상기 제3 P채널 트랜지스터의 소오스·드레인간 전류경로의 상기 공통접속점에 접속되어 있다.

여기서, 입력단 인버터의 출력측에 접속된 출력단자를 갖춘 경우는, 버스라인에 접속된 다른 회로의 입력측에 이 출력단자를 접속할 수 있다.

그리고, 이들 버스홀드회로에 있어서, 제1 P채널 트랜지스터의 백게이트는 제1전원전압단자에 접속되어 있어도 좋다.

더 나아가서는, 입력단 인버터의 임계치전압이 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되어 있어도 좋다. 또, 제2 및 제3 P채널 트랜지스터를, 버스라인에 접속된 다른 회로가 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성해도 좋고, 혹은 제1, 제2 및 제3 P채널 트랜지스터는 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되어도 좋다.

### [실시형태]

이하, 첨부된 예시도면을 참조하여 본 발명의 실시형태에 대해 설명한다.

제1도에 본 발명의 제1실시형태에 따른 버스홀드회로의 구성을 나타낸다. 전원전압(Vcc)단자와 접지전압(Vss)단자와의 사이에 P채널 트랜지스터(P1) 및 N채널 트랜지스터(N1)가 직렬로 접속되어 인버터(IN1)를 구성하고 있다. 이 인버터(IN1)의 입력단자는 버스라인에 접속된 출력단자(Lout)에 접속되어 있다. 인버터(IN1)의 출력단자(L1)는 P채널 트랜지스터(P2) 및 N채널 트랜지스터(N2)로 이루어진 인버터(IN2)의 입력단자에 접속되고, 인버터(IN2)의 출력단자는 출력단자(Lout)에 접속되어 있다.

본 실시형태에서는 더욱이, 인버터(IN2)의 P채널 트랜지스터(P2)의 소오스와 전원전압(Vcc)단자와의 사이에 게이트가 드레인에 접속된 P채널 트랜지스터(P3)가 접속되고, 이 P채널 트랜지스터(P3)와 병렬로 전원전압(Vcc)단자와 P채널 트랜지스터(P2)의 소오스와 사이에 P채널 트랜지스터(P4)가 접속되어 있다. P채널 트랜지스터(P4)의 게이트는 출력단자(Lout)에 접속되어 있다.

그리고, P채널 트랜지스터(P1~P4)의 백게이트, 즉 트랜지스터(P1~P4)가 형성되어 있는 N형 웰은 모두 P채널 트랜지스터(P2)의 소오스에 접속되어 있다. N채널 트랜지스터(N1, N2)의 백게이트는 공통으로 접지전위(Vss)로 설정된다.

이러한 구성을 갖춘 본 실시형태의 동작은 다음과 같다.

(1) 출력단자(Lout)에 접속된 버스라인에 접속되어 있는 출력회로가 접지전압(Vss)을 출력하고, 그후 출력회로의 출력이 고임피던스상태로 된 경우.

출력단자(Lout)가 접지전압(Vss)이면, 인버터(IN1)로부터 전원전압(Vcc)이 출력되어 인버터(IN2)의 P채널 트랜지스터(P2)는 오프하고, N채널 트랜지스터(N2)는 온한다. 이에 따라, 인버터(IN2)의 출력단자에 접속된 출력단자(Lout)의 전위는 접지전압(Vss)으로 유지된다. 그리고, 접지전압(Vss)이 게이트에 입력되는 P채널 트랜지스터(P4)는 온하고, P채널 트랜지스터(P4,P3)의 드레인과 P채널 트랜지스터(P2)의 소오스는 전원전압(Vcc)으로 된다. 이 때문에, 이 회로 내부에서 임피던스가 높은 노드는 존재하지 않는다.

(2) 출력단자(Lout)에 접속된 버스라인에 접속되어 있는 출력회로가 전원전압(Vcc)보다도 높은 Vcc1 또는 Vcc2를 출력하고, 그후 출력회로의 출력이 고임피던스 상태로 된 경우.

출력단자(Lout)의 전위 Vcc1 또는 Vcc2가 인버터(IN1)에 입력되고, 접지전위(Vss)가 출력되어 인버터(IN2)에 인가된다. 인버터(IN2)에 있어서, P채널 트랜지스터(P2)는 온하고, N채널 트랜지스터(N2)는 오프한다. 이에 따라, 출력단자(Lout)의 전위 Vcc1 또는 Vcc2가 P채널 트랜지스터(P2)에 의해 전달되어 인버터(IN2)의 출력단자의 전위는 Vcc1 또는 Vcc2로 되지만, 후술하는 바와 같이 이 전위는 정적(靜的)으로는 유지되지 않는다.

또, P채널 트랜지스터(P2)가 온 함으로써, 이 트랜지스터(P2)의 소오스에 접속된 N형 웰(NW1)은 동적(動的)으로는 드레인과 같은 전위 Vcc1 또는 Vcc2로 된다. 한편, P채널 트랜지스터(P3,P4)는 게이트 및 소오스의 전위가 같으므로 오프한다.

P채널 트랜지스터(P3)의 소오스와 N웰(NW1)과의 사이에는 기생 pn접합 다이오드(PND1)가 존재한다. P채널 트랜지스터(P3)의 소오스의 전위(Vcc)보다도 N웰(NW1)의 전위 Vcc1 또는 Vcc2 쪽이 높으므로, 다이오드(PND1)에는 역바이어스전압이 인가되게 된다. 따라서, 출력단자(Lout)에 전원전압(Vcc)보다도 높은 전위가 인가되어도, 전원전압(Vcc)단자로 불필요한 전류가 흐르는 것이 방지된다.

(3) 출력단자(Lout)의 전위 Vcc1 또는 Vcc2가 리크전류에 의해 저하하여 전원전압(Vcc)보다도 낮아진 경우.

P채널 트랜지스터(P3,P4)의 임계치전압을 Vtp(부의 값)로 하고, 다이오드(PND1)의 pn접합부에서의 빌트인 전위를 Vf로 한다. 더욱이, 출력단자(Lout)의 전위를 Vout로 한다. 전원전압(Vcc)과 전위(Vout)와의 사이에 다음의 (1)식이 성립하는 경우, P채널 트랜지스터(P4)는 오프상태에 있다. 또, P채널 트랜지스터(P3)도 오프상태에 있다.

$$V_{cc} - |V_{tp}| < V_{out} \leq V_{cc} \quad (1)$$

이러한 경우에, 출력단자(Lout)의 전위를 전원전압(Vcc)으로 풀업시키는 것은 기생 pn접합 다이오드(PND1)이다. 이 때문에, 출력단자(Lout)의 전위(Vout)는 이하의 (2)식과 같이 된다.

$$V_{out} = V_{cc} - V_f \quad (2)$$

접지전압(Vss)단자로의 리크전류가 크고, 전위(Vout)가  $V_{cc} - |V_{tp}|$ 에 도달하면, P채널 트랜지스터(P3,P4)가 온한다. 이에 따라, 전위(Vout)를 풀업하는 힘이 증대된다. 전원노이즈 등의 영향으로, 일시적으로 전위(Vout)가  $V_{cc} - |V_{tp}|$ 보다도 저하한다고 해도, 기생 pn접합 다이오드(PND1), P채널 트랜지스터(P3,P4)에 의해 풀업된다.

따라서, 다이오드(PND1), P채널 트랜지스터(P3,P4)의 구동력을 소망하는 크기로 설정함으로써, 적절한 크기의 풀업전류를 얻을 수 있고,  $V_{cc} - |V_{tp}| < V_{out}$  라는 관계를 실현할 수 있다.

이와 같이 본 실시형태에 의하면, 출력단자(Lout)의 전압(Vout)을 상기 (1)식의 범위내에서 유지할 수 있다. 이러한 유지전위(Vout)가 버스라인에 접속된 입력회로에 있어서, 하이레벨로서 인식될 필요가 있다. 입력회로의 임계치를 Vthc로 한 경우, 이 임계치전압(Vthc)이  $V_{thc} < V_{cc} - |V_{tp}|$ 의 관계를 만족하는 경우, 지장없이 하이레벨로서 인식할 수 있다.

다음에, 본 발명의 제2실시형태에 대해 제2도를 참조하여 설명한다. 제1실시형태와 비교하여, 인버터(IN1)의 출력노드(L1)를 버스홀드회로로부터 인출하여 도시하지 않은 다른 입력회로의 출력단자(INA)로서 이용한 점과, P채널 트랜지스터(P1)의 백게이트가 전원전압(Vcc)단자에 접속되어 있는 점이 상위하다. 다른 구성은 제1실시형태와 동일하고, 상술한 제1실시형태의 경우와 마찬가지로 동작하여 출력단자(Lout)의 전위를 유지한다.

본 실시형태의 특징은, 인버터(IN1)가 본래의 버스홀드회로에서의 초단인버터로서의 기능과, 버스라인에 출력된 전위를 받아들이는 다른 입력회로에서의 입력단 인버터로서의 기능을 아울러 갖춘 점에 있다. 이에 따라, 다음과 같은 효과가 얻어진다.

(1) 집적회로 전체에서 인버터가 차지하는 비율을 감소시킬 수 있다.

(2) 버스홀드회로의 초단 인버터(IN1)의 임계치와, 버스라인에 출력된 전위를 받아들이는 입력회로의 인버터의 임계치가 완전히 일치한다. 따라서, 이들 인버터를 별도로 설치한 경우와 비교하여, 버스라인상의 신호레벨이 전원노이즈 등으로 인하여 변동한 경우에 대한 허용도가 높다. 노이즈에 대한 허용도를 좀 더 높이기 위해서는, 초단 인버터(IN1)의 회로임계치전압을, 버스라인상의 신호를 수신하는 다른 입력회로의 회로임계치중 가장 낮은 값이하로 하면 좋다.

이들 인버터를 별도로 설치한 경우에도, 항목 (2)에 설명한 바와 같은 노이즈에 대한 허용도를 높이고자 하는 경우에는, 제1도에서의 초단 인버터(IN1)의 P채널 트랜지스터(P1) 및 N채널 트랜지스터(N1)의 구동비와, 이 버스홀드회로로 홀드된 버스라인상의 신호를 수신하는 도시되어 있지 않은 입력회로의 인버터의 구동비를 일치시키면, 항목 (2)의 효과를 얻을 수 있다.

본 발명의 제3실시형태는 제3도에 나타난 바와 같은 구성을 갖추고 있다. 이 실시형태는, 제1도에서의 P

채널 트랜지스터(P3)를 삭제하고, 대신에 기생하지 않는 pn접합 다이오드(D1)를 형성하여 부가한 점에 특징이 있다. 다른 요소중에서 제1도에 나타난 것과 동일한 요소에는 동일한 참조부호를 붙이고 그 설명을 생략한다. 이 제3실시형태에 의해서도 제1, 제2실시형태와 마찬가지로, 출력단자(Lout)에 전원전압(Vcc)보다 높은 전압이 인가된 경우에 전원전압(Vcc)단자로 불필요한 전류가 유입하는 것을 방지할 수 있다. 제1실시형태와 비교하면, 본 실시형태에서는 P채널 트랜지스터(P3)를 삭제했기 때문에, N형 웰(NW1)을 풀업하는 능력은 낮지만, 새롭게 부가한 다이오드(D1) 외에 P채널 트랜지스터(P4)와 이 트랜지스터(P4)의 소오스 백게이트 사이에 기생하는 기생 pn접합 다이오드에 의해 N형 웰(NW1)은 풀업된다.

제4도에 본 발명의 제4실시형태의 구성을 나타낸다. 이 실시형태는, 제1도의 제1실시형태로부터 P채널 트랜지스터(P3)를 삭제한 것에 상당한다. N형 웰(NW1)의 풀업은, P채널 트랜지스터(P4)와 이 트랜지스터(P4)의 소오스 백게이트 사이에 기생하는 기생 pn접합 다이오드(PND2)에 의해 수행된다. N형 웰(NW1)을 풀업하는 구동능력이라고 하는 점에서는, P채널 트랜지스터(P3)를 갖춘 제1실시형태나, 다이오드(D1)를 갖춘 제2실시형태 쪽이 높다.

상술한 실시형태는 모두 일례일 뿐이고, 본 발명을 한정하는 것은 아니다. 예컨대, 제1도 내지 제4도에 각각 나타난 제1 내지 제4실시형태에 있어서, P채널 트랜지스터(P1)의 백게이트를 N형 웰(NW1)에 접속하는 대신에 전원전압(Vcc)단자에 접속해도 좋다. 단, 이 경우에는 P채널 트랜지스터(P1)의 백게이트전위와 P채널 트랜지스터(P2~P4)의 백게이트가 달라지도록, 형성하는 N웰을 전기적으로 분리할 필요가 있다. 따라서, 상술한 실시형태와 같이 P채널 트랜지스터를 모두 동일한 N형 웰에 형성하는 편이 회로기판상에 점유하는 면적을 작게 할 수 있다.

제1도에 나타난 제1실시형태에 있어서, P채널 트랜지스터(P4)를 삭제할 수도 있다. 그러나, P채널 트랜지스터(P4)는 P채널 트랜지스터(P3)와 달리 게이트에 출력단자(Lout)의 전위가 직접 입력되고 있기 때문에, 단자(Lout)의 전위변화에 대한 감도가 높다. 따라서, 출력단자(Lout)의 전위변화에 대한 응답성을 높이기 위해서는, P채널 트랜지스터(P4)를 설치하는 편이 좋다.

그런데, 버스라인에 접속된 3상태 버퍼 등의 출력회로의 출력단의 P채널 트랜지스터[예컨대, 제7도의 P채널 트랜지스터(P201), 제8도의 P채널 트랜지스터(P301)]의 백게이트전위는, 본 발명의 버스홀드회로에서의 P채널 트랜지스터의 백게이트전위와 같아지지 않도록, 다른 N형 웰에 형성하는 편이 바람직하다. 출력회로에 의해 버스라인의 전위가 접지전위(Vss)로부터 전원전위(Vcc)로 상승해가는 과정에서, 예컨대 제1도의 출력단자(Lout)의 전위가 전원전위(Vcc)로 상승을 개시하고, 초단 인버터(IN)의 출력노드(L1)는 접지전위(Vss)로 저하하기 시작한다. P채널 트랜지스터(P2)가 온하고, N채널 트랜지스터(N2)가 오프한다. 이에 따라, 출력단자(Lout)의 전위가 P채널 트랜지스터(P2)의 소오스를 매개해서 N형 웰(NW1)에 전달되어 Vcc-Vf 근방에 있던 N형 웰(NW1)의 전위가 일시적으로 인하(引下)되는 현상이 일어난다.

이 경우에, 버스라인을 구동하고 있지 않은 다른 출력회로의 출력단의 P채널 트랜지스터[예컨대, 제7도의 P채널 트랜지스터(P201), 제8도의 P채널 트랜지스터(P301)]가 본 발명의 P채널 트랜지스터가 형성되어 있는 N형 웰과 동일한 N형 웰내에 형성되어 있으면, 다른 출력회로의 출력단의 P채널 트랜지스터의 백게이트 전위도 동시에 인하되게 된다. 그 결과, 본래 동작상태로는 되지 않는 다른 출력회로에서의 출력단의 P채널 트랜지스터가 온하고, 이 트랜지스터를 매개해서 전원전압단자로 불필요한 전류가 흐를 우려가 있다. 따라서, 출력회로에서의 출력단의 P채널 트랜지스터의 백게이트와, 버스홀드회로에서의 P채널 트랜지스터의 백게이트는 전위가 달라지도록, 전기적으로 분리된 N형 웰에 별도로 형성하는 편이 바람직하다.

또, 본 발명에서의 P채널 트랜지스터는, P형 반도체기판의 표면부분에 형성한 N형 웰내의 표면부분에 형성해도 좋으며, 혹은 N형 반도체기판의 표면부분에 깊게 P형 웰을 형성하고 그 안에 N형 웰을 형성하며 이 N형 웰내의 표면부분에 P채널 트랜지스터를 형성할 수도 있다.

## 발명의 효과

이상 설명한 바와 같이 본 발명의 버스홀드회로에 의하면, 버스라인에 접속된 입력단 인버터와, 이 입력단 인버터의 출력측과 버스라인과의 사이에 접속된 출력단 인버터로, 제1전원전압단자와 제2전원전압단자와의 사이에 제2, 제3 P채널 트랜지스터, 제2 N채널 트랜지스터가 직렬로 접속되고, 적어도 제2, 제3 P채널 트랜지스터의 백게이트가 제3 P채널 트랜지스터의 소오스에 접속됨으로써, 버스라인에 전원전압보다 높은 전위가 인가된 경우에도, 제2 P채널 트랜지스터의 소오스와 백게이트와의 사이에 기생하는 다이오드의 양단에 역바이어스전압이 인가되기 때문에, 제1전원전압단자로 불필요한 전류가 흐르는 것을 방지할 수 있다.

## (57) 청구의 범위

### 청구항 1

제1전원전압(Vcc)단자와, 제2전원전압(Vss)단자, 상기 제1전원전압(Vcc)단자와 상기 제2전원전압(Vss)단자와의 사이에 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로가 직렬로 접속되고, 상기 제1 P채널 트랜지스터(P1)의 게이트 및 상기 제1 N채널 트랜지스터(N1)의 게이트가 버스라인에 접속된 입력단 인버터(IN1) 및, 상기 제1전원전압(Vcc)단자와 상기 제2전원전압(Vss)단자와의 사이에 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로와 제2 N채널 트랜지스터(N2)의 소오스·드레인간 전류경로가 직렬로 접속되고, 제4 P채널 트랜지스터(P3)의 소오스·드레인간 전류경로가 상기 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 병렬로 접속되며, 상기 제2 P채널 트랜지스터(P4)의 게이트가 상기 버스라인에 접속되고, 상기 제3 P채널 트랜지스터(P2)의 게이트 및 상기 제2 N채널 트랜지스터(N2)의 게이트가 상기 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 상기 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로의 공통접속점에 접속되며, 상기 제4 P채널 트랜지스터(P3)의 게이트가 상기 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 상기 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로의 공통접속점에 접속되고, 상기 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류







**청구항 9**

제1항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

**청구항 10**

제9항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

**청구항 11**

제10항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

**청구항 12**

제2항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

**청구항 13**

제12항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

**청구항 14**

제13항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

**청구항 15**

제3항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

**청구항 16**

제15항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

**청구항 17**

제16항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

**청구항 18**

제4항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

**청구항 19**

제18항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

**청구항 20**

제19항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

**청구항 21**

제5항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

**청구항 22**

제21항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

**청구항 23**

제22항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

**청구항 24**

제6항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

**청구항 25**



제24항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

#### 청구항 26

제25항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

#### 청구항 27

제7항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

#### 청구항 28

제27항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

#### 청구항 29

제28항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

#### 청구항 30

제8항에 있어서, 상기 입력단 인버터의 임계치전압이 상기 버스라인으로부터 신호를 수신하는 다른 회로의 임계치전압 이하로 설정되는 것을 특징으로 하는 버스홀드회로.

#### 청구항 31

제30항에 있어서, 상기 제2 및 제3 P채널 트랜지스터를 상기 버스라인에 접속된 다른 회로를 갖춘 P채널 트랜지스터와는 다른 N형 웰내에 형성하는 것을 특징으로 하는 버스홀드회로.

#### 청구항 32

제31항에 있어서, 상기 제1, 제2 및 제3 P채널 트랜지스터가 P형 반도체기판의 표면부분에 형성된 N형 웰내에 형성되는 것을 특징으로 하는 버스홀드회로.

#### 청구항 33

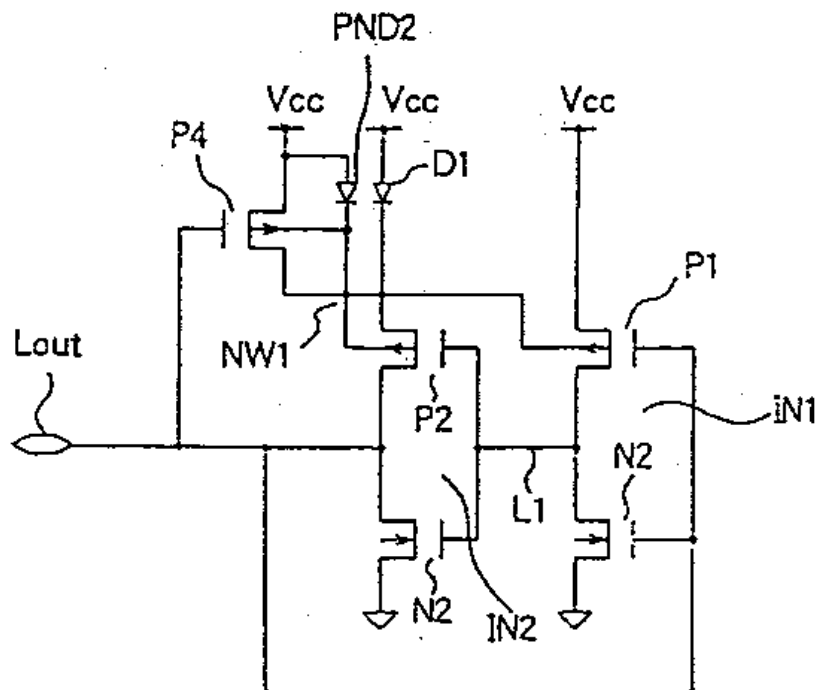
제1전원전압(Vcc)단자와, 제2전원전압(Vss)단자, 상기 제1전원전압(Vcc)단자와 상기 제2전원전압(Vss)단자와의 사이에 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로가 직렬로 접속되고, 상기 제1 P채널 트랜지스터(P1)의 게이트 및 상기 제1 N채널 트랜지스터(N1)의 게이트가 버스라인에 접속된 입력단 인버터(IN1), 상기 제1전원전압(Vcc)단자와 상기 제2전원전압(Vss)단자와의 사이에 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로와 제2 N채널 트랜지스터(N2)의 소오스·드레인간 전류경로가 직렬로 접속되고, 다이오드(D1)의 애노드·캐소드간 전류경로가 상기 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 병렬로 접속되며, 상기 제2 P채널 트랜지스터(P4)의 게이트가 상기 버스라인에 접속되고, 상기 제3 P채널 트랜지스터(P2)의 게이트 및 상기 제2 N채널 트랜지스터(N2)의 게이트가 상기 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 상기 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로의 공통접속점에 접속되며, 다이오드(D1)의 캐소드단자가 상기 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 상기 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로의 공통접속점에 접속되고, 상기 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로와 상기 제2 N채널 트랜지스터(N2)의 소오스·드레인간 전류경로의 공통접속점이 상기 버스라인에 접속된 출력단 인버터(IN2) 및, 상기 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 상기 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로의 상기 공통접속점에 접속된 출력 단자(INA)를 구비하고, 상기 제1, 제2 및 제3 P채널 트랜지스터(P1,P4,P2)의 백게이트가 상기 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 상기 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로의 상기 공통접속점에 접속되어 있는 것을 특징으로 하는 버스홀드회로.

#### 청구항 34

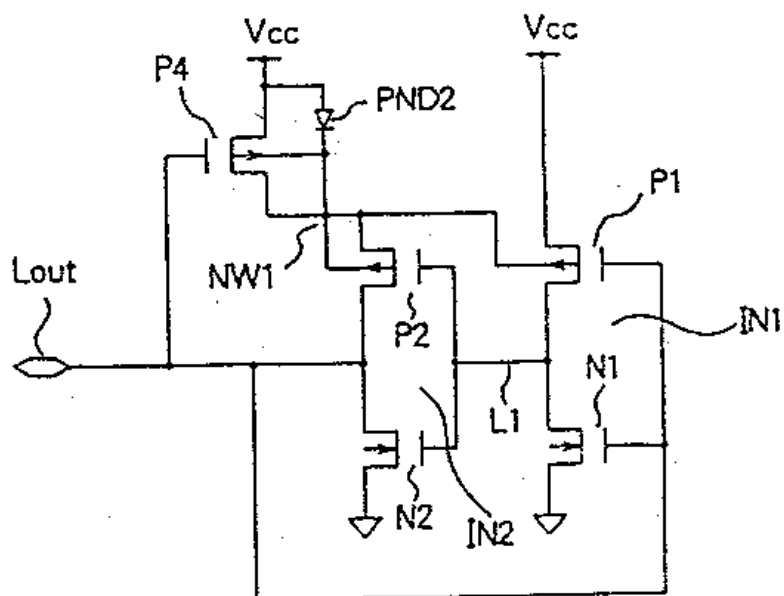
제1전원전압(Vcc)단자와, 제2전원전압(Vss)단자, 상기 제1전원전압(Vcc)단자와 상기 제2전원전압(Vss)단자와의 사이에 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로가 직렬로 접속되고, 상기 제1 P채널 트랜지스터(P1)의 게이트 및 상기 제1 N채널 트랜지스터(N1)의 게이트가 버스라인에 접속된 입력단 인버터(IN1) 및, 상기 제1전원전압(Vcc)단자와 상기 제2전원전압(Vss)단자와의 사이에 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로와 제2 N채널 트랜지스터(N2)의 소오스·드레인간 전류경로가 직렬로 접속되고, 상기 제2 P채널 트랜지스터(P4)의 게이트가 상기 버스라인에 접속되며, 상기 제3 P채널 트랜지스터(P2)의 게이트 및 상기 제2 N채널 트랜지스터(N2)의 게이트가 상기 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 상기 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로의 공통접속점에 접속되며, 상기 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로와 상기 제2 N채널 트랜지스터(N2)의 소오스·드레인간 전류경로의 공통접속점이 상기 버스라인에 접속된 출력단 인버터(IN2) 및, 상기 제1 P채널 트랜지스터(P1)의 소오스·드레인간 전류경로와 상기 제1 N채널 트랜지스터(N1)의 소오스·드레인간 전류경로의 상기 공통접속점에 접속된 출력 단자(INA)를 구비하고, 상기 제1, 제2 및 제3 P채널 트랜지스터(P1,P4,P2)의 백게이트가 상기 제2 P채널 트랜지스터(P4)의 소오스·드레인간 전류경로와 상기 제3 P채널 트랜지스터(P2)의 소오스·드레인간 전류경로의 상기 공통접속점에 접속되



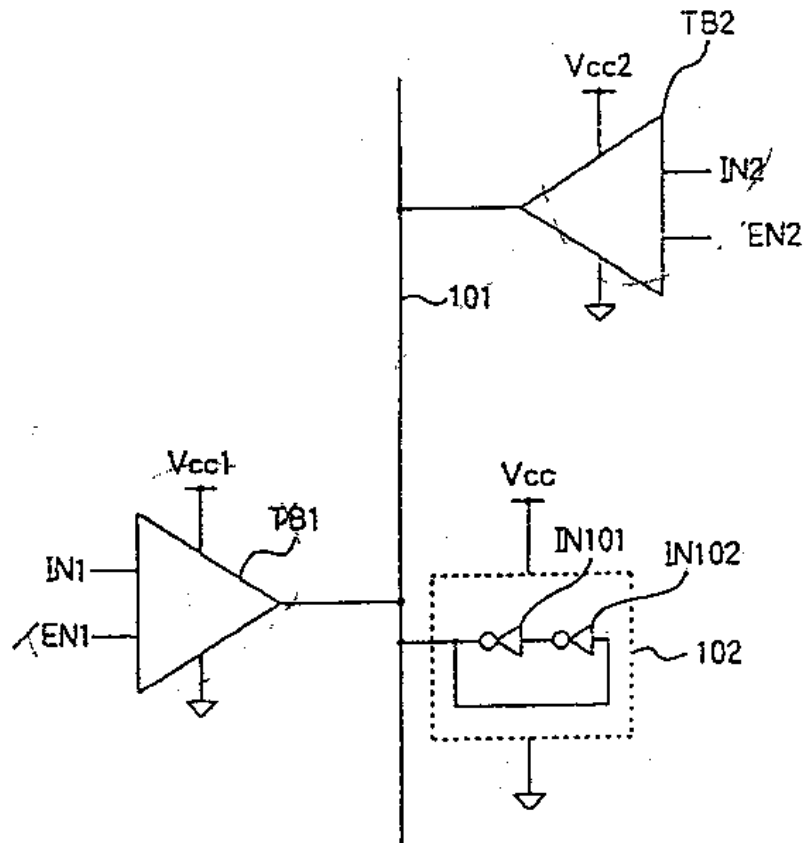
도면3



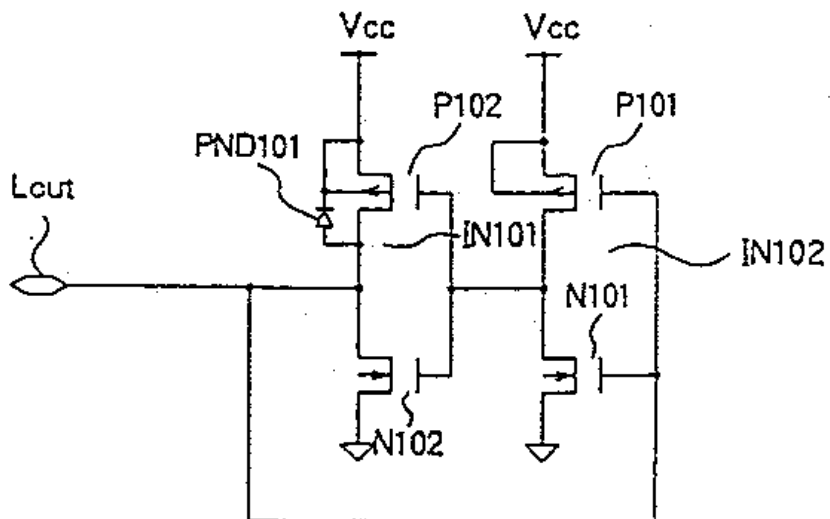
도면4



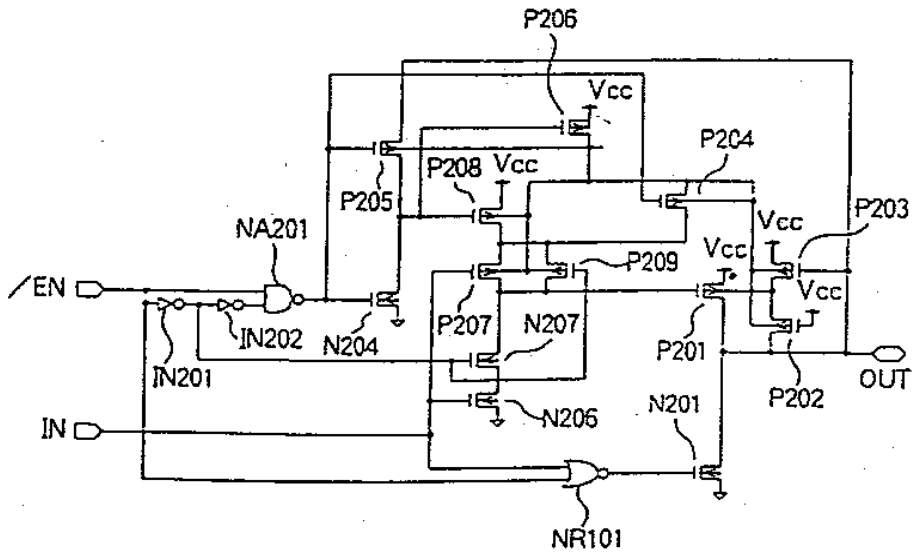
도면5



도면6



도면7



도면8

