

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 15 日 (15.05.2014)



(10) 国际公布号
WO 2014/071665 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2012/085817

(22) 国际申请日: 2012 年 12 月 4 日 (04.12.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210448686.1 2012 年 11 月 9 日 (09.11.2012) CN

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 许淼 (XU, Miao); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 梁擎擎 (LIANG, Qingqing); 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 尹海洲 (YIN, Haizhou); 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制造方法

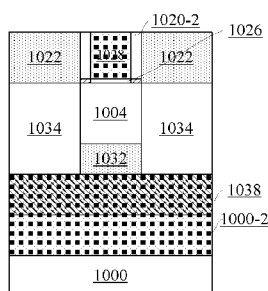


图18 (c) /Fig.18 (c)

(57) Abstract: Provided are a semiconductor device and a manufacturing method therefor. The method comprises: forming on a substrate (1000) a first semiconductor layer (1002) and a second semiconductor layer (1004) in sequence; patterning the second semiconductor layer and the first semiconductor layer, so as to form a fin; forming on the substrate an isolation layer (1014), the isolation layer exposing a part of the first semiconductor layer; performing ion implantation on the substrate beneath the fin, so as to form a piercing resistance part (1038), and forming on the isolation layer a gate stack across the fin; selectively etching the second semiconductor layer by using the gate stack as a mask, so as to expose the first semiconductor layer; selectively etching the first semiconductor layer, so as to form a gap beneath the second semiconductor layer; and forming on the substrate a third semiconductor layer (1034), so as to form a source/drain region.

(57) 摘要: 提供一种半导体器件及其制造方法。该方法包括: 在衬底 (1000) 上依次形成第一半导体层 (1002) 和第二半导体层 (1004); 对第二半导体层、第一半导体层进行构图, 以形成鳍; 在衬底上形成隔离层 (1014), 该隔离层露出第一半导体层的一部分; 向鳍下方的衬底进行离子注入, 以形成穿通阻挡部 (1038), 在隔离层上形成横跨鳍的栅堆叠; 以栅堆叠为掩模, 选择性刻蚀第二半导体层, 以露出第一半导体层; 选择性刻蚀第一半导体层, 以在第二半导体层下方形成空隙; 在衬底上形成第三半导体层 (1034), 用以形成源/漏区。



WO 2014/071665 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件及其制造方法

本申请要求了 2012 年 11 月 9 日提交的、申请号为 201210448686.1、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体领域，更具体地，涉及一种半导体器件及其制造方法。

背景技术

随着平面型半导体器件的尺寸越来越小，短沟道效应愈加明显。为此，提出了立体型半导体器件如 FinFET（鳍式场效应晶体管）。一般而言，FinFET 包括在衬底上竖直形成的鳍以及与鳍相交的栅堆叠。另外，衬底上形成有隔离层，以隔离栅堆叠与衬底。因此，鳍的底部被隔离层所包围，从而栅难以有效控制鳍的底部。结果，易于出现源和漏之间经由鳍底部的漏电流。

发明内容

本公开的目的至少部分地在于提供一种半导体器件及其制造方法。

根据本公开的一个方面，提供了一种制造半导体器件的方法，包括：在衬底上依次形成第一半导体层和第二半导体层；对第二半导体层、第一半导体层进行构图，以形成鳍；在衬底上形成隔离层，所述隔离层露出所述第一半导体层的一部分；向鳍下方的衬底进行离子注入，以形成穿通阻挡部；在隔离层上形成横跨鳍的栅堆叠；以栅堆叠为掩模，选择性刻蚀第二半导体层，以露出第一半导体层；选择性刻蚀第一半导体层，以在第二半导体层下方形成空隙；在衬底上形成第三半导体层，用以形成源/漏区。

根据本公开的另一方面，提供了一种半导体器件，包括：在衬底上形成的鳍；在鳍下方的衬底中形成的穿通阻挡部；在衬底上形成的隔离层；以及在隔离层上形成的横跨鳍的栅堆叠，其中，所述鳍包括位于栅堆叠下方的第一半导体层部分以及与第一半导体层相邻的第二半导体层部分，该半导体器件还包括形成于第二半导体层部分中

的源/漏区。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-18 是示出了根据本公开实施例的制造半导体器件流程的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开的实施例，可以在鳍下方的衬底中形成相对高阈值电压区，以减小源漏泄漏。例如，这种相对高阈值电压区可以包括相对高掺杂的区域，或者说穿通阻挡部（punch-through stopper）。这种穿通阻挡部可以在形成鳍之后，向鳍下方的衬底中进行离子注入来形成。例如，对于n型器件，可以进行p注入；对于p型器件，可以进行n注入。

由于离子注入，在鳍（特别是靠近离子注入区域的鳍底部）中，可能存在相对高的杂质浓度，这又将导致鳍中随机掺杂波动变大，从而使器件性能变差。根据本公开的实施例，可以如此形成鳍，使得其包括牺牲层和鳍主体层的堆叠，其中牺牲层位于鳍底部。在进行用于形成穿通阻挡部的离子注入之后，可以选择性去除潜在地被离子注入所污染的牺牲层。因此，可以降低鳍中随机掺杂波动，并进一步改善器件性能。

根据本公开的另一实施例，为了进一步减小源漏泄漏，还可以在如上所述去除牺牲层之后，在鳍底部，在源和漏之间形成隔离岛，以减小源、漏之间经由鳍底部的漏电流。例如，在去除牺牲层之后，可以在鳍主体层下方填充电介质材料，并将电介质材料构图为隔离岛。

由于希望隔离岛位于源、漏之间，从而在构图隔离岛时，可以栅堆叠为掩模。具体地，在构图牺牲层和鳍主体层形成鳍之后，可以在衬底上形成隔离层，并在隔离层上形成横跨鳍的（牺牲）栅堆叠。在此，隔离层露出牺牲层的一部分。这是因为隔离层限定了鳍的“底部”。然后，可以（牺牲）栅堆叠为掩模，选择性刻蚀鳍主体层（从而鳍主体层留于栅堆叠下方），以露出牺牲层。接着，可以选择性刻蚀牺牲层，以去除牺牲层（例如，牺牲层可以全部去除）。这样，就在鳍主体层下方形成了空隙。随后，可以淀积电介质材料，并（以栅堆叠为掩模）回蚀，使得电介质材料填充鳍主体层下方的空隙，从而形成隔离岛。

另一方面，在如上所述去除牺牲层之后，隔离层中形成了一与鳍的形状相对应的开口，该开口露出一部分衬底。随后可以通过该开口，在衬底上例如通过外延来形成源漏区。

根据本公开的另一实施例，形成的源/漏区可以包括与鳍主体层不同的半导体材料，从而由于两者之间的晶格失配而能够在鳍主体层（其中形成沟道区）中施加应力，以进一步提升器件性能。

根据本公开的实施例，隔离层可以通过在衬底上淀积电介质材料然后回蚀来形成。可以如此形成电介质材料，使得电介质材料基本上覆盖鳍时（即，在多个鳍的情况下基本上填充鳍之间的间隙时），位于鳍顶部的电介质材料厚度充分小于位于衬底上的电介质材料厚度，例如鳍顶部的电介质材料厚度可以小于位于衬底上的电介质材料厚度的三分之一，优选为四分之一。例如，这可以通过高密度等离子体（HDP）淀积来实现。另外，在形成多个鳍的情况下，位于每一鳍的顶面之上的电介质材料的厚度可以小于与其相邻的鳍之间间距的二分之一。这样，在随后的回蚀中，可以减少刻蚀深度，从而能够增加刻蚀控制精度。

本公开可以各种形式呈现，以下将描述其中一些示例。

如图1所示，提供衬底1000。该衬底1000可以是各种形式的衬底，例如但不限于体半导体材料衬底如体Si衬底、绝缘体上半导体（SOI）衬底、SiGe衬底等。在以下的描述中，为方便说明，以体Si衬底为例进行描述。

在衬底1000中，可以形成n型阱1000-1和p型阱1000-2，以供随后在其中分别形成p型器件和n型器件。例如，n型阱1000-1可以通过在衬底1000中注入n型杂质如P或As来形成，p型阱1000-2可以通过在衬底1000中注入p型杂质如B来形成。如果需要，在注入之后还可以进行退火。本领域技术人员能够想到多种方式来形成n型阱、p型阱，在此不再赘述。

这里需要指出的是，尽管在以下描述中说明了分别在n型阱和p型阱中形成互补器件的工艺，但是本公开不限于此。例如，本公开同样适用于非互补工艺。而且，以下涉及互补器件的一些处理，在某些实现方式中并非是必须的。

在衬底1000上，例如通过外延生长，形成第一半导体层1002。例如，第一半导体层1002可以包括SiGe（Ge原子百分比例如为约5-20%），厚度为约10-50nm。接下来，在第一半导体层1002，例如通过外延生长，形成第二半导体层1004。例如，第二半导体层1004可以包括Si，厚度为约20-100nm。

根据本公开的一示例，在第二半导体层1004上，可以形成保护层1006。保护层1006例如可以包括氧化物（例如，氧化硅），厚度为约10-50nm。这种保护层1006可以在随后的处理中保护鳍的端部。

随后，可以对如此形成的第二半导体层1004、第一半导体层1002和衬底进行构图，以形成鳍。例如，这可以如下进行。具体地，在保护层1006上按设计形成构图的光刻胶1008。通常，光刻胶1008被构图为一系列平行的等间距线条。然后，如图2所示，以构图的光刻胶1008为掩模，依次选择性刻蚀例如反应离子刻蚀（RIE）保护层1006、第二半导体层1004、第一半导体层1002和衬底1000，从而形成鳍。

在互补工艺的情况下，还可以如图3所示，来在n型区域和p型区域之间形成隔离。具体地，可以在衬底上形成光刻胶1010，并对光刻胶1010进行构图，以露出n型区域和p型区域之间界面周围的一定区域。然后，通过选择性刻蚀例如RIE，去除该区域存在的保护层、第二半导体层、第一半导体层。也可以进一步选择性刻蚀如RIE衬底。从而在n型区域和p型区域之间形成隔离地带，该隔离地带随后可以被电介质所填充。然后，可以去除光刻胶1010。

可以看到，在图2的操作中，形成鳍的刻蚀步骤进入到衬底1000中；然后，通过图3中的操作，可以使得p型阱和n型阱之间的接触面积（即，形成的pn结的面积）较小。但是，本公开不限于此。例如，在非互补工艺，或者在单一类型（p型或n型）器件的局部区域，图2中对第一半导体层1002的刻蚀可以停止于衬底1000，并且随后不

再对衬底1000进行刻蚀也是可行的；图3所示的操作可能也并非必须是必须的。通过刻蚀所形成的（鳍之间的）沟槽的形状不一定是图2中所示的规则矩形形状，可以是例如从上到下逐渐变小的锥台形。另外，所形成的鳍的位置和数目不限于图2所示的示例。

在图2所示的示例中，在n型阱1000-1和p型阱1000-2之间的界面处，也形成了鳍。由于图3所示的隔离形成工艺，该鳍也被去除。于是，得到了图4所示的结构。

在通过上述处理形成鳍之后，可以形成横跨鳍的栅堆叠，并形成最终的半导体器件。

为了隔离栅堆叠和衬底，在衬底上首先形成隔离层。这种隔离层例如可以通过在衬底上淀积电介质材料，且然后进行回蚀来形成。在回蚀过程中，控制回蚀深度，使得回蚀后的隔离层能够使第一半导体层的一部分露出（隔离层的顶面位于第一半导体层的顶面和底面之间）。例如，隔离层可以包括高密度等离子体（HDP）氧化物（例如，氧化硅）。

在此，为了改善回蚀之后隔离层（顶面的）高度的一致性，并因此改善最终形成的鳍的高度的一致性，如图5所示，在淀积电介质材料1014的过程中，使得电介质材料1014基本上覆盖鳍（在多个鳍的情况下，基本上填充鳍之间的间隙）。根据本公开的实施例，可以如此淀积，使得鳍顶部的电介质材料厚度充分小于位于衬底上的电介质材料厚度，并且一般来说鳍顶部的电介质材料厚度都小于位于衬底上的电介质材料厚度的三分之一，优选为四分之一。例如，每一鳍顶部的电介质材料厚度一般不大于20nm，而位于衬底上的电介质材料厚度可达100nm左右。

根据本公开的一示例，电介质材料1014可以包括通过高密度等离子体（HDP）淀积形成的氧化物（例如，氧化硅）。由于HDP的特性，在淀积过程中可以使得鳍顶部的电介质材料（沿垂直于衬底方向的）厚度和鳍侧面的电介质材料（沿平行于衬底的方向，即横向的）厚度要小于鳍之间衬底上的电介质材料（沿垂直于衬底方向的）厚度。因为HDP的这种特性，在常规技术中通常并不采用HDP淀积来制作氧化隔离。

在此，例如可以通过控制淀积条件，使得电介质材料1014在基本上覆盖鳍时（即，基本上填充鳍之间的空隙时），位于每一鳍顶部上的厚度可以小于与其相邻的鳍之间间距的二分之一。如果鳍之间的间距并不相同，则可以使电介质材料1014位于每一鳍顶部的厚度小于与其相邻的鳍之间间距中较小间距的二分之一。

随后，如图6所示，对电介质材料1014进行回蚀。由于电介质材料1014的回蚀深度相对较小，从而对该刻蚀的控制相对容易，并因此可以更加精确地控制从鳍的顶面

（在该示例中，第二半导体层1004的顶面）到隔离层1014的顶面的距离（至少部分地决定最终器件的鳍高度并因此决定最终器件的沟道宽度），使得该距离在衬底上基本保持一致。

在一个示例中，保护层1006和电介质材料1014包括相同的材料，如氧化物。因此，在对电介质材料1014回蚀的过程中，可能同时去除了保护层1006，如图6所示。

在此，为了改善器件性能，优选地在鳍下方的衬底中形成穿透阻挡部1038。具体地，如图7所示，可以利用光刻胶1012-1覆盖n型阱1000-1上方，然后进行离子注入。注入的离子会经由隔离层1014而扩散到被隔离层1014所围绕的衬底中。对于p型阱1000-2中要形成的n型器件，可以注入p型杂质，如B、BF₂或In。注入的峰值浓度例如可以是约1E18 - 2E19 cm⁻³。可以进行退火，以激活注入的杂质。然后可以去除光刻胶1012-1。

同样地，如图8所示，可以利用光刻胶1012-2覆盖p型阱1000-2上方，然后进行（倾斜）离子注入。对于n型阱1000-1中要形成的p型器件，可以注入n型杂质，如As或Sb。注入的峰值浓度例如可以是约1E18 - 2E19 cm⁻³。可以进行退火，以激活注入的杂质。然后可以去除光刻胶1012-2。

这里需要指出的是，尽管在图7和8中，将穿透阻挡部1038示出为仅形成于衬底1000中，但是事实上其可能进入第一半导体层1002中。

随后，可以在隔离层1014上形成横跨鳍的牺牲栅堆叠。例如，这可以如下进行。

具体地，如图9所示（图9（b）示出了沿图9（a）中BB'线的截面图），例如通过淀积，形成牺牲栅介质层1016。例如，牺牲栅介质层1016可以包括氧化物，厚度为约0.8-1.5nm。在图7所示的示例中，仅示出了“Π”形的牺牲栅介质层1016。但是，牺牲栅介质层1016也可以包括在隔离层1014的顶面上延伸的部分。然后，例如通过淀积，形成牺牲栅导体层1018。例如，牺牲栅导体层1018可以包括多晶硅。牺牲栅导体层1018可以填充鳍之间的间隙，并可以进行平坦化处理例如化学机械抛光（CMP）。之后，对牺牲栅导体层1018进行构图，以形成栅堆叠。在图9的示例中，牺牲栅导体层1018被构图为与鳍相交的条形。根据另一实施例，还可以构图后的牺牲栅导体层1018为掩模，进一步对牺牲栅介质层1016进行构图。

接下来，如图10所示（图10（b）示出了沿图10（a）中BB'线的截面图），可以在隔离层上形成电介质层（例如，厚度约为5-30nm的氮化物），通过光刻胶覆盖n型阱1000-1上方的电介质层部分1020-1，并对p型阱1000-2上方的电介质层部分进行构图，

以形成侧墙1020-2。随后，去除光刻胶。本领域技术人员知道多种方式来形成这种侧墙，在此不再赘述。

这里需要指出的是，电介质层部分1020-1由于其厚度相对较薄，因此其表面可能呈现基本上与之下的结构相同的形貌。但是，在图9（a）中，为了方便起见，并没有示出电介质层部分1020-1表面的形貌。

在鳍之间的沟槽为从上到下逐渐变小的锥台形时（由于刻蚀的特性，通常为这样的情况），侧墙1020-2基本上不会形成于鳍的侧壁上。

然后，如图11所示（图11（b）示出了沿图11（a）中BB'线的截面图，图11（c）示出了沿图11（a）中CC'线的截面图），首先选择性去除（例如，RIE）暴露在外的牺牲栅介质层1016。在牺牲栅介质层1016和隔离层1014均包括氧化物的情况下，由于牺牲栅介质层1016较薄，因此对牺牲栅介质层1016的RIE基本上不会影响隔离层1014。在以上形成牺牲栅堆叠的过程中，以牺牲栅导体为掩模进一步构图牺牲栅介质层的情况下，不再需要该操作。

然后，可以选择性去除（例如，RIE）由于牺牲栅介质层1016的去除而露出的第二半导体层1004。由于牺牲栅堆叠（牺牲栅介质层、牺牲栅导体和侧墙）的存在，第二半导体层1004可以留于牺牲栅堆叠下方。结果，露出了第一半导体层1002。

接下来，如图12所示（图12（b）示出了沿图12（a）中BB'线的截面图，图12（c）示出了沿图12（a）中CC'线的截面图），可以相对于第二半导体层1004和衬底（例如，Si），选择性刻蚀第一半导体层1002（例如，SiGe），以去除第一半导体层。这样，就在第二半导体层1004下方形成了空隙。此外，在隔离层中留下了开口，该开口露出衬底1000（在该示例中，露出穿透阻挡部1038）。

为了进一步改善器件性能，如图13所示（图13（b）示出了沿图13（a）中BB'线的截面图，图13（c）示出了沿图13（a）中CC'线的截面图），可以向在第二半导体层1004下方形成的空隙中填充电介质，以形成隔离岛1032。具体地，可以淀积电介质材料（例如，氧化物），然后回蚀，以露出鳍（即，第二半导体层1004）的侧壁（且优选地露出衬底1000的表面）。结果，将电介质材料填充在第二半导体层1004与衬底1000之间，得到隔离岛1032。

之后，如图14所示，例如通过外延，在衬底上形成第三半导体层1034。随后可以在该第三半导体层1034中形成源/漏区。由于隔离层和侧墙的存在，第三半导体层1034基本上从第二半导体层1004的侧壁（图12（a）中上、下两侧的侧壁）延伸。根据本

公开的一实施例，可以在生长第三半导体层1034的同时，对其进行原位掺杂。例如，对于在p型阱1000-2上形成的n型器件，可以进行n型原位掺杂。另外，为了进一步提升性能，第三半导体层1034可以包括不同于第二半导体层1004的材料，以便能够向第二半导体层1004（其中将形成器件的沟道）施加应力。例如，在第二半导体层1004包括Si的情况下，第三半导体层1034可以包括Si:C（C的原子百分比例如为约0.2-2%），以施加拉应力。

这样，第二半导体层1004连同其两侧的第三半导体层1034一起构成了最终器件的“鳍”。在该鳍中，位于栅堆叠下方的第二半导体层1004中可以形成沟道，而第三半导体层1034中可以形成源/漏区。另外，在鳍底部、源漏区之间，可以形成有隔离岛1032。这种隔离岛可以大大降低源漏之间经由鳍底部的漏电流。

这里需要指出的是，如果牺牲栅导体1018包括多晶硅，那么在外延时，牺牲栅导体1018上可能也会生长部分第三半导体层。这例如可以在随后的平坦化处理、替代栅处理等后继工艺中去除。这里为方便起见，没有示出该部分。另外，可以不形成隔离岛，而直接生长第三半导体层。这样，第二半导体层1004在底部也通过第三半导体层与衬底相连。

在如上所述对p型阱1000-2上的n型器件进行处理之后，同样可以对n型阱1000-1上的p型器件进行处理。

具体地，如图15所示，可以淀积另一电介质层1036（例如，氧化物），然后进行平坦化处理如CMP，以露出n型阱1000-1上的电介质层部分1020-1。然后，可以对电介质层部分1020-1进行RIE，以形成侧墙1020-1。

之后，可以对n型阱1000-1上的p型器件进行以上结合图11-14描述的操作。不同之处在于：第三半导体层1042可以原位掺杂为p型，且可以包括SiGe（例如，Ge的原子百分比为约15-75%），以施加压应力。

如图15（c）所示，对于该p型器件，鳍同样包括第二半导体层1004连同其两侧的第三半导体层1042。在该鳍中，位于栅堆叠下方的第二半导体层1004中可以形成沟道，而第三半导体层1042中可以形成源/漏区。另外，在鳍底部、源漏区之间，可以形成有隔离岛1040。这种隔离岛可以大大降低源漏之间经由鳍底部的漏电流。

在如上所述分别形成n型器件和p型器件的源/漏区之后，可以进行替代栅工艺，以替代牺牲栅堆叠，形成最终器件的真正栅堆叠。例如，这可以如下进行。

如图16所示（图16（b）示出了沿图16（a）中BB'线的截面图，图16（c）示出了

沿图16(a)中CC'线的截面图),例如通过淀积,形成电介质层1022。该电介质层1022例如可以包括氧化物。随后,对该电介质层1022进行平坦化处理例如CMP。该CMP可以停止于侧墙1020-1、1020-2,从而露出牺牲栅导体1018。

随后,如图17(图17(b)示出了沿图17(a)中BB'线的截面图,图17(c)示出了沿图17(a)中CC'线的截面图)所示,例如通过TMAH溶液,选择性去除牺牲栅导体1018,从而在侧墙1020-1、1020-2内侧形成了空隙1024。根据另一示例,还可以进一步去除牺牲栅介质层1016。

然后,如图18(图18(b)示出了沿图18(a)中BB'线的截面图,图18(c)示出了沿图18(a)中CC'线的截面图)所示,通过在空隙1024中形成栅介质层1026和栅导体层1028,形成最终的栅堆叠。栅介质层1026可以包括高K栅介质例如 HfO_2 ,厚度为约1-5nm。栅导体层1028可以包括金属栅导体。优选地,在栅介质层1022和栅导体层1024之间还可以形成功函数调节层(未示出)。

这里需要指出的是,在图18中,将栅介质层1026示出为空隙1024底部的一薄层。但是,栅介质层1026还可以形成在空隙1024的侧壁上,从而包围栅导体层1028。

如图18所示,根据本公开实施例的半导体器件可以包括在衬底上形成的鳍。在鳍下方的衬底中可以形成穿通阻挡部1038。该鳍可以包括位于栅堆叠下方的第二半导体层部分1004以及与第二半导体层相邻的第三半导体层部分1034或1042。该半导体器件还包括:形成于第三半导体层部分中的源/漏区,在半导体衬底上形成的隔离层,以及在隔离层上形成的横跨鳍的栅堆叠。在第二半导体层部分1004和衬底之间可以夹有隔离岛1032。

这里需要指出的是,在本示例的互补性工艺情况下,对n型器件和p型器件分别进行处理,从而在上述操作中以电介质层部分1020-1遮蔽左侧的p型器件区域,而露出右侧的n型器件区域。但是,本公开不限于此。例如,在非互补工艺中,可以不进行这样的遮蔽。

另外,在该示例中,先遮蔽p型器件区域,对n型器件区域进行处理。但是,本公开不限于此。对n型器件区域和p型器件区域进行处理的次序可以交换。

此外,在以上示例中,针对替代栅工艺进行了描述。但是,本公开不限于此。例如,本公开同样适用于先栅工艺。

在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。

另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求

1. 一种制造半导体器件的方法，包括：
在衬底上依次形成第一半导体层和第二半导体层；
对第二半导体层、第一半导体层进行构图，以形成鳍；
在衬底上形成隔离层，所述隔离层露出所述第一半导体层的一部分；
向鳍下方的衬底进行离子注入，以形成穿通阻挡部；
在隔离层上形成横跨鳍的栅堆叠；
以栅堆叠为掩模，选择性刻蚀第二半导体层，以露出第一半导体层；
选择性刻蚀第一半导体层，以在第二半导体层下方形成空隙；
在衬底上形成第三半导体层，用以形成源/漏区。
2. 根据权利要求1所述的方法，其中，在选择性刻蚀第一半导体层之后，该方法还包括：
在所述空隙中填充电介质材料。
3. 根据权利要求1所述的方法，其中，形成隔离层包括：
在衬底上淀积电介质材料，使得电介质材料实质上覆盖鳍，其中位于鳍顶部的电介质材料厚度充分小于位于衬底上的电介质材料厚度；以及
对电介质材料进行回蚀。
4. 根据权利要求3所述的方法，其中，位于鳍顶部的电介质材料厚度小于位于衬底上的电介质材料厚度的三分之一。
5. 根据权利要求3所述的方法，其中，通过高密度等离子体（HDP）淀积形成电介质材料。
6. 根据权利要求3所述的方法，其中，在衬底上形成多个鳍，且位于每一鳍顶部的电介质材料厚度小于与其相邻的鳍之间间距的二分之一。
7. 根据权利要求1所述的方法，在构图鳍之前，该方法还包括：
在第二半导体层上形成保护层。
8. 根据权利要求3所述的方法，其中，
在构图鳍之前，该方法还包括：在第二半导体层上形成保护层，
其中，所述隔离层和所述保护层包括相同的电介质材料。
9. 根据权利要求1所述的方法，其中，形成穿通阻挡部包括：

对于 p 型器件，进行 n 型注入；而对于 n 型器件，进行 p 型注入。

10. 根据权利要求 1 所述的方法，其中，在形成第三半导体层时，对第三半导体层进行原位掺杂。

11. 根据权利要求 1 所述的方法，其中，对于 p 型器件，第三半导体层带压应力；而对于 n 型器件，第三半导体层带拉应力。

12. 根据权利要求 11 所述的方法，其中，衬底包括 Si，第一半导体层包括 SiGe，第二半导体层包括 Si，第三半导体层包括 SiGe 或 Si:C。

13. 根据权利要求 1 所述的方法，其中，所述栅堆叠是牺牲栅堆叠，所述方法还包括：进行替代栅工艺，去除牺牲栅堆叠，形成栅堆叠。

14. 一种半导体器件，包括：

在衬底上形成的鳍；

在鳍下方的衬底中形成的穿通阻挡部；

在衬底上形成的隔离层；以及

在隔离层上形成的横跨鳍的栅堆叠，

其中，所述鳍包括位于栅堆叠下方的第一半导体层部分以及与第一半导体层相邻的第二半导体层部分，

该半导体器件还包括形成于第二半导体层部分中的源/漏区。

15. 根据权利要求 14 所述的半导体器件，还包括：在第一半导体层部分和衬底之间形成的隔离岛。

16. 根据权利要求 14 所述的半导体器件，其中，隔离层的顶面低于第一半导体层部分的底面。

17. 根据权利要求 14 所述的半导体器件，其中，衬底包括 Si，第一半导体层部分包括 Si，第二半导体层部分包括 SiGe 或 Si:C。

18. 根据权利要求 14 所述的半导体器件，其中，第二半导体层部分通过隔离层中的开口形成于衬底的表面上。

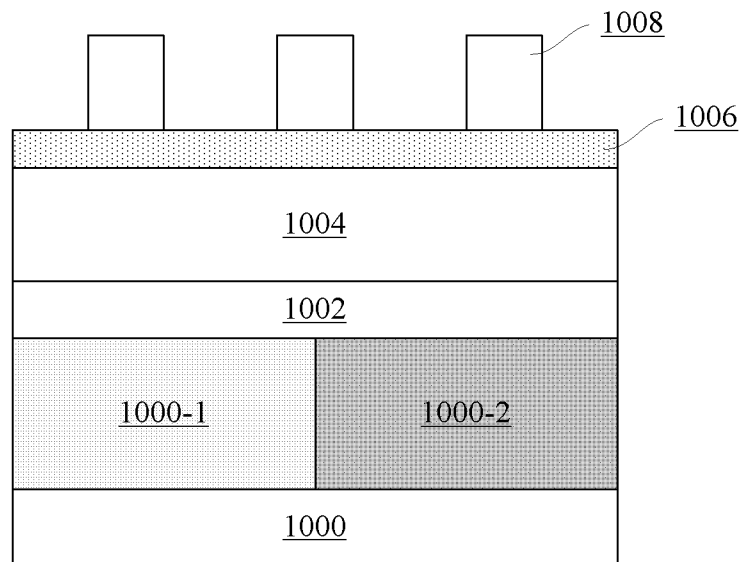


图1

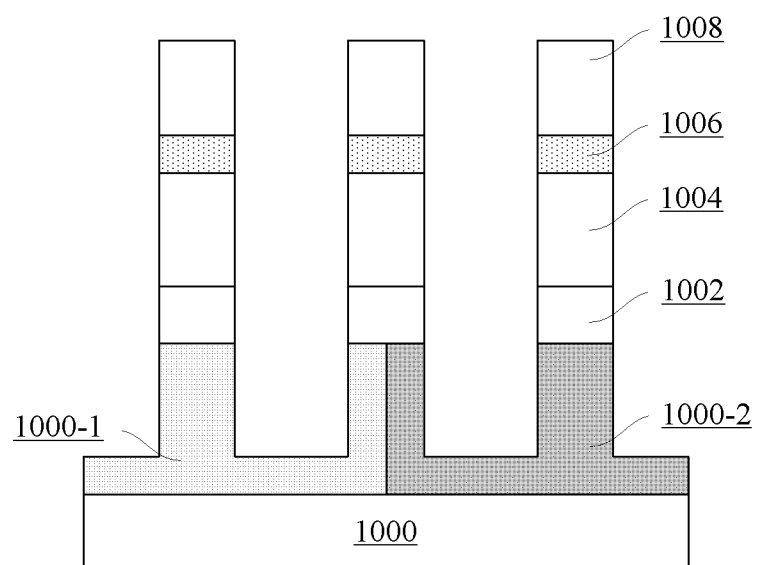


图2

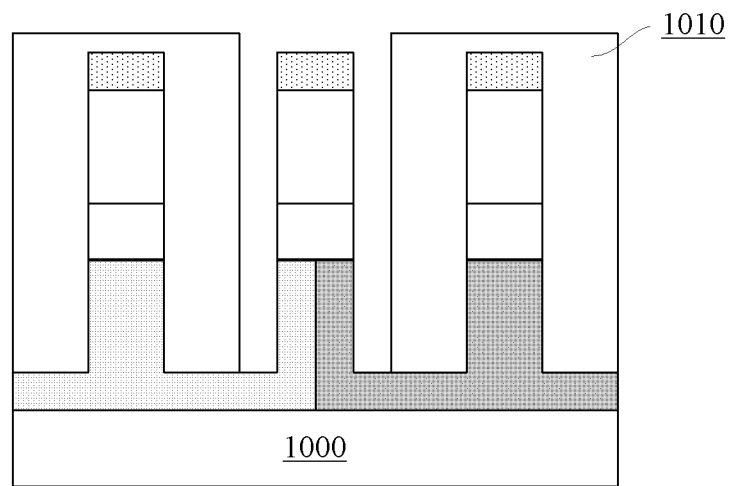


图3

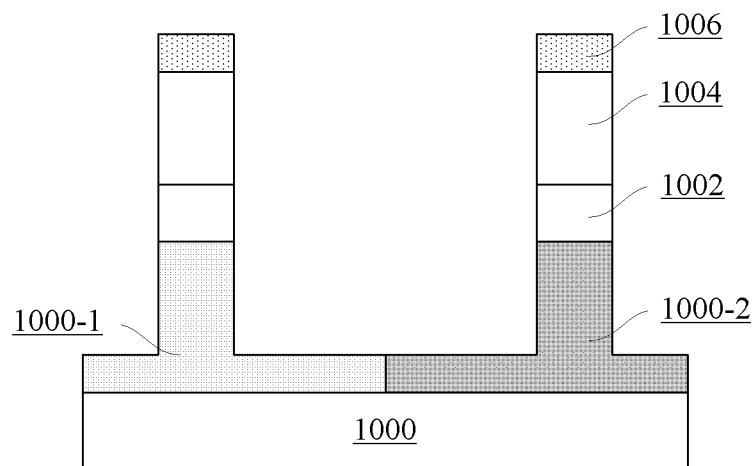


图4

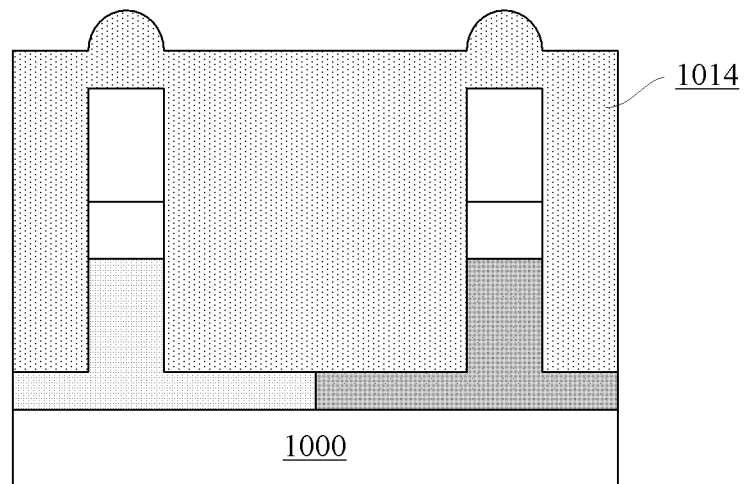


图5

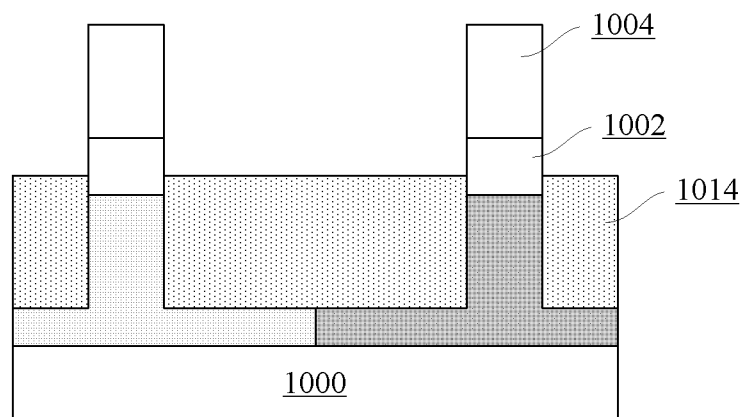


图6

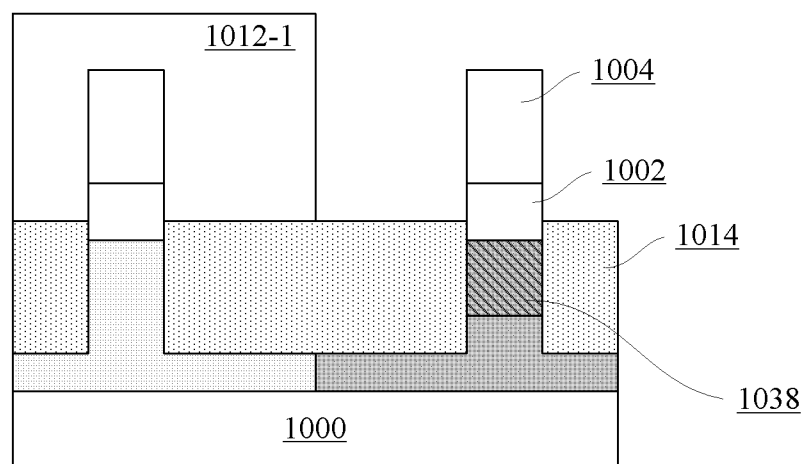


图7

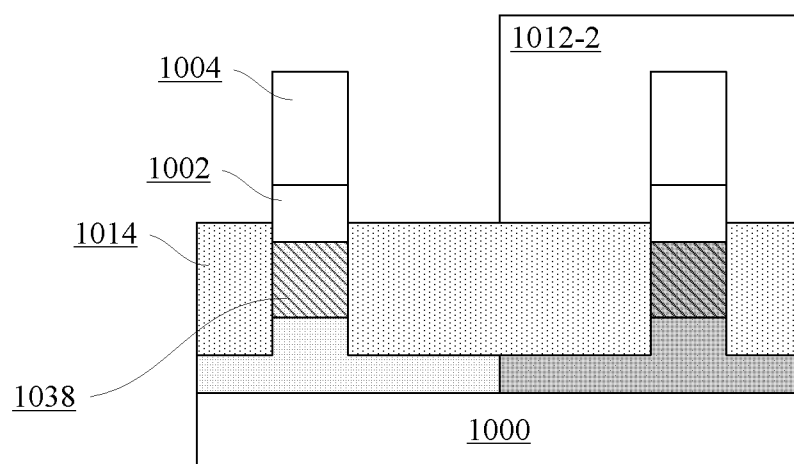
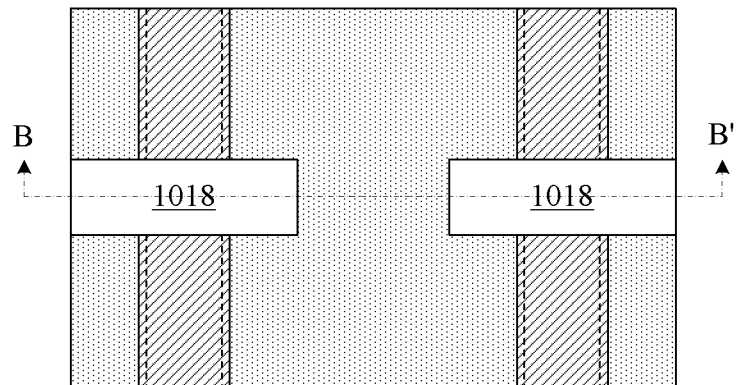


图8

(a)



(b)

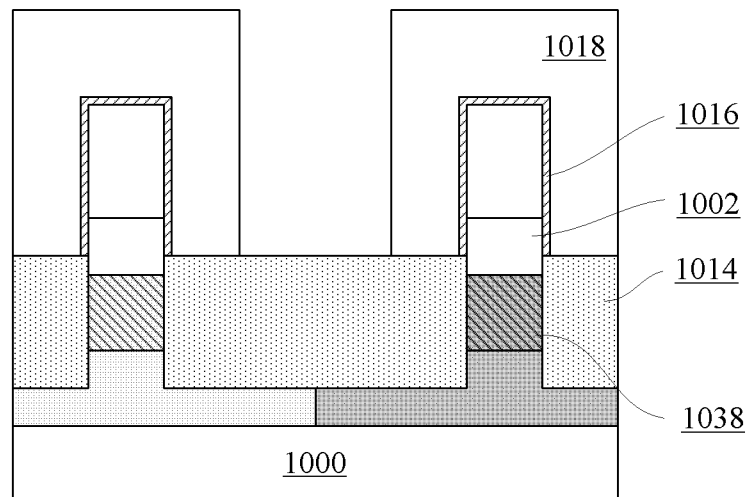


图9

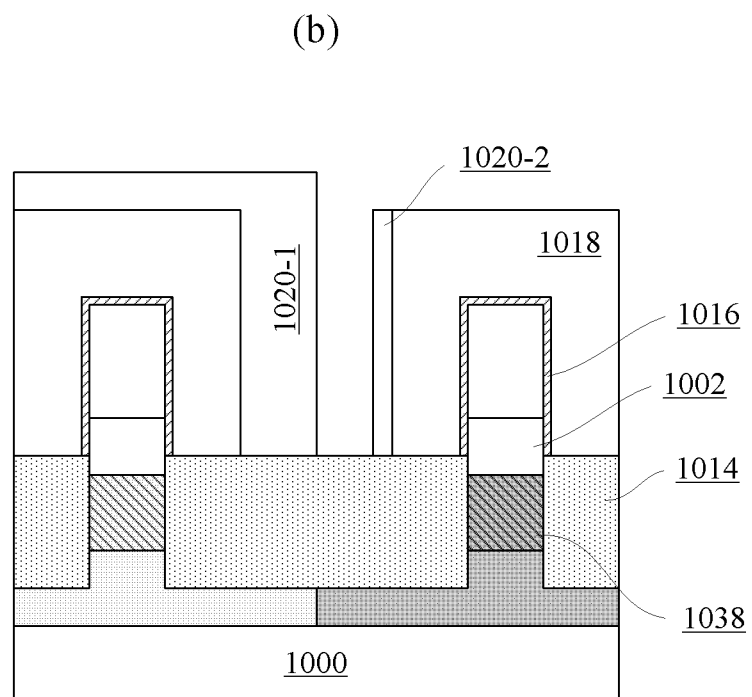
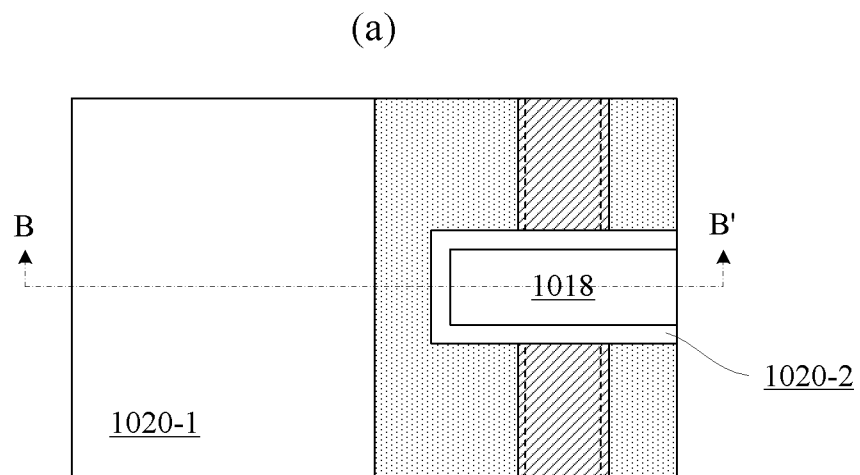


图10

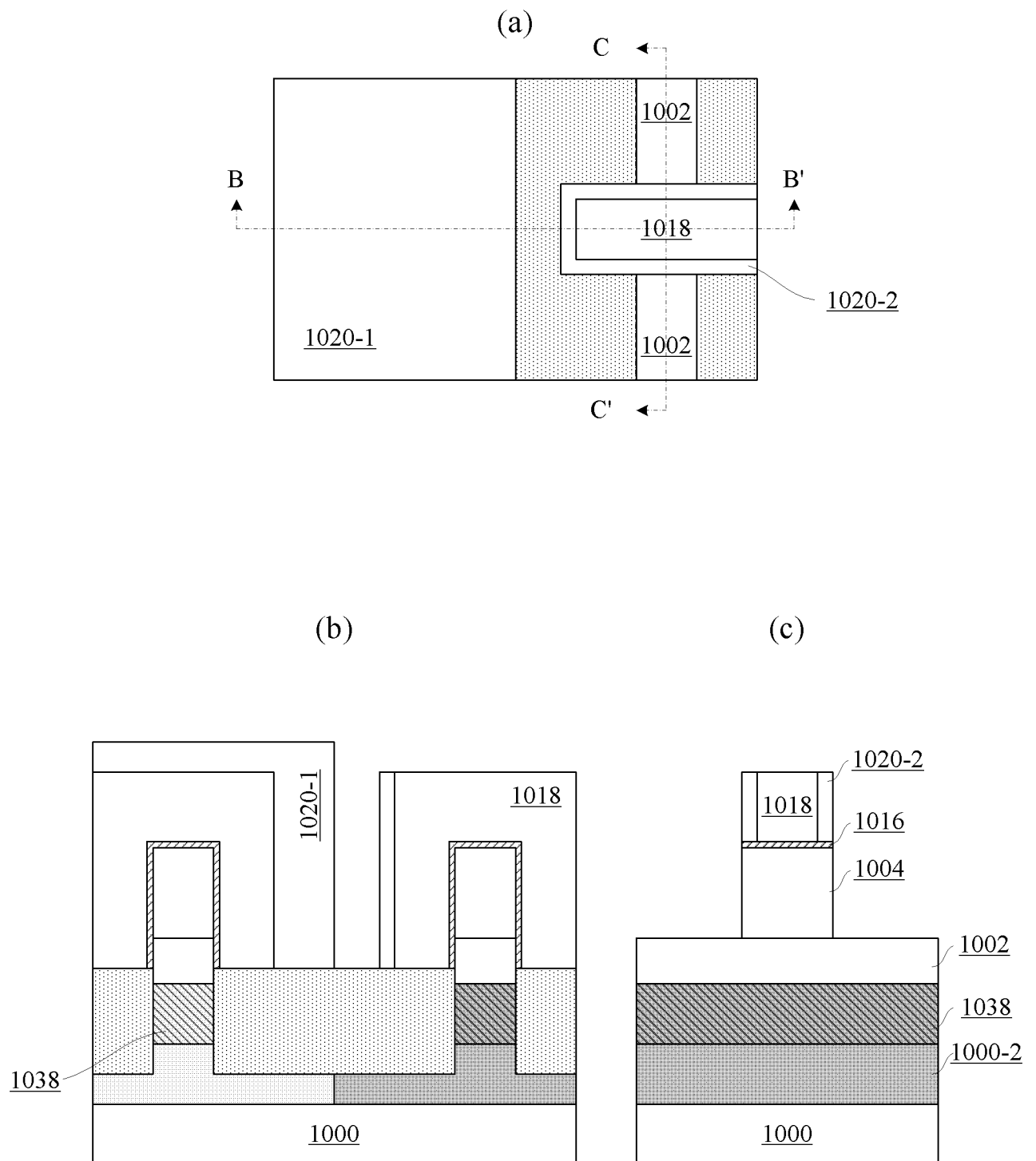


图11

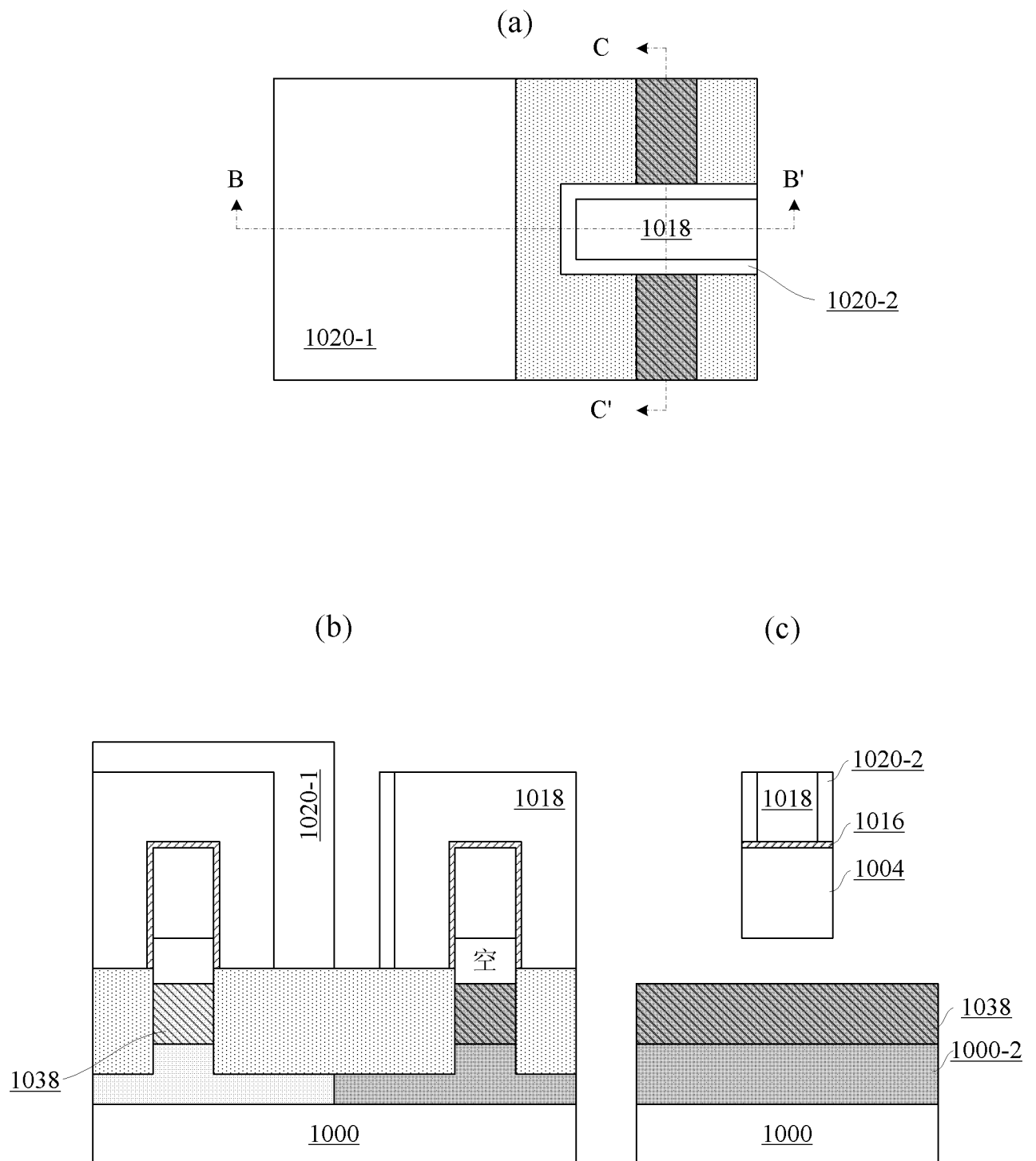


图12

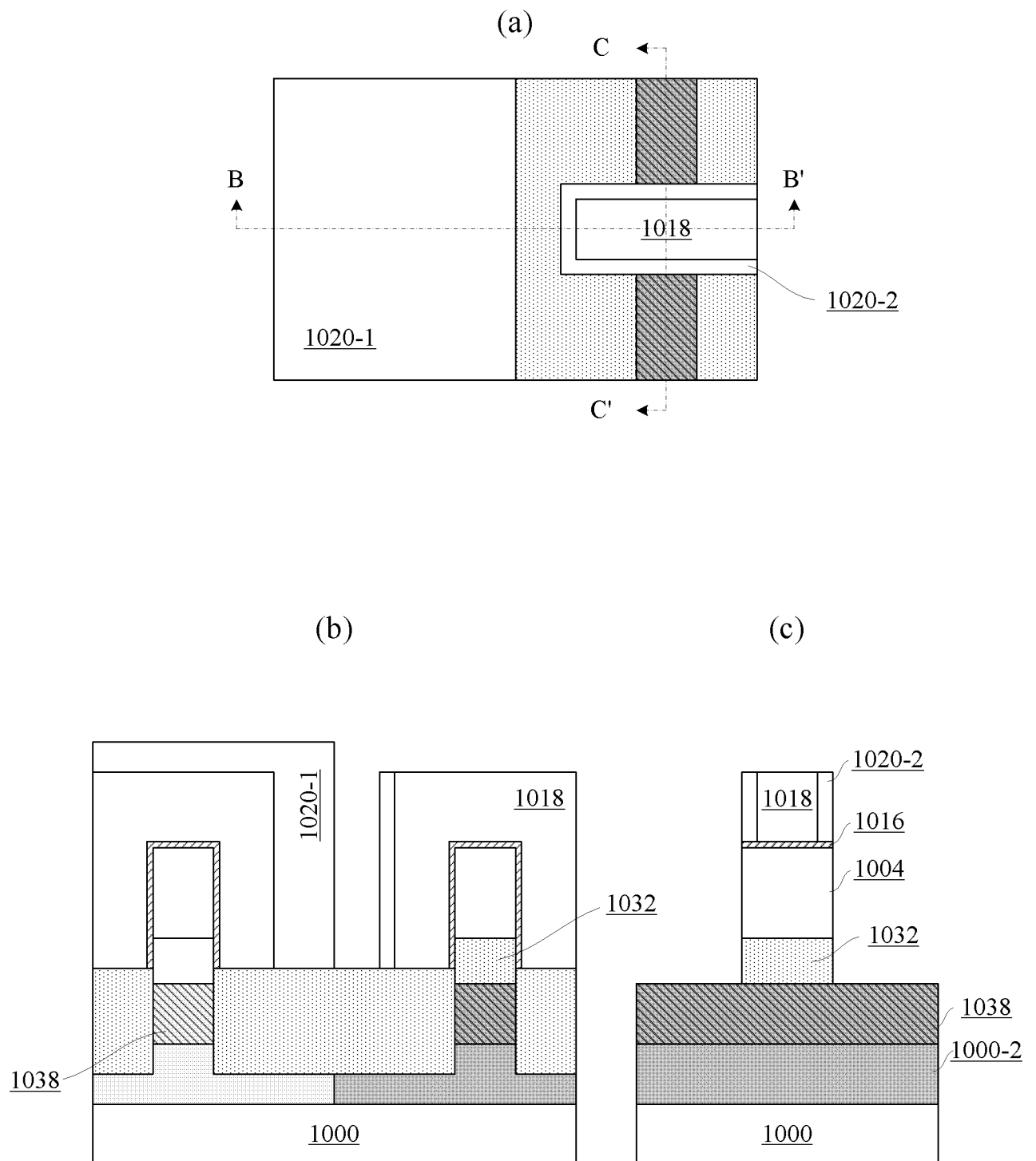


图13

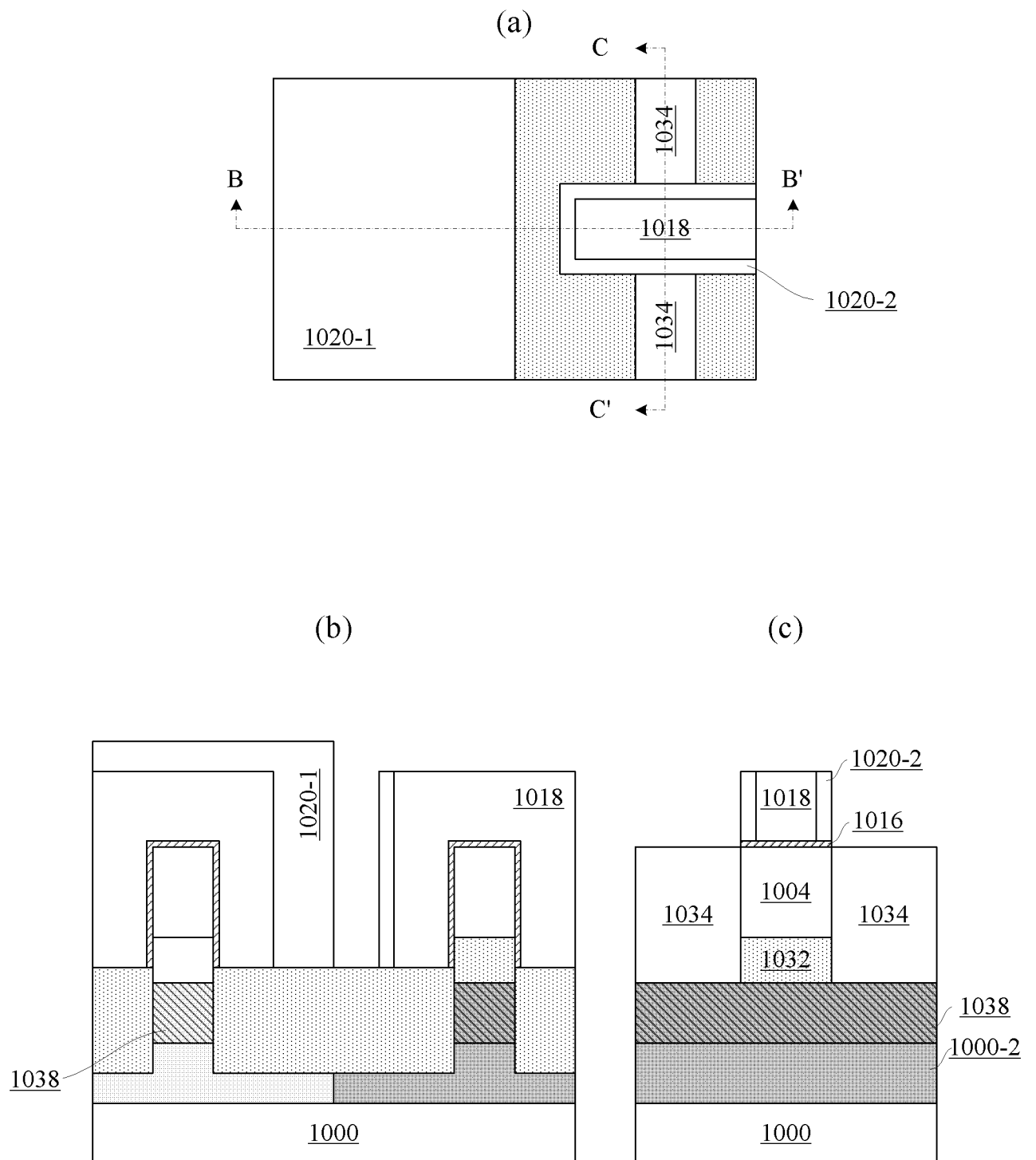


图14

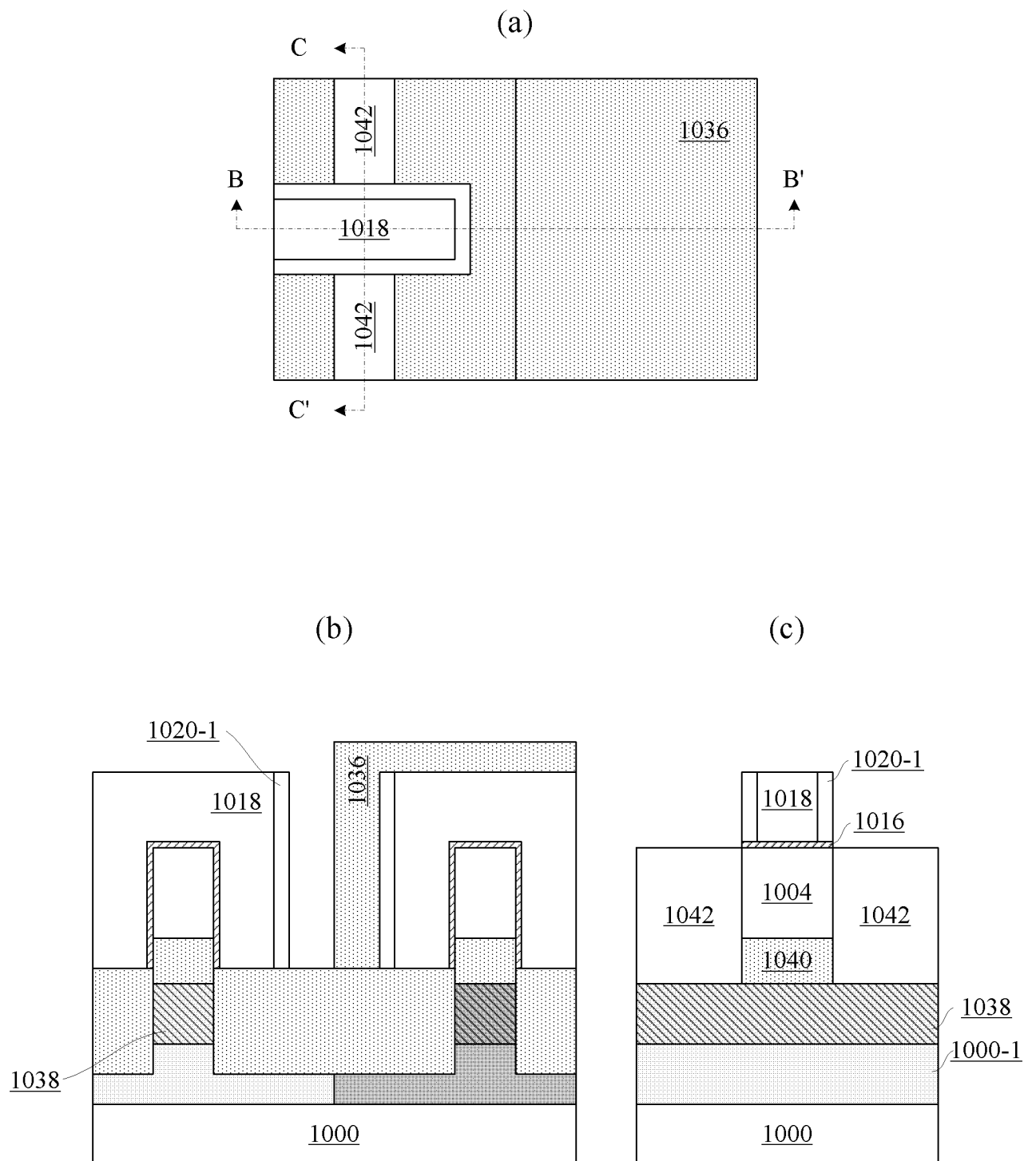


图15

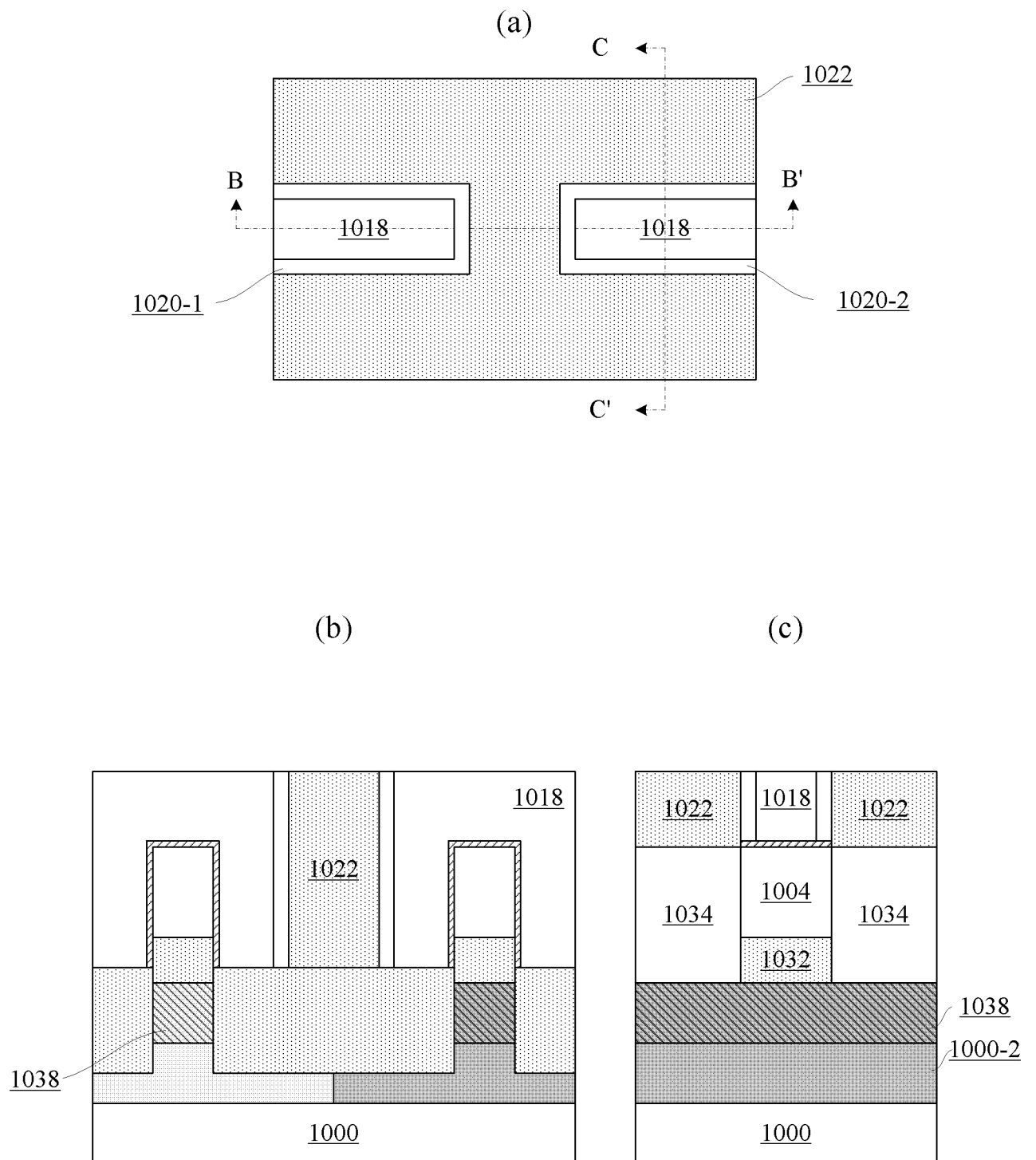


图16

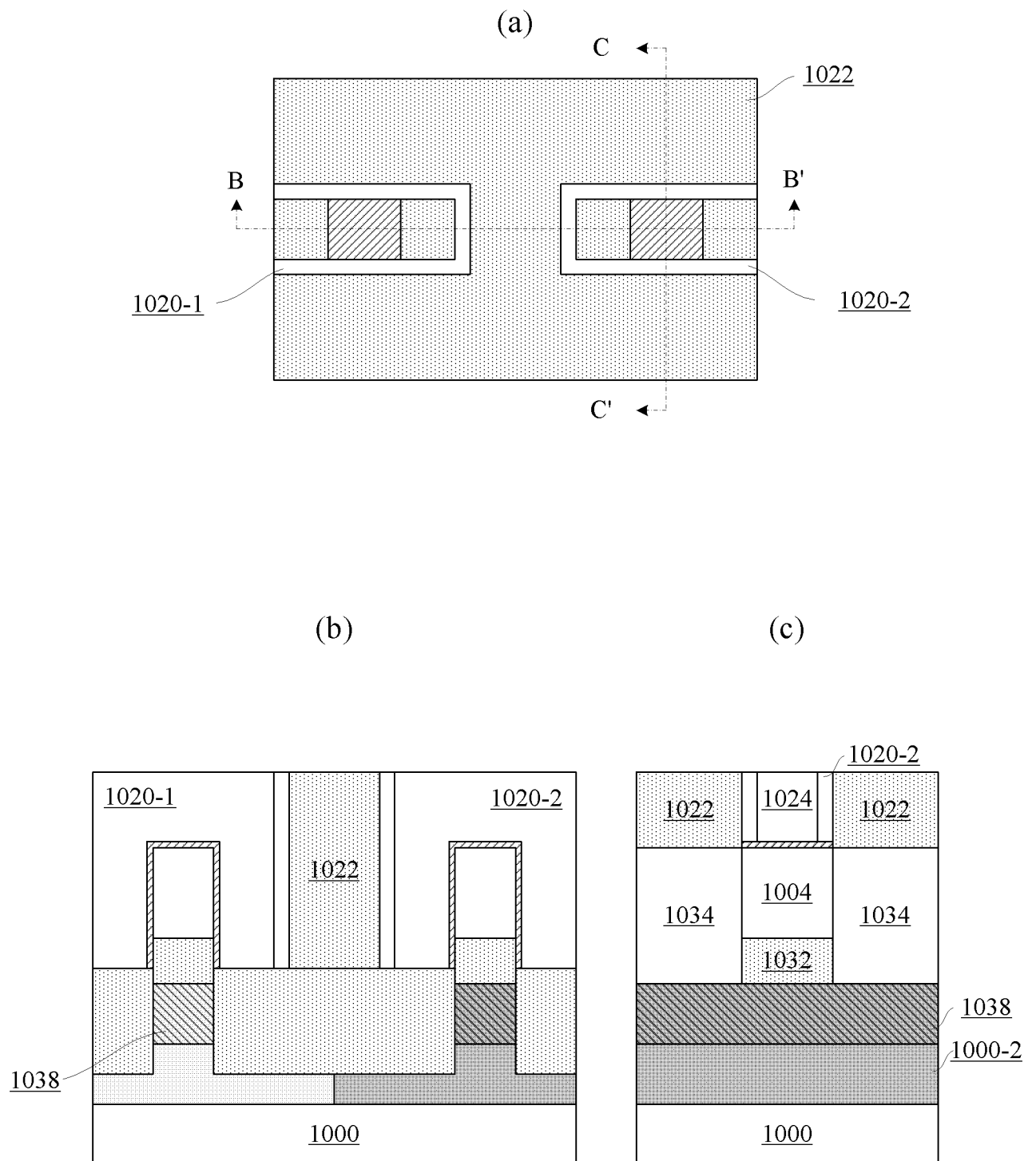


图17

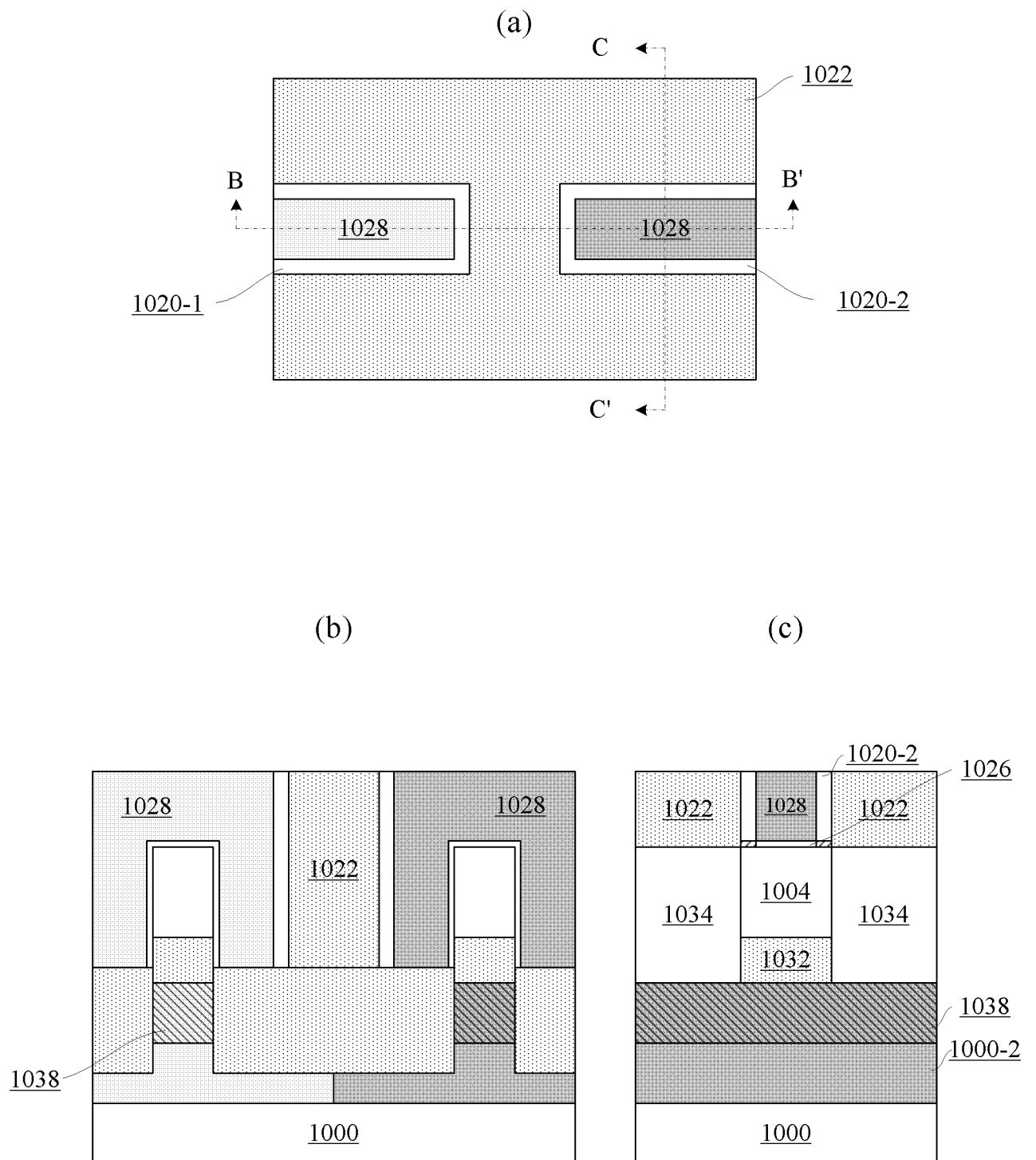


图18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085817**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; IEEE; CNPAT: fin, PTS, punch through stopper, SiGe, crystal lattice, match, isolation, break through, stop

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004219722 A1 (PHAM et al.), 04 November 2004 (04.11.2004), the whole document	1-18
A	US 2006244051 A1 (IZUMIDA et al.), 02 November 2006 (02.11.2006), the whole document	1-18
A	CN 102623321 A (SHANGHAI HUALI MICROELECTRONICS CORPORATION), 01 August 2012 (01.08.2012), the whole document	1-18
A	CN 102104069 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES), 22 June 2011 (22.06.2011), the whole document	1-18
A	CN 1890816 A (NEC CORP.), 03 January 2007 (03.01.2007), the whole document	1-18
A	CN 101404257 A (TOSHIBA CORP.), 08 April 2009 (08.04.2009), the whole document	1-18

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 July 2013 (22.07.2013)Date of mailing of the international search report
08 August 2013 (08.08.2013)Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451Authorized officer
ZHAO, Duan
Telephone No.: (86-10) **62411795**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/085817

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2004219722 A1	04.11.2004	US 6838322 B2	04.01.2005
US 2006244051 A1	02.11.2006	JP 2006310458 A	09.11.2006
		JP 5172893 B2	27.03.2013
		JP 4551811 B2	29.09.2010
		US 7662679 B2	16.02.2010
		JP 2010192926 A	02.09.2010
CN 102623321 A	01.08.2012	None	
CN 102104069 A	22.06.2011	CN 102104069 B	21.11.2012
		WO 2011/072520 A1	23.06.2011
		US 2011/0298050 A1	08.12.2011
		US 8450813 B2	28.05.2013
CN 1890816 A	03.01.2007	CN 100550424 C	14.10.2009
		US 2007/0132009 A1	14.06.2007
		WO 2005/036651 A1	21.04.2005
		JP 4904815 B2	28.03.2012
		US 7612416 B2	03.11.2009
CN 101404257 A	08.04.2009	CN 101404257 B	08.12.2010
		JP 2009094229 A	30.04.2009
		JP 4966153 B2	04.07.2012
		US 2009/0090934 A1	09.04.2009
		US 7923314 B2	12.04.2011

国际检索报告

国际申请号
PCT/CN2012/085817

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI;EPODOC;CNKI;IEEE;CNPAT: fin, PTS, punch through stopper, SiGe, crystal lattice, match, 鳍, 隔离, 穿通, 阻挡

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2004219722 A1 (PHAM 等) 04.11 月 2004(04.11.2004) 全文	1-18
A	US 2006244051 A1 (IZUMIDA 等) 02.11 月 2006(02.11.2006) 全文	1-18
A	CN 102623321 A(上海华力微电子有限公司) 01.8 月 2012 (01.08.2012) 全文	1-18
A	CN 102104069 A (中国科学院微电子研究所) 22.6 月 2011(22.06.2011) 全文	1-18
A	CN 1890816 A (日本电气株式会社) 03.1 月 2007(03.01.2007) 全文	1-18
A	CN 101404257 A (株式会社东芝) 08.4 月 2009(08.04.2009) 全文	1-18

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
22.7 月 2013(22.07.2013)

国际检索报告邮寄日期
08.8 月 2013 (08.08.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

赵端
电话号码: (86-10) **62411795**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/085817

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2004219722 A1	04.11.2004	US6838322 B2	04.01.2005
US2006244051 A1	02.11.2006	JP2006310458 A	09.11.2006
		JP5172893 B2	27.03.2013
		JP4551811 B2	29.09.2010
		US7662679 B2	16.02.2010
		JP2010192926 A	02.09.2010
CN102623321 A	01.08.2012	无	
CN102104069 A	22.06.2011	CN102104069 B	21.11.2012
		WO2011/072520 A1	23.06.2011
		US2011/0298050 A1	08.12.2011
		US8450813 B2	28.05.2013
CN1890816 A	03.01.2007	CN100550424 C	14.10.2009
		US2007/0132009 A1	14.06.2007
		WO2005/036651 A1	21.04.2005
		JP4904815 B2	28.03.2012
		US7612416 B2	03.11.2009
CN101404257 A	08.04.2009	CN101404257 B	08.12.2010
		JP2009094229 A	30.04.2009
		JP4966153 B2	04.07.2012
		US2009/0090934 A1	09.04.2009
		US7923314 B2	12.04.2011