República Federativa do Brasil
Ministério do Desenvolvimento, Indústria e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI0611883-6 A2**

BRPI0611883A2

(22) Data de Depósito: 08/06/2006
(43) Data da Publicação: 05/10/2010
(RPI 2074)

(51) Int.Cl.:
G06F 11/22
G01R 31/28

(54) Título: **MICROCOMPUTADOR E MÉTODO PARA TESTAR O MESMO**

(30) Prioridade Unionista: 10/06/2005 JP 2005-171268

(73) Titular(es): INTERNATIONAL BUSINESS MACHINES CORPORATION

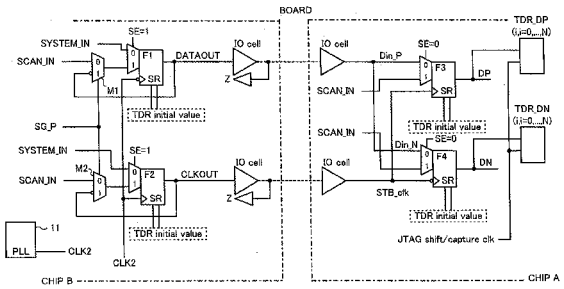
(72) Inventor(es): KEN NAMURA, MITSURU SUGIMOTO, TOSHIHIKO YOKOTA

(74) Procurador(es): Di Blasi, Parente, S. G. & Associados S/C

(86) Pedido Internacional: PCT JP2006311551 de 08/06/2006

(87) Publicação Internacional: WO 2006/132329de 14/12/2006

(57) Resumo: MICROCOMPUTADOR E MÉTODO PARA TESTAR O MESMO. Problema: Para alcançar um teste em velocidade de uma interface sincrona de fonte dentro de ASIC em nível de placa. Solução: Um microcomputador (ASIC) incorpora uma pluralidade de IC conectados por uso de interfaces síncronas de fonte. Em um IC no lado da transmissão de dados, para começar, um flip-flop de saída de dados (FI) e um fli-flop de saída de sincronismo de relógio (F2) inserem dados de teste. Então um circuito PLL (11) para gerar uma operação de relógio em um modo de operação real gera um sinal de relógio. De acordo com este sinal de relógio, um primeiro e um segundo flip-flop liberam os dados de teste e o relógio de sincronismo. Por outro lado, em um IC, no lado de recepção dos dados, os flip-flops de recepção de dados F3, F4) tomam nos dados de teste liberados do flip-flop (FI) de acordo com os dados de relógio de sincronismo liberados do flip-flop (F2).



Relatório Descritivo da Patente de Invenção para: **"MICROCOMPUTADOR E MÉTODO PARA TESTAR O MESMO."**

Campo técnico

A presente invenção refere-se a um teste de um LSI, e particularmente a um circuito configuração e um método para a execução de uma placa de nível de interconexão em um teste LSI, em uma operação real state.

Antecedentes da Invenção

No momento da fabricação um tabuleiro em que um ASIC (Circuito Integrado de Aplicação Específica) projetado e fabricado para um determinado aplicativo está montada, uma fronteira de varrimento teste usando JTAG é amplamente realizada como um método para verificar se a placa está com defeito ou não - defeituoso. Num caso em que uma placa de nível de interligar este ensaio é realizado usando JTAG, o teste é realizado pelo utilizam apenas um circuito JTAG operam sem um circuito (a seguir, um usuário circuito) que realiza uma operação pretendida do ASIC. Isto faz com que seja possível realizar um ensaio geral, independentemente da configuração de um circuito circuito usuário. Como um método de ensaio, não existe um teste chamado extest padronizados pelo IEEE1149 (ver, por exemplo, não-patente 1 Documento).

Atualmente, uma interface ou uma fonte HSS-síncrono tipo

interface é utilizada principalmente como um I / O (Input / Output) para uma interface de alta velocidade ASIC. A fonte-síncrono interface (I / O circuito) é adequada para alta velocidade de operação, e é utilizado em: SDRAMs (Synchronous memórias dinâmicas de acesso aleatório), tais como um DDR (Double Data Rate) e QDR (Quad Data Rate); e vários ônibus de alta velocidade da CPU. Esta interface transmite, em conjunto com o chip de dados, um relógio para pega o chip de dados, a partir de um transmissor-side (a seguir, TR-side) para um chip que recebe do lado do (a seguir, REC-side) chip.

Em um ensaio deste tipo de circuito que opera em alta velocidade, considera-se que é importante também para realizar um teste em uma operação real state (Pelo teste velocidade), bem como um ensaio estático, tais como o extest para verificar se a lógica é certo ou errado. Convencionalmente, em um teste de velocidade de uma fonte-síncrono interface no nível bordo tenha sido realizada através de um sistema de nível de teste usando um programa desenvolvido por um teste designer bordo, um sistema de designer, e um microcódigo designer, de um ASIC.

Não patente Documento 1: STD1149.1 IEEE-1990, "Teste de

Acesso Padrão IEEE Porto e Boundary-Scan Architecture," publicado pelo IEEE, Inc., 345 East 47th Street, NY 10017, E.U.A.

Divulgação da Invenção

Problemas a ser resolvido pela Invenção

Como mencionado acima, é preferível que em um teste de velocidade ser realizado numa síncronos-fonte interface de um ASIC que opera em alta velocidade. No entanto, tem sido convencionalmente não existe método geral de desempenho em um teste de velocidade para esta interface no nível do tabuleiro.

Além disso, embora a um teste de velocidade é realizado a bordo do nível praticamente através de um sistema de nível de ensaio, como mencionado acima, o seguinte problema se coloca no presente caso. Quando um resultado de um teste de nível de sistema mostra uma falha, é necessário para depurar ser realizada. No entanto, quando o problema está na interface síncrona-fonte, não é fácil de executar esta depuração. Isso ocorre porque os dados só é truncado devido ao vício da interface, mas o status cadastro no chip é normal. Em outras palavras, somente os dados observados indicam um problema, mas o sinal de controlo está a funcionar corretamente. Daí, foi extremamente difícil

identificar a causa de um problema.

Em face do exposto problemas, o actualmente objecto de uma invenção é fornecer um regime geral (circuito configuração eo modo de funcionamento) para a realização de, pelo nível do tabuleiro, em um teste de velocidade de uma fonte-síncrono uma interface dentro ASIC, sem empregando um sistema de nível de teste.

Meios para a resolução dos problemas

A presente invenção que atinge sobretudo o objeto pode ser implementado como um microcomputador com a seguinte configuração. Sobre esta microcomputador, uma pluralidade de ICs (Circuitos Integrados) ligados entre si através de uma interface síncrona-fonte estão montados. O IC, no lado de transmissão de dados através da fonte-síncrono interface inclui: um PLL (Phase-Locked Loop) circuitos de transmissão de um relógio em funcionamento efectivo funcionamento; flip-flop um primeiro teste de transmissão de dados, de acordo com o relógio operação transmitidos a partir do circuito PLL; e um segundo flip-flop para transmitir, de acordo com o relógio transmitidos a partir da operação PLL circuito, um relógio na fonte síncrono-síncrona. Uma IC, do lado para a recepção de dados através da interface síncrona-fonte, por outro lado, inclui um terceiro flip-

flop para captar, de acordo com o relógio síncrono transmitidos a partir do segundo flip-flop, o ensaio de dados transmitidos a partir do primeiro flip-flop.

Mais especificamente, a IC transmita-side inclui ainda um 2-circuito gerador de pulso para extrair dois relógios de pulso de sinais de operação transmitidos a partir do circuito PLL. Além disso, o primeiro flip-flop transmite os dados de ensaio em conformidade com os dois pulsos sinais extraídos no pulso gerador 2-circuito. Do mesmo modo, o segundo flip-flop síncrono transmite o relógio de acordo com os dois pulsos sinais extraídos no pulso gerador 2-circuito.

Ainda mais especificamente, o primeiro flip-flop da transmissão do lado do IC transmite os dados de ensaio com um atraso de meia-ciclo dos dois sinais de pulso, em comparação com o relógio síncrono transmitidos a partir do segundo flip-flop. Em alternativa, este primeiro flip-flop transmite os dados de ensaio sobre o mesmo relógio borda como para as que síncrono relógio transmitida pelo segundo flip-flop. Neste último caso, o recebimento do lado do IC inclui demora meios, tais como uma DDL (Digital Delay Line) circuito, e as causas do atraso significa a prever, para o

terceiro flip-flop, recebeu o relógio síncrono com um atraso de π / 2.

Este primeiro flip-flop na transmissão do lado do IC pode ser formada por um conjunto / reset flip-flop. Nesse caso, a IC transmita-lateral maior DATA TEST inclui JTAG RESISTER (a seguir, JTAG_TDR, consulte não-patente Documento 1), e provoca o primeiro flip-flop para reter os dados de ensaio através da fixação ou redefinir o primeiro flip-flop de acordo com o valor retido pelo presente JTAG_TDR. Outra possível configuração é que os dados dos ensaios é introduzido no primeiro flip-flop realizando com varrimento uma passagem sobre os dados de ensaio através de uma cadeia formada scan do primeiro flip-flop na transmissão do lado do IC.

Além disso, a presente invenção também pode ser entendida como um método de ensaio de um microcomputador. Sobre o microcomputador em que este teste seja realizado, uma pluralidade de ICs ligados entre si através de uma interface síncrona-fonte estão montados. Este método inclui: uma fase inicial de definição de valores de um primeiro flip-flop de transmissão de dados e um segundo flip-flop síncrono relógio de transmissão em um IC do lado

de transmissão de dados através da interface source-síncrono, e um passo de transmissão um sinal do relógio a partir de um PLL circuito de transmissão de uma exploração efectiva relógio em funcionamento, e, posteriormente, transmitindo os dados sobre os valores iniciais, bem como o relógio síncrono, respectivamente, a partir do primeiro flip-flop eo segundo flip-flop. O método também inclui uma etapa de provocar uma terceira flip-flop para a recepção de dados de captação, de acordo com o relógio síncrono transmitidos a partir do segundo flip-flop, os dados sobre as iniciais valores transmitidos a partir do primeiro flip-flop, com uma IC na lateral para a recepção de dados através da interface síncrona-fonte.

Aqui, a etapa inicial de configuração valores no primeiro e no segundo flip-flops inclui: um passo de causar JTAG_TDRs, que são fornecidos a corresponder, respectivamente, aos primeiro e segundo flip-flops, para manter cada um valor predeterminado, ea um passo da causando a JTAG_TDRs para definir ou redefinir o primeiro flip-flop eo segundo flip-flop, em conformidade com os valores retidos nelas, a fim de definir os valores iniciais no primeiro e no segundo flip-flops. Alternativamente, na etapa de definição de valores iniciais no primeiro e no segundo flip-flops, os

valores iniciais são estabelecidas pelo desempenho, com relação ao primeiro e segundo flip-flops formando uma cadeia scan, uma varredura mudança nos dados de ensaios através da varredura cadeia.

Além disso, o presente invenção também pode ser entendido como o seguinte método de ensaio de um microcomputador que inclui uma pluralidade de ICs ligados através de uma interface síncrona-fonte. Este método de ensaio inclui: um passo de causar uma flip-flop, do lado de transmissão de dados através da fonte-síncrono interface para receber e reter os dados dos ensaios; uma etapa de transmissão de um sinal do relógio a partir de um PLL circuito de transmissão de um relógio em funcionamento efectivo operação, e depois de transmitir os dados de ensaios, retidos nos transmitindo-side flip-flop, e um relógio na fonte síncrono-síncrono, e causando um passo de um flip-flop, do lado para a recepção de dados através da interface síncrona-fonte para capturar os dados de ensaio, de acordo com o relógio síncrono.

Aqui, a etapa de causar a transmissão do lado do flip-flop para receber os dados dos ensaios inclui: um passo de causar um JTAG_TDR para reter um valor predeterminado, o

JTAG_TDR sendo fornecido para corresponder ao transmitir-side flip-flop, e uma etapa de definição ou redefinição de causar, de acordo com o valor retido no JTAG_TDR, a transmissão do lado do flip-flop para que o JTAG_TDR corresponde, de forma a causar a transmissão do lado do flip-flop para reter os dados de ensaio. Alternativamente, na etapa de causar a transmissão do lado do flip-flop para receber os dados dos ensaios, os transmissores-side flip-flop é provocada para reter os dados de ensaio através da realização, no que diz respeito à transmissão do lado do flip-flop formando uma cadeia scan , Uma varredura mudança nos dados de ensaios através da cadeia scan.

Efeitos da Invenção

De acordo com a presente invenção configurado como descrito acima, os dados podem ser transmitidos entre chips ligados através de uma fonte dentro de uma interface síncrona-ASIC, em conformidade com o mesmo sinal do relógio enquanto que na operação real. Posteriormente, o resultado da transmissão de dados é retirado e avaliados por meio de um JTAG_TDR para observação desde que recebe do lado em um chip. Isto faz com que seja possível realizar um teste de velocidade a bordo, o nível, sem empregar um sistema de nível de teste.

Além disso, com este método, os dados que são transmitidos

através de cada transmissão caminho pode ser avaliado individualmente. Assim sendo, quando um problema é encontrado, é possível identificar facilmente a causa, ao contrário de um sistema de nível de teste.

Modo de Melhor Realização da Invenção

Na sequência, os melhores modos (doravante, corporizações) para a realização da presente invenção serão descritas em detalhe com referência aos desenhos acompanham.

Em primeiro lugar, um breve resumo da invenção será descrita. Um teste do presente invenção é feita, por se concentrar em cada par de dois chips (para source-síncrono) entre as quais a troca de dados é realizada, a transmissão a partir da TR (transmissores) para o lado chip REC (receptor) por um lado chip pluralidade de chips (circuitos) incluído em um ASIC. Neste ensaio, em primeiro lugar, o flip-flops para source-síncrono em ambos os lados da TR-REC-chip e os laterais têm chip são inicializados para valores predeterminados, respectivamente. Em seguida, uma fonte-síncrono interface é orientado de acordo com um relógio com a mesma velocidade que a operação em reais, sendo que um valor (teste de dados) da TR-side flip-flop é transmitido para o REC-side flip-flop. Posteriormente, o

resultado armazenado no REC-side flip-flop é lido fora, e é então observada.

Conforme descrito acima, na presente invenção, os dados dos ensaios é transmitida de uma fonte-síncrono interface na mesma velocidade em que a operação real, sendo que em um teste de velocidade é realizado. Um método no qual um JTAG_TDR é compartilhada pode ser aplicada para flip-flops de sincrônico-fonte a ser utilizada no ensaio, em alguns casos.

Como métodos de execução síncrono-fonte, existem: (a) um método em que o TR lado transmite dados e um relógio com uma meia-therebetween intervalo de tempo de ciclo; e (b) um método em que o TR lado transmite dados e um relógio sobre o mesmo relógio borda. Destes, no (b) método, em muitos casos, os horários de ponta e um relógio de transmissão de dados estão a ser causados diferentes uns dos outros de uma maneira que um relógio está síncrono retardados por π / 2 (90 °), usando um significa atraso como, por exemplo, um DDL (Digital Delay Line) circuito (a seguir, um mecanismo para adiar por um relógio π / 2 é referida como uma DDL), no lado REC-chip, segundo o qual os dados estão trancados em um flip - flop de acordo com este relógio síncrono.

Como um método para a fixação de valores iniciais (teste de

dados) em flip-flops de sincrônico-fonte, existe um método para a fixação de um valor inicial de acordo com um set / reset sinal usando set / reset flip-flops como o flip-flops para a fonte-síncrona. Além disso, no caso síncrono-fonte é implementado por meio do exposto (b) método, um método em que um TR-side flip-flop é causado também para servir como um JTAG_TDR (isto é, em que um valor inicial é fixado em um TR-side flip-flop, usando um esquema de transferir dados de acordo com JTAG) podem ser empregadas. Assim, três tipos de configurações circuito pode ser assumida a ser empregado para realização do teste de apresentar o invento. Aqui abaixo, o presente invenção será descrita pela primeira prestação a terceiros corporizações que correspondem a estas configurações circuito.

<Nome Embodiment>

Numa primeira concretização, será dada uma descrição do seguinte caso. Especificamente, um método em que o TR lado transmite dados e um relógio com um intervalo de tempo de ciclo semi-therebetween é empregada como um método de execução source-síncrona.

Fig. 1 é um diagrama com toda a configuração de uma fonte síncrono-circuito ao qual é aplicado o presente concretização. Na fig. 1, um chip A TR é um do lado do chip, e um chip B é um REC-side chip. Embora só circuito

seções que são fonte de-síncrono são mostrados na fig. 1, é de ser entendido que ambas as fichas A e B estão previstas, respectivamente, com sistema de circuitos. Note que, as diferenças entre os chips A e B mostrada na Fig. 1 se forem apenas para ilustrar cada um dos chips A e B é a TR do lado do chip ou o REC-side chip. Em outras palavras, cada chip em um ASIC serve como o chip A ou B do chip, dependendo do estado (TR REC lateral ou lateral) do chip na fonte-síncrono interface.

No chip A, FF_T denota uma TR-side flip-flop. Nesta concretização, a TR-side flip-flop é um jogo / reset flip-flop, a configuração do que é mostrado na fig. 8. Por outro lado, no chip B, FF_R denota um REC-side flip-flop. O REC-side flip-flop é também um set / reset flip-flop, a configuração do que é mostrado na fig. 9. TDR_FF nos chips A e B denota uma JTAG_TDR, a configuração do que é mostrado na fig. 10.

Fig. 2 é um diagrama com os elementos mais básicos circuito síncrono-fonte para que sejam um alvo desta concretização. Na fig. 2, como flip-flops de sincrônico-fonte, uma flip-flop F1 para a transmissão de dados e um flip flop F2 para síncrono relógio transmissão são mostrados no chip A (TR

lado), e flip-flops F3 e F4 para a recepção de dados são demonstrado no chip B (REC lado). Da REC-side flip-flops F3 e F4, o flip-flop F3 captura de dados transmitidos a partir do flip-flop F1, sobre a borda de uma subida síncrono relógio transmitidos a partir do flip-flop F2. O flip-flop F4, por outro lado, captura de dados transmitidos a partir do flip-flop F1, caindo sobre a borda do relógio síncrono transmitidos a partir do flip-flop F2.

Na fig. 2, um único flip-flop F1, um único flip-flop F3 e um único flip-flop F4 são prestados a um único flip-flop F2 para transmissão síncrona relógio. No entanto, em um circuito real, vários flip-flops F1 são prestados a um único flip-flop F2 para transmissão síncrona relógio, e flip-flops F3 e F4 são fornecidos no chip B de forma que o número de flip-flops F3 eo número do flip-flops F4 cada correspondem ao número de flip-flops F1 (ver fig. 1). Além disso, vários conjuntos de tais flip-flops F1 a F4 são fornecidos nos chips A e B. Por exemplo, suponha que os chips A e B inclui quatro conjuntos de flip-flops F1 a F4, enquanto oito flip-flops F1, oito flip-flops F3 e F4 oito flip-flops são fornecidos a um único flip-flop F2 em cada conjunto. Nesse caso, a taxa de transmissão de dados entre os chips A e B é de 32 bits (= 8 bits × 4) / relógio borda.

Além disso, no chip A, a pluralidade da TR-side flip-flops F1 e F2 formar uma cadeia scan para fabricação testes, e cada um são conectados a um terminal de entrada (na varredura) e um terminal de saída (scan out) previstos no o chip A. Da mesma forma, no chip B, o REC-side flip-flops F3 e F4 formar uma cadeia scan, e são cada ligado a um terminal de entrada (na varredura) e um terminal de saída (out scan) fornecido no chip B. Cada um dos flip-flops F1, F2, F3 e F4 é set / reset em resposta à saída de um correspondente de um dos TDR_FFs, que são cada uma JTAG_TDR (ver fig. 1). Além disso, F1, F2, F3 e F4 são flip-flops para um MUXSCAN design. No momento da análise, F1 e F2 tomar uma selecção sinal EP = "1" F3 e F4, enquanto uma selecção tomar sinal EP = "0". Isto também se aplica às Figs. 13 e 18, que ilustram corporizações demais para ser descrito mais tarde.

O flip-flops F1 e F2 do chip Uma serão descritos mais detalhadamente.

Um valor (teste de dados) está definido na TR-side flip-flop F1 para a transmissão de dados através do controlo das respectivas TDR_FF. Em seguida, o flip-flop inverte F1 uma saída do seu próprio controle, em resposta a um sinal SG_P

= "1" introduzido por um multiplexer M1, os insumos e saída invertida novamente, depois da saída valor retido (DATAOUT) sobre a quebra da ponta do um sinal do relógio CLK2 de um PLL (Phase-Locked Loop) 11 circuito. Em contrapartida, um valor inicial está definido na TR-side flip-flop síncrono relógio F2 para transmissão pelo controlo das respectivas TDR_FF. Em seguida, o flip-flop F2 inverte uma saída do seu próprio controle, em resposta a um sinal SG_P = "1" introduzido por um multiplexer M2, as entradas e saídas invertido novamente, depois da saída valor retido como um relógio síncrono (CLKOUT) por introduzindo um sinal do relógio CLK2 a partir do circuito PLL 11 sem invertendo-a. Com esta configuração, a saída de DATAOUT o flip-flop F1 ea saída dos CLKOUT o flip-flop F2 são efectuados com um intervalo de tempo de ciclo semi-therebetween.

Aqui, o sinal do relógio CLK2 outputted a partir do circuito PLL 11 é um sinal do relógio com a mesma frequência que a operação de um relógio controla o funcionamento de um chip na operação real.

Em seguida, o flip-flops F3 e F4 do chip B serão descritos mais detalhadamente.

Um valor inicial é estabelecida com o REC-side flip-flop F3

para os dados captados pelo controlo das respectivas TDR_FF. Posteriormente, CLKOUT, que é recebida a partir de um chip, é introduzido para o flip-flop F3 operação como um relógio STB_clk sem ser invertido. De acordo com esta operação STB_clk relógio, o flip-flop F3 capta DATAOUT, que é recebida a partir do chip A. O valor (teste de dados) de DATAOUT outputted é assim desde o flip-flop F3 (DP), e posteriormente se pega a TDR_DP para uma observação. Em contrapartida, um valor inicial é fixado na tampa flip-F4, que é o outro REC-side flip-flop para a recepção de dados, através do controlo das respectivas TDR_FF. Posteriormente, o relógio CLKOUT síncrona, que é recebida a partir de um chip, é introduzido para o flip-flop F4 como uma operação STB_clk relógio enquanto está a ser invertida. De acordo com esta operação STB_clk relógio, o flip-flop F4 capta DATAOUT, que é recebida a partir do chip A. O valor do DATAOUT (teste de dados) é, portanto outputted a partir do flip-flop F4 (DN), e posteriormente é fechada para uma TDR_DN para observação.

Fig. 3 é um diagrama com sinal ondulares no flip-flop F3. Consulte a fig. 3. On subida a bordo de um dos dois o primeiro relógio a partir de sinais CLK2 circuito PLL 11 do chip A, o relógio síncrono (CLKOUT) é passada a partir do

flip-flop F2, e os STB_clk quedas. Em seguida, na extremidade caindo deste primeiro sinal do relógio CLK2, os dados de ensaio (DATAOUT) é passada a partir do flip-flop F1. Posteriormente, sobre a borda de subida ao segundo sinal do relógio CLK2, a saída do relógio está arquivado síncrono, e as subidas STB_clk, sendo que o valor dos dados é captada por testar o flip-flop F3 do chip B (DP). Aqui, (F1 = "0") indicado no desenho indica que a F1 é inicializado para "0" pelo correspondente TDR_FF. Isto também se aplica a seguinte descrição.

Fig. 4 é um diagrama com sinal ondulares no flip-flop F4. Consulte a fig. 4. On subida a bordo de um dos dois o primeiro relógio a partir de sinais CLK2 circuito PLL 11 do chip A, o relógio síncrono (CLKOUT) é passada a partir do flip-flop F2, e as subidas STB_clk. Em seguida, na extremidade caindo deste primeiro sinal do relógio CLK2, os dados de ensaio (DATAOUT) é passada a partir do flip-flop F1. Posteriormente, sobre a borda de subida ao segundo sinal do relógio CLK2, a saída do relógio é sincronizada rescindido, e os STB_clk insere, pelo qual o valor do teste de dados é capturada pelo flip-flop F4 do chip B (DN).

Em seguida, um método de fixação dos valores iniciais no

flip-flops F1 para F4-fonte para síncrono nesta concretização será descrita. Fig. 5 é um diagrama com a configuração de um circuito para inicializar o flip-flops F1 e F2 do A. O chip set / reset flip-flop é mostrado no desenho, quer o flip-flop F1 ou a F2 flip-flop do Um chip mostrado na fig. 2. Na fig. 5, em primeiro lugar, um valor é armazenado no TDR_FF. Depois, quando UpdateDR_L = "1", o flip-flops F1 e F2 ou redefinir são estabelecidos de acordo com o valor armazenado no TDR_FF. O sinal, UpdateDR_L, é gerado como mostrado na fig. 11. Isto também se aplica a seguinte descrição. No exemplo mostrado no desenho, o flip-flops F1 e F2 são cada reposto quando o valor correspondente na TDR_FF é "1", enquanto está a ser definida quando o valor correspondente na TDR_FF é "0". De resto, figo. 11 baseia-se na referência da Fig. 5-5 de Não-patente Documento 1, e os notational sistema para a geração de A, B, D e C e sinais do circuito mostrado no desenho conforme a Fig. 5-5. Hereinabove, tem sido dada a descrição do método de inicializar o flip-flops F1 e F2 do chip A. No entanto, nesta concretização, o flip-flops F3 e F4 do chip B estão configurados de forma semelhante, a fim de que o flip - flops F3 and F4 are each set or reset by the corresponding TDR_FF of the chip B. Accordingly, the notation, F1, F2

(F3, F4), is used in the drawing.

Com referência a Fig. 1 de novo, será dada uma descrição da relação de conexão no nível do chip, incluindo flip-flops de sincrônico-fonte em que o teste de acordo com esta concretização é realizado.

Em primeiro lugar, refira-se a TR do lado A. O chip contém um chip, para além dos acima mencionados FF_Ts e TDR_FFs: o circuito PLL 11 e 12 um controlador PLL para este teste, como uma operação-relógio unidade transmissora para o envio de funcionamento relógios; um 2-pulso gerador 13 para extrair dois pulsos de operação relógios transmitidos a partir do circuito PLL 11, e, em seguida, para a saída dos pulsos; um controlador TAP 14, para controlar JTAG; instrução e um registo (IR) 15. As saídas do controlador TAP 14 e os 15 são cada instrução cadastro fornecido ao TDR_FFs, FF_Ts, 2-gerador de pulso 13 e estabelecimentos similares, através de um descodificador instrução, bem como portões A1, A2 e A3.

O controlador PLL 12 controla o modo que PLL circuito 11 a 11 PLL circuito pode realizar transmissão com a mesma frequência que a operação em reais após uma seqüência bit (a seguir, um teste bit) em uma instrução JTAG atribuído ao

deste teste é armazenada na instrução registrar 15. E o portão A1 proporciona uma TCK para as correspondentes TDR_FF quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando ShiftDR = "1". E o portão A2 prevê, para cada FF_T através da correspondente TDR_FF, um sinal de controlo para a fixação de repor as FF_T ou quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando UpdateDR_L = "1". Quer o FF_Ts estão a ser definir ou redefinir depende dos valores fixados na TDR_FFs correspondente, conforme descrito acima. Desta forma, os valores iniciais do FF_Ts são determinados. E o portão A3 prevê, para cada FF_T, um sinal SG_P controle de fixação do interior do estado FF_T em um loop, e também prevê, para o 2-gerador de pulso 13 de acionar um sinal para extrair dois pulsos a partir da saída do Circuito PLL 11, quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando RunTestIdle = "1" (ver fig. 11).

Em seguida, remetem para o REC de chipset lado B. O chip B inclui, para além dos acima mencionados FF_Rs e TDR_FFs: um controlador TAP controla 21 para JTAG, e uma instrução registrar 22. As saídas do controlador TAP 21 e os 22 estão

cada instrução registos fornecidos ao TDR_FFs e similares através de um descodificador instrução e portões A4 e A5.

E o portão A4 prevê, para os multiplexers M1 e M2, um controle provocando a multiplexers sinal para M1 e M2 para selecionar os dados que indicam "1", quando um teste bit é armazenado no registo instrução 22, e depois, quando ShiftDR = " 1. "Provocando a multiplexers Por M1 e M2 para selecionar os dados que indicam" 1 ", uma pesquisa é realizada em um TDI (dados de teste)-TDO (teste dados out) caminho, de acordo com um teste TCK relógio, um valor que é definir, em cada um dos TDR_FFs.
E o portão A5 prevê, para o TDR_FFs, um sinal de controlo ou de fixação de repor as FF_Rs, quando um teste bit é armazenado no registo instrução 22, e concomitantemente quando UpdateDR_L = "1". Quer o FF_Rs estão a ser estabelecidos ou redefinir depende dos valores fixados na TDR_FFs, como descrito acima. Desta forma, os valores iniciais do FF_Rs são determinados. Além disso, a TAP oferece 21 controlador, ao TDR_FFs, um sinal do relógio ClockDR para controlar o funcionamento dos TDR_FFs.

Em seguida, será dada uma descrição das operações no teste usando o circuito com a configuração acima descrita.

Fig. 6 é ondulares diagramas mostrando sinal no chips A e B durante o ensaio execução, e fig. 7 é um fluxograma esquemático mostrando um fluxo de ensaio. O teste desta concretização principalmente constituída por três fases: uma fase inicial de definição de valores (ambos os lados e TR-REC-side) flip-flops de sincrônico-fonte; uma fase de condução de uma fonte-síncrono interface na mesma velocidade operação real, e uma fase de contraírem o resultado do teste.

Conforme demonstrado na figura. 7, na prova desta concretização, em primeiro lugar, um teste bit é armazenado em cada um dos registos instrução 15 e 22 das fichas A e B. O circuito PLL 11 das fichas A e B é assim desencadeada uma operação para transmitir relógio (Passo 701). Posteriormente, flip-flops de sincrônico-fonte (FF_Ts e FF_Rs na fig. 1, e F1 para F4 na fig. 2) são cada inicializado para um valor arbitrário (Passo 702). Este flip-flop inicialização pode ser realizada por meio de um método que respeita o modo de padrão JTAG 1149, como mencionado acima. Referindo-se a Fig. 6, verifica-se que, no chip A, o flip-flops F1 e F2 são cada inicializados de acordo com o valor fixado no TDR_FF correspondentes, e também que, no chip B, o flip-flops F3 e F4 são cada

inicializado, em conformidade com o valor fixado no correspondente TDR_FF.

Posteriormente, foi desencadeado pela RunTestIdle = "1" do lado chip TR-A, 2-o pulso gerador 13 transmite dois pulsos fora da saída do circuito PLL 11, os dois pulsos com a mesma velocidade que a de um relógio em reais operação (Passo 703). Referindo-se a Fig. 6, se verificar que um sinal de controlo SG_P para causar o FF_Ts de estar em um loop estado é passada, e, a este calendário, relógio CLK2 sinais de dois pulsos são outputted. Note que, RunTestIdle é gerado como mostrado na fig. 11.

Então, de acordo com os dois pulsos, o flip-flops F1 e F2 respectivamente transmitir os dados conservados em testar o flip-flop F1 e um relógio síncrono para o REC de chipset lado B (Passo 704). O flip-flops F3 e F4 do chip B capturar os dados transmitidos a partir do flip-flop da F1 Um chip de acordo com o relógio síncrono transmitidos a partir do flip-flop F2 (Passo 705).

Posteriormente, em face da REC-chip B, os valores obtidos através do flip-flops estão trancados F3 e F4, respectivamente, às TDR_DP e os TDR_DN em resposta a um

clockDR. Os valores estão trancados em seguida retirado da TDOs que deverão ser observadas (Passo 706). Esses dados podem ser retirados a partir do TDOs de acordo com um sinal ClockDR fornecida a partir do 14 TAP controlador por meio de um método que respeita o modo de padrão JTAG 1149. Desta forma, os dados dos ensaios é transmitida entre TR-side flip-flops e REC-side flip-flops, todos os quais são de origem-síncrono, na mesma velocidade em que a operação real. Avaliando o values (resultado) captado pela REC faces, uma placa de nível de velocidade no teste pode ser realizado com a fonte-síncrono interface.

<Second Embodiment>

Em uma segunda concretização, será dada uma descrição do seguinte caso. Especificamente, um método em que o TR lado transmite dados sobre o relógio e um relógio mesma ponta é empregada como método de execução síncrono-fonte e, concomitantemente TR-side flip-flops são fixados ou redefinir, em conformidade com os valores de TDR_FFs , A ser inicializado.

Fig. 12 é um diagrama com toda a configuração de uma fonte síncrono-circuito para que essa concretização é aplicada. Na fig. 12, um chip A TR é um do lado do chip, enquanto um chip B é um REC-side chip. Embora só circuito seções que

são fonte de-síncrono são mostrados na fig. 12, é de ser entendido que ambas as fichas A e B estão previstas, respectivamente, com sistema de circuitos. Note que, as diferenças entre os chips A e B mostrada na Fig. 12 se forem apenas para ilustrar cada um dos chips A e B é a TR do lado do chip ou o REC-side chip. Em outras palavras, cada chip em um ASIC serve como o chip A ou B do chip, dependendo do estado (TR REC lateral ou lateral) do chip na fonte-síncrono interface. Nos chips A e B, denota uma FF_T TR-side flip-flop, FF_R denota um REC-side flip-flop, e TDR_FF denota uma JTAG_TDR. As configurações destas são semelhantes aos da primeira concretização, respectivamente mostrados na Figs. 8, 9 e 10.

Fig. 13 é um diagrama com os elementos mais básicos circuito síncrono-fonte para que sejam um alvo desta concretização. Na fig. 13, como flip-flops de sincrônico-fonte, uma flip-flop F11 para transmissão de dados e um flip flop F12 para síncrono relógio transmissão são mostrados no chip A (TR lado), enquanto flip-flops F13 e F14 para recepção de dados são demonstrado no chip B (REC lado). Da REC-side flip-flops F13 e F14, F13 o flip-flop captura de dados transmitidos a partir do flip-flop F11, sobre a borda de uma subida síncrono relógio transmitidos a

partir do flip-flop F12. O flip-flop F14, por outro lado, captura de dados transmitidos a partir do flip-flop F11, caindo sobre a borda do relógio síncrono transmitidos a partir do flip-flop F12.

Na fig. 13, um único flip-flop F11, um único deslize-flop F13 e um único flip-flop F14 são prestados a um único flip-flop F12 para transmissão síncrona relógio. No entanto, em um circuito real, vários flip-flops F11 são prestados a um único flip-flop F12 para transmissão síncrona relógio, e flip-flops F13 e F14 são fornecidos no chip B de forma que o número de flip-flops F13 eo número do flip-flops F14 cada correspondem ao número de flip-flops F11 (ver fig. 12). Além disso, vários conjuntos de tais flip-flops F11 a F14 são fornecidos nos chips A e B.

Além disso, no chip A, a pluralidade da TR-side flip-flops F11 e F12 formar uma cadeia scan para fabricação testes, e cada um são conectados a um terminal de entrada (na varredura) e um terminal de saída (scan out) previstos no o chip A. Da mesma forma, no chip B, o REC-side flip-flops F13 e F14 formar uma cadeia scan, e são cada ligado a um terminal de entrada (na varredura) e um terminal de saída (out scan) fornecido no chip B. Cada um dos flip-flops F11,

F12, F13 e F14 é set / reset em resposta à saída de um correspondente de um dos TDR_FFs (ver fig. 12).

O flip-flops F11 e F12 do chip Uma serão descritos mais detalhadamente.

Um valor (teste de dados) está definido na TR-side flip-flop F11 para transmissão de dados através do controlo das respectivas TDR_FF. Em seguida, o flip-flop F11 inverte uma saída do seu próprio controle, em resposta a um sinal SG_P = "1" introduzido por um multiplexer M1, os insumos e saída invertida novamente, depois da saída valor retido (DATAOUT) pela entrada de um sinal do relógio CLK2 a partir de um circuito PLL 11 sem invertendo-a.

Em contrapartida, um valor inicial está definido na TR-side flip-flop síncrono relógio F12 para transmissão pelo controlo das respectivas TDR_FF. Em seguida, o flip-flop F12 inverte uma saída do seu próprio controle, em resposta a um sinal SG_P = "1" introduzido por um multiplexer M2, as entradas e saídas invertido novamente, depois da saída valor retido como um relógio síncrono (CLKOUT) por introduzindo um sinal do relógio CLK2 a partir do circuito PLL 11 sem invertendo-a. Com esta configuração, a saída de DATAOUT o flip-flop e F11 a saída dos CLKOUT o flip-flop F12 são realizadas no mesmo relógio borda.

Aqui, o sinal do relógio CLK2 outputted a partir do circuito PLL 11 é uma operação relógio para controlar o funcionamento de um chip na operação real.

Em seguida, o flip-flops F13 e F14 do chip B serão descritos mais detalhadamente. Um valor inicial é estabelecida com o REC-side flip-flop F13 para os dados captados pelo controlo das respectivas TDR_FF. Posteriormente, o ciclo dos CLKOUT comprimento, que é recebida a partir de um chip, está atrasada por π / 2 em uma DLL circuito 23, e, em seguida, o atraso na CLKOUT é introduzido para o flip-flop F13 operação como um relógio DDL_clk sem ser invertido. De acordo com esta operação DDL_clk relógio, o flip-flop F13 capta DATAOUT, que é recebida a partir do chip A. O valor (teste de dados) de DATAOUT outputted é assim desde o flip-flop F13 (DP), e posteriormente é fechada em TDR_DP para uma observação. Em contrapartida, um valor inicial é estabelecida com o flip-flop F14, que é o outro flip-flop para recepção de dados, através do controlo das respectivas TDR_FF. Posteriormente, a duração do ciclo síncrono CLKOUT relógio, que é recebida a partir do chip A, está atrasada por π / 2 no circuito DLL 23, a fim de que o relógio síncrono CLKOUT está definido como uma operação DDL_clk relógio. Se DDL_clk

a operação relógio, em seguida, introduzido para o flip-flop F14 enquanto está a ser invertida. De acordo com esta operação DDL_clk relógio, o flip-flop F14 capta DATAOUT, que é recebida a partir do chip A. O valor do DATAOUT (teste de dados) é, portanto outputted a partir do flip-flop F14 (DN), e posteriormente é fechada em um TDR_DN para observação.

Fig. 14 é um diagrama com sinal ondulares no flip-flop F13. Consulte a fig. 14. On subida a bordo do primeiro sinal do relógio CLK2 dos dois sinais CLK2 relógio a partir do circuito PLL 11 da ficha A, os dados de ensaio (DATAOUT) do flip-flop F11 e ao relógio síncrona (CLKOUT) do flip-flop F12 são outputted simultaneamente. Em seguida, sobe ao DDL_clk, atrasado por π / 2 deste sincrónico ciclo de relógio. Como conseqüência, a tempestividade da subida do DDL_clk é deslocada no meio do teste de dados. Em resposta a esta subida do DLL_clk, o valor do teste de dados é capturada pelo flip-flop F13 do chip B (DP).

Fig. 15 é um diagrama com sinal ondulares no flip-flop F14. Consulte a fig. 15. On subida a bordo do primeiro sinal do relógio CLK2 dos dois sinais CLK2 relógio a partir do circuito PLL 11 da ficha A, os dados de ensaio (DATAOUT) do

flip-flop F11 e ao relógio síncrona (CLKOUT) do flip-flop F12 são outputted simultaneamente. Em seguida, as quedas DDL_clk, atrasado por π / 2 deste sincrónico ciclo de relógio. Como consequência, o momento da queda do DDL_clk é deslocada no meio do teste de dados. Em resposta a esta queda do DLL_clk, o valor do teste de dados é capturada pelo flip-flop F14 do chip B (DN).

Nesta concretização, o flip-flops F11 a F14-fonte para síncronas são, como o flip-flops F1 a F4 da primeira concretização, set / reset de acordo com as saídas do correspondente TDR_FFs como descrito acima. Assim, um valor inicial é fixado em cada um dos flip-flops F11 a F14, através de um método semelhante à utilizada na primeira concretização, na configuração do circuito mostrado na fig. 5.

Com referência a Fig. 12 novamente, a relação de conexão no nível do chip, incluindo flip-flops de sincrônico-fonte em que o teste de acordo com esta concretização é realizado. Em primeiro lugar, refira-se a TR do lado A. O chip contém um chip, para além dos acima mencionados FF_Ts e TDR_FFs: o circuito PLL 11 e um controlador PLL 12, como uma operação-relógio unidade transmissora para o envio de funcionamento

relógios; um 2-pulso gerador 13 para extrair dois pulsos de operação relógios transmitidos a partir do circuito PLL e, em seguida, para a saída dos pulsos; um controlador TAP 14, para controlar JTAG; instrução e um registo (IR) 15. As saídas do controlador TAP 14 e os 15 são cada instrução cadastro fornecido ao TDR_FFs, FF_Ts, 2-gerador de pulso 13 e estabelecimentos similares, através de portões A1, A2 e A3.

O controlador PLL 12 controla o modo que PLL circuito 11 a 11 PLL circuito pode realizar transmissão com a mesma frequência que a operação em reais após um teste bit é armazenado no registo instrução 15. E o portão A1 proporciona uma TCK para as correspondentes TDR_FF quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando ShiftDR = "1". E o portão A2 prevê, para cada FF_T através da correspondente TDR_FF, um sinal de controlo ou de fixação de repor as FF_T quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando UptadteDR_L = "1". Quer o FF_Ts estão a ser definir ou redefinir depende dos valores fixados nos correspondentes TDR_FFs, como descrito acima. Desta forma, os valores iniciais do FF_Ts são determinados. Neste caso, o valor

inicial do FF_T, incluindo o flip-flop F1 mostrado na fig. 13, está programado para servir como teste de dados. E o portão A3 prevê, para cada FF_T, um sinal SG_P controle de fixação do interior do estado FF_T em um loop, e também prevê, para o 2-gerador de pulso 13 de acionar um sinal para extrair dois pulsos a partir da saída do Circuito PLL 11, quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando RunTestIdle = "1".

Em seguida, remetem para o REC de chipset lado B. O chip B inclui, para além dos acima mencionados FF_Rs e TDR_FFs: um controlador TAP 21 para controlar JTAG; uma instrução registrar 22; um circuito DDL 23 para atrasar um relógio síncrono; relógio e um controlador de 24 para controlar o circuito DDL 23 e um circuito PLL unillustrated. As saídas do controlador TAP 21 e os 22 estão cada instrução registos fornecidos ao TDR_FFs e os portões como via A4 e A5.

O relógio do controlador controla 24 DDL circuito 23 e os circuitos de modo que PLL os 23 e os DDL circuito PLL unillustrated circuito pode realizar transmissão com a mesma frequência que a operação em reais após um teste bit é armazenado no registo instrução 22.
E o portão A4 prevê, para multiplexers M1 e M2, um controle

provocando a multiplexers sinal para M1 e M2 para selecionar os dados que indicam "1", quando um teste bit é armazenado no registo instrução 22, e concomitantemente quando ShiftDR = "1. "Provocando a multiplexers Por M1 e M2 para selecionar os dados que indicam" 1 ", uma pesquisa é realizada em um TDI (dados de teste)-TDO (teste dados out) caminho, de acordo com um teste TCK relógio, um valor que está definido no cada um dos TDR_FFs. E o portão A5 prevê, para cada FF_R através da correspondente TDR_FF, um sinal de controlo ou de fixação de repor as FF_Rs, quando um teste bit é armazenado no registo instrução 22, e concomitantemente quando UpdateDR_L = "1". Seja o que são FF_Rs ser definido ou depende de repor os valores fixados no TDR_FFs, como descrito acima. Desta forma, os valores iniciais do FF_Rs são determinados. O controlador ClockDR da TAP prevê 21 relógio TCK um teste para o TDR_FFs quando ShiftDR = "1", ou quando CaptureDR = "1". De acordo com o teste desde TCK relógio, uma varredura é realizada na trajectória DDA-TDO, e também os dados armazenados no FF_Rs é capturada pela TDR_FFs, por exemplo.

As operações nos testes realizados no circuito com o acima descrito configuração são aproximadamente os mesmos que na primeira concretização descritas com referência à Figs. 6 e

7.

As operações na segunda concretização são diferentes em relação aos seguintes aspectos das que na primeira concretização.

Em primeiro lugar, na primeira concretização, a saída momento em que o teste é passada a partir de dados do flip-flop F1, ea saída momento em que o relógio é passada a partir sincrônicas o flip-flop F2, têm um intervalo de tempo de ciclo semi-therebetween . Em contrapartida, na segunda concretização, a saída de dados de teste a partir do flip-flop e F11 a saída do relógio a partir da síncrono flip-flop F12 são realizadas no mesmo relógio borda. Além disso, em Passo 705 do Fig. 7, na primeira concretização, o flip-flops F3 e F4 capturar os dados transmitidos a partir do teste flip-flop F1, de acordo com o relógio síncrono transmitidos a partir do flip-flop F2. Em contrapartida, na segunda concretização, uma vez que o relógio vantagem sobre a qual os dados de ensaio é passada a partir do flip-flop F11, e que o relógio vantagem sobre a qual o relógio é passada a partir sincrônicas o flip-flop F12, são os mesmos prazos, o síncrono relógio está atrasado por π / 2 DLL no circuito 23. Em seguida, o flip-flops F13 e F14 captura os dados de ensaio em conformidade com o presente atrasado síncrono relógio.

<Third Embodiment>

Semelhante à segunda concretização, em uma terceira concretização, um método em que o TR lado transmite dados sobre o relógio e um relógio mesma ponta é empregada como método de execução source-síncrona. Na terceira concretização, no entanto, será dada descrição do caso em que inicialização é feito por meio de um método no qual é fixado um valor em um JTAG_TDR, permitindo uma TR-side flip-flop a desempenhar um papel como uma JTAG_TDR. Fig. 16 é uma opinião mostrando toda a configuração de uma fonte síncrono-circuito para que essa concretização é aplicada. Na fig. 16, um chip A TR é um do lado do chip, enquanto um chip B é um REC-side chip. Embora só circuito seções que são fonte de-síncrono são mostrados na fig. 16, que se deve entender que ambas as fichas A e B estão previstas, respectivamente, com um efectivo sistema de circuitos no circuito. Note que, as diferenças entre os chips A e B mostrado na fig. 16 são apenas para ilustrar se cada um dos chips A e B é a TR do lado do chip ou o REC-side chip. Em outras palavras, cada chip em um ASIC serve como o chip A ou B do chip, dependendo do estado (TR REC lateral ou lateral) do chip na fonte-síncrono interface.

Nos chips A e B, denota uma FF_T TR-side flip-flop, FF_R denota um REC-side flip-flop, e TDR_FF denota uma JTAG_TDR. Desde FF_Ts servir também como TDR_FFs nesta concretização, não há TDR_FF no chip A. A configuração de uma destas TR-side flip-flops FF_Ts é mostrado na fig. 17. As formações do FF_Rs e TDR_FFs do chip B são semelhantes às mostradas na primeira concretização na Figs. 9 e 10.

Fig. 18 é um diagrama com os elementos mais básicos circuito síncrono-fonte para que sejam um alvo desta concretização. Na fig. 18, como flip-flops de sincrônico-fonte, uma flip-flop F21 para transmissão de dados e um flip-flop F22 para síncrono relógio transmissão são mostrados no chip A (TR lado), enquanto flip-flops F23 e F24 para recepção de dados são mostrados no chip B (REC lado). Da REC-side flip-flops F23 e F24, F23 o flip-flop captura de dados transmitidos a partir do flip-flop F21, sobre a borda de uma subida síncrono relógio transmitidos a partir do flip-flop F22. Além disso, o flip-flop F24 captura de dados transmitidos a partir do flip-flop F21 caindo sobre a borda do relógio síncrono transmitidos a partir do flip-flop F22.

Na fig. 18, um único flip-flop F21, um único flip-flop F23

e um único flip-flop F24 são prestados a um único flip-flop F22 para transmissão síncrona relógio. No entanto, em um circuito real, vários flip-flops F21 são prestados a um único flip-flop F22 para transmissão síncrona relógio, e flip-flops F23 e F24 são fornecidos no chip B de forma que o número de flip-flops F23 eo número do flip-flops F24 cada correspondem ao número de flip-flops F21 (ver fig. 16). Além disso, vários conjuntos de tais flip-flops F21 a F24 são fornecidos nos chips A e B.

Além disso, no chip A, a pluralidade da TR-side flip-flops F21 e F22 formar uma cadeia scan para fabricação testes, e cada um são conectados a um terminal de entrada (na varredura) e um terminal de saída (scan out) previstos no o chip A. Da mesma forma, no chip B, o REC-side flip-flops F23 e F24 formar uma cadeia scan, e são cada ligado a um terminal de entrada (na varredura) e um terminal de saída (out scan) fornecido no chip B. O valor inicial é fixado em cada um dos flip-flops F21 e F22 desta concretização realizando com varrimento uma passagem sobre os dados através do correspondente da cadeia scan. Cada um dos flip-flops F23 e F24, por outro lado, é definir / redefinir em resposta à saída de um correspondente de um dos TDR_FFs (ver fig. 16).

O flip-flops F21 e F22 do chip Uma serão descritos mais detalhadamente.

Um valor (teste de dados) está definido na TR-side flip-flop F21 para transmissão de dados através da digitalização do caminho JTAG_TDR que é encaminhado através dos pinos 1 e 0, respectivamente, dos multiplexers M1 e M3. Em seguida, o flip-flop F21 inverte uma saída do seu próprio controle, em resposta a um sinal SG_P introduzido por um multiplexer M1, os insumos e saída invertida novamente, enquanto a entrada de sinal do relógio CLK2 a partir do circuito PLL 11 sem invertendo-a, saída assim o valor retido (DATAOUT). Em contrapartida, um valor inicial está definido na TR-side flip-flop F22 para síncrono relógio transmissão, através da verificação do caminho JTAG_TDR que é encaminhado através dos pinos 1 e 0, respectivamente, dos multiplexers M2 e M4. Em seguida, o flip-flop F22 inverte uma saída do seu próprio controle, em resposta a um sinal SG_P introduzido por um multiplexer M2, as entradas e saídas novamente invertidos, enquanto a entrada de sinal do relógio CLK2 a partir do circuito PLL 11 sem invertendo-a, assim saída o valor retido como um relógio síncrono (CLKOUT). Com esta configuração, a saída de DATAOUT o flip-flop e F21 a saída dos CLKOUT o flip-flop F2 são realizadas no mesmo relógio

borda.

Aqui, o sinal do relógio CLK2 outputted a partir do circuito PLL 11 é uma operação relógio para controlar o funcionamento de um chip na operação real.

Em seguida, o flip-flops F23 e F24 do chip B serão descritos mais detalhadamente.

Um valor inicial é estabelecida com o REC-side flip-flop F23 para os dados captados pelo controlo das respectivas TDR_FF. Posteriormente, o comprimento dos CLKOUT ciclo, que é recebida a partir de um chip, está atrasada por π / 2 em uma DLL circuito 23, e, em seguida, o atraso na CLKOUT é introduzido para o flip-flop F23 operação como um relógio DDL_clk sem ser invertido . De acordo com esta operação DDL_clk relógio, o flip-flop F23 capta DATAOUT, que é recebida a partir do chip A. O valor da DATAOUT (teste de dados) é, portanto outputted a partir do flip-flop F23 (DP), e posteriormente é fechada em TDR_DP para uma observação.

Em contrapartida, um valor inicial é estabelecida com o flip-flop F24, que é o outro flip-flop para recepção de dados, através do controlo das respectivas TDR_FF. Posteriormente, a duração do ciclo síncrono CLKOUT relógio, que é recebida a partir do chip A, está atrasada por π / 2

no circuito DLL 23, a fim de que o relógio síncrono CLKOUT está definido como uma operação DDL_clk relógio. Se DDL_clk a operação relógio, em seguida, introduzido para o flip-flop F24 enquanto está a ser invertida. De acordo com esta operação DDL_clk relógio, o flip-flop F24 capta DATAOUT, que é recebida a partir do chip A. O valor do DATAOUT (teste de dados) é, portanto outputted a partir do flip-flop F24 (DN), e posteriormente é fechada em um TDR_DN para observação.

Fig. 19 é um diagrama com a onda de flip-flop F23. Consulte a fig. 19. On subida a bordo do primeiro sinal do relógio CLK2 dos dois sinais CLK2 relógio a partir do circuito PLL 11 da ficha A, os dados de ensaio (DATAOUT) do flip-flop F21 e ao relógio síncrona (CLKLOUT) do flip-flop F22 são outputted simultaneamente. Em seguida, sobe ao DDL_clk, atrasado por π / 2 deste sincrónico ciclo de relógio. Como conseqüência, a tempestividade da subida do DDL_clk é deslocada no meio do teste de dados. Em resposta a esta subida do DLL_clk, o valor do teste de dados é capturada pelo flip-flop F23 do chip B (DP).

Fig. 20 é um diagrama com sinal ondulares no flip-flop F24. Consulte a fig. 20. On subida a bordo do primeiro sinal do

relógio do duas CLK2 relógio CLK2 sinais a partir do circuito PLL 11 da ficha A, os dados de ensaio (DATAOUT) do flip-flop F21 e ao relógio síncrona (CLKOUT) do flip-flop F22 são outputted simultaneamente. Em seguida, as quedas DDL_clk, atrasado por π / 2 deste sincrónico ciclo de relógio. Como consequência, o momento da queda do DDL_clk é deslocada no meio do teste de dados. Em resposta a esta queda do DLL_clk, o valor do teste de dados é capturada pelo flip-flop F24 do chip B (DN).

Em seguida, um método de fixação dos valores iniciais no flip-flops F21 a F24-fonte para síncrono nesta concretização será descrita.

Fig. 17 é um diagrama com a configuração de um circuito para inicializar o flip-flops F21 e F22 do chip A. Na fig. 17, quando ShiftDR = "1", um sinal SS_P controle é fornecido a um multiplexer S1, de modo que o ClockDR é selecionado para ser fornecido para o flip-flops F21 e F22. De acordo com este sinal ClockDR, é introduzido a partir de dados da IDC (dados de teste) do JATG para o flip-flops F21 e F22, de modo que o flip-flops F21 e F22 são inicializadas.

Em contrapartida, o flip-flops F23 e F24 do chip B são set / reset, como no caso dos flip-flops F1 a F4 para source-

síncrono na primeira concretização, de acordo com os resultados dos TDR_FFs. Assim, os valores iniciais são estabelecidas no flip-flops F23 e F24, através do mesmo método que foi empregado na primeira concretização, na configuração do circuito mostrado na fig. 5.

Com referência a Fig. 16 de novo, será dada uma descrição da relação de conexão no nível do chip, incluindo flip-flops de sincrônico-fonte em que o teste de acordo com esta concretização é realizado.
Em primeiro lugar, refira-se a TR do lado A. O chip contém um chip, para além dos acima mencionados FF_Ts: o circuito PLL 11 e um controlador PLL 12, como uma operação-relógio unidade transmissora, um 2-pulso gerador 13 para extrair dois pulsos de operação relógios transmitidos a partir do circuito PLL 11, e, em seguida, para a saída dos pulsos; um controlador TAP 14, para controlar JTAG; instrução e um registo (IR) 15. As saídas do controlador TAP 14 e os 15 são cada instrução cadastro fornecido ao FF_Ts, o 2-gerador de pulso 13 e estabelecimentos similares, através de portões A1 e A3.

O controlador PLL 12 controla o modo que PLL circuito 11 a 11 PLL circuito pode realizar transmissão com a mesma

frequência que a operação em reais após um teste bit é armazenado no registo instrução 15. E o portão A1 fornece um sinal do relógio ClockDR ao TDR_FFs quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando ShiftDR = "1". Como resultado, o FF_Ts estão diretamente inicializado. E o portão A3 prevê, para o FF_Ts, um sinal SG_P controle para configurar o interior de cada um dos FF_Ts em um loop estado, e também prevê, para o 2-pulso gerador 13 de acionar um sinal para extrair dois pulsos a partir do resultado do circuito PLL 11, quando um teste bit é armazenado no registo instrução 15, e concomitantemente quando ShiftDR = "1".

Em seguida, remetem para o REC de chipset lado B. O chip B inclui, para além dos acima mencionados FF_Rs e os TDR_FFs: um controlador TAP 21 para controlar JTAG; uma instrução registrar 22; o circuito DDL 23 para atrasar um relógio síncrono ; E um relógio controlador de 24 para controlar o circuito DDL 23 e um circuito PLL unillustrated. As saídas do controlador TAP 21 e os 22 são fornecidas instruções para registrar o TDR_FFs e os portões como via A4 e A5.

O relógio do controlador controla 24 DDL circuito 21 e os

circuitos de modo que PLL unillustrated os 23 e os DDL circuito PLL circuito podemos desempenhar transmissão com a mesma frequência que a operação em reais após um teste bit é armazenado no registo instrução 22. E o portão A4 prevê, para os multiplexers M1 e M2, um controle provocando a multiplexers sinal para M1 e M2 para selecionar os dados que indicam "1", quando um teste bit é armazenado no registo instrução 22, e concomitantemente quando ShiftDR = "1 . "Por provocando a multiplexers M1 e M2 para selecionar os dados que indicam" 1 ", uma pesquisa é realizada em um TDI (dados de teste)-TDO (teste dados out) caminho, de acordo com um teste relógio TCK, segundo o qual um valor está definido em cada um dos TDR_FFs. E o portão A5 permite, através do TDR_FFs, um sinal de controlo ou de fixação de repor as FF_Rs, quando um teste bit é armazenado no registo instrução 22, e concomitantemente quando UpdateDR_L = "1". Quer o FF_Rs estão a ser estabelecidos ou redefinir depende dos valores fixados na TDR_FFs, como descrito acima. Desta forma, os valores iniciais do FF_Rs são determinados. O controlador ClockDR da TAP 21 causas relógio TCK um teste devem ser fornecidas ao TDR_FFs quando ShiftDR = "1", ou quando CaptureDR = "1". De acordo com o teste TCK relógio, uma pesquisa é realizada no TDI-TDO caminho, e os dados

armazenados no FF_Rs é capturada pela TDR_FFs.

Em seguida, será dada uma descrição das operações no teste usando o circuito com a configuração acima descrita. Fig. 21 é um diagrama com os chips de sinal em onda A e B durante o ensaio execução. O fluxo esquemático do teste é semelhante ao descrito na primeira concretização com referência a Fig. 7, e, portanto, serão descritos aqui também com referência a Fig. 7. Em primeiro lugar, um teste bit é armazenado em cada um dos registos instrução 15and 22, respectivamente, dos chips A e B. Os circuitos PLL 11 das fichas A e B (o chip LPL circuito do B não é ilustrada) são, assim, desencadeado a cada transmitir uma operação relógio (Passo 701). Posteriormente, flip-flops de sincrônico-fonte (o FF_Ts e FF_Rs na fig. 16, e F21 a F24 na fig. 18) estão cada inicializado para um valor arbitrário (Passo 702).

Aqui, cada um dos flip-flops é inicializado por meio de um método que respeita o modo de padrão JTAG 1149, bem como na presente concretização. No entanto, referem-se a Fig. 21. O multiplexer S1 mostrado na fig. 17 seleciona o sinal do relógio ClockDR outputted a partir do controlador TAP 14, em conformidade com o SS_P sinal, e uma varredura de

mudanças é, assim, realizada a partir dos dados de acordo com este sinal do relógio ClockDR. Como resultado, o flip-flops F21 e F22 estão diretamente inicializado, e os dados de ensaio é introduzido mesma. No chip B, por outro lado, o flip-flops F23 e F24 foram iniciadas em conformidade com os valores armazenados no TDR_FFs correspondentes respectivamente ao flip-flops F21 e F22, à semelhança da primeira concretização, como mostrado no formato wave diagrama abaixo (note que essa inicialização é realizada antes da implantação dos flip-flops F21 e F22 do chip A em termos de tempo).

Posteriormente, foi desencadeado pela RunTestIdle = "1" do lado chip TR-A, 2-o pulso gerador 13 transmite dois pulsos fora da saída do circuito PLL 11 (Passo 703). Nesta concretização, a saída CLK2 a partir do 2-gerador de pulso 13 é selecionado no multiplexer S1 da Fig. 17, quando ShiftDR = "0". Referindo-se a Fig. 6, se verificar que um sinal de controlo SG_P para causar o FF_Ts de estar em um loop estado é passada e, em seguida, relógio CLK2 sinais de dois pulsos são outputted.

Então, de acordo com os dois pulsos, o flip-flops F1 e F22 respectivamente transmitir os dados conservados em testar o

flip-flop F1 e um relógio síncrono para o REC de chipset lado B (Passo 704). O flip-flops F23 e F24 do chip B capturar os dados transmitidos a partir do flip-flop F21 do chip em um acordo com o relógio síncrono transmitidos a partir do flip-flop F22 (Passo 705). Posteriormente, em face da REC-chip B, os valores obtidos através do flip-flops F23 e F24 é, respectivamente, com retenção na TDR_DP e TDR_DN. Os valores estão trancados em seguida retirado da TDOs que deverão ser observadas (Passo 706).

Aqui abaixo, as descrições foram dadas por tomar, como exemplos, os casos em que cada um de flip-flops formando uma cadeia de varredura JTAG são utilizados como fonte de flip-flops-síncrona, em primeiro a terceiro corporizações. No entanto, é óbvio que essas configurações que não sejam também são possíveis, desde que estejam em consonância com o espírito eo alcance da presente invenção. Especificamente, a definição dos valores iniciais e observação dos resultados pode ser facilmente realizada por meio de uma análise da cadeia JTAG diferente. Na atual ASIC, uma configuração para a realização de um teste usando scan JTAG é geralmente fornecida. Deste modo, é muito preferível que um teste é realizado pelo utilizam esses flip-flops formando uma cadeia scan. No entanto, isso não

exclui um caso em que um circuito separado para a realização de uma configuração teste interliguem da actual corporizações é fornecida em um ASIC.

Breve descrição dos Desenhos

[Fig. 1] Fig. 1 é um diagrama com toda a configuração de uma fonte síncrono-circuito para que uma primeira concretização do presente invenção é aplicada.

[Fig. 2] Fig. 2 é um diagrama com os elementos mais básicos circuito síncrono-fonte para que sejam alvos da concretização, no circuito mostrado na fig. 1.

[Fig. 3] Fig. 3 é um diagrama com ondas em um sinal flip-flop F3 mostrado na fig. 2.

[Fig. 4] Fig. 4 é um diagrama com ondas em um sinal flip-flop F4 mostrado na fig. 2.

[Fig. 5] Fig. 5 é um diagrama com a configuração de um circuito para a inicialização flip-flops de um chip na concretização.

[Fig. 6] Fig. 6 é ondulares um diagrama com sinal durante o teste execução, de acordo com a concretização.

[Fig. 7] Fig. 7 é um fluxograma que mostra um esquema de fluxo de um teste da concretização.

[Fig. 8] Fig. 8 é um diagrama com uma configuração de um circuito TR-side flip-flop utilizado na concretização.

[Fig. 9] Fig. 9 é um diagrama com uma configuração de um

circuito REC-side flip-flop utilizado na concretização.

[Fig. 10] Fig. 10 é um diagrama com uma configuração de um circuito JTAG_TDR utilizados na concretização.

[Fig. 11] Fig. 11 é um diagrama que ilustra sinais UpdateDR_L e RunTestIdle utilizados na concretização.

[Fig. 12] Fig. 12 é um diagrama com toda a configuração de uma fonte síncrono-circuito para que uma segunda concretização de apresentar o invento seja aplicado.

[Fig. 13] Fig. 13 é um diagrama com os elementos mais básicos circuito síncrono-fonte para que sejam alvos da concretização, no circuito mostrado na fig. 12.

[Fig. 14] Fig. 14 é um diagrama com ondas em um sinal flip-flop F13 mostrado na fig. 13.

[Fig. 15] Fig. 15 é um diagrama com ondas em um sinal flip-flop F14 mostrado na fig. 13.

[Fig. 16] Fig. 16 é um diagrama com toda a configuração de uma fonte síncrono-circuito para que uma terceira concretização do presente invenção é aplicada.

[Fig. 17] Fig. 17 é um diagrama com uma configuração de circuito TR-side flip-flops utilizados na concretização.

[Fig. 18] Fig. 18 é um diagrama com os elementos mais básicos circuito síncrono-fonte para que sejam alvos da concretização, no circuito mostrado na fig. 16.

[Fig. 19] Fig. 19 é um diagrama com ondas em um sinal flip-

flop F23 mostrado na fig. 18.

[Fig. 20] Fig. 20 é um diagrama com ondas em um sinal flip-flop F24 mostrado na fig. 18.

[Fig. 21] Fig. 21 é um sinal gráfico que apresenta ondas durante ensaio execução, de acordo com a concretização.

Descrição de Referências Numéricas

F1-F4, F11, F14, F21-F24 - flip-flop

11 - circuito PLL

12 - controlador PLL

13 .. 2 - gerador de pulso

14, 21 ... TAP controlador, 15, 22 ... registrador de instrução, 23.. circuito DDL, 24.. controlador de relógio

REIVINDICAÇÕES

1) Microcomputador no qual uma pluralidade de CIs (Circuitos Integrados) conectados entre si por uma interface de fonte síncrona são montados, o microcomputador **caracterizado pelo** fato de que:

um CI do lado da transmissão de dados através da interface de fonte síncrona inclui:

Um circuito de PLL (*Phase - Locked Loop*) para transmissão de um relógio de operação na operação real;

um primeiro flip-flop para transmissão de dados de teste de acordo com o funcionamento do relógio transmitido do circuito de PLL; e

um segundo tipo flip-flop para transmissão síncrona de um relógio na fonte síncrona, em conformidade com o relógio de operação transmitido a partir do circuito de PLL, um relógio síncrono na fonte síncrona, e

uma CI do lado de recebimento de dados através da interface de fonte síncrona inclui:

Um terceiro tipo flip-flop para capturar, de acordo com o relógio síncrono transmitido a partir do segundo flip-flop, os dados de teste transmitidos a partir do primeiro flip-flop.

2) Microcomputador, de acordo com a reivindicação 1, **caracterizado pelo** fato de que:

o IC do lado de transmissão ainda inclui um circuito de geração de pulso duplo para extrair dois sinais de pulso dos relógios de operação transmitidos a partir do circuito de PLL,

o primeiro flip-flop transmite os dados de teste em conformidade com os dois sinais de pulso extraídos do circuito de geração de pulso duplo, e

o segundo tipo flip-flop transmite o relógio síncrono, de acordo com os dois sinais de pulso extraídos do circuito de geração de pulso duplo.

3) Microcomputador, de acordo com a reivindicação 1, **caracterizado pelo** fato de que o primeiro flip-flop do IC do lado da transmissão transmite os dados de teste com um atraso de meio-ciclo dos sinais de pulso duplo, em comparação com o relógio síncrono transmitido a partir do segundo flip-flop.

4) Microcomputador, de acordo com a reivindicação 1, **caracterizado pelo** fato de que:

primeiro tipo flip-flop no IC do lado de transmissão transmite os dados de teste na mesma borda do relógio como aquela para o relógio síncrono transmitido pelo segundo flip-flop, e

o IC do lado de recepção inclui meio de retardo para proporcionar ao terceiro tipo flip-flop o relógio síncrono recebido com um atraso de $\pi/2$.

5) Microcomputador, de acordo com a reivindicação 1, **caracterizado pelo** fato de que:

o primeiro flip-flop no IC do lado de transmissão é um flip-flop de *set* e *reset*, e

o IC do lado de transmissão ainda inclui um registrador de dados de teste para fazer com que, por meio de set e reset do primeiro flip-flop em conformidade com um valor retido, o primeiro flip-flop retém os dados de teste.

6) Microcomputador, de acordo com a reivindicação 1, **caracterizado pelo** fato de que o primeiro flip-flop no CI do lado de transmissão forma uma cadeia de varredura e os dados de teste são introduzidos no primeiro flip-flop, através de um deslocamento de varredura nos dados de teste através da cadeia de varredura.

7) Método para testar um microcomputador em que uma pluralidade de CIs (Circuitos Integrados) conectados entre si por uma interface de fonte síncronas são montados, o método de teste caracterizado pelo fato de que inclui:

uma etapa de fixação de valores iniciais em um primeiro flip-flop para a transmissão de dados e um segundo flip-flop para transmissão de relógio síncrono em um IC do

lado de transmissão de dados através da interface de fonte síncrona;

uma etapa de transmissão de um sinal de relógio de um circuito de PLL (*Phase-Locked Loop*) para transmissão de uma relógio de operação em operação real, e depois transmitir os dados sobre os valores iniciais, e o relógio síncrono, respectivamente, a partir do primeiro flip-flop e do segundo flip-flop; e

uma etapa de gerar um terceiro flip-flop para recepção de dados para capturar, de acordo com o relógio síncrono transmitido a partir do segundo tipo flip-flop, os dados sobre os valores iniciais transmitidos a partir do primeiro flip-flop, em um IC do lado de recebimento de dados através da interface de fonte síncrona.

8) Método, de acordo com a reivindicação 7, **caracterizado pelo** fato de que a etapa de estabelecimento de valores iniciais no primeiro flip-flop e o segundo flip-flop inclui:

uma etapa de gerar registradores de teste, que são fornecidos ao corresponde respectivamente ao primeiro flip-flop e ao segundo flip-flop, para cada reter um valor pré-determinado; e

uma etapa de gerar os registradores de teste para definir ou redefinir o primeiro flip-flop e o segundo flip-

flop, em conformidade com os valores retidos pelos registradores de teste correspondentes, a fim de definir valores iniciais no primeiro flip-flop e o segundo flip-flop.

9) Método, de acordo com a reivindicação 7, **caracterizado pelo** fato de que, na fase de definição de valores iniciais no primeiro flip-flop e no segundo flip-flop, os valores iniciais são fixados realizando, com relação ao primeiro flip-flop e o segundo flip-flop formando uma cadeia de varredura, uma deslocamento de varredura nos dados de teste através da cadeia de varredura.

10) Método de teste de um microcomputador em que uma pluralidade de CIs (Circuitos Integrados) conectados por uma interface de fonte síncronas são montados, o método de teste **caracterizado por** incluir:

uma etapa de gerar um flip-flop do lado de transmissão de dados através da interface de fonte síncrona para receber e reter dados de teste;

uma etapa de transmissão de um sinal de relógio de um circuito de PLL (*Phase-Locked Loop*) para transmissão de um relógio de operação em operação real, e depois de transmitir os dados de teste, retidos no flip-flop do lado de transmissão, e um relógio síncrono na fonte síncrona; e

uma etapa de gerar um flip-flop do lado para receber dados através da interface de fonte síncrona para capturar dados de teste de acordo com o relógio síncrono.

11) Método, de acordo com a reivindicação 10, **caracterizado pelo** fato de que a etapa de gerar o flip-flop do lado de transmissão para receber dados teste inclui:

uma etapa de gerar um registrador de teste para manter um valor pré-determinado, o registrador de teste a ser fornecido para corresponder ao flip-flop do lado de transmissão; e

uma etapa de set e reset de acordo com o valor retido no registrador de teste, o flip-flop do lado de transmissão ao qual o registrador de teste corresponde, de forma a fazer com que o flip-flop do lado da transmissão retenha os dados teste.

12) Método, de acordo com a reivindicação 10, **caracterizado pelo** fato de que na etapa de fazer com que o flip-flop do lado de transmissão receba os dados de teste, o flip-flop do lado de transmissão é feito reter os dados de teste através da execução de, com respeito à formação de uma cadeira da varredura do flip-flop do lado de transmissão, um deslocamento de varredura nos dados de teste através da cadeia de varredura.

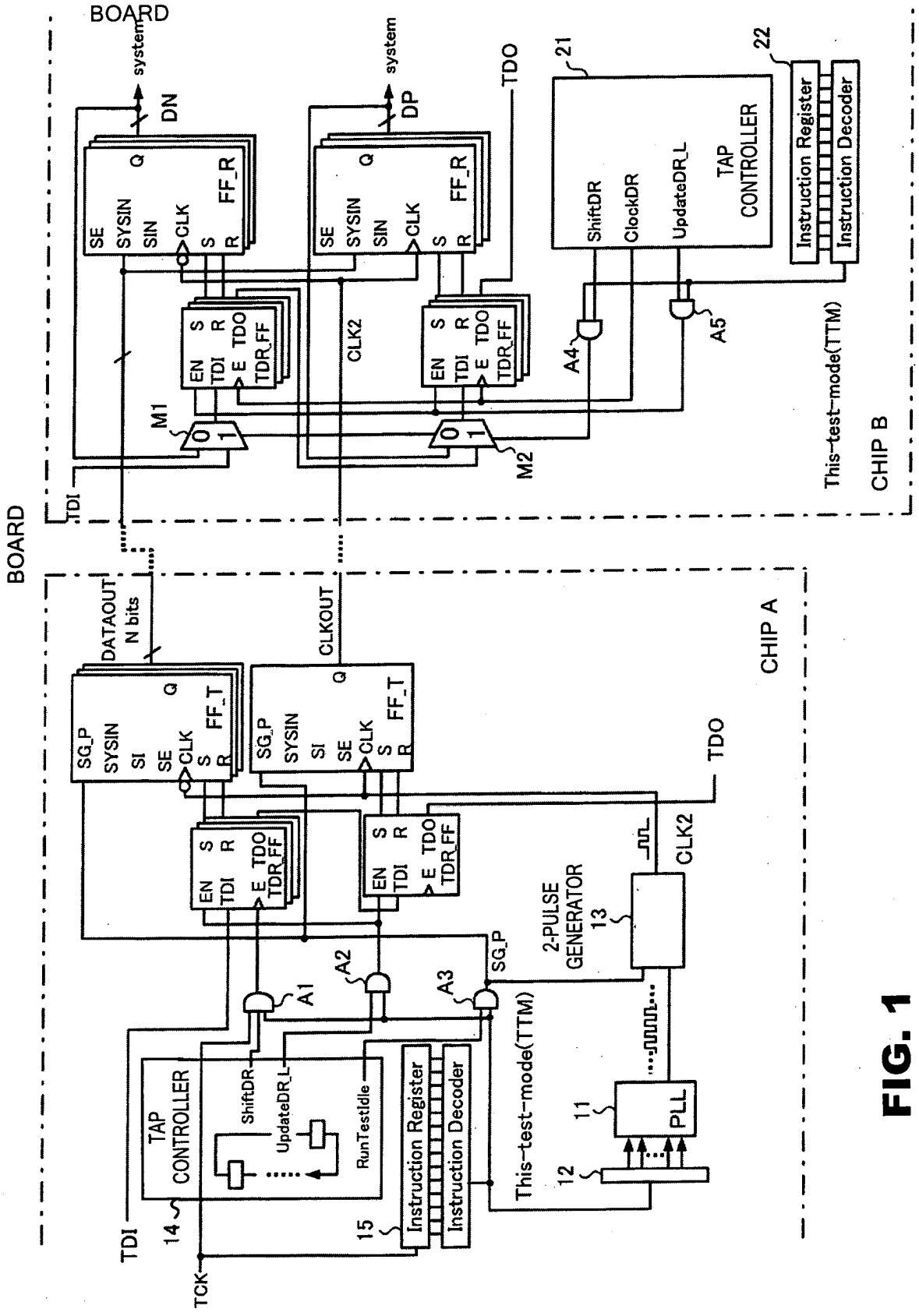

BOARD
system
DN
DP
TDO
21
22
SE
SYSIN
SIN
CLK
S
R
FF_R
Q
EN
TDI
E
TDO
TDR_FF
CLK2
M1
M2
A4
A5
ShiftDR
ClockDR
UpdateDR_L
TAP CONTROLLER
Instruction Register
Instruction Decoder
This-test-mode(TTM)
CHIP B
TDI
BOARD
DATAOUT
N bits
CLKOUT
SG_P
SYSIN
SI
FF_T
A1
A2
A3
2-PULSE GENERATOR
13
11
PLL
12
RunTestIdle
14
15
TCK
CHIP A

FIG. 1

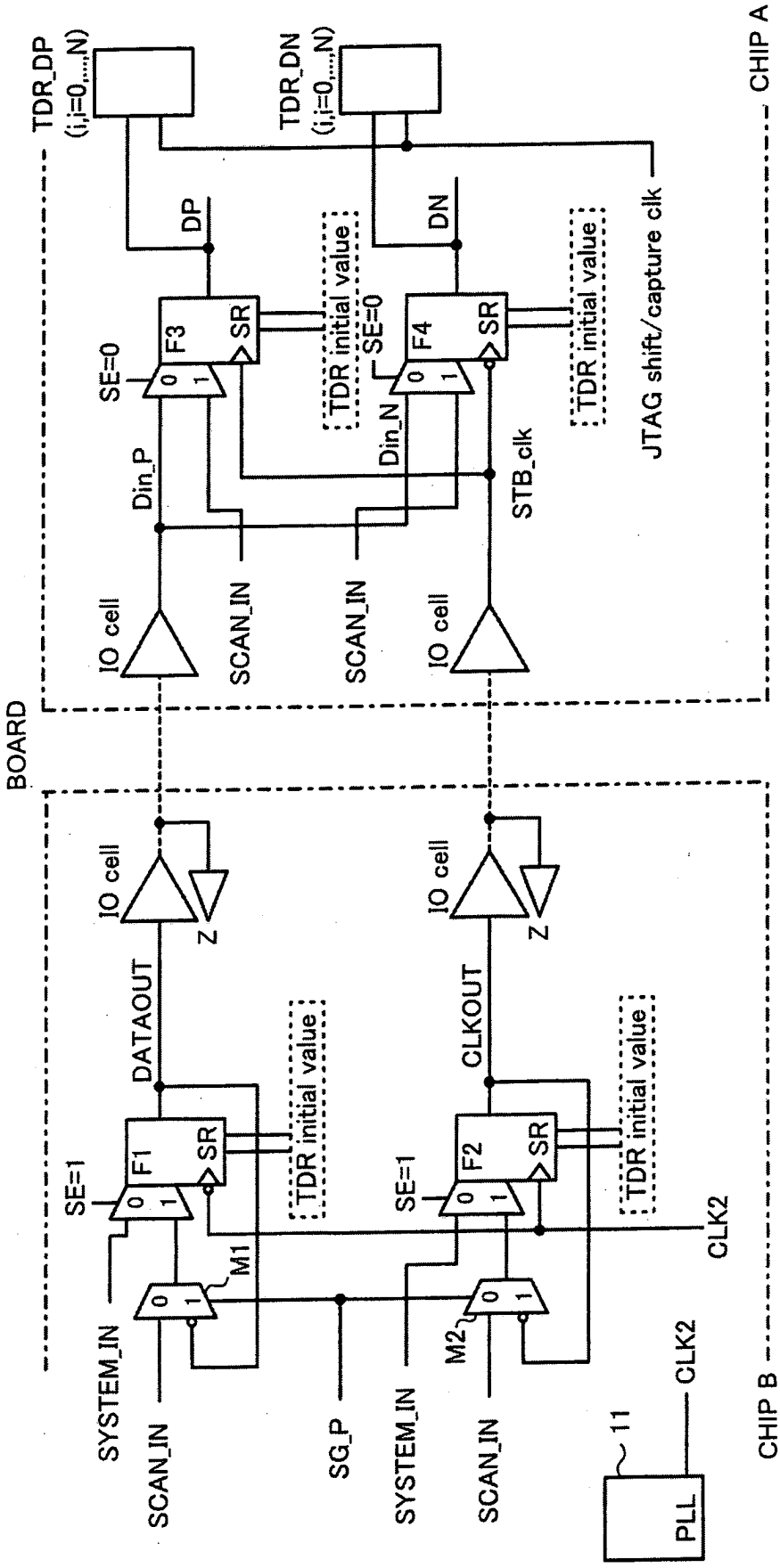

BOARD
CHIP A
CHIP B
TDR_DP
(i,i=0,...,N)
TDR_DN
(i,i=0,...,N)
DP
DN
F3
F4
SR
SE=0
TDR initial value
Din_P
Din_N
STB_clk
JTAG shift/capture clk
IO cell
SCAN_IN
Z
DATAOUT
CLKOUT
F1
F2
SE=1
M1
M2
SYSTEM_IN
SG_P
CLK2
11
PLL

FIG. 2

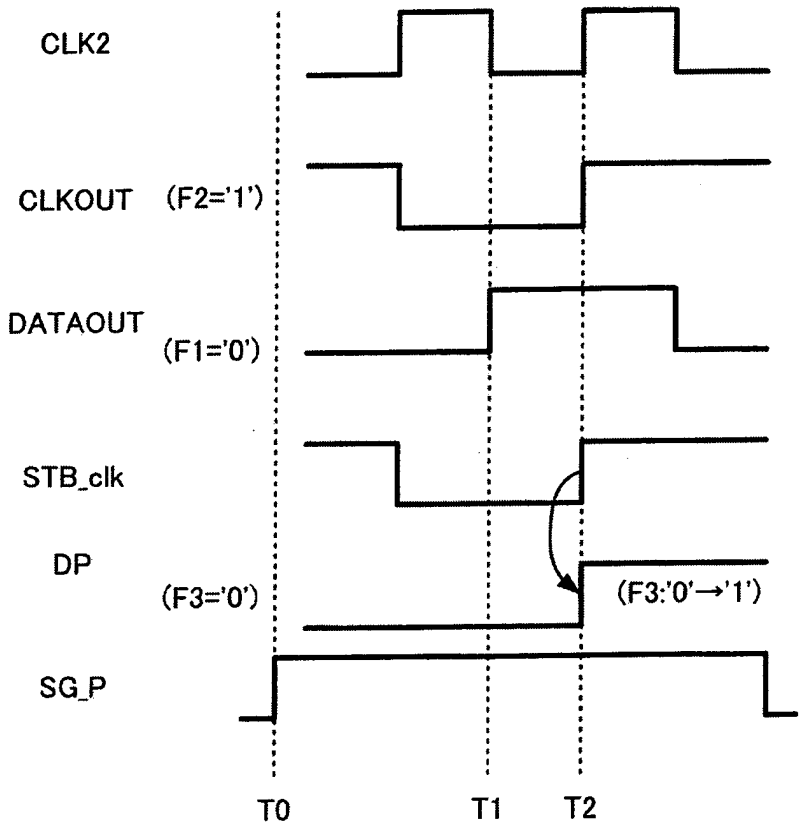


FIG. 3

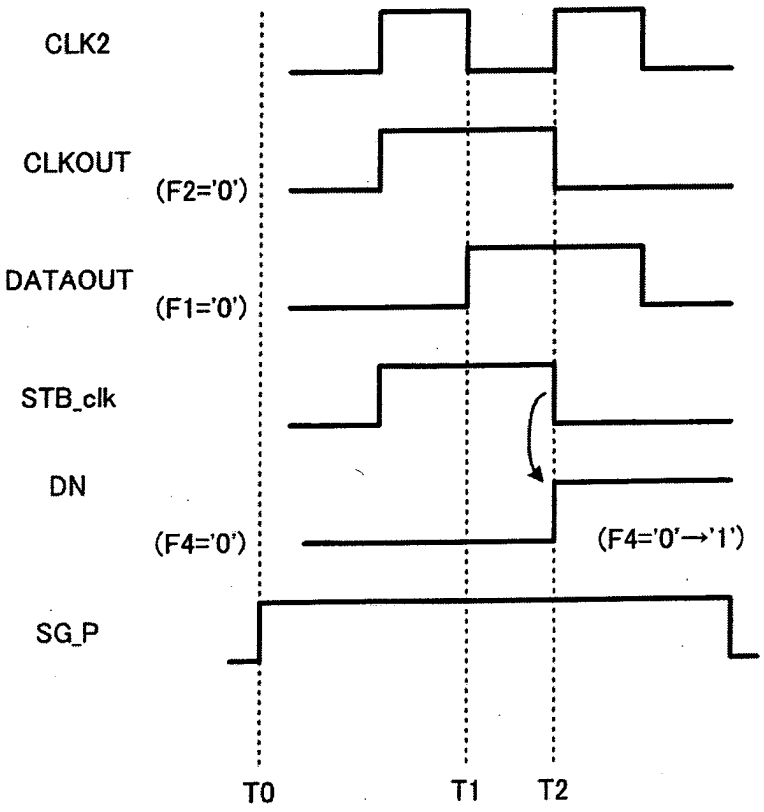


FIG. 4

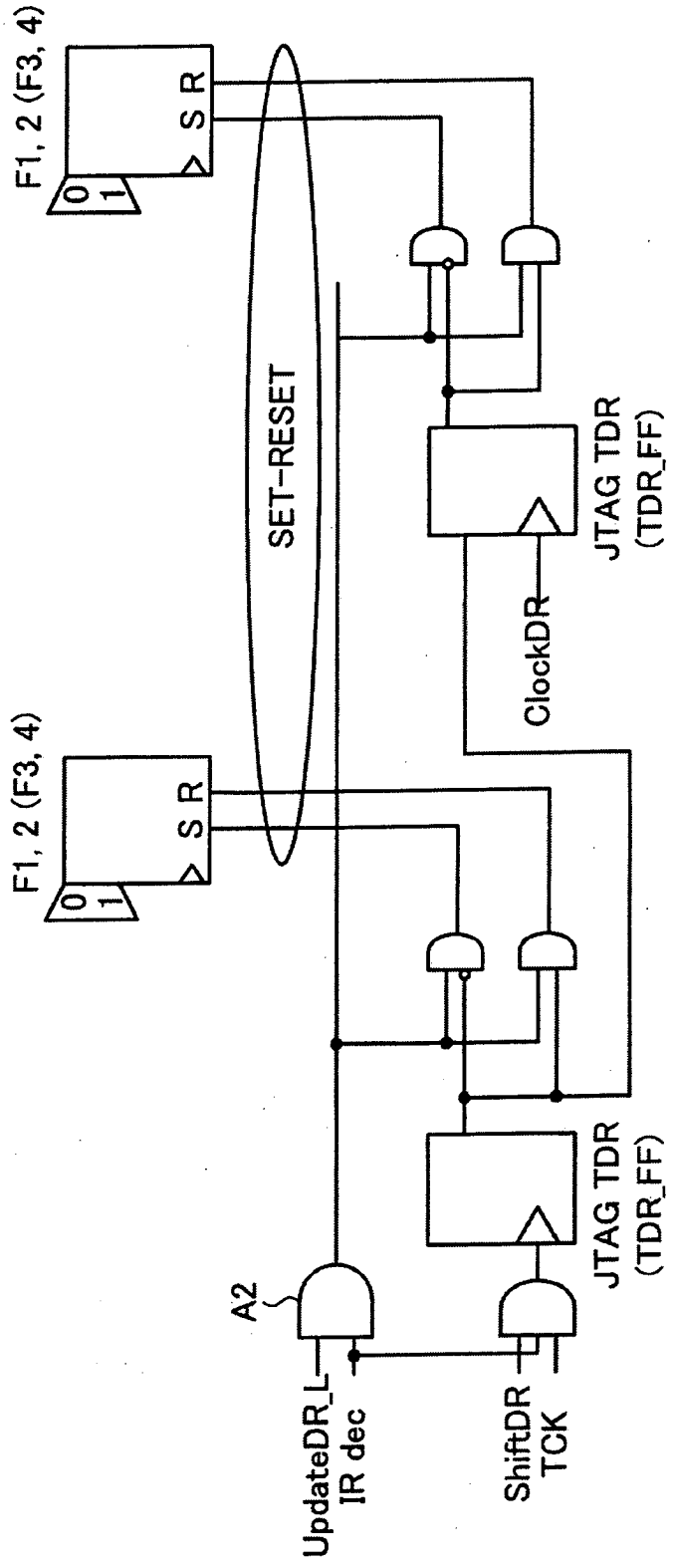

F1, 2 (F3, 4)
S R
0
1
SET-RESET
JTAG TDR
(TDR_FF)
ClockDR
F1, 2 (F3, 4)
S R
0
1
JTAG TDR
(TDR_FF)
A2
UpdateDR_L
IR dec
ShiftDR
TCK

FIG. 5

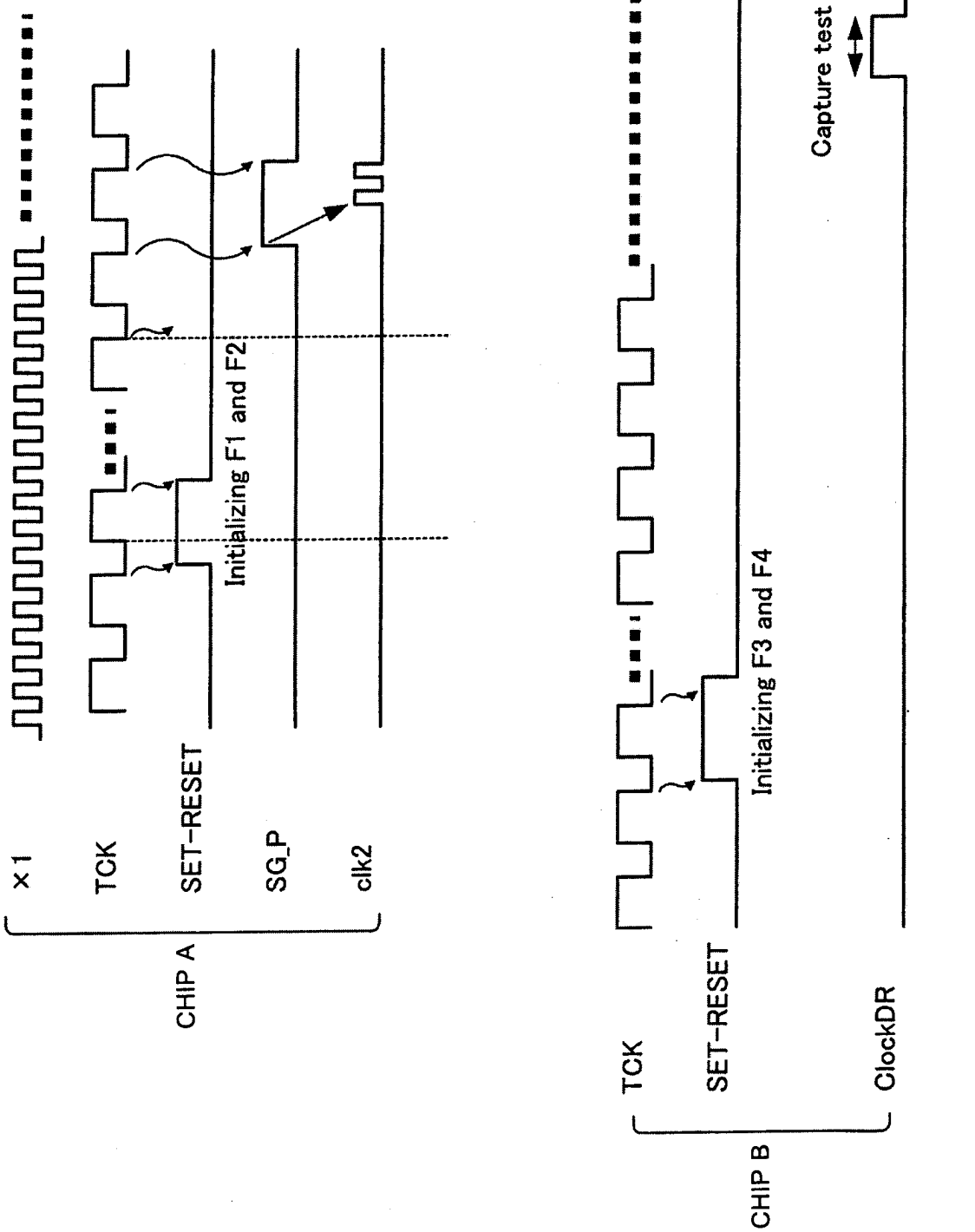

CHIP A
x1
TCK
SET-RESET
SG_P
clk2
Initializing F1 and F2
CHIP B
TCK
SET-RESET
ClockDR
Initializing F3 and F4
Capture test result
Shift out
TDR_DP/N(i,i=1,...,N)

FIG. 6

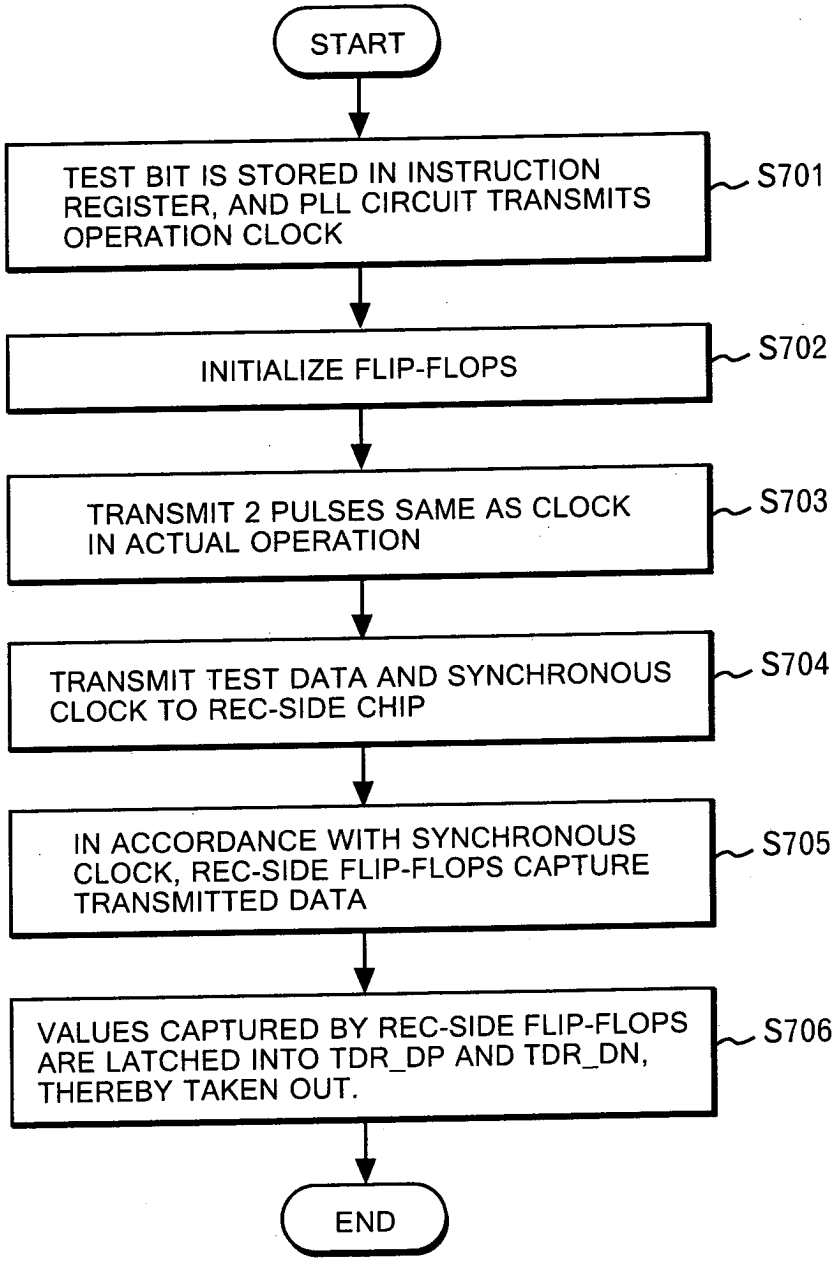

START
TEST BIT IS STORED IN INSTRUCTION REGISTER, AND PLL CIRCUIT TRANSMITS OPERATION CLOCK
S701
INITIALIZE FLIP-FLOPS
S702
TRANSMIT 2 PULSES SAME AS CLOCK IN ACTUAL OPERATION
S703
TRANSMIT TEST DATA AND SYNCHRONOUS CLOCK TO REC-SIDE CHIP
S704
IN ACCORDANCE WITH SYNCHRONOUS CLOCK, REC-SIDE FLIP-FLOPS CAPTURE TRANSMITTED DATA
S705
VALUES CAPTURED BY REC-SIDE FLIP-FLOPS ARE LATCHED INTO TDR_DP AND TDR_DN, THEREBY TAKEN OUT.
S706
END

FIG. 7

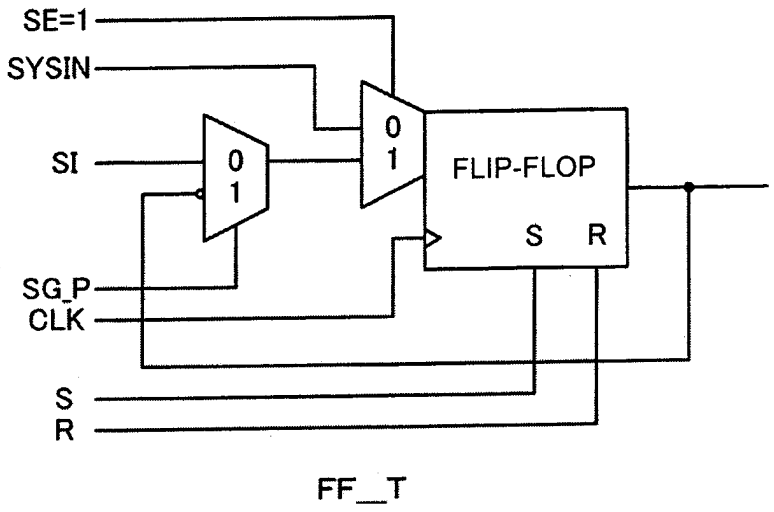

SE=1
SYSIN
SI
0
1
0
1
FLIP-FLOP
S R
SG_P
CLK
S
R
FF_T

FIG. 8

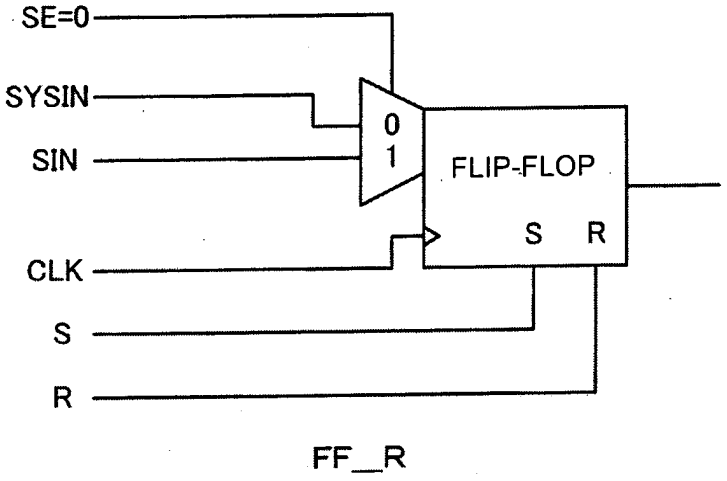

SE=0
SYSIN
SIN
0
1
FLIP-FLOP
S R
CLK
S
R
FF_R

FIG. 9

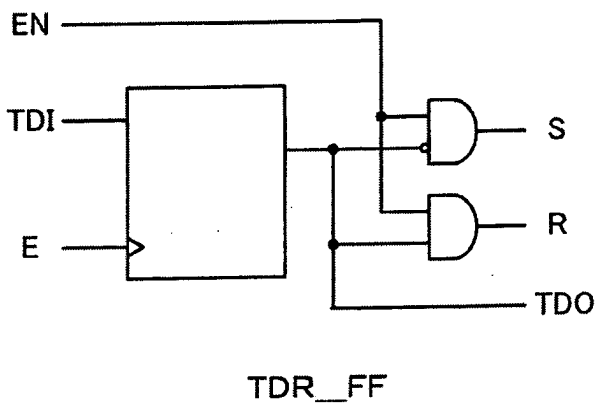


FIG. 10

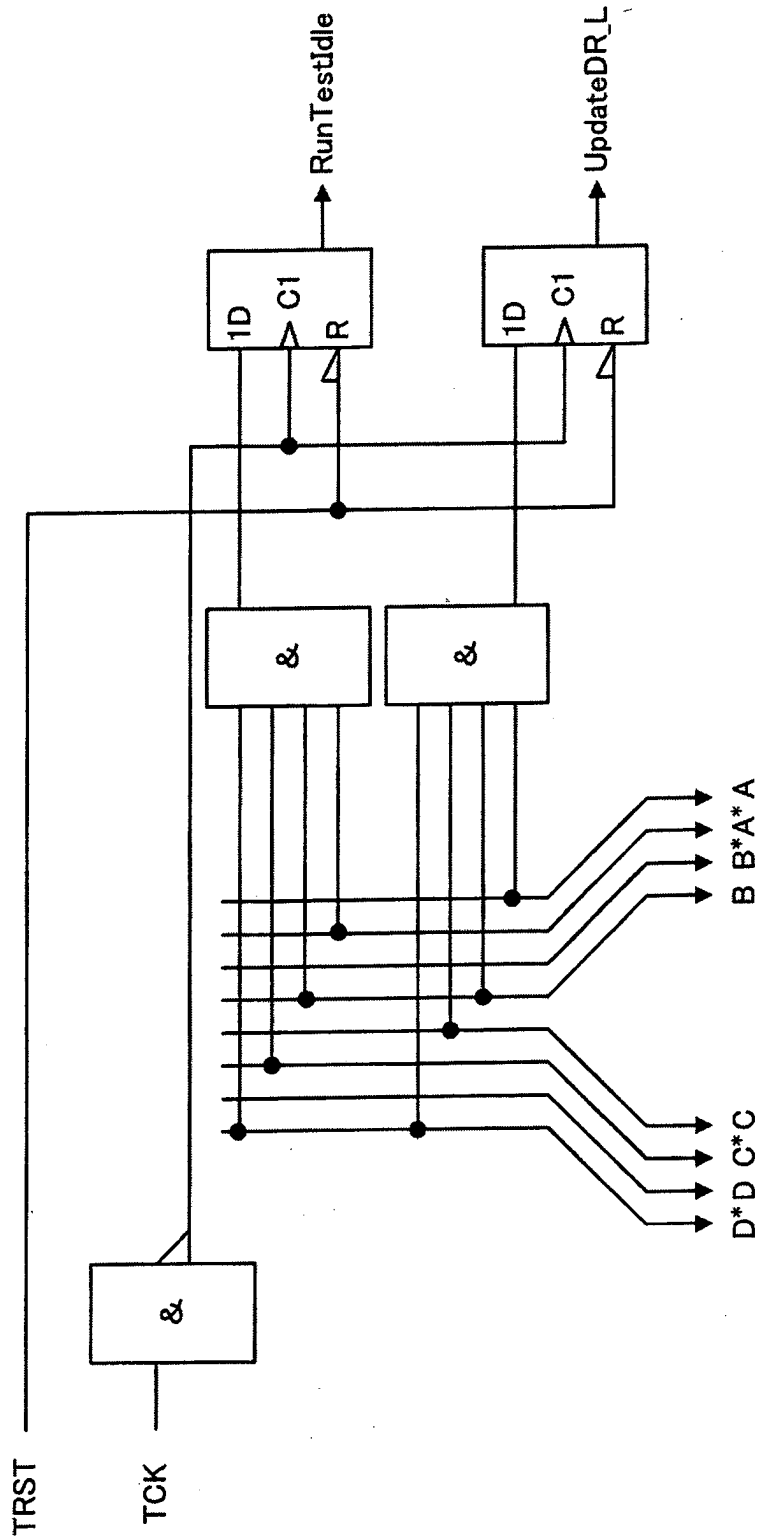


FIG. 11

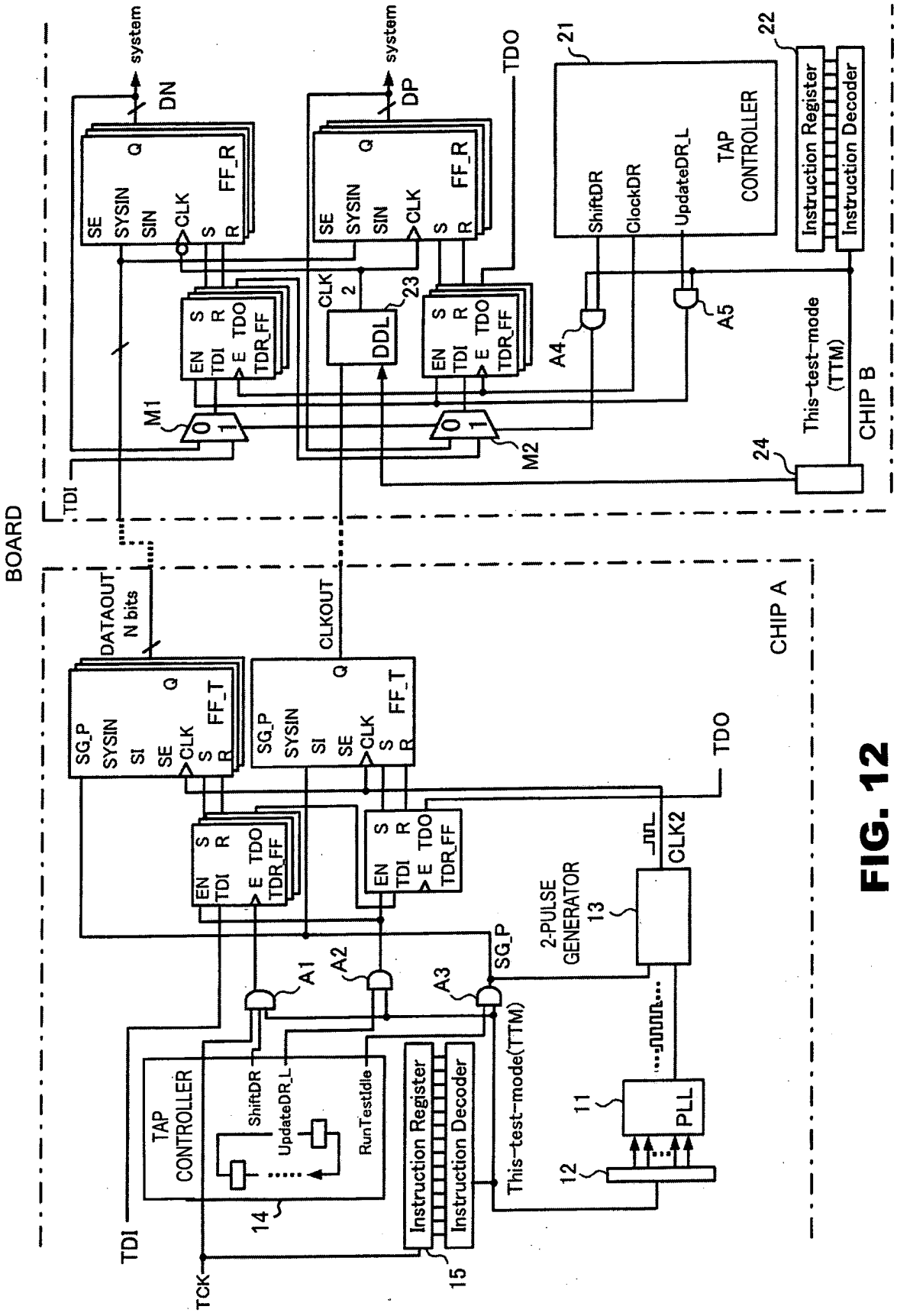

BOARD
CHIP A
CHIP B
TDI
TCK
TDO
system
DN
DP
SE
SYSIN
SIN
CLK
S
R
Q
FF_R
EN
TDI
E
TDO
TDR_FF
M1
M2
CLK 2
DDL
23
21
22
24
ShiftDR
ClockDR
UpdateDR_L
TAP CONTROLLER
Instruction Register
Instruction Decoder
A4
A5
This-test-mode (TTM)
DATAOUT N bits
CLKOUT
SG_P
SI
FF_T
A1
A2
A3
2-PULSE GENERATOR
13
CLK2
PLL
11
12
This-test-mode(TTM)
RunTestIdle
14
15

FIG. 12

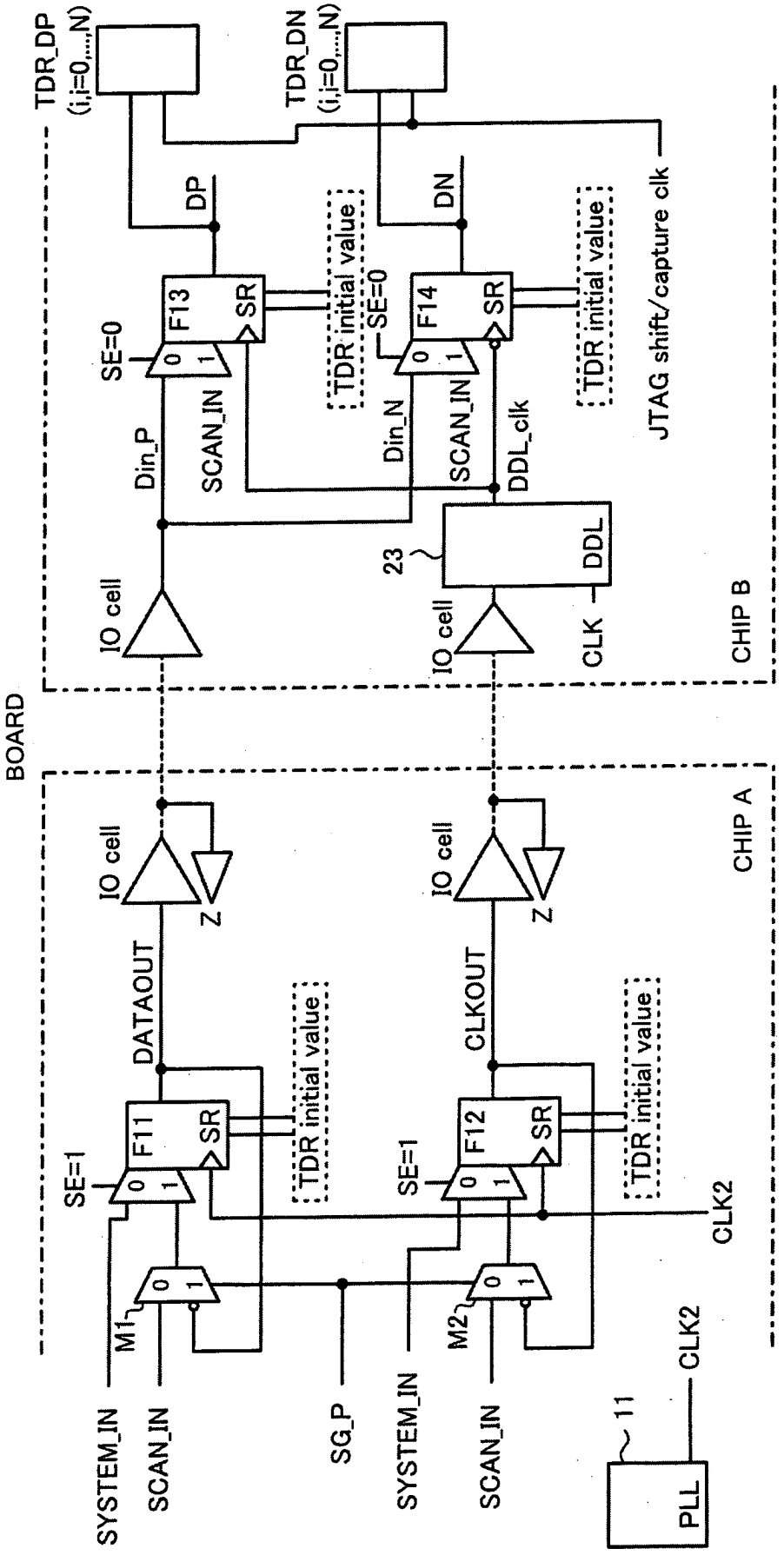

BOARD
CHIP A
CHIP B
TDR_DP (i,i=0,....,N)
TDR_DN (i,i=0,....,N)
DP
DN
F13
F14
SR
SE=0
TDR initial value
SCAN_IN
Din_P
Din_N
DDL_clk
JTAG shift/capture clk
23
DDL
IO cell
CLK
Z
DATAOUT
CLKOUT
F11
F12
SE=1
CLK2
M1
M2
SYSTEM_IN
SCAN_IN
SG_P
11
PLL

FIG. 13

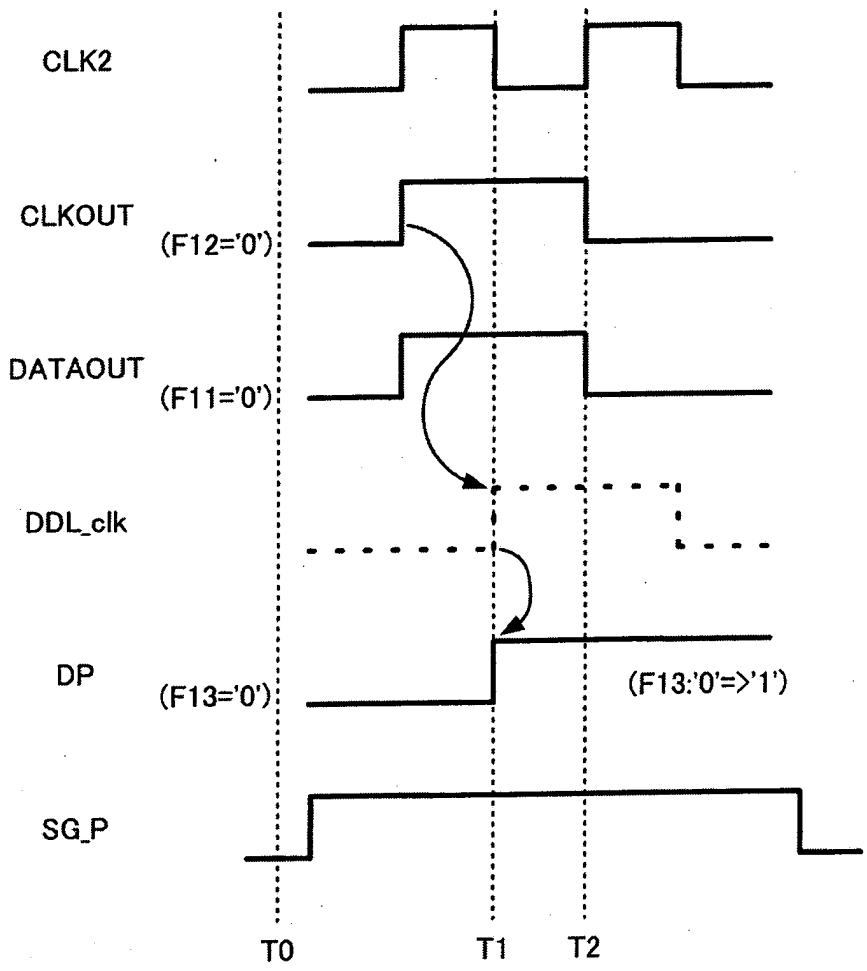

CLK2
CLKOUT
(F12='0')
DATAOUT
(F11='0')
DDL_clk
DP
(F13='0')
(F13:'0'=>'1')
SG_P
T0
T1
T2

FIG. 14

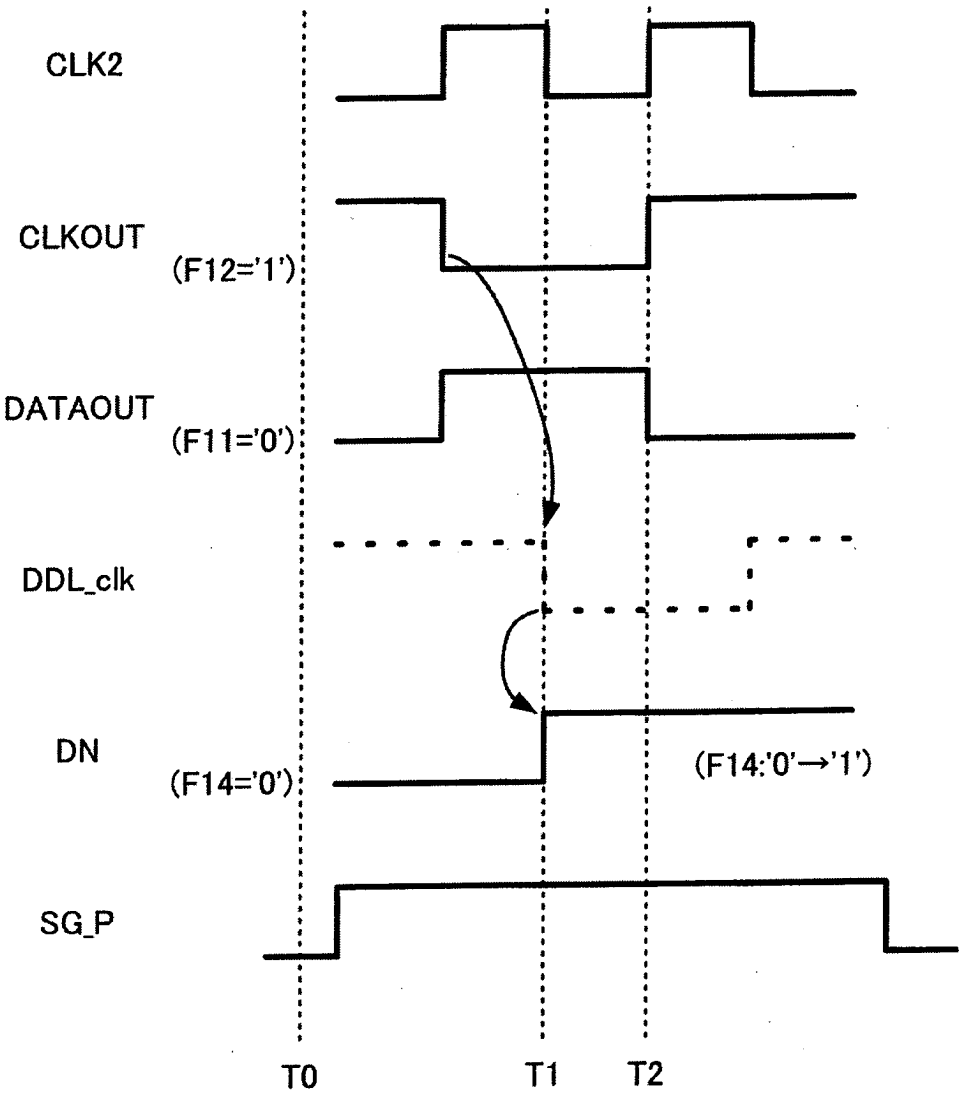

CLK2
CLKOUT
(F12='1')
DATAOUT
(F11='0')
DDL_clk
DN
(F14='0')
(F14:'0'→'1')
SG_P
T0
T1
T2

FIG. 15

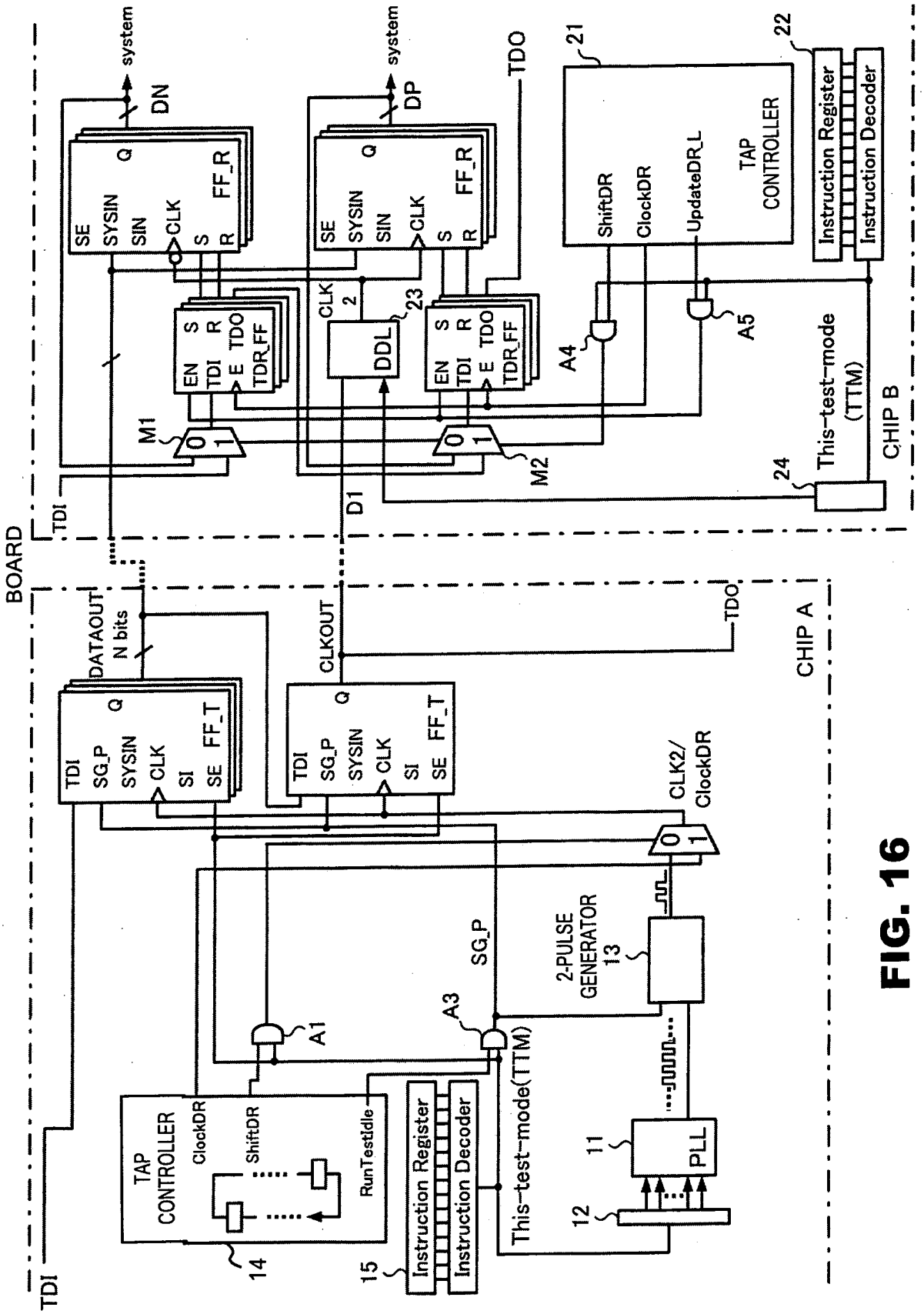

BOARD
TDI
TDO
CHIP A
CHIP B
system
DN
DP
SE
SYSIN
SIN
CLK
S
R
Q
FF_R
EN
TDI
E
TDO
TDR_FF
DDL
M1
M2
A1
A3
A4
A5
D1
DATAOUT
N bits
CLKOUT
SG_P
SI
FF_T
CLK2/
ClockDR
2-PULSE
GENERATOR
13
PLL
11
12
TAP
CONTROLLER
ClockDR
ShiftDR
RunTestIdle
14
15
Instruction Register
Instruction Decoder
This-test-mode(TTM)
UpdateDR_L
21
22
23
24

FIG. 16

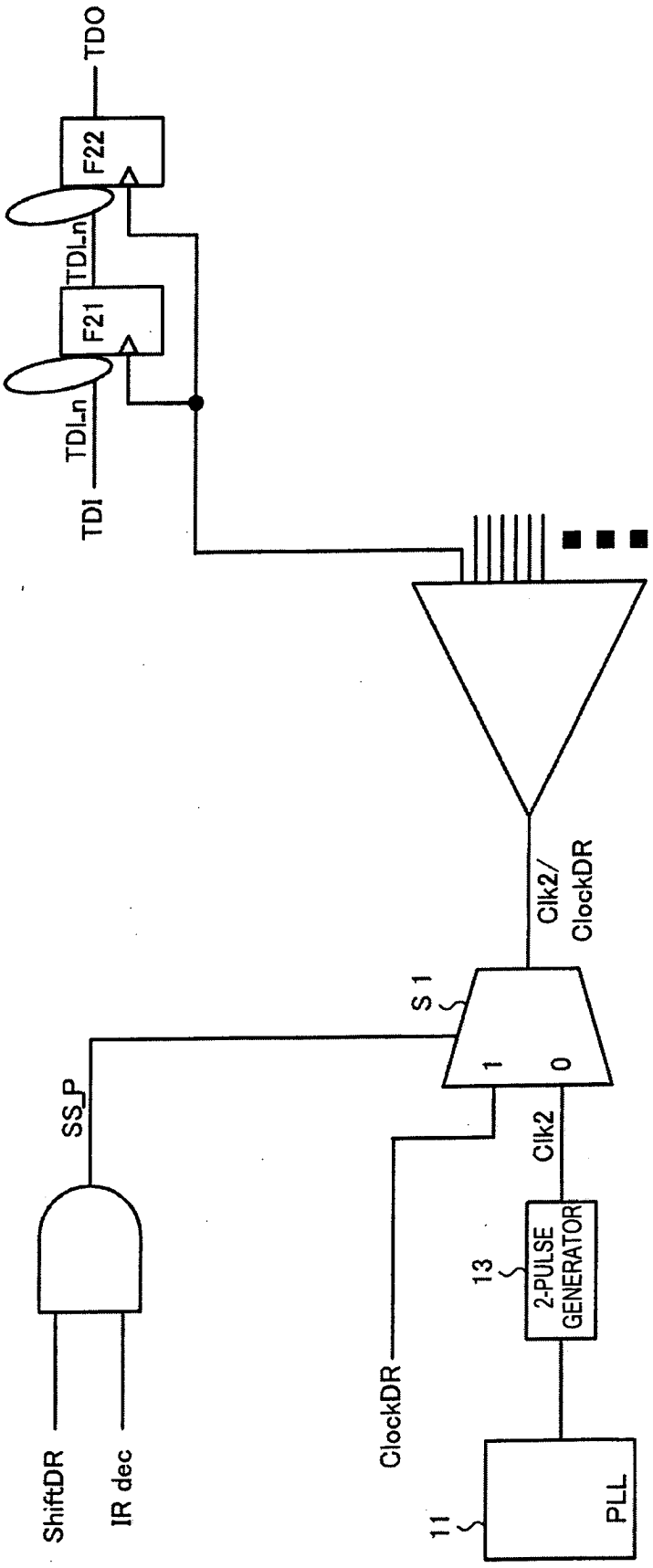

TDO
F22
TDI_n
F21
TDI_n
TDI
Clk2/
ClockDR
S 1
1
0
SS_P
Clk2
13
2-PULSE
GENERATOR
ClockDR
11
PLL
ShiftDR
IR dec

FIG. 17

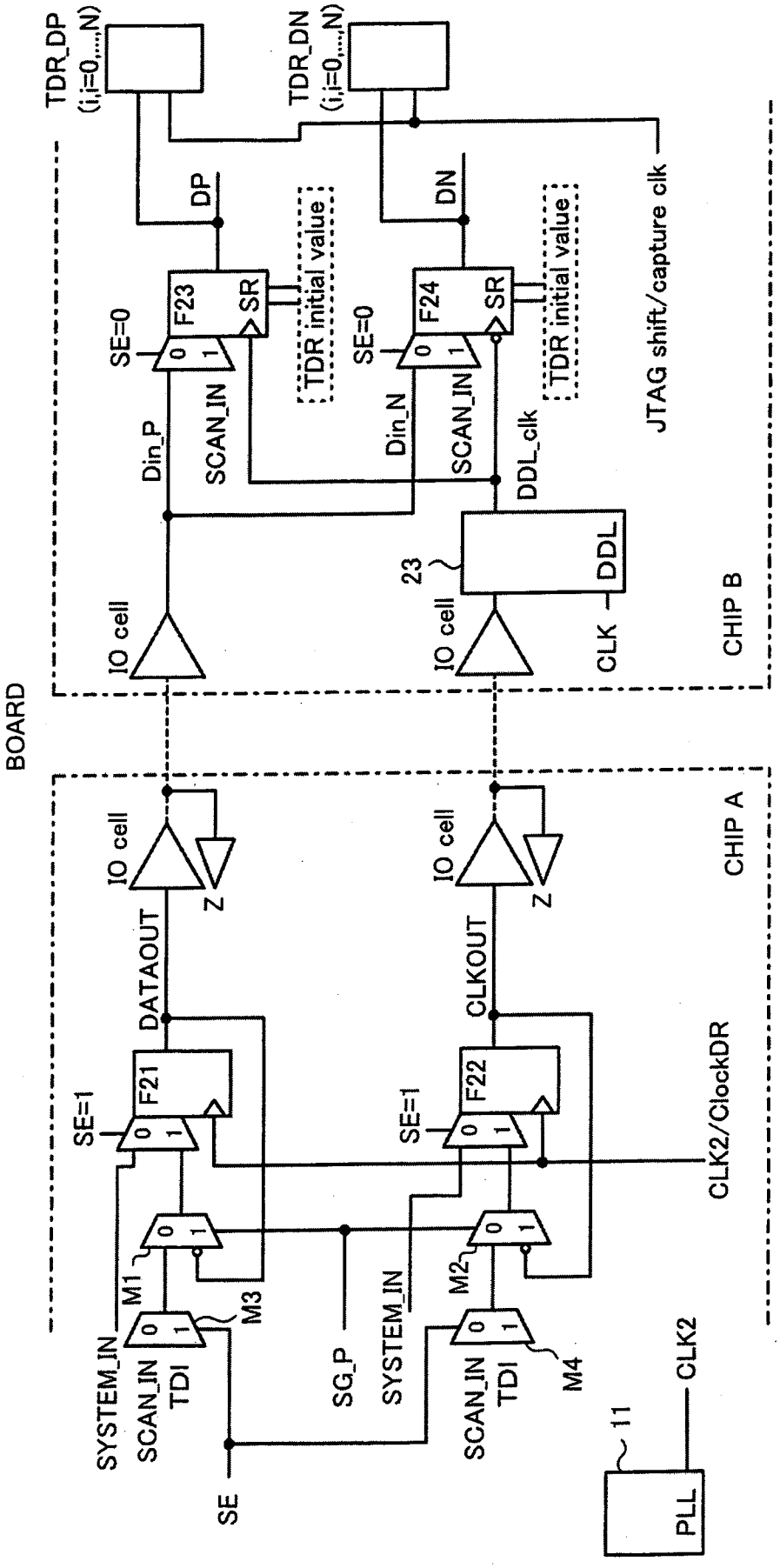

BOARD
CHIP A
CHIP B
TDR_DP (i,i=0,...,N)
TDR_DN (i,i=0,...,N)
DP
DN
JTAG shift/capture clk
TDR initial value
TDR initial value
SE=0
SE=0
F23
F24
SR
SR
Din_P
SCAN_IN
Din_N
SCAN_IN
DDL_clk
23
DDL
CLK
IO cell
IO cell
IO cell
IO cell
Z
Z
DATAOUT
CLKOUT
SE=1
SE=1
F21
F22
CLK2/ClockDR
M1
M2
M3
M4
SYSTEM_IN
SCAN_IN
TDI
SG_P
SYSTEM_IN
SCAN_IN
TDI
SE
11
PLL
CLK2

FIG. 18

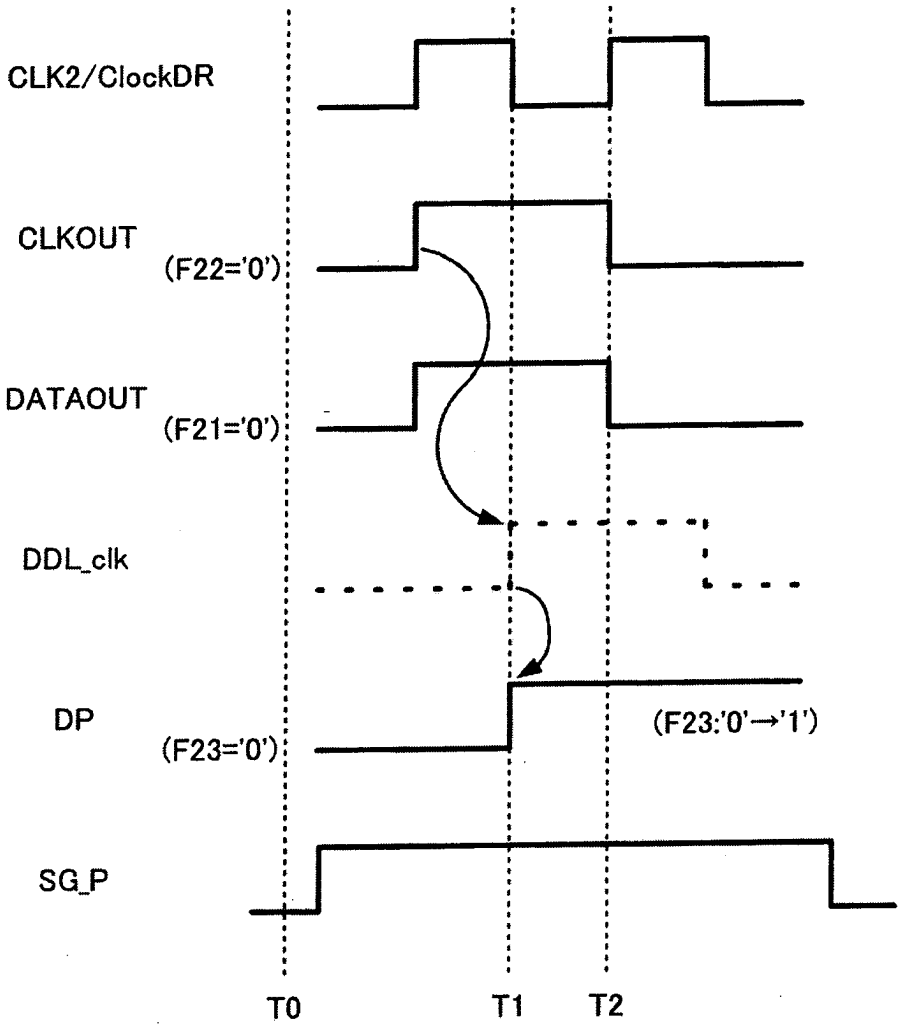

CLK2/ClockDR
CLKOUT
(F22='0')
DATAOUT
(F21='0')
DDL_clk
DP
(F23='0')
(F23:'0'→'1')
SG_P
T0
T1
T2

FIG. 19

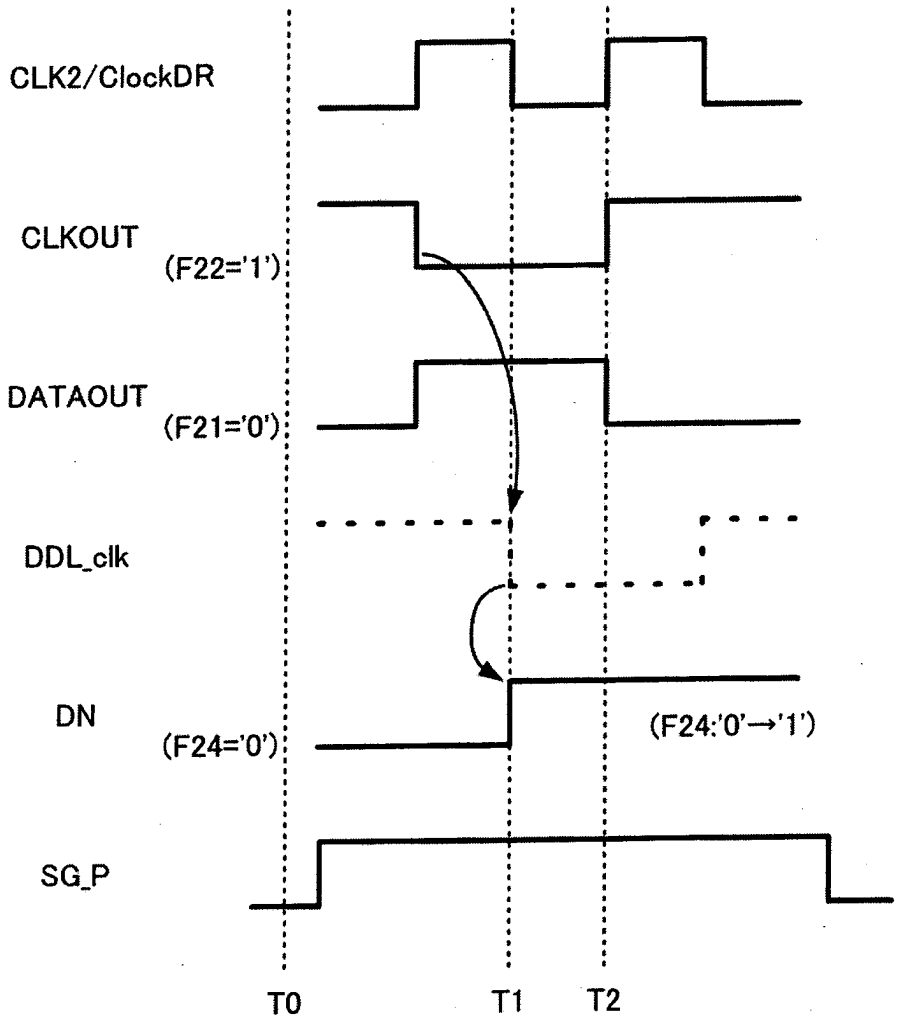

CLK2/ClockDR
CLKOUT
(F22='1')
DATAOUT
(F21='0')
DDL_clk
DN
(F24='0')
(F24:'0'→'1')
SG_P
T0
T1
T2

FIG. 20

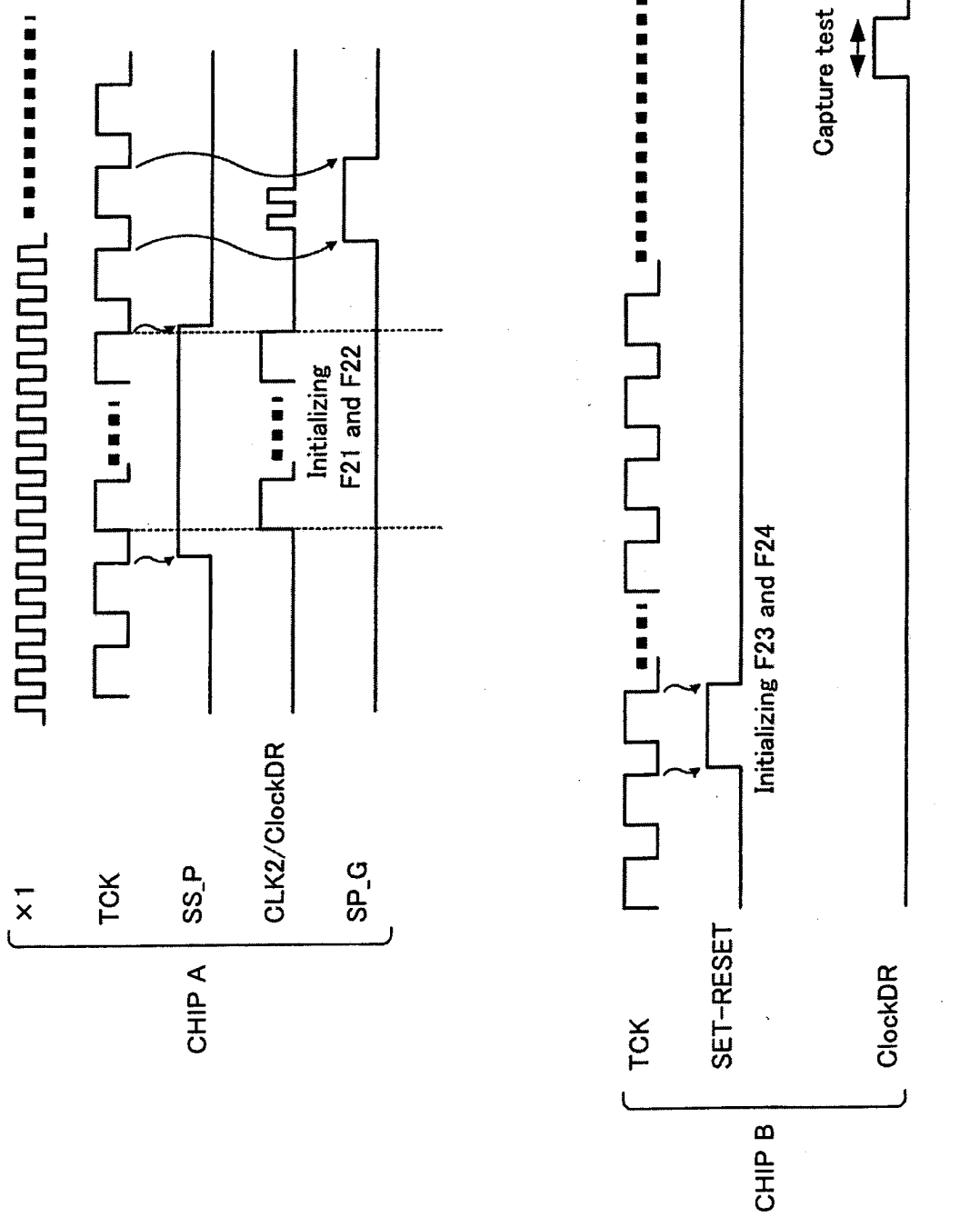

×1
TCK
SS_P
CLK2/ClockDR
SP_G
CHIP A
Initializing
F21 and F22
TCK
SET-RESET
ClockDR
CHIP B
Initializing F23 and F24
Capture test result
Shift out
TDR_DP/N(i,i=1,...,N)

FIG. 21

Resumo da Patente de Invenção para: **"MICROCOMPUTADOR E MÉTODO PARA TESTAR O MESMO."**

Problema: Para alcançar um teste em velocidade de uma interface síncrona de fonte dentro de ASIC em nível de placa.

Solução: Um microcomputador (ASIC) incorpora uma pluralidade de IC conectados por uso de interfaces síncronas de fonte. Em um IC no lado da transmissão de dados, para começar, um flip-flop de saída de dados (F1) e um fli-flop de saída de sincronismo de relógio (F2) inserem dados de teste. Então um circuito PLL (11) para gerar uma operação de relógio em um modo de operação real gera um sinal de relógio. De acordo com este sinal de relógio, um primeiro e um segundo flip-flop liberam os dados de teste e o relógio de sincronismo. Por outro lado, em um IC, no lado de recepção dos dados, os flip-flops de recepção de dados (F3, F4) tomam nos dados de teste liberados do flip-flop (F1) de acordo com os dados de relógio de sincronismo liberados do flip-flop (F2).