(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0059268
(43) 공개일자 2009년06월11일

(51) Int. Cl.
G05F 3/24 (2006.01)
(21) 출원번호 10-2007-0126021
(22) 출원일자 2007년12월06일
심사청구일자 2007년12월06일

(71) 출원인
창원대학교 산학협력단
경남 창원시 사림동 9 창원대학교내
(72) 발명자
김영희
경남 창원시 반림동 현대아파트 112동 1001호
심외용
경남 마산시 회성동 470-67번지
(74) 대리인
이철희

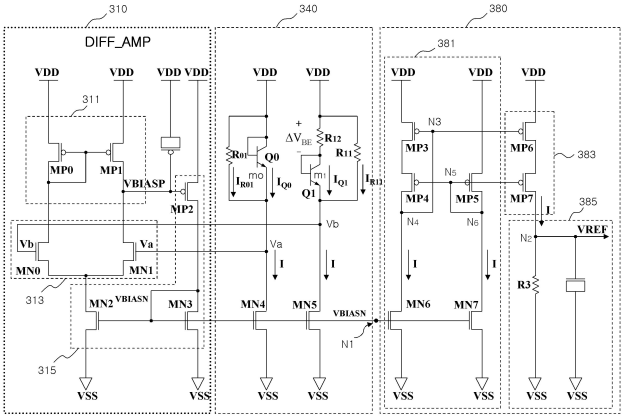
전체 청구항 수 : 총 13 항

(54) 저전압 밴드갭 기준전압 발생기

(57) 요 약

본 발명은 저전압 밴드갭 기준전압 발생기에 관한 것으로서, 차동증폭기의 입력단에 전압을 인가하는 구동전압 전달부 및 차동증폭입력부를 구비하는 연산증폭부; 반도체 제조 공정에서 기생하는 복수의 바이폴러 트랜지스터 Q0,Q1을 사용하며, 상기 차동증폭입력부에서 출력된 바이어스전압(VBASN)을 인가 받아, 일정한 크기를 갖는 정전류를 생성한 후 기준전압발생부에게 상기 정전류를 흘려보내는 전류분배부; 및 상기 전류분배부에서 생성된 상기 정전류를 인가받아, 기준전압출력노드(N2)로 공급하는 전류공급부 및 상기 전류공급부로부터 인가 받은 상기 정전류에 의해 일정한 값을 갖는 기준전압을 출력시키는 기준전압출력부를 구비하는 기준전압발생부를 포함하는 회로를 제공함으로써, 최소 1.0V의 구동전압에서 작동하며, PVT 변동에 둔감한 안정적인 저전압의 밴드갭 기준전압을 제공하는 기술적 효과가 있다.

대 표 도 - 도3



특허청구의 범위

청구항 1

차동증폭기의 입력단에 전압을 인가하는 구동전압 전달부 및 차동증폭입력부를 구비하는 연산증폭부;

상기 차동증폭입력부에서 출력된 바이어스전압(VBASN)을 인가 받아, 일정한 크기를 갖는 정전류를 생성한 후 기준전압발생부에게 상기 정전류를 흘려보내는 전류분배부; 및

상기 전류분배부에서 생성된 상기 정전류를 인가 받아, 기준전압출력노드(N2)로 공급하는 전류공급부 및 상기 전류공급부로부터 인가 받은 상기 정전류에 의해 일정한 값을 갖는 기준전압을 출력시키는 기준전압출력부를 구비하는 기준전압발생부를 포함하되,

상기 전류분배부는 반도체 제조 공정에서 기생하는 제1 바이폴러 트랜지스터 Q0 및 제2 바이폴러 트랜지스터 Q1을 구비하는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 2

제1항에 있어서, 상기 제1 바이폴러 트랜지스터 Q0 및 상기 제2 바이폴러 트랜지스터 Q1은 트리플 웰(Triple well) 공정에서 기생하는 바이폴러 트랜지스터를 사용하는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 3

제2항에 있어서, 상기 제1 바이폴러 트랜지스터 Q0 및 상기 제2 바이폴러 트랜지스터 Q1은 NPN 바이폴러 트랜지스터를 사용하는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 4

제1항에 있어서, 상기 전류분배부는

상기 제1 바이폴러 트랜지스터 Q0의 컬렉터 단자와 에미터 단자를 병렬로 연결하는 제1 가변저항을 갖는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 5

제1항에 있어서, 상기 전류분배부는

상기 제2 바이폴러 트랜지스터 Q1의 컬렉터 단자와 직렬연결 된 제2 가변저항을 구비하며, 구동전압과 상기 제2 가변저항을 연결하는 단자 및 상기 제2 바이폴러 트랜지스터 Q1의 에미터 단자를 병렬로 연결하는 제3 가변저항을 더 포함하는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 6

제1항에 있어서, 상기 제1 바이폴러 트랜지스터 Q0, 상기 제2 바이폴러 트랜지스터 Q1의 에미터 단면적의 비는 1:N(자연수)인 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 7

제6항에 있어서, 상기 제1 바이폴러 트랜지스터 Q0, 상기 제2 바이폴러 트랜지스터 Q1의 에미터 단면적의 비가 1:10인 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 8

제1항에 있어서, 상기 전류분배부는

상기 Q0의 에미터 단자와 연결된 제1 MOS 트랜지스터와 상기 Q1의 에미터 단자와 연결된 제2 MOS 트랜지스터를 구비하는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 9

제1항에 있어서, 상기 구동전압 전달부는

2개의 MOS 트랜지스터를 구비하며, 상기 2개의 MOS 트랜지스터는 커런트 미러를 구현하도록 연결되어 있는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 10

제1항에 있어서, 상기 연산증폭부는

상기 차동증폭입력부의 회로구성 내부의 전류원 회로에 바이어스 해 주는 셀프 바이어싱(self_biasing) 회로부를 더 포함하는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 11

제1항에 있어서, 상기 전류공급부는

2개의 PMOS 트랜지스터와 1개의 NMOS 트랜지스터를 구비하며, 상기 2개의 PMOS 트랜지스터와 1개의 NMOS 트랜지스터는 커런트 미러를 구현하도록 연결되어 있는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 12

제1항에 있어서, 상기 기준전압발생부는

상기 전류분배부에서 생성된 정전류를 인가 받은 후 상기 전류공급부에 상기 정전류를 전달하는 전류전달부를 더 포함하는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

청구항 13

제1항에 있어서, 상기 전류전달부는

3개의 PMOS 트랜지스터와 2개의 NMOS 트랜지스터를 구비하며, 상기 3개의 PMOS 트랜지스터와 2개의 NMOS 트랜지스터는 캐스코드 커런트 미러를 구현하도록 연결되어 있는 것을 특징으로 하는 저전압 밴드갭 기준전압발생기.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 밴드갭 기준전압 발생기(Band Gap Reference Voltage Generator, BGR)에 관한 것으로, 더욱 상세하게는 PVT(Process-Voltage-Temperature) 변동에 관계없이 안정적이 레벨의 저전압의 기준전압을 공급하기 위한 저전압 밴드갭 기준전압 발생기에 관한 것이다.

배 경 기 술

<2> 밴드갭 기준전압 발생기(Band Gap Reference Voltage Generator, BGR)는 메모리, A/D 변환기, D/A 변환기와 Power Management Circuit 등의 아날로그 회로에 기준전압을 공급하는 회로로 사용된다.

<3> 최근 주력으로 양산되고 있는 메모리 제품의 Design Rule은 60~80㎚가 사용되고 있고, 시스템 온 칩(Sytem On Chip, SOC) 용 IP의 Design Rule은 0.13㎛ 내지 0.18㎛이 사용되면서 전원전압(VDD)은 1.5V 이하로 낮아지고 있다. 이에 따라 PVT(Process Voltage Temperature) 변동에 둔감하고, 저전압에서 안정적으로 동작하는 밴드갭 기준전압 발생기(BGR)가 필요하다.

<4> 도 1은 종래의 밴드갭 전압 발생기의 회로를 도시한 것이다.

<5> 도 1을 참조하면, 종래의 밴드갭 전압 발생기는 구동전압전달부(111)와 증폭입력부(113)를 구비한 증폭부(110), 전류분배부(140), 전류공급부(181)과 기준전압출력부(185)를 구비한 기준전압발생부(180)로 구성되어 있다.

<6> 상기 구동전압전달부(111)는 PMOS로 MP1,MP2, MP3, MP4를 구비하며, 증폭입력기의 드레인 단자에 전압을 입력시키는 기능을 한다. 상기 증폭입력부(113)의 MN1의 게이트 단자는 상기 전류분배기(140)를 구성하는 MP9의 드레인 출력전압(Va)의 단자와 연결되어 있고, 상기 증폭입력부(113)의 MN0의 게이트 단자는 상기 전류분배기(140)

을 구성하는 MP11의 드레인 출력전압(Vb)의 단자와 연결되어 있어서, 일정한 정전류(I) 값을 가질 때까지 피드백 작용을 한다. 상기 전류분배부(140)에 생성된 상기 정전류(I)는 전류공급부(180)로 보내지며, 상기 전류공급부(180)는 상기 정전류(I)를 인가받아 다시 기준전압출력부(185)로 보낸다.

<7> 아래의 [수학식1]은 종래 밴드갭 발생 회로기에 의해 구현되는 PVT 변동에 둔감한 기준전압을 얻기 위해 기준전압 출력부에 공급되는 상기 정전류(I)를 수식으로 표현한 것이다.

<8> [수학식1]

<9> $I = V_{EB1}/R1 + V_T \ln 10/R2$

<10> 여기서, V_{EB1}는 PNP BJT(Bipolar Junction Transistor) Q1의 에미터(emitter)와 베이스(base) 사이의 전압이고, $V_T(=kT/q)$는 열 전압(thermal voltage), k는 볼츠만 상수, T 절대온도, q 단위전하량, R1, R2는 가변저항을 나타낸다.

<11> 상기 [수학식1]에서 알 수 있듯이, 가변 저항 R1과 R2를 조절하여 PVT 변동에 둔감한 정전류(I)를 만들고, 상기 정전류(I)가 기준전압출력부(185)의 가변저항 R3을 통해 흐르면 기준전압(VREF)은 옴의 법칙에 따라 VREF = IR3 표현되므로, 상기 기준전압(VREF) 역시 PVT 변동에 둔감한 정전압을 얻을 수 있음을 알 수 있다.

<12> 그러나 약 0.7V의 전압을 갖는 Va, Vb 전압이 증폭입력부(113)의 입력 단을 턴 온(Turn ON) 시키기 위해서는 낮은 문턱전압(low threshold voltage, low-V_T)을 갖는 MN0, MN1이 필요하므로 추가 공정이 요구되며, 또한 공정에 따라서는 상기 낮은 문턱전압(low-V)을 갖는 트랜지스터가 지원되지 않는 경우도 있다.

<13> 한편, 상기 문제를 해결하기 위해 특별히 낮은 문턱전압을 갖는 MN0, MN1을 사용하는 방법을 고려해 볼 수 있지만, 그럴 경우 드라이버 단에서의 누설전류(leakage current)가 증가하여 특히 모바일용 메모리 장치와 같이 낮은 전류를 소비하여야 하는 소자에서는 사용하기 어려울 뿐 만 아니라, 낮아진 전류 구동력으로 인하여 드라이버 단의 크기를 매우 크게 설계하여야 하므로 회로의 점유면적이 커지는 단점이 있다.

발명의 내용

해결 하고자하는 과제

<14> 본 발명이 해결하고자 하는 기술적 과제는 낮은 구동전압 조건하에서도 PVT(Process-Voltage-Temperature) 변동에 관계없이 안정된 밴드갭 기준전압을 만들어 내는 저전압 밴드갭 기준전압 발생기를 제공하는데 있다.

과제 해결수단

<15> 상기 기술적 과제를 이루기 위한 본 발명에 따른 저전압 밴드갭 기준전압 발생기는 차동증폭기의 입력단에 전압을 인가하는 구동전압 전달부 및 차동증폭입력부를 구비하는 연산증폭부; 반도체 제조 공정에서 기생하는 복수의 바이폴러 트랜지스터 Q0,Q1을 사용하며, 상기 차동증폭입력부에서 출력된 바이어스전압(VBASN)을 인가 받아, 일정한 크기를 갖는 정전류를 생성한 후 기준전압발생부에게 상기 정전류를 흘려보내는 전류분배부; 및 상기 전류분배부에서 생성된 상기 정전류를 인가받아, 기준전압출력노드(N2)로 공급하는 전류공급부 및 상기 전류공급부로부터 인가 받은 상기 정전류에 의해 일정한 값을 갖는 기준전압을 출력시키는 기준전압출력부를 구비하는 기준전압발생부를 포함하는 회로를 제공한다.

효 과

<16> 본 발명은 최소 1.0V의 구동전압에서 작동하며, PVT 변동에 둔감한 안정적인 저전압의 밴드갭 기준전압을 제공하는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<17> 이하, 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

<18> 도2는 본 발명의 제1 실시 예에 의해 간단히 구현되는 밴드갭 기준전압 발생기의 회로를 도시한 것이다.

<19> 도2를 참조하면, 본 발명의 밴드갭 전압 발생기는 연산증폭부(210), 전류분배부(240), 기준전압발생부(280)로 구성된다.

<20> 상기 연산증폭부(210)는 차동증폭기(DIFF_AMP)를 사용하며, 차동증폭기의 정궤환 단자(+)는 상기 전류분배부(240)를 구성하는 제2 바이폴러 트랜지스터(Q1)의 에미터 단자로부터 출력된 전압(Vb)을 피드백 받아 입력하는 제1 입력단(+)을 구성하며, 차동증폭기의 부궤환 단자(-)는 상기 전류분배부(240)를 구성하는 제1 바이폴러 트랜지스터(Q0)의 에미터 단자로부터 출력된 전압(Va)을 피드백 받아 입력하는 제2 입력단(-)을 구성한다.

<21> 상기 차동증폭기의 출력은 MN1, MN2, MN3의 게이트로 출력전압(VBIASN)을 인가시켜, 상기 MN1, MN2, MN3를 턴온(Turn On) 시켜, 일정한 크기를 갖는 정전류(I)를 발생시킨다.

<22> 상기 전류분배기(240)는 반도체 제조공정 중의 하나인 tripple-well 공정에서 기생하는 2개의 NPN 바이폴라 트랜지스터(BJT) Q0, Q1과 가변저항 R01,R11,R12 및 2개의 NMOS 트랜지스터로 MN1,MN2를 구비하고 있어서, 종전의 밴드갭 기준전압발생기의 Va 전압보다 높은 전압이 걸리게 하여 차동증폭기가 정상적인 동작을 가능하게 한다.

<23> 이하 상기 전류분배기(240)를 구성하는 회로의 연결 구조를 상세히 설명한다.

<24> 구동전압(VDD)과 접지전압(VSS) 사이에 상기 Q0의 컬렉터 단자와 상기 구동전압(VDD)의 출력단자가 연결되어 있고, 가변저항 R01은 Q0의 컬렉터 단자와 에미터 단자에 병렬로 연결되어 있다. 또한 상기 Q0의 에미터 단자로 출력되는 출력전압(Va)이 MN1에 인가되도록 MN1의 드레인 단자와 연결되어 있으며, 상기 MN1의 소스 단자는 접지부 전압(VSS) 단자와 연결되어 있다.

<25> 또한, 구동전압(VDD)과 접지전압(VSS) 사이에 상기 Q1의 컬렉터 단자는 가변저항 R12와 직렬로 연결된 채로 상기 구동전압(VDD)의 출력단자와 연결되어 있고, 가변저항 R11은 구동전압(VDD)과 상기 가변저항 R12의 입력단자 사이의 단자와 상기 Q1의 에미터 단자를 병렬로 연결되어 있다. 또한 상기 Q1의 에미터 단자로 출력되는 출력전압(Vb)이 MN2에 인가되도록 MN2의 드레인 단자와 연결 되어 있으며, 상기 MN2의 소스 단자는 접지부전압(VSS) 단자와 연결되어 있다.

<26> 상기 기준전압발생부(280)는 전류공급부(281)와 기준전압출력부(285)로 구성되어 있다.

<27> 이하 상기 기준전압발생부(280)를 구성하는 회로의 연결 구조를 상세히 설명한다.

<28> 상기 전류공급부(281)는 커런트 미러로 PMOS인 MP1, MP2를 포함한다. 상기 MP1의 소스 단자부는 구동전압(VDD)과 연결되어 있으며, MP1의 드레인 단자부는 NMOS인 MN3의 드레인 단자와 연결되어 있으며, MN3의 소스 단자는 접지부전압(VSS)과 연결되어 있다. 또한 상기 MP1, MP2는 MP1의 드레인으로 출력된 전압이 MP2의 게이트 전압으로 인가 되도록 연결되어 있어 커런트 미러로 동작한다.

<29> 상기 기준전압출력부(285)는 기준전압출력노드(N2)와 연결된 가변저항 R3을 갖으며, 상기 가변저항 R3은 접지부전압(VSS)과 연결되어 있고, 상기 기준전압출력노드(N2)는 PVT 변동에 둔감한 일정한 크기를 갖는 기준전압(VREF)을 출력한다.

<30> 상기 기준전압출력부(285)는 상기 전류공급부(281)에서 출력된 PVT 변동에 둔감한 일정한 크기를 갖는 정전류(I)를 가변저항 R3에 흘려 보내고, 옴의 법칙에 의해 VREF = IR3 표시되므로, PVT 변동에 둔감한 일정한 크기를 갖는 기준전압(VREF)을 출력하게 된다.

<31> 이하, 도2를 참조해서 연산증폭부(210), 전류분배부(240), 기준전압발생부(280)에 도시된 회로의 동작을 상세히 설명한다.

<32> 먼저, 상기 연산증폭부(210)와 상기 전류분배부(240) 사이의 상호 동작에 의해 정전류(I)를 생성하는 동작을 살펴 본다.

<33> 만일, 전류분배기(240)를 구성하는 상기 Q0, Q1의 에미터 단자로 흐르는 정전류(I)가 목표전류 보다 많이 흐르게 되는 경우, 연산증폭부(210)를 구성하는 차동증폭기의 Vb의 전압이 Va의 전압보다 더 많이 강하 되고, 차동증폭기의 출력전압(VBIASN) 값은 낮아지게 되므로 NMOS 커런트 미러(Current mirror)인 MN1과 MN2의 전류가 줄어든다. 그러면, 부궤환(Negative Feedback) 동작에 의해 정전류(I)는 정상상태(Standing state)에서 목표전류를 유지하도록 한다. 전류분배부(240)의 Q0와 병렬 연결된 가변 저항 R01과 전류분배부(240)의 Q1과 직력 연결된 가변저항 R12를 조절하여 회로에서 요구되는 크기를 갖는 PVT 변동에 둔감한 정전류(I)를 얻을 수 있게 된다.

<34> 이하, 상기 전류분배부(240)에서 생성된 정전류(I)를 기준전압발생부(280)로 보내어 일정한 값을 갖는 기준전류

(VREF)를 출력하는 동작을 살펴본다.

<35> 상기 전류분배부(240)에서 생성된 정전류(I)가 전류공급부(281)의 PMOS 커런트 미러인 MP1과 MP2를 통해 미러링(mirroring) 되어 기준전압출력부(285)의 가변저항 R3를 통해 흐르면, 옴의 법칙에 의해 VREF = IR3 표시되므로, 상기 R3을 통해 걸리는 기준전압(VREF)도 PVT 변동에 둔감한 정전압을 얻을 수 있다.

<36> 도 3은 본 발명의 제2 실시 예에 의해 구현되는 밴드갭 기준전압 발생기의 회로를 도시한 것이다.

<37> 도3을 참조하면, 도 2에서와 같이 본 발명의 밴드갭 전압 발생기는 연산증폭부(310), 전류분배부(340), 기준전압발생부(380)로 구성된다.

<38> 상기 연산증폭부(310)는 도2에서와 같이 차동증폭기를 사용한 것으로서, 구체적으로 구동전압전달부(311), 차동증폭입력부(313),셀프 바이어싱(Self-Biasing) 회로부(315)로 구성되어 있다.

<39> 이하, 상기 연산증폭부(310)를 구성하는 회로에 대해 상세히 설명한다.

<40> 상기 구동전압전달부(311)는 PMOS인 MP0과 MP1이 커런트 미러로 작동하게 하기 위해 MP0의 드레인으로 출력된 전압이 MP1의 게이트 전압으로 인가되도록 연결되어 있으며, 상기 MP0과 MP1의 드레인 단자는 상기 차동증폭입력부(313) 각각의 드레인 단자와 연결되어 있다.

<41> 상기 차동증폭입력부(313)는 차동증폭기의 2개의 입력단을 구성하기 위해 NMOS인 MN0와 MN1으로 구성되어 있다. 상기 MN0의 게이트 단자는 상기 전류분배부(340)를 구성하는 제2 바이폴러 트랜지스터(Q1)의 에미터 단자로부터 출력된 전압(Vb)을 피드백 받아 입력하는 제1 입력단(+)을 구성하며, MN1의 게이트 단자는 상기 전류분배부(340)를 구성하는 제1 바이폴러 트랜지스터(Q0)의 에미터 단자로부터 출력된 전압(Va)을 피드백 받아 입력하는 제2 입력단(-)을 구성한다.

<42> 상기 셀프 바이어싱(Self-Biasing) 회로부(315)는 MN2, MN3, MP2를 구비함으로써, 상기 차동증폭입력부의 회로 구성 내부의 전류원 회로에 바이어스 해 주는 기능을 갖는다.

<43> 상기 MN2의 드레인 단자는 상기 차동증폭입력부(313)의 MN0과 MN1의 소스단자의 출력전압 노드와 연결되어 있다. 상기 MN2의 게이트 단자에서 출력된 전압(VBISN)는 MN2의 게이트 출력단자와 MP3의 게이트 입력단자 사이의 노드를 거쳐 MN3의 드레인 입력단자로 공급된다. 상기 MP2의 게인트 단자는 상기 구동전압전달부(311)의 MP1의 드레인 단자에서 출력된 전압(VBSISP)을 입력받도록 MP1의 드레인 단자와 연결되어 있다. 또한 상기 MP2의 드레인 단자와 MN3의 드레인 단자는 직렬로 연결되어 있으며, 상기 MN2와 MN3 각각의 소스단자는 접지부전압(VSS)과 연결되어 있다.

<44> 이하, 전류분배부(340)를 구성하는 회로에 대해 상세히 설명한다.

<45> 상기 전류분배부(340)는 도2의 전류분배부(340)의 구성과 동일하게, 2개의 바이폴라 트랜지스터(BJT) Q0, Q1, 가변저항 R01, R11, R12 및 NMOS로 MN4, MN5를 구비하고 있다.

<46> 구동전압(VDD)과 접지전압(VSS) 사이에 상기 Q0의 컬렉터 단자와 상기 구동전압(VDD)의 출력단자가 연결되어 있고, 가변저항 R01은 Q0의 컬렉터 단자와 에미터 단자에 병렬로 연결되어 있다. 또한 상기 Q0의 에미터 단자로 출력되는 출력전압(Va)이 MN4에 인가되도록 MN4의 드레인 단자와 연결되어 있으며, 상기 MN4의 소스 단자는 접지부전압(VSS) 단자와 연결되어 있다.

<47> 또한, 구동전압(VDD)과 접지전압(VSS) 사이에 상기 Q1의 컬렉터 단자는 가변저항 R12와 직렬로 연결된 채로 상기 구동전압(VDD)의 출력단자와 연결되어 있고, 가변저항 R11은 구동전압(VDD)과 상기 가변저항 R12의 입력단자 사이의 단자와 상기 Q1의 에미터 단자를 병렬로 연결되어 있다. 또한 상기 Q1의 에미터 단자로 출력되는 출력전압(Vb)이 MN5에 인가되도록 MN5의 드레인 단자와 연결 되어 있으며, 상기 MN5의 소스 단자는 접지부전압(VSS) 단자와 연결되어 있다.

<48> 한편, 상기 MN4, MN5는 커런트 미러로 작동하며, 이를 구현하기 MN4의 게이트 출력전압이 MN5의 게이트 입력전압이 되도록 상호 연결되어 있다.

<49> 이하, 상기 기준전압발생부(380)를 구성하는 회로에 대해 상세히 설명한다.

<50> 상기 기준전압발생부(380)는 전류전달부(381), 전류공급부(383), 기준전압출력부(385)로 구성된다.

<51> 상기 전류전달부(381)는 연산증폭부(310)과 전류분배부(340)의 피드백 작용에 의해 생성된 연산증폭기 출력노드(N1)로 출력된 정전류(I)를 인가받아, 상기 전류공급부(383)로 동일한 값의 정전류(I)를 전달한다. 이를 구현하

기 위해 상기 전류전달부(381)는 PMOS인 MP3, MP4, MP5와 NMOS인 MN6, MN7를 구비하며, 또한 와이드 스윙(wide swing)을 갖는 캐스코드 커런트 미러(Cascode current mirror)로 작동하도록 연결되어 있다.

<52> 상기 전류공급부(383)는 상기 전류전달부(381)로부터 인가받은 정전류(I)를 상기 기준전압출력부(385)로 공급하는 기능을 가지며, 이를 구현하기 위해 상기 전류공급부(383)는 상호 직렬로 연결된 PMOS인 MP6과 MP7을 구비한다.

<53> 이하, 상기 전류전달부(381)를 구성하는 회로와 상기 전류공급부(383)를 구성하는 회로의 연결 구조를 설명한다.

<54> 상기 전류전달부(381) 회로는 구동전압(VDD)과 접지부전압(VSS) 사이로 각각 MP3,MP4, MN6를 구비한 제1회로블록과 MP5, MN7를 구비한 제2회로블록을 가지고 있다. 상기 제1회로블록의 MP3의 소스 단자는 구동전압(VDD)과 연결되어 있고, MP3의 드레인 단자와 MP4의 소스 단자가 직렬로 연결되어 있다. 상기 MP4의 드레인 단자와 상기 MN6의 드레인 단자는 직렬로 연결되어 있고, MN6의 소스 단자는 접지부전압(VSS)과 연결되어 있다. 또한, 상기 제2회로블록의 MP5의 소스 단자는 구동전압(VDD)과 연결되어 있고, 상기 MP5의 드레인 단자와 상기 MN7의 드레인 단자가 직렬로 연결되어 있고, 상기 MN7의 소스 단자는 접지부전압(VSS)과 연결되어 있다.

<55> 상기 전류공급부(383)를 구성하는 회로는 MP6과 MP7을 구비하며, 상기 MP6의 소스 단자와 구동전압(VDD)이 연결되어 있고, 상기 MP6의 드레인 단자와 상기 MP7의 소스단자는 서로 직렬로 연결되어 있다.

<56> 이하, 상기 제1회로블록, 제2회로블록, 전류공급부(383) 구성하는 회로 상호간의 연결 구조를 설명한다.

<57> 상기 MP3의 게이트 출력전압은 상기 MP6의 게이트 입력전압으로 인가되도록 연결되어 있고, 또한 MP4의 드레인 출력전압 노드(N4)는 상기 MP6의 게이트 입력전압 노드(N3)와 연결되어 있다.

<58> 상기 MP4의 게이트 출력전압은 MP5, MP7의 게이트 입력전압으로 인가되도록 연결되어 있고, 또한 MP4의 게이트 출력전압 노드(N5)는 MP5의 드레인 출력전압 노드(N6)와 연결되어 있다.

<59> 상기 MN6, MN7은 연산증폭기출력노드(N1)로 출력된 정전류(I)에 대해 커런트 미러로 작동하며, 이를 구현하기 위해 MN6의 게이트 출력전압이 MN7의 게이트 입력전압이 되도록 상호 연결되어 있다.

<60> 기준전압출력부(385)는 접지부 전압(VSS)과 연결된 가변 저항 R3, 상기 R3와 병렬연결 된 커패시터, 전류공급부(383)로부터 정전류(I)를 인가 받아 기준전압(VREF)을 출력하는 기준전압출력노드(N2)를 구비한다.

<61> 상기 전류공급부(383)에서 출력된 PVT 변동에 둔감한 일정한 크기를 갖는 정전류(I)를 상기 가변 저항 R3에 흘려 보내면, 옴의 법칙에 따라 VREF = IR3로 표시되므로, 상기 기준전압출력노드(N2) 역시 PVT 변동에 둔감한 일정한 크기를 갖는 기준전압(VREF)을 출력하게 된다. 이때, 정전류(I)가 노이즈로 인해 변동되는 것을 감소시키기 위해 상기 가변 저항 R3 와 커패시터를 병렬로 연결한다.

<62> 이하 구체적인 정전류(I)와 기준전압(VREF)의 관계를 도3을 참조해서 설명한다.

<63> 정상상태(Steady-state)에서 차동증폭기의 부궤환(Negative Feedback) 동작에 의해 Va와 Vb 노드의 전압은 같게 되며, 이때 바이폴러 트랜지스터 Q1의 저항 R12에 걸리는 전압 ΔV_{BE} 는 아래 [수학식2]와 같이 표시된다.

<64> [수학식2]

<65> $$\Delta V_{BE} = V_{BE0} - V_{BE1} = V_T \ln N$$

<66> 여기서, V_{BE0} 는 바이폴러 트랜지스터 Q0의 베이스, 에미터 간의 전압이며, V_{BE1} 는 바이폴러 트랜지스터 Q1의 베이스, 에미터 간의 전압이고, $V_T = kT/q$는 열전압, N=m1/m0 는 Q1의 에미터 단면적(m1)과 Q0의 에미터 단면적(m0)의 비를 나타낸다. 본 발명에서는 N=10을 사용했지만, 필요에 따라 임의의 자연수를 갖는 적정한 수로 선택하여 실시할 수 있음은 당연하다.

<67> 또한, 바이폴러 트랜지스터 Q1을 통해 흐르는 전류 I_{Q1}은 아래 [수학식3]과 같이 표시된다.

<68> [수학식3]

<69> $$I_{Q1} = \Delta V_{BE} / R12 = V_T \ln N / R12$$

<70> 상기 [수학식2],[수학식3]을 참조하면, 정전류(I)는 아래 [수학식4]와 같이 표시된다.

<71> [수학식4]

<72> $I = I_{R11} + I_{Q1} = I_{R01} + I_{Q1} = V_{BE0} / R01 + V_T \ln N / R12$

<73> 여기서, 설계상 Va, Vb 전압의 크기가 차동증폭기의 네거티브 피드백에 의해 같아지므로, $I_{R11} = I_{R01}$로 되며, Q0과 Q1의 특성은 동일하게 놓고 설계한다. 다만, 에미터 단면적의 비 Q0:Q1 = 1:10 (N=10)로 설정하는 것이 레이아웃 면적의 문제를 최소화 할 수 있어 바람직하다.

<74> 상기 정전류(I)가 와이드 스윙을 갖는 캐스코드 커런트 미러를 통해 기준전압출력부(385)의 가변저항 R3에 흐를 때, 기준전압(VREF)은 아래 [수학식5]와 같이 표시된다.

<75> [수학식5]

<76> $VREF = R3 \times I = R3 \times (V_{BE0} / R1 + V_T \ln N / R12)$

<77> 상기 [수학식5]를 살펴보면, 온도의 변동이 있더라도 음의 온도계수를 갖는 항($V_{BE0} / R1$)과 양의 온도계수를 갖는 항($V_T \ln N / R12$)이 온도변동 폭만큼 서로 상쇄가 일어나 항상 일정한 값을 유지한다는 것을 알 수 있다. 또한, 가변저항 R1, R12, R3를 조절함으로써, 회로에서 원하는 임의의 값을 갖는 기준전압(VREF)을 생성할 수 있음을 알 수 있다.

<78> 도 4는 본 발명에 의한 밴드갭 기준전압 발생기의 스타트 업(Start-up) 회로를 도시한 것이다.

<79> 도 4를 참조하면, 방전 트랜지스터(Discharge Transistor)로 MN4(440)를 사용함으로써, MP1(410)의 출력전압인 VBIASP(415)가 상기 MP1(410)의 구동전압 VDD을 따라 같이 상승될 경우, 상기 MN4(440)를 턴 온(Turn On) 시켜 상기 VBIASP(415) 값을 하강시킨다. 또한, 상기 VBIASP(415) 값이 정상적인 전압으로 하강되면 상기 MN4(440)를 턴 오프(Turn Off) 시켜 기준전압 발생기의 회로 동작에 영향을 주지 않게 한다.

<80> 따라서, 파워 업(Power-Up)시 상기 VBIASP(415) 값이 커플링 커패시터(Coupling capacitor) 현상에 의해 구동전압 VDD 값에 따라 올라가는 경우, MP2(420)로 전류가 흐르지 않아 차동증폭기의 전류를 바이어싱 하지 못함으로 인해 정상적인 기준전압을 만들어 주지 못하는 문제를 해결할 수 있다.

<81> 도 5는 본 발명에 의한 밴드갭 기준전압 발생기의 전원전압(VDD)에 대한 기준전압(VREF)의 출력의 관계를 도시한 것이다.

<82> 도 5를 참조하면, 3 가지 공정모드와 온도조건(SS -40℃, TT 25℃, FF 85℃) 에 대해 모의 실험한 결과 전원전압(VDD)이 1.0V에서 정상적인 동작을 시작하는 것을 볼 수 있다. 전원전압 민감도(VDD sensitivity)는 0.32 mV/V 값을 가진다.

<83> 도 6은 본 발명에 의한 밴드갭 기준전압 발생기의 온도변화에 의한 기준전압(VREF)의 관계를 도시한 것이다.

<84> 도 6을 참조하면, -40℃에서 85℃까지의 온도가 변할 때 기준전압(VREF)은 점차 감소하다가 최소 점을 거쳐 다시 점차 상승하는 포물선을 나타내는 것을 볼 수 있다. 온도 민감도(Temperature Sensitivity)는 84.27 ppm/℃ 값을 갖는다.

<85> 도 7은 본 발명에 의한 밴드갭 기준전압 발생기의 배치 설계를 도시한 것이다.

<86> 도 7을 참조하면, 매그나칩 반도체 0.18㎛ DDI 공정을 사용하여 설계된 밴드갭 기준전압 발생기의 배치 설계(Layout plot)를 도시한 것으로서, Tripple- well CMOS 공정을 이용하여 기생(Parasitic) NPN 트랜지스터를 설계하였고, 전체 레이아웃(Layout) 크기는 409.36㎛ × 135.46㎛ 이다.

<87> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

<88> 도 1은 종래의 밴드갭 전압 발생기의 회로를 도시한 것이다.

<89> 도2는 본 발명의 제1 실시 예에 의해 간단히 구현되는 밴드갭 기준전압 발생기의 회로를 도시한 것이다.

<90> 도 3은 본 발명의 제2 실시 예에 의해 구현되는 밴드갭 기준전압 발생기의 회로를 도시한 것이다.

<91> 도 4는 본 발명에 의한 밴드갭 기준전압 발생기의 스타트 업(Start-up) 회로를 도시한 것이다.

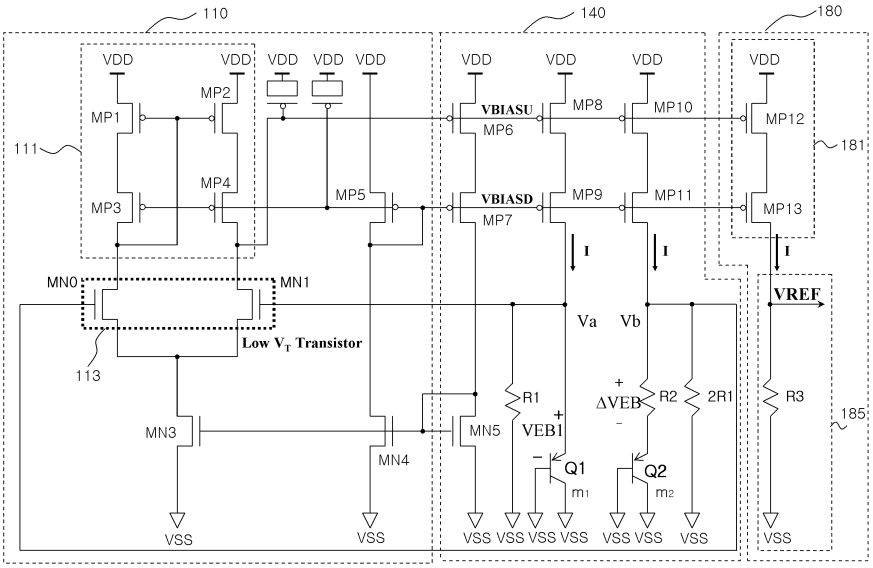
<92> 도 5는 본 발명에 의한 밴드갭 기준전압 발생기의 전원전압(VDD)에 대한 기준전압(VREF)의 출력의 관계를 도시한 것이다.

<93> 도 6은 본 발명에 의한 밴드갭 기준전압 발생기의 온도변화에 의한 기준전압(VREF)의 관계를 도시한 것이다.

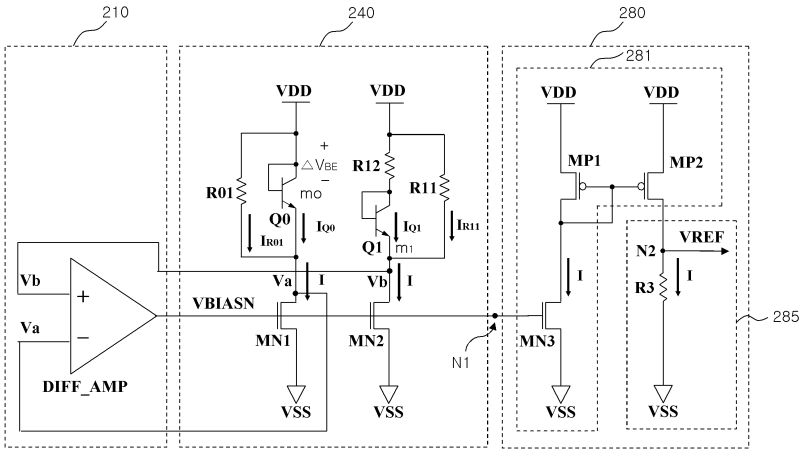
<94> 도 7은 본 발명에 의한 밴드갭 기준전압 발생기의 배치 설계를 도시한 것이다.

도면

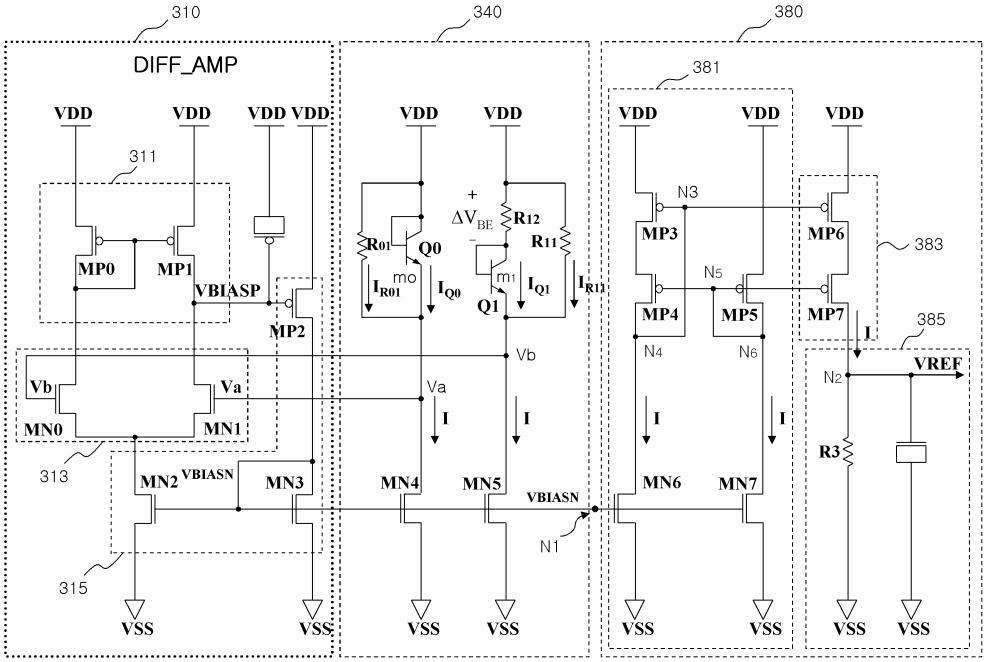
도면1



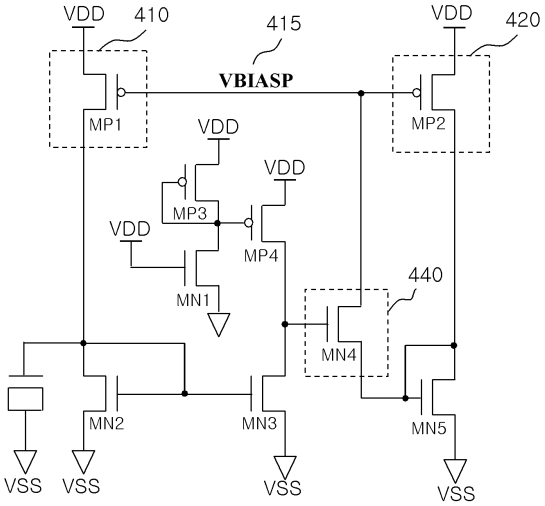
도면2



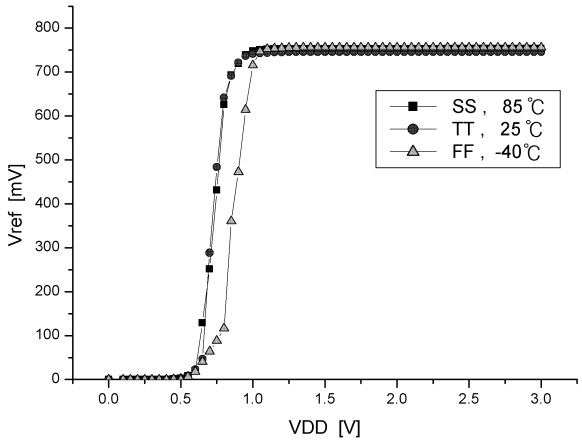
도면3


310
340
380
DIFF_AMP
381
VDD
311
MP0
MP1
VBIASP
MP2
Vb
Va
MN0
MN1
313
MN2
VBIASN
MN3
315
VSS
R01
Q0
mo
I_R01
I_Q0
ΔV_BE
R12
R11
m1
Q1
I_Q1
I_R11
MN4
MN5
VBIASN
N1
I
N3
MP3
MP4
MP5
N4
N5
N6
MP6
MP7
383
385
VREF
N2
R3
MN6
MN7

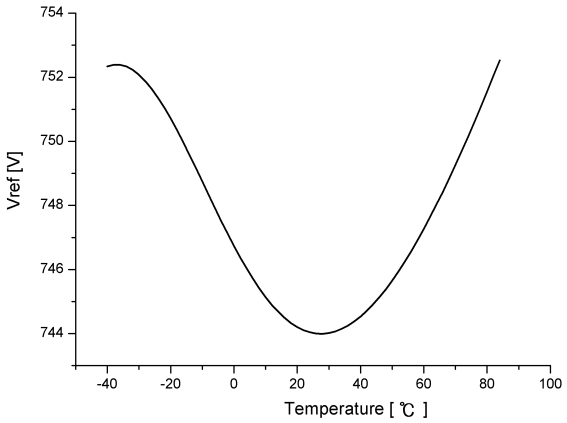
도면4


VDD
410
415
VBIASP
420
MP1
MP2
MP3
MP4
MN1
440
MN4
MN2
MN3
MN5
VSS

도면5



도면6



도면7

