

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-6708

(P2016-6708A)

(43) 公開日 平成28年1月14日 (2016. 1. 14)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/406 (2006.01)	G 1 1 C 11/34 3 6 3 N	5 F 0 4 8
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 3 B	5 F 0 8 3
H O 1 L 27/10 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 1 0
H O 1 L 21/8242 (2006.01)	H O 1 L 29/78 6 2 0	5 M 0 2 4
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 4 8 1	
審査請求 未請求 請求項の数 11 O L (全 43 頁) 最終頁に続く		

(21) 出願番号 特願2015-104389 (P2015-104389)
 (22) 出願日 平成27年5月22日 (2015. 5. 22)
 (31) 優先権主張番号 特願2014-111062 (P2014-111062)
 (32) 優先日 平成26年5月29日 (2014. 5. 29)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 石津 貴彦
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 F ターム (参考) 5F048 AB01 AC01 AC10 BA01 BA14
 BA16 BA19 BA20 BB03 BC18
 BD10 BF11 BF15 BF16 CB01
 CB03 CB04

最終頁に続く

(54) 【発明の名称】 記憶装置、並びにそれを有する半導体装置および電子機器

(57) 【要約】 (修正有)

【課題】 リフレッシュサイクルを最適化することが可能な記憶装置を提供する。

【解決手段】 記憶装置は、リフレッシュ動作のトリガーとなる信号を生成するモニタ回路101を有する。モニタ回路101はトランジスタMrp1及び容量素子Crp1を有する。モニタ回路101は、容量素子Crp1で保持している電位が参照電位Vrefよりも低いことを検出する機能と、検出結果に基づいて第1信号rfsh及び第2信号strを生成する機能と、第2信号strに従い、トランジスタMrp1を導通状態にして、容量素子Crp1で保持しているノードMNTの電位Vmntを初期状態にリセットする機能と、を有する。第1信号rfshに基づいて、メモリセルのリフレッシュを開始する。

【選択図】 図5

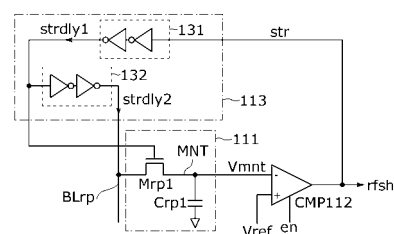
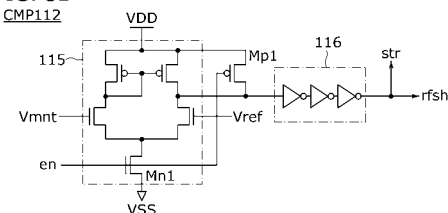
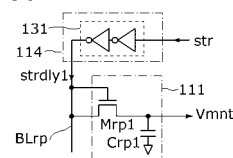
FIG. 5A
モニタ回路
101FIG. 5B
CMP112

FIG. 5C



【特許請求の範囲】

【請求項 1】

第 1 乃至第 3 配線と、
メモリセルと、
第 1 回路と、
を有し、
前記メモリセルは、第 1 トランジスタ、および第 1 容量素子を有し、
前記第 1 トランジスタは、第 1 配線と第 1 容量素子の第 1 端子間の導通状態を制御する機能を有し、
前記第 2 配線に、前記第 1 トランジスタのゲートが電氣的に接続され、
前記第 1 回路は、第 2 トランジスタ、および第 2 容量素子を有し、
前記第 2 トランジスタは、前記第 3 配線と第 2 容量素子の第 1 端子間の導通状態を制御する機能を有し、
前記第 1 回路は、前記第 2 容量素子の前記第 1 端子の電位が第 2 電位未満であることを検出することができる機能と、前記検出結果に基づいて第 1 信号および第 2 信号を生成する機能と、前記第 2 信号に従い、前記第 2 トランジスタを導通状態にする機能と、前記第 2 信号に従い、前記第 3 配線に第 3 電位を印加する機能と、を有し、
前記第 1 信号は、前記メモリセルのリフレッシュ動作を開始させる機能を有する記憶装置。

10

【請求項 2】

20

請求項 1 において、
前記第 1 回路は、前記第 2 信号を遅延した第 3 信号を生成する機能を有し、
前記第 3 信号が前記第 3 配線に入力され、
前記第 2 信号が前記第 2 トランジスタのゲートに入力される記憶装置。

【請求項 3】

請求項 1 または 2 において、
前記第 1 回路は、増幅回路、およびスイッチを有し、
前記増幅回路は、前記第 2 容量素子の前記第 1 端子の電位と、前記第 2 電位との差を増幅する機能を有し、
前記増幅回路は、第 3 トランジスタを有し、
前記第 3 トランジスタは電流源として機能することができ、
前記スイッチは、第 4 電位を供給することができる配線と、前記増幅回路との間の導通状態を制御する機能を有し、前記第 3 トランジスタが非導通状態の期間、導通状態になる記憶装置。

30

【請求項 4】

請求項 1 乃至 3 の何れか 1 項において、
前記第 1 および前記第 2 トランジスタは、チャネルが酸化物半導体で形成されている記憶装置。

【請求項 5】

40

請求項 4 において、
前記酸化物半導体は、c 軸に配向している結晶部をする記憶装置。

【請求項 6】

請求項 1 乃至 5 の何れか 1 項において、
前記メモリセル、前記第 1 配線、および前記第 2 配線が複数配列されているメモリセルアレイを有し、
前記メモリセルアレイは、複数のバンクを有し、
前記複数のバンクは、それぞれ、前記第 1 回路を有し、
前記第 1 回路で生成される前記第 1 信号は、対応する前記バンクのリフレッシュ動作を開始させることができる機能を有する記憶装置。

【請求項 7】

50

請求項 1 乃至 5 の何れか 1 項において、

前記メモリセル、前記第 1 配線、および前記第 2 配線が複数配列されているメモリセルアレイを有し、

前記メモリセルアレイは、複数のバンクを有し、

前記複数のバンクは、それぞれ、複数のブロックを有し、

前記複数のブロックは、それぞれ、前記第 1 回路を有し、

前記第 1 回路で生成される前記第 1 信号は、対応する前記ブロックのリフレッシュ動作を開始させる機能を有する記憶装置。

【請求項 8】

請求項 1 乃至 5 の何れか 1 項において、

10

前記メモリセル、前記第 1 配線、および前記第 2 配線が複数配列されているメモリセルアレイを有し、

前記メモリセルアレイは、複数のバンクを有し、

前記複数のバンクは、それぞれ、複数のブロックを有し、

前記複数のブロックにおいて、それぞれ、前記第 1 配線ごとに、前記第 1 回路が設けられ、

前記第 1 回路で生成される前記第 1 信号は、対応する前記第 1 配線に電氣的に接続されている前記メモリセルのリフレッシュ動作を開始させる機能を有する記憶装置。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の記憶装置と、

20

CPUコアと、

を有する半導体装置。

【請求項 10】

請求項 1 乃至 8 のいずれか 1 項に記載の記憶装置と、

制御回路と、

アンテナと、

を有する半導体装置。

【請求項 11】

請求項 1 乃至 8 に記載の記憶装置、並びに請求項 9 および 10 に記載の半導体装置のうちのいずれか 1 つと、

30

筐体、マイクロホン、スピーカー、または、操作キーの少なくとも 1 つと、
を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、半導体を利用した記憶装置やその他の半導体装置、そのための駆動方法、およびそのための作製方法等に関する。

【0002】

本発明の一形態は、上記の技術分野に限定されない。本出願の明細書、図面、及び特許請求の範囲（以下、本明細書等と呼ぶ）で開示する発明の一形態の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一形態は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書等で開示する本発明の一形態の技術分野としては、半導体装置、記憶装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、入力装置、撮像装置、それらの駆動方法、または、それらの製造方法を一例として挙げることができる。

40

【背景技術】

【0003】

一般的なDRAM（ダイナミックランダムアクセスメモリ）は、メモリセルが 1 つの書き込みトランジスタ（1T）と 1 つの容量素子（1C）で構成されている。1T1C型DR

50

A Mは、容量素子に電荷を蓄積することで、データを保持することが可能なメモリであるため、原理的に無制限に書き込みができる。また、書き込みおよび読み出しの速度が比較的高速であり、メモリセルの素子数が少ないため高集積が容易であることから、D R A Mは大容量なメモリ装置として、多くの電子機器に組み込まれている。また、1 T 1 C型メモリセルに対して、2つのトランジスタまたは3つのトランジスタで形成されたゲインセルと呼ばれる構造のメモリセルが知られている。

【0004】

書き込みトランジスタはオフ状態であっても、わずかにソースとドレイン間にリーク電流が生じるため、データは比較的短時間で失われる。そのため、D R A Mでは、一定周期（一般的には数十ミリ秒に一度）でデータを再書き込み（リフレッシュ）する必要がある。

10

【0005】

1 T 1 C型メモリセル、およびゲインセルの書き込みトランジスタに、チャネルが酸化物半導体で形成されているトランジスタ（以下、“O S トランジスタ”と呼ぶ場合がある。）を適用することが提案されている。例えば、特許文献1では、O S トランジスタのオフ電流が極めて小さいという特性を利用することで、電力が供給されない状態でも、メモリセルにおいてデータの保持が長期間可能とされている。また、O S トランジスタが用いられたメモリセルのリフレッシュのタイミングを検出する機能を有する回路が提案されている（例えば、特許文献2、3）。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】特開2011-187950号公報

【特許文献2】特開2012-64930号公報

【特許文献3】特開2012-256408号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一形態は、新規な半導体装置、または新規な半導体装置の駆動方法を提供することを課題の一つとする。または、本発明の一形態は、信頼性が向上された半導体装置、同駆動方法を提供することを課題の一つとする。または、本発明の一形態は、消費電力を削減することが可能な記憶装置、または同駆動方法を提供することを課題の一つとする。または、本発明の一形態は、リフレッシュサイクルを最適化することが可能な記憶装置、または同駆動方法を提供することを課題の一つとする。または、本発明の一形態は、温度補償が可能な記憶装置、または同駆動方法を提供することを課題の一つとする。

30

【0008】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

【課題を解決するための手段】

40

【0009】

本発明の一形態に係る記憶装置は、メモリセルおよび第1回路を有する。第1回路は、トランジスタおよび容量素子を有する。第1回路は、容量素子で保持している電位が参照電位よりも低いことを検出する機能と、検出結果に基づいて第1信号および第2信号を生成する機能と、第2信号に従い、トランジスタを導通状態にして容量素子で保持している電位を初期状態にリセットする機能と、を有する。第1信号に基づいて、メモリセルのリフレッシュを開始することが可能である。

【0010】

本明細書等において、“第1”、“第2”、“第3”という序数詞は構成要素の混同を避けるために付す場合があり、その場合は数的に限定するものではなく、また順序を限定す

50

るものでもない。

【0011】

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップは、半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0012】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つのノード（端子）を有する。ゲートは、トランジスタの導通状態を制御する制御ノードとして機能するノードである。ソースまたはドレインとして機能する一対の入出力ノードは、トランジスタの導電型及び各ノード（端子）に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。一般的に、n型トランジスタでは、低い電位が与えられるノードがソースと呼ばれ、高い電位が与えられるノードがドレインと呼ばれる。逆に、p型トランジスタでは、低い電位が与えられるノードがドレインと呼ばれ、高い電位が与えられるノードがソースと呼ばれる。本明細書では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合がある。

【0013】

本明細書では、回路構成やその動作の理解を容易にするため、トランジスタの2つの入出力ノードの一方をソースに、他方をドレインに限定して説明する場合がある。もちろん、駆動方法によっては、トランジスタの3つの端子に印加される電位の大小関係が変化し、ソースとドレインが入れ替わる場合がある。したがって、本発明の一態様において、トランジスタのソースとドレインの区別は、明細書および図面での記載に限定されるものではない。

【0014】

本明細書等において、能動素子（例えば、トランジスタ、ダイオードなど）、受動素子（例えば、容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【発明の効果】

【0015】

本発明の一形態は、新規な半導体装置、または新規な半導体装置の駆動方法を提供することを可能とする。または、本発明の一形態は、信頼性が向上された半導体装置、同駆動方法を提供することを可能とする。または、本発明の一形態は、消費電力を削減することが可能な記憶装置、または同駆動方法を提供することを可能とする。または、本発明の一形態は、リフレッシュサイクルを最適化することが可能な記憶装置、または同駆動方法を提供することを可能とする。または、本発明の一形態は、温度補償が可能な記憶装置、または同駆動方法を提供することを可能とする。

【0016】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【0017】

【図1】記憶装置の構成の一例を示すブロック図。

【図2】A-D：メモリセルの構成の一例を示す回路図。

【図3】A、B：メモリセルアレイの構成の一例を回路図。

【図4】モニタ回路の構成の一例を示すブロック図。

【図5】A：モニタ回路の構成の一例を示す回路図。B：コンパレータの構成の一例を示す回路図。C：書き込み回路の構成の一例を示す回路図。

【図6】モニタ回路の構成の一例を示す回路図。

【図7】メモリセルアレイの構成の一例を示すブロック図。

【図8】バンクの構成の一例を示すブロック図。

10

【図9】マットの構成の一例を示すブロック図。

【図10】信号s t rを生成する機能を有する回路の構成の一例を示す回路図。

【図11】O Sトランジスタの構成の一例を示す図。A：上面図。B：y 1 - y 2 線断面図。C：x 1 - x 2 線断面図。D：x 3 - x 4 線断面図。

【図12】O Sトランジスタの構成の一例を示す図。A：上面図。B：y 1 - y 2 線断面図。C：x 1 - x 2 線断面図。D：x 3 - x 4 線断面図。

【図13】O Sトランジスタの構成の一例を示す図。A：上面図。B：y 1 - y 2 線断面図。C：x 1 - x 2 線断面図。D：x 3 - x 4 線断面図。

【図14】O Sトランジスタの構成の一例を示す図。A：上面図。B：y 1 - y 2 線断面図。C：x 1 - x 2 線断面図。D：x 3 - x 4 線断面図。：x 1 - x 2 線断面図。B：x 3 - x 4 線断面図。

20

【図15】O Sトランジスタの構成の一例を示す図。A：上面図。B：y 1 - y 2 線断面図。C：x 1 - x 2 線断面図。D：x 3 - x 4 線断面図。

【図16】O Sトランジスタの構成の一例を示す図。A：上面図。B：y 1 - y 2 線断面図。C：x 1 - x 2 線断面図。D：x 3 - x 4 線断面図。

【図17】A：図12 Bの部分拡大図。B：O Sトランジスタのエネルギーバンド図。

【図18】記憶装置のデバイス構造の一例を示す断面図。

【図19】プロセッシングユニット（C P U）の一例を示すブロック図。

【図20】プロセッシングユニット（R F I Dタグ）の一例を示すブロック図。

【図21】A-F：R F I Dタグの使用例を示す図。

30

【図22】A：電子部品の作製方法の一例を示すフローチャート。B：電子部品の構成の一例を示す斜視模式図。

【図23】A-H：電子機器の一例を説明する図。

【発明を実施するための形態】

【0018】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0019】

40

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。また、同じ符号を用いる場合、特に、その中でも区別する必要があるときには、符号に“_1”、“_2”、“[n]”、“[m、n]”等の識別用の符号を付記して記載する場合がある。例えば、メモリセルアレイ中の複数の配線W L Wを個々に区別する場合、メモリセルアレイのアドレス番号（行番）を利用して、2行目の配線W L Wを配線W L W[2]と記載する場合がある。

【0020】

本明細書において、例えば、クロック信号C Kを、単に信号C K、C K等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、電位、回路、素子、電極

50

、配線等)についても同様である。

【0021】

以下に本発明の実施の形態を示すが、実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に、いくつかの構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0022】

(実施の形態1)

本実施の形態では、半導体装置の一例として記憶装置について説明する。

【0023】

<<記憶装置の構成例>>

図1は、記憶装置の構成の一例を示すブロック図である。図1に示す記憶装置10は、ダイナミック・ランダム・アクセス・メモリ(DRAM)として用いることが可能である。

【0024】

記憶装置10は、メモリセルアレイ20、ロウアドレスバッファ31、カラムアドレスバッファ32、ロウデコーダ33、カラムデコーダ34、ロウ駆動回路35、カラム駆動回路36、入出力回路37、コントロールロジック回路40、クロック生成回路41、選択回路42、モニタ回路50、及びリフレッシュ制御回路60を有する。

【0025】

記憶装置10には外部から信号が入力される。外部から入力される信号として、クロック信号CK、コマンド信号(/CS、/RAS、/CAS、/WE)、アドレス信号ADDR、およびデータ信号WDATAがある。データ信号WDATAは、書き込みデータ信号である。コマンド信号/Csは、チップセレクト信号である。コマンド信号/RASはロウアドレスストローブ信号である。コマンド信号/CASはカラムアドレスストローブ信号である。コマンド信号/WEはライトイネーブル信号である。また、記憶装置10を駆動するため、外部から高電源電位VDD、および低電源電位VSSが入力される。例えば、電位VSSは接地電位、または0Vとすることができる。

【0026】

コントロールロジック回路40は、記憶装置10の全体を制御する機能を有する。コントロールロジック回路40は、外部から入力されるコマンド信号(/CS、/RAS、/CAS、/WE)をデコードする機能を有する。コントロールロジック回路40が処理するコマンド信号は、これらに限定されるものではなく、記憶装置10の回路構成や動作に応じて、他のコマンド信号を入力することができる。また、不要なコマンド信号があれば、それを入力しなくてもよい。コントロールロジック回路40は、デコードしたコマンドデータや、内部に格納しているコマンドデータ等に基づいて、記憶装置10に含まれる回路の制御信号を生成し、それぞれに出力する。

【0027】

クロック生成回路41は、外部クロック信号CKから、記憶装置10で使用する内部クロック信号を生成する機能を有する。また、内部クロック信号の供給を制御する機能を有する。

【0028】

リフレッシュ制御回路60は、少なくともロウアドレス信号radd2を生成する機能を有する。ロウアドレス信号radd2はリフレッシュ制御回路60に含まれるアドレス生成回路61で生成される。ロウアドレス信号radd2は、リフレッシュ動作を行う行を指定する機能を有する信号である。リフレッシュ制御回路60は、さらに、メモリセルアレイ20のリフレッシュ動作を制御する機能を有していてもよい。リフレッシュ制御回路60は、モニタ回路50からの信号rfsh、コントロールロジック回路40からの制御信号、および外部から入力されるコマンド信号等に基づいて、リフレッシュ動作を実行するための制御信号、およびロウアドレス信号radd2を生成する。また、リフレッシュ動作を実行するための制御信号の全て、または一部をコントロールロジック回路40で生成するようにしてもよい。

10

20

30

40

50

【0029】

入出力回路37は、記憶装置10へのデータ信号WDATAとデータ信号RDATAの入出力を制御する機能、データ信号WDATAのメモリセルアレイ20への書き込みを制御する機能、メモリセルアレイ20からのデータの読み出しを制御する機能、メモリセルアレイ20から読み出したデータから、データ信号RDATAを生成し、出力する機能等を有する。データ信号RDATAはデジタル信号である。

【0030】

アドレス信号ADDRは、ロウアドレスバッファ31、およびカラムアドレスバッファ32に入力される。ロウアドレスバッファ31は、ロウアドレス信号を保持する機能を有する。選択回路42は、ロウアドレスバッファ31から出力されるロウアドレス信号rad1、またはリフレッシュ制御回路60から出力されるロウアドレス信号rad2の何れか一方を選択し、出力する機能を有する。

10

【0031】

ロウデコーダ33は、選択回路42から入力されるロウアドレス信号rad0をデコードする機能を有する。ロウ駆動回路35は配線WLWに出力する信号を生成する機能を有する。ロウ駆動回路35により、ロウアドレス信号rad0が指定する行の配線WLWが選択される。

【0032】

カラムデコーダ34は、カラムアドレスバッファ32から出力されるカラムアドレス信号cadをデコードする機能を有する。カラム駆動回路36は、読み出し回路、および書き込み回路を有する。読み出し回路は、カラムアドレス信号cadが指定する列のメモリセル21から、データを読み出す機能を有する。読み出し回路は、センスアンプ（メインアンプとも呼ぶ）を有し、一对の配線BLW間の電位差を検知し増幅する機能を有する。具体的には、センスアンプは、参照電圧（例えば、 $VDD/2$ ）と配線BLWとの電位差を増幅する機能を有する。センスアンプで増幅された電位は入出力回路37に出力される。書き込み回路は、カラムアドレス信号cadが指定する列の配線BLWにデータ信号を出力する機能を有する。書き込み回路は、配線BLWをプリチャージする機能を有するプリチャージ回路を有していてもよい。

20

【0033】

<メモリセル、メモリセルアレイ>

30

図2は、メモリセルの構成の一例を示す回路図であり、図3はメモリセルアレイの構成の一例を示す回路図である。なお、図2において、トランジスタの導電型は適宜変更することが可能である。例えば、図2Aに示すトランジスタMA1はp型トランジスタであるが、これをn型トランジスタとすることができる。メモリセル21は、1ビットのデータを保持できる2値のメモリセルでもよいし、2ビット以上のデータを保持できる多値のメモリセルでもよい。

【0034】

図2Aに示すメモリセル121は、ノードFN1、トランジスタMW1、トランジスタMA1および容量素子C1を有する。メモリセル121は2つのトランジスタを有するゲイン型セルである。ノードFN1はデータに対応する電位を保持する電位保持部として機能する。トランジスタMW1は書き込みトランジスタとして機能することができる。トランジスタMW1を導通状態とすることで、ノードFN1にデータ信号が書き込まれる。トランジスタMA1は読み出しトランジスタとして機能させることができる。また、トランジスタMA1は、ノードFN1で保持された電位を増幅する増幅トランジスタとして機能することができる。

40

【0035】

容量素子C1はノードFN1の保持容量として機能することができる。なお、ノードFN1の負荷容量は、意図的に設けた容量素子C1と、ノードFN1の寄生容量（例えば、トランジスタMA1のゲート容量）との合成容量となる。この負荷容量がノードFN1の保持容量として機能することができる。そのため、メモリセル121のデバイス構造等によ

50

って、容量素子C 1を設けずにノードFN 1の電位を保持することが可能な場合がある。

【0036】

図3 Aに、メモリセル1 2 1で構成されるメモリセルアレイの一例を示す。図3 Aには、2行2列に配置されたメモリセル1 2 1を示している。図3 Aの参照符号に付している符号[m]、[2n-1]等は、ロウアドレスまたはカラムアドレスを示しており、ここでは、mは2以上の整数であり、nは1以上の整数である。

【0037】

図3 Aに示すメモリセルアレイ2 2には、行ごとに配線WLW、配線WLCが設けられ、列ごとに配線BLWが設けられている。また、配線SLは、隣接する2つの列で共有されている。配線WLCの電位はロウ駆動回路3 5で制御すればよい。配線SLの電位はカラム駆動回路3 6で制御すればよい。配線SLに一定電位（例えば、VDD、VSS）を供給する場合は、配線SLを電位供給線として機能させればよい。

【0038】

配線WLCとノードFN 1は容量素子C 1により容量結合しているため、配線WLCの電位に応じて、ノードFN 1の電位を変化させることが可能である。つまり、容量素子C 1は結合用キャパシタとしての機能を有し、配線WLCは、容量素子C 1の端子に信号（電位）を供給する信号供給線（電位供給線）として機能することができる。

【0039】

図2 Bに示すメモリセル1 2 2は、メモリセル1 2 1の変形例である。トランジスタMW 1の代わりに、バックゲート電極を有するトランジスタMW 2が設けられている。

【0040】

図2 Cに示すメモリセル1 2 3は、ノードFN 1、トランジスタMW 1、トランジスタMA 1、トランジスタMR 1および容量素子C 1を有する。メモリセル1 2 3は3つのトランジスタを有するゲイン型セル（3Tゲイン型セル）である。トランジスタMR 1は読み出しトランジスタとして機能することができる。

【0041】

図3 Bに、メモリセル1 2 3で構成されるメモリセルアレイの一例を示す。図3 Bに示すメモリセルアレイ2 3には、行ごとに配線WLWおよび配線WLRが設けられ、列ごとに配線BLWおよび配線BLRが設けられている。図3 Bの例では、配線SLは、一定電位（例えば、VSSやVDD）を供給する電位供給線として機能し、メモリセルアレイ2 3で共有されている。また、配線WLCは、容量素子C 1の端子に一定電位（例えば、VSSやVDD）を供給する電位供給線として機能し、メモリセルアレイ2 3で共有されている。メモリセル1 2 3の駆動方法により、トランジスタMA 1の第1端子の電位を変化させる場合は、例えば、配線SLを列ごとに、あるいは図3 Aのように2列ごとに設ければよく、容量素子C 1の端子の電位を変化させる場合は、例えば、配線WLCを図3 Aのように行ごとに設ければよい。

【0042】

なお、メモリセルアレイ2 2にも、メモリセルアレイ2 3と同様に、配線BLRを設け、トランジスタMW 1を配線BLRと電氣的に接続してもよい。

【0043】

また、メモリセル2 1には、図2 Dに示すような、ノードFN 1、トランジスタMW 1、および容量素子C 1を有するメモリセル1 2 4を適用することができる。

【0044】

<メモリセルのトランジスタ>

メモリセル2 1のリフレッシュ回数を低減させるには、書き込みトランジスタ（具体的には、トランジスタMW 1、トランジスタMW 2）はオフ状態におけるドレイン電流（オフ電流）が小さいほど望ましい。トランジスタのオフ電流をきわめて小さくするには、例えば、バンドギャップが2. 5電子ボルト以上で、かつ、キャリア濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下の半導体でチャネルを形成すればよい。このような特性を有する半導体層として、例えば、酸化物半導体層が挙げられる。したがって、メモリセル2 1のリフレッシュ回

10

20

30

40

50

数の低減のため、トランジスタMW1をOSトランジスタとすることが非常に効果的である。OSトランジスタでは、ソースドレイン間電圧が10Vの状態、チャンネル幅1μmあたりの規格化されたオフ電流を 10×10^{-21} A (10ゼプトA) 以下とすることが可能である。

【0045】

記憶装置10に適用されるOSトランジスタにおいて、チャンネルが形成される領域を含む酸化物半導体(OS)層は単層の酸化物半導体膜で形成してもよいし、2以上の多層の酸化物半導体膜で形成してもよい。OS層を構成する酸化物半導体膜は、少なくともIn、Ga、SnおよびZnのうちの1種以上の元素を含有する酸化物半導体で形成されることが好ましい。このような酸化物としては、In-Sn-Ga-Zn酸化物や、In-Ga-Zn酸化物、In-Sn-Zn酸化物、In-Al-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物や、In-Ga酸化物、In酸化物、Sn酸化物、Zn酸化物等を用いることができる。また、これら酸化物にInとGaとSnとZn以外の元素、例えばSiO₂を含む酸化物半導体を用いることができる。

10

【0046】

トランジスタMA1、トランジスタMR1について特段の制約はない。n型トランジスタとする場合は、トランジスタMW1と同様にOSトランジスタとすることができる。また、トランジスタMA1、トランジスタMR1を例えば、第14族元素(Si, C, Ge等)でなる半導体でチャンネルを形成することができる。このようなトランジスタの代表例は、シリコントランジスタである。トランジスタMR1、トランジスタMA1には、半導体基板(バルク型、SOI型)を用いて形成されたトランジスタを適用することができる。例えば、トランジスタMA1は、バルク型の単結晶シリコン基板に形成されたSiトランジスタ、または、SOI型の単結晶シリコン基板に形成されたSiトランジスタ等とすることができる。なお、Siトランジスタとは、チャンネルがシリコンで形成されているトランジスタのこととする。

20

【0047】

記憶装置10を作製するための半導体基板は、単結晶シリコン基板に限定されるものでない、半導体基板には、例えば、シリコン、ゲルマニウムなどの単体半導体、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、窒化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体でなる基板を用いることができる。また、半導体基板の結晶性は、単結晶が好ましいが、これに限定されるものではなく、非晶質、多結晶、微結晶でもよい。

30

【0048】

半導体基板を用いて、記憶装置10を作製する場合、半導体基板の素子領域上に、OSトランジスタを積層して設けることができる。記憶装置10をこのようなデバイス構造とすることで、記憶装置10を、ロジック回路(CPUコア等)と同一ICチップに組み込まれた混載メモリとすることができる。また、メモリセル21のサイズを縮小することが可能となるため、メモリセルアレイ20の大容量化が容易になる。なお、記憶装置10のデバイス構造については、実施の形態3で説明する。

40

【0049】

<<モニタ回路>>

モニタ回路50は、リフレッシュ動作を要求する信号rfshを生成することができる機能を有する。具体的には、信号rfshは、リフレッシュの実行を許可する機能を有し、セルフリフレッシュ動作のトリガー信号として機能することができる。図4に、モニタ回路50の構成の一例を示す。図4に示すモニタ回路50は、レプリカ回路51、読み出し回路52、書き込み回路53を有する。

【0050】

メモリセル21で保持している電位を直接的に検出することが困難なため、レプリカ回路

50

51は、電位検出用に代替的に設けた参照用のメモリセルである。レプリカ回路51は、電位を保持するノードMNTを有する。読み出し回路52は、レプリカ回路51のノードMNTの電位 V_{mnt} を読み出し、電位 V_{mnt} に基づいて、信号 rfs_h および信号 str を生成する機能を有する。書き込み回路53は、信号 str に従い、レプリカ回路51にデータを書き込む機能を有する。つまり、モニタ回路50は、レプリカ回路51に電位を書き込む機能、レプリカ回路51で保持している電位を監視する機能、および監視結果に基づいて信号 rfs_h および信号 str を生成する機能を有している。

【0051】

モニタ回路50で生成する信号 rfs_h によって、リフレッシュを開始させることで、記憶装置10のリフレッシュのサイクルを動的に変化させることができる。リフレッシュサイクルの最適化は消費電力の低減に有効である。メモリセル21に設けられるトランジスタの電気特性は温度によって変化するため、メモリセル21の保持特性も温度によって変化する。温度によって、レプリカ回路51の保持特性も、メモリセル21と同様に変化するため、リフレッシュサイクルの温度補償が可能である。リフレッシュサイクルの最適化のためには、レプリカ回路51はメモリセルアレイ20と物理的に近接して設けることが好ましい。

10

【0052】

よって、モニタ回路50を設けることで、適切なタイミングでリフレッシュを行うことができるため、消費電力を低減できる。モニタ回路50を設けることで、タイマー機能を備えていなくとも、記憶装置10でセルフリフレッシュを適切なタイミングで実行することができる。また、温度検出機能を備えていなくとも、リフレッシュサイクルの温度補償が可能である。また、各メモリセル21で長期間にわたって確実にデータを保持することが可能となるため、信頼性の高い記憶装置10を提供することが可能となる。メモリセル21が多値のデータを記憶することができる多値メモリセルである場合、許容される保持電位の変動量は、2値メモリセルよりも小さいため、リフレッシュサイクルが短くなる。モニタ回路50を設けることで、消費電力の増加を抑え、多値メモリセルでも確実に長期間データを保持することが可能となる。

20

【0053】

よって、記憶装置10を搭載した電子部品や電子機器の消費電力を削減すること、またはこれらの信頼性を向上すること、これらの誤作動を抑制して安定して動作させること、等を実現することができる。

30

【0054】

<モニタ回路の構成例1>

図5Aにモニタ回路の回路構成の一例を示す。図5Aに示すモニタ回路101は、レプリカ回路111、コンパレータ(CMP)112、回路113を有する。図5Bは、CMP112の回路構成の一例を示す。

【0055】

<レプリカ回路>

レプリカ回路111は、ノードMNT、トランジスタ $Mrp1$ 、容量素子 $Crp1$ を有する。トランジスタ $Mrp1$ は、トランジスタ $MW1$ と同様、書き込みトランジスタとして機能することができる。容量素子 $Crp1$ は、ノードMNTの電位 V_{mnt} を保持する保持容量として機能する。容量素子 $Crp1$ の第1端子はノードMNTに接続され、第2端子は一定電位(例えば、 V_{SS} 、接地電位)が印加される。レプリカ回路111のトランジスタ $Mrp1$ は、ゲートが回路113の出力に電氣的に接続され、第1端子は配線 $BLrp$ に接続され、第2端子はノードMNTに電氣的に接続されている。配線 $BLrp$ はビット線として機能することができ、レプリカ回路111に書き込む電位が入力される配線である。

40

【0056】

リフレッシュサイクルを最適化するため、レプリカ回路111のトランジスタ $Mrp1$ は、メモリセル21の書き込みトランジスタと同じ工程で作製されたものであることが好ま

50

しい。また、レプリカ回路111は、メモリセル21よりも保持特性が劣化しているものが好ましい。これにより、メモリセル21でデータが失われる前に、リフレッシュをより確実に実行することが可能となる。レプリカ回路111は、データ保持部(MNT)からの電荷のリーク量がメモリセル21よりも多くなるようにすればよい。具体的には、トランジスタMrp1のチャネル幅を大きくする、容量素子Crp1の容量を小さくする、参照電位Vrefを高くする等の少なくとも1つの手段をとればよい。例えば、トランジスタMrp1および容量素子Crp1の仕様や電気特性をメモリセル21と同等とする場合は、CMP112の参照電位Vrefを高くすればよい。

【0057】

<読み出し回路>

CMP112は、図4の読み出し回路52に対応する回路であり、ノードMNTの電位Vmntが、参照電位Vref未満であるかどうかを検出することができる機能を有する。CMP112は、参照電位Vrefと電位Vmntを比較し、その比較結果を、高レベル電位または低レベル電位の2つ論理状態で出力することができる機能を有する。図5Aの例では、CMP112の出力信号が信号rfshであり、かつ信号rfshが信号strとしても用いられている。信号rfshと、他の制御信号等との論理演算をすることができる回路を別途設けて、信号strを生成するようにしてもよい。

【0058】

図5Bに示すCMP112は、増幅回路115、回路116およびトランジスタMp1を有する。トランジスタMn1およびトランジスタMp1のそれぞれのゲートには信号enが入力される。トランジスタMn1は、増幅回路115の電流源として機能することができるトランジスタである。増幅回路115の出力は、 $V_{mnt} > V_{ref}$ であれば高レベル電位となり、 $V_{mnt} < V_{ref}$ であれば低レベル電位となる。回路116は、増幅回路115の出力信号を処理して、ハイ("H")またはロー("L")の論理レベルをもつ信号rfshにすることができる機能を有する。図5Bの例では、回路116にはバッファ回路が適用されており、回路116は奇数段のインバータ回路を有する。信号rfshの論理レベルは、増幅回路115の出力が高レベル電位であれば"L"となり、低レベル電位であれば"H"となる。

【0059】

信号enは、CMP112を活性化するイネーブル信号として用いられる。信号enが"L"のとき、増幅回路115は機能せず、トランジスタMp1により、増幅回路115の出力は常時高レベル電位となる。よって、信号enが"L"である期間は、信号rfshが常時"L"となり、リフレッシュ制御回路60が動作しない。

【0060】

例えば、記憶装置10に電源電位VDDが供給されている間は、信号enとしてVDDを入力してもよい。また、"H"の信号enを定期的にまたは不定期にCMP112に入力するようにしてもよい。例えば、記憶装置10の保持期間の 1×10^{-3} 倍以上0.5倍以下の間隔で、"H"の信号enを入力するようにしてもよい。また、記憶装置10の電源遮断や、電源投入のタイミングで、"H"の信号enを入力して、レプリカ回路111の電位Vmntを検出するようにしてもよい。

【0061】

<書き込み回路>

回路113は、図4に示す書き込み回路53を構成する回路である。図5Aの例では、回路113は、回路131および回路132を有する。回路131、回路132は、それぞれ、偶数段のインバータ回路を有しており、遅延回路として機能することができる。なお、トランジスタMrp1がp型トランジスタの場合は、回路131に奇数段のインバータ回路を設ければよい。回路131は、信号strを遅延して、遅延信号strdly1を生成できる機能を有し、回路132は、信号strdly1を遅延し、遅延信号strdly2を生成できる機能を有する。回路131の最終段のインバータ回路の高電源電位により、信号strdly1の高レベル電位を設定でき、回路132の最終段のインバータ

10

20

30

40

50

回路の高電源電位により、信号 `strdy2` の高レベル電位を設定できる。

【0062】

信号 `strdy1` は、トランジスタ `Mrp1` のゲートに入力され、信号 `strdy2` は、配線 `BLrp` に入力される。信号 `rfs h` が "H" になると、高レベル電位の信号 `strdy1` および信号 `strdy2` が回路 113 で生成され、レプリカ回路 111 に出力される。よって、トランジスタ `Mrp1` のゲートが高レベル電位となった後に、トランジスタ `Mrp1` の第 1 端子にノード `MNT` に書き込む電位が入力される。したがって、モニタ回路 101 では、メモリセルアレイ 20 のリフレッシュが行われるのに先立って、レプリカ回路 111 のノード `MNT` を初期状態にリセットすることが可能である。例えば、回路 132 の最終段のインバータ回路の高電源電位が `VDD` であれば、レプリカ回路 111 の初期状態のノード `MNT` の電位は `VDD` となる。

10

【0063】

(他の構成例)

また、回路 113 の代わりに、回路 132 を含まない回路 114 (図 5C 参照) を、書き込み回路 53 として用いることができる。この場合、トランジスタ `Mrp1` のゲートおよび配線 `BLrp` に、信号 `strdy1` が入力される。書き込み回路 53 としては、回路 132 を有する回路 113 の方が好ましい。その理由は、例えば、レプリカ回路 111 のトランジスタ `Mrp1` を非導通状態から導通状態への遷移を開始させてから、配線 `BLrp` を高レベル電位にできること、または、トランジスタ `MW1` のゲートの高レベル電位と、配線 `BLrp` の高レベル電位を異ならせることができること、等である。

20

【0064】

モニタ回路 101 を適用することで、記憶装置 10 のセルフリフレッシュと独立して、レプリカ回路 111 の再書き込みを行うことが可能である。セルフリフレッシュの開始のタイミングで、レプリカ回路 111 を初期状態にすることができるため、レプリカ回路 111 の状態は、メモリセルアレイ 20 のうちの、最も遅く書き換えがされたメモリセル 21 と同等とみなすことができる。よって、レプリカ回路 111 の電位 `Vmnt` を監視し、その監視結果に基づいて信号 `rfs h` を生成することで、メモリセルアレイ 20 の信頼性を確保しつつ、リフレッシュが必要以上に実行されることが回避できるため、記憶装置 10 の消費電力を削減すること、処理効率を向上することができる。

【0065】

30

<モニタ回路の構成例 2>

図 6 にモニタ回路の他の構成例を示す。図 6 に示すモニタ回路 102 は、レプリカ回路 111 を複数行設けたものである。これにより、ノード `MNT` の電位を平均化することができる。モニタ回路 102 において、回路 132 を設けなくてもよい。

【0066】

<<記憶装置の他の構成例>>

図 1 に示す記憶装置 10 では、モニタ回路 50 から出力される信号 `rfs h` によって、メモリセルアレイ 20 の全てのメモリセル 21 のセルフリフレッシュが実行される。メモリセルアレイ 20 を部分的にリフレッシュするようにすることが可能である。例えば、バンク単位、マツト単位、またはロウ単位でリフレッシュを行うようにしてもよい。

40

【0067】

<構成例 2>

図 1 に示すメモリセルアレイは、複数のバンクを有するマルチバンク構造としてもよい。この場合、図 1 の例では、信号 `rfs h` により、全てのバンクに対してセルフリフレッシュが行われることとなる。メモリセルアレイ 20 がマルチバンク構造である場合、バンクごとにモニタ回路 50 およびリフレッシュ制御回路 60 を設けて、バンクごとに独立してセルフリフレッシュすることも可能である。そのような例を、図 7 に示す。図 7 の例では、メモリセルアレイ 20 は、4 つのバンク (`BNK0`、`BNK1`、`BNK2`、`BNK3`) に区分されている。バンク `BNK0` - `BNK3` には、それぞれ、モニタ回路 (`50__0`、`50__1`、`50__2`、`50__3`)、およびリフレッシュ制御回路 (`60__0`、`60__1`、

50

60__2、60__3)が設けられている。バンクBNK0-BNK3について、独立して、書き込みおよび読み出し動作が可能となっている。そのため、ロウデコーダ33、カラムデコーダ34、ロウ駆動回路35、およびカラム駆動回路36は、バンクBNK0-BNK3にそれぞれ設けられている。図7では、各回路に符号__0等を付記して、回路がバンクごとに設けられていることを表している。

【0068】

例えば、モニタ回路50__1で信号r f s hが生成されると、リフレッシュ制御回路60__1では、ロウアドレス信号、およびバンクBNK1をリフレッシュするための制御信号を生成し、BNK1に対応する周辺回路に出力する。バンクBNK1以外のバンクではリフレッシュ動作が実行されず、通常のアクセス要求により動作が可能である。

10

【0069】

また、各バンクBNK0-BNK3を、読み出し動作、書き込み動作を独立して実行できるブロックに分割することもできる。このブロックはマット(m a t)と呼ばれる場合がある。図8は、バンクBNK0を8行8列のブロックに分割した例を示している。他のBNK1-3も同様の構成を有している。図8にはバンクBNK0と一部の周辺回路が示されている。マット80は、バンクBNK0に含まれているメモリセルアレイ81の他に、サブ・ロウ駆動回路75、センスアンプ部76を有する。サブ・ロウ駆動回路75は、ロウ駆動回路35__0に含まれる回路であり、センスアンプ部76は、カラム駆動回路36__0に含まれる回路である。マット80毎に、モニタ回路50およびリフレッシュ制御回路60が設けられている。このような構成により、マット80ごとに独立してリフレッシュ

20

【0070】

また、マット80の行ごと(配線WLWごと)に、モニタ回路50およびリフレッシュ制御回路60を設けてもよい。そのような構成例を図9に示す。この場合、モニタ回路50に信号s t rを生成する回路を設けてもよい。図10に、信号s t rを生成する回路の一例を示す。図10に示す回路150はAND回路151およびOR回路152を有する。AND回路151には信号MEおよび信号RAが入力される。信号ME、RAは、それぞれ、記憶装置10の内部で生成されるコマンド信号である。信号MEはマットイネーブル信号であり、信号RAはリフレッシュアドレス信号である。例えば、信号MEは、マット80を含むバンクのロウデコーダ33で生成される。信号RAは、マット80のロウデコーダで生成される。

30

【0071】

回路150では、信号MEおよび信号RAの論理レベルにかかわらず、信号r f s hが”H”であれば、信号s t rの論理レベルとは”H”となり、該当する行のモニタ回路50のレプリカ回路51が初期化され、またその行のメモリセル21がリフレッシュされる。また、信号r f s hの論理レベルにかかわらず、信号MEおよび信号RAがともに”H”の場合、信号s t rの論理レベルは”H”となる。つまり、信号MEおよび信号RAの要求により、書き込み、もしくは読み出し時のリフレッシュが実行された場合も、該当する行のレプリカ回路51をリセットすることができる。よって、行ごとに適切なサイクルでリフレッシュを実行することが可能となる。その結果、記憶装置10の信頼性の向上、および消費電力の削減が可能となる。

40

【0072】

(実施の形態2)

本実施の形態では、O S トランジスタについて説明する。

【0073】

<<O S トランジスタ構成例1>>

図11にO S トランジスタの構成の一例を示す。図11AはO S トランジスタの構成の一例を示す上面図である。図11Bは、y1-y2線断面図であり、図11Cはx1-x2

50

線断面図であり、図 1 1 D は x 3 - x 4 線断面図である。ここでは、y 1 - y 2 線の方向をチャンネル長方向と、x 1 - x 2 線方向をチャンネル幅方向と呼称する場合がある。よって、図 1 1 B は、O S トランジスタのチャンネル長方向の断面構造を示す図になり、図 1 1 C および図 1 1 D は、O S トランジスタのチャンネル幅方向の断面構造を示す図になる。なお、デバイス構造を明確にするため、図 1 1 A では、一部の構成要素が省略されている。

【0074】

図 1 1 に示す O S トランジスタ 5 0 1 は、バックゲートを有する。O S トランジスタ 5 0 1 は絶縁表面に形成される。ここでは、絶縁層 5 1 1 上に形成されている。絶縁層 5 1 1 は基板 5 1 0 表面に形成されている。O S トランジスタ 5 0 1 は、絶縁層 5 1 4 および絶縁層 5 1 5 に覆われている。なお、絶縁層 5 1 4 および 5 1 5 を O S トランジスタ 5 0 1 の構成要素とみなすこともできる。O S トランジスタ 5 0 1 は、絶縁層 5 1 2、絶縁層 5 1 3、酸化物半導体 (O S) 層 5 2 1 - 5 2 3、導電層 5 3 0、導電層 5 3 1、導電層 5 4 1、および導電層 5 4 2 を有する。ここでは、O S 層 5 2 1、O S 層 5 2 2 および O S 層 5 2 3 をまとめて、O S 層 5 2 0 と呼称する。

【0075】

絶縁層 5 1 3 はゲート絶縁層として機能する領域を有する。導電層 5 3 0 はゲート電極として機能する。導電層 5 3 1 はバックゲート電極として機能する。導電層 5 3 1 に、一定の電位を供給してもよいし、導電層 5 3 0 と同じ電位や同じ信号を供給してもよいし、異なる電位や異なる信号を供給してもよい。導電層 5 4 1 および導電層 5 4 2 は、それぞれ、ソース電極またはドレイン電極として機能する。

【0076】

図 1 1 B - C に示すように、O S 層 5 2 0 は、O S 層 5 2 1、O S 層 5 2 2、O S 層 5 2 3 の順に積層している部分を有する。絶縁層 5 1 3 はこの積層部分を覆っている。導電層 5 3 0 は絶縁層 5 1 3 を介して積層部分と重なる。導電層 5 4 1 および導電層 5 4 2 は O S 層 5 2 1 および O S 層 5 2 2 とでなる積層膜上に設けられており、これらは、この積層膜上面、および積層膜のチャンネル長方向の側面に接している。また図 1 1 の例では、導電層 5 4 1、5 4 2 は絶縁層 5 1 2 とも接している。O S 層 5 2 3 は、O S 層 5 2 1、5 2 2、および導電層 5 4 1、5 4 2 を覆うように形成されている。O S 層 5 2 3 の下面は O S 層 5 2 2 の上面と接している。

【0077】

O S 層 5 2 0 において、絶縁層 5 1 3 を介して、O S 層 5 2 1 - 5 2 3 の積層部分のチャンネル幅方向を取り囲むように、導電層 5 3 0 が形成されている (図 1 1 C 参照)。このため、この積層部分には、垂直方向からのゲート電界と、側面方向からのゲート電界も印加される。O S トランジスタ 5 0 1 において、ゲート電界とは、導電層 5 3 1 (ゲート電極層) に印加される電圧により形成される電界のことをいう。よって、ゲート電界によって、O S 層 5 2 1 - 5 2 3 の積層部分全体を電氣的に取り囲むことができるので、O S 層 5 2 2 の全体 (バルク) にチャンネルが形成される場合がある。そのため、O S トランジスタ 5 0 1 は高いオン電流特性を有することができる。

【0078】

本明細書では、このようにゲート電界によって半導体を電氣的に取り囲むことができるトランジスタの構造を "surrounded channel (s-channel)" 構造と呼ぶ。O S トランジスタ 5 0 1 は、s-channel 構造である。s-channel 構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通状態でのドレイン電流 (オン電流) を高くすることができる。

【0079】

O S トランジスタ 5 0 1 を s-channel 構造とすることで、O S 層 5 2 2 の側面に対してゲート電界によるチャンネル形成領域の制御がしやすくなる。導電層 5 3 0 が O S 層 5 2 2 の下方まで伸び、O S 層 5 2 1 の側面と対向している構造では、さらに制御性が優れ、好ましい。その結果、O S トランジスタ 5 0 1 のサブスレッショルドスイング値 (S 値ともいう。) を小さくすることができ、短チャンネル効果を抑制することができる。従っ

て、微細化に適した構造である。

【0080】

図11に示すOSトランジスタ501のように、OSトランジスタを立体的なデバイス構造とすることで、チャンネル長を100nm未満にすることができる。OSトランジスタを微細化することで、回路面積が小さくできる。OSトランジスタのチャンネル長は、65nm未満とすることが好ましく、30nm以下または20nm以下がより好ましい。

【0081】

トランジスタのゲートとして機能する導電体をゲート電極、トランジスタのソースとして機能する導電体をソース電極、トランジスタのドレインとして機能する導電体をドレイン電極、トランジスタのソースとして機能する領域をソース領域、トランジスタのドレインとして機能する領域をドレイン領域、と呼ぶ。本明細書では、ゲート電極をゲート、ドレイン電極またはドレイン領域をドレイン、ソース電極またはソース領域をソース、と記す場合がある。

10

【0082】

チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0083】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0084】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

30

【0085】

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

40

【0086】

<<OSトランジスタの構成例2>>

図12に示すOSトランジスタ502は、OSトランジスタ501の変形例である。図12AはOSトランジスタ502の上面図である。図12Bは、 $y_1 - y_2$ 線断面図であり、図12Cは、 $x_1 - x_2$ 線断面図であり、図12Dは、 $x_3 - x_4$ 線断面図である。な

50

お、デバイス構造を明確にするため、図12Aでは、一部の構成要素が省略されている。

【0087】

図12に示すOSトランジスタ502も、OSトランジスタ501と同様に、s-channel構造である。OSトランジスタ502は、導電層531を有していない。導電層541および導電層542の形状がOSトランジスタ501と異なる。OSトランジスタ502の導電層541および導電層542は、OS層521とOS層522の積層膜を形成するために使用されるハードマスクから作製されている。そのため、導電層541および導電層542は、OS層521およびOS層522の側面に接していない(図12D)。

【0088】

次のような工程を経て、OS層521、522、導電層541、542を作製することができる。OS層521、522を構成する2層の酸化物半導体膜を形成する。酸化物半導体膜上に、単層または積層の導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。このハードマスクを用いて、2層の酸化物半導体膜をエッチングして、OS層521とOS層522の積層膜を形成する。次に、ハードマスクをエッチングして、導電層541および導電層542を形成する。

【0089】

<<OSトランジスタの構成例3、4>>

図13に示すOSトランジスタ503は、OSトランジスタ501の変形例であり、図14に示すOSトランジスタ504は、OSトランジスタ502の変形例である。OSトランジスタ503およびOSトランジスタ504では、導電層530をマスクに用いて、OS層523および絶縁層513がエッチングされている。そのため、OS層523および絶縁層513の端部は導電層530の端部とほぼ一致することになる。

【0090】

<<OSトランジスタの構成例5、6>>

図15に示すOSトランジスタ505は、OSトランジスタ501の変形例であり、図16に示すOSトランジスタ506は、OSトランジスタ502の変形例である。OSトランジスタ505およびOSトランジスタ506は、それぞれ、OS層523と導電層541の間に層551を有し、OS層523と導電層542の間に層552を有する。

【0091】

層551、552は、例えば、透明導電体、酸化物半導体、窒化物半導体または酸化窒化物半導体でなる層で形成することができる。層551、552は、n型の酸化物半導体層で形成することができる、または、導電層541、542よりも抵抗が高い導電体層で形成することができる。例えば、層551、層552、インジウム、スズおよび酸素を含む層、インジウムおよび亜鉛を含む層、インジウム、タングステンおよび亜鉛を含む層、スズおよび亜鉛を含む層、亜鉛およびガリウムを含む層、亜鉛およびアルミニウムを含む層、亜鉛およびフッ素を含む層、亜鉛およびホウ素を含む層、スズおよびアンチモンを含む層、スズおよびフッ素を含む層またはチタンおよびニオブを含む層などを用いればよい。例示したこれらの層は水素、炭素、窒素、シリコン、ゲルマニウムまたはアルゴンの1または複数を含んでも構わない。

【0092】

層551、552は、可視光線を透過する性質を有しても構わない。または、層551、552は、可視光線、紫外線、赤外線もしくはX線を、反射もしくは吸収することで透過させない性質を有しても構わない。このような性質を有することで、迷光によるトランジスタの電気特性の変動を抑制できる場合がある。

【0093】

また、層551、552は、OS層523との間にショットキー障壁を形成しない層を用いると好ましい。こうすることで、OSトランジスタ505、506のオン特性を向上させることができる。

【0094】

層 5 5 1、5 5 2 は、導電層 5 4 1 および導電層 5 4 2 よりも高抵抗の層とすることが好ましい。また、層 5 5 1 および層 5 5 2 は、トランジスタのチャネル抵抗よりも低抵抗であることが好ましい。例えば、層 5 5 1 および層 5 5 2 の抵抗率を、 $0.1 \Omega \text{cm}$ 以上 $100 \Omega \text{cm}$ 以下、 $0.5 \Omega \text{cm}$ 以上 $50 \Omega \text{cm}$ 以下、または $1 \Omega \text{cm}$ 以上 $10 \Omega \text{cm}$ 以下とすればよい。層 5 5 1 および層 5 5 2 の抵抗率を上記の範囲とすることにより、チャネルとドレインとの境界部における電界集中を緩和することができる。そのため、トランジスタの電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成であれば、層 5 5 1 または層 5 5 2 のいずれか一方のみ（例えば、ドレイン側）を配置するほうが好ましい場合がある。

10

【0095】

以下、OS トランジスタ 5 0 1、5 0 2 の構成要素について説明する。

【0096】

< 酸化物半導体層 >

OS 層 5 2 1 - 5 2 3 の半導体材料としては、代表的には、In-Ga 酸化物、In-Zn 酸化物、In-M-Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）がある。また、OS 層 5 2 1 - 5 2 3 は、インジウムを含む酸化物層に限定されない。OS 層 5 2 1 - 5 2 3 は、例えば、Zn-Sn 酸化物層、Ga-Sn 酸化物層、Zn-Mg 酸化物層等で形成することができる。また、OS 層 5 2 2 は、In-M-Zn 酸化物で形成することが好ましい。また、OS 層 5 2 1、OS 層 5 2 3 は、それぞれ、Ga 酸化物で形成することができる。

20

【0097】

OS 層 5 2 1 - 5 2 3 をスパッタリング法で成膜された In-M-Zn 酸化物膜で形成する場合について説明する。OS 層 5 2 2 の形成に用いられる In-M-Zn 酸化物の成膜用のターゲットの金属元素の原子数比を $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ とし、OS 層 5 2 1、OS 層 5 2 3 の形成に用いられるターゲットの金属元素の原子数比を $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ とする。

【0098】

OS 層 5 2 2 の形成には、 x_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であって、 z_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下の In-M-Zn 酸化物の多結晶ターゲットを用いることが好ましい。 z_1/y_1 を 1 以上 6 以下とすることで、CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例は、 $\text{In}:\text{M}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{M}:\text{Zn} = 1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:1.5$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:2.3$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:3$ 、 $\text{In}:\text{M}:\text{Zn} = 3:1:2$ 、 $\text{In}:\text{M}:\text{Zn} = 4:2:4.1$ 等がある。なお、CAAC-OS とは、c 軸に配向する結晶部を有する酸化物半導体のことであり、これについては後述する。CAAC-OS 膜は、特にスピネル型の結晶構造が含まれないことが好ましい。これにより、CAAC-OS 膜を用いたトランジスタの電気特性、信頼性を向上させることができる。

30

40

【0099】

OS 層 5 2 1、OS 層 5 2 3 の形成に用いられるターゲットは、 $x_2/y_2 < x_1/y_1$ であって、 z_2/y_2 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。 z_2/y_2 を 1 以上 6 以下とすることで、CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例は、 $\text{In}:\text{M}:\text{Zn} = 1:3:2$ 、 $\text{In}:\text{M}:\text{Zn} = 1:3:4$ 、 $\text{In}:\text{M}:\text{Zn} = 1:3:6$ 、 $\text{In}:\text{M}:\text{Zn} = 1:3:8$ 、 $\text{In}:\text{M}:\text{Zn} = 1:4:4$ 、 $\text{In}:\text{M}:\text{Zn} = 1:4:5$ 、 $\text{In}:\text{M}:\text{Zn} = 1:4:6$ 、 $\text{In}:\text{M}:\text{Zn} = 1:4:7$ 、 $\text{In}:\text{M}:\text{Zn} = 1:4:8$ 、 $\text{In}:\text{M}:\text{Zn} = 1:5:5$ 、 $\text{In}:\text{M}:\text{Zn} = 1:5:6$ 、 $\text{In}:\text{M}:\text{Zn} = 1:5:7$ 、 $\text{In}:\text{M}:\text{Zn} = 1:5:8$ 、 $\text{In}:\text{M}:\text{Zn} = 1:6:8$ 等がある。

50

【0100】

In-M-Zn 酸化物膜の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス40%の変動を含む。例えば、In:M:Zn=4:2:4. 1の酸化物ターゲットを用いて成膜された酸化物半導体膜に含まれる金属元素の原子数比は、およそIn:M:Zn=4:2:3である。

【0101】

<エネルギーバンド構造>

次に、OS層521、OS層522、およびOS層523の積層により構成されるOS層520の機能およびその効果について、図17Bに示すエネルギーバンド構造図を用いて説明する。図17Aは、OSTランジスタ502のチャンネル領域を拡大した図であり、図12Bの部分拡大図である。図17Bに、図17Aで点線z1-z2で示した部位（OSTランジスタ502のチャンネル形成領域）のエネルギーバンド構造を示す。以下、OSTランジスタ502を例に説明するが、OSTランジスタ501、503-506でも同様である。

10

【0102】

図17B中、Ec512、Ec521、Ec522、Ec523、Ec513は、それぞれ、絶縁層512、OS層521、OS層522、OS層523、絶縁層513の伝導帯下端のエネルギーを示している。

【0103】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（HORIBA JOBIN YVON社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS: Ultraviolet Photoelectron Spectroscopy）装置（PHI社 VersaProbe）を用いて測定できる。

20

【0104】

なお、原子数比がIn:Ga:Zn=1:3:2のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:4のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.4 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:6のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.3 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:6:2のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.9 eV、電子親和力は約4.3 eVである。また、原子数比がIn:Ga:Zn=1:6:8のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.4 eVである。また、原子数比がIn:Ga:Zn=1:6:10のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:1:1のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.2 eV、電子親和力は約4.7 eVである。また、原子数比がIn:Ga:Zn=3:1:2のスパッタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約2.8 eV、電子親和力は約5.0 eVである。

30

40

【0105】

絶縁層512と絶縁層513は絶縁体であるため、Ec513とEc512は、Ec521、Ec522、およびEc523よりも真空準位に近い（電子親和力が小さい）。

【0106】

また、Ec521は、Ec522よりも真空準位に近い。具体的には、Ec521は、E

50

c 5 2 2 よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

【0107】

また、Ec 5 2 3 は、Ec 5 2 2 よりも真空準位に近い。具体的には、Ec 5 2 3 は、Ec 5 2 2 よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

【0108】

また、OS 層 5 2 1 と OS 層 5 2 2 との界面近傍、および、OS 層 5 2 2 と OS 層 5 2 3 との界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

【0109】

従って、当該エネルギーバンド構造を有する積層構造において、電子は OS 層 5 2 2 を主として移動することになる。そのため、OS 層 5 2 1 と絶縁層 5 1 2 との界面、または、OS 層 5 2 3 と絶縁層 5 1 3 との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、OS 層 5 2 1 と OS 層 5 2 2 との界面、および OS 層 5 2 3 と OS 層 5 2 2 との界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有する OS トランジスタ 5 0 2 は、高い電界効果移動度を有することができる。

【0110】

なお、図 1 7 B に示すように、OS 層 5 2 1 と絶縁層 5 1 2 の界面、および OS 層 5 2 3 と絶縁層 5 1 3 の界面近傍には、不純物や欠陥に起因したトラップ準位 Et 5 0 2 が形成され得るものの、OS 層 5 2 1、および OS 層 5 2 3 があることにより、OS 層 5 2 2 と当該トラップ準位とを遠ざけることができる。

【0111】

OS トランジスタ 5 0 2 は、チャンネル幅方向において、OS 層 5 2 2 の上面と側面が OS 層 5 2 3 と接し、OS 層 5 2 2 の下面が OS 層 5 2 1 と接して形成されている（図 1 2 C 参照）。このように、OS 層 5 2 2 を OS 層 5 2 1 と OS 層 5 2 3 で覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

【0112】

ただし、Ec 5 2 1 または Ec 5 2 3 と、Ec 5 2 2 とのエネルギー差が小さい場合、OS 層 5 2 2 の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0113】

従って、Ec 5 2 1、および Ec 5 2 3 と、Ec 5 2 2 とのエネルギー差を、それぞれ 0.1 eV 以上、好ましくは 0.15 eV 以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

【0114】

また、OS 層 5 2 1、および OS 層 5 2 3 のバンドギャップは、OS 層 5 2 2 のバンドギャップよりも広いほうが好ましい。

【0115】

OS 層 5 2 1 および OS 層 5 2 3 には、例えば、Ga、Y、Zr、La、Ce、または Nd を OS 層 5 2 2 よりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を 1.5 倍以上、好ましくは 2 倍以上、さらに好ましくは 3 倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体に生じることを抑制する機能を有する。すなわち、OS 層 5 2 1 および OS 層 5 2 3 は、OS 層 5 2 2 よりも酸素欠損が生じにくいということができる。

【0116】

OS層521、OS層522、OS層523が、少なくともインジウム、亜鉛およびM（Mは、Ga、Y、Zr、La、Ce、またはNd）を含むIn-M-Zn酸化物である場合、OS層521を $\text{In}:\text{M}:\text{Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ 〔原子数比〕、OS層522を $\text{In}:\text{M}:\text{Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 〔原子数比〕、OS層523を $\text{In}:\text{M}:\text{Zn}=\text{x}_3:\text{y}_3:\text{z}_3$ 〔原子数比〕とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなるのが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、OS層522において、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

10

【0117】

このような条件を満たすIn-M-Zn酸化物膜は、上述した金属元素の原子数比を満たすIn-M-Zn酸化物のターゲットを用いることで形成することができる。

【0118】

OS層521およびOS層523のZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%よりも高く、さらに好ましくはInが25atomic%未満、Mが75atomic%よりも高くする。また、OS層522のZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%よりも高く、Mが75atomic%未満、さらに好ましくはInが34atomic%よりも高く、Mが66atomic%未満とする。

20

【0119】

また、OS層521およびOS層523の少なくとも一方が、インジウムを含まなくても構わない場合がある。例えば、OS層521および/またはOS層523を酸化ガリウム膜で形成することができる。

【0120】

OS層521およびOS層523の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、OS層522の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。また、OS層523は、OS層521およびOS層522より薄いのが好ましい。

30

【0121】

なお、酸化物半導体をチャネルとするOSトランジスタに安定した電気特性を付与するには、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0122】

また、酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、OS層521、OS層522およびOS層523の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

40

【0123】

酸化物半導体を真性または実質的に真性とするためには、SIMS分析において、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$

50

³ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0124】

また、酸化物半導体が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体の結晶性を低下させることがある。酸化物半導体の結晶性を低下させないためには、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

【0125】

また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V、5 V、または、10 V 程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を $\text{数 } \mu\text{A}/\mu\text{m}$ から $\text{数 } \text{mA}/\mu\text{m}$ にまで低減することが可能となる。

【0126】

＜酸化物半導体膜の結晶構造＞

以下に、OS 層 520 を構成する酸化物半導体膜の構造について説明する。

【0127】

本明細書において、“平行”とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、“略平行”とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、“垂直”とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、“略垂直”とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0128】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0129】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0130】

(CAAC-OS 膜)

CAAC-OS 膜は、c 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0131】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS 膜の明視野像および回折パターンの複合解析像 (高分解能 TEM 像ともいう。)を観察することで複数の結晶部を確認することができる。一方、高分解能 TEM 像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0132】

試料面と略平行な方向から、C A A C - O S 膜の断面の高分解能 T E M 像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0133】

一方、試料面と略垂直な方向から、C A A C - O S 膜の平面の高分解能 T E M 像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0134】

C A A C - O S 膜に対し、X 線回折（X R D : X - R a y D i f f r a c t i o n）装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の o u t - o f - p l a n e 法による解析では、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（009）面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0135】

InGaZnO_4 の結晶を有する C A A C - O S 膜の o u t - o f - p l a n e 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0136】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0137】

C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0138】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーモリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0139】

C A A C - O S 膜を用いた O S トランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0140】

(微結晶酸化物半導体膜)

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0141】

nc-OS膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0142】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0143】

(非晶質酸化物半導体膜)

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0144】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0145】

酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(alike OS:amorphous-like Oxide Semiconductor)膜と呼ぶ。

【0146】

alike OS膜は、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。alike OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見ら

10

20

30

40

50

れる場合がある。一方、良質な $nc-Os$ 膜であれば、TEM による観察程度の微量な電子照射による結晶化はほとんど見られない。

【0147】

$alike$ Os 膜および $nc-Os$ 膜の結晶部の大きさの計測は、高分解能 TEM 像を用いて行うことができる。例えば、 $InGaZnO_4$ の結晶は層状構造を有し、 $In-O$ 層の間に、 $Ga-Zn-O$ 層を 2 層有する。 $InGaZnO_4$ の結晶の単位格子は、 $In-O$ 層を 3 層有し、また $Ga-Zn-O$ 層を 6 層有する、計 9 層が c 軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、 (009) 面の格子面間隔 (d 値ともいう。) と同程度であり、結晶構造解析からその値は 0.29 nm と求められている。そのため、高分解能 TEM 像における格子縞に着目し、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所においては、それぞれの格子縞が $InGaZnO_4$ の結晶の $a-b$ 面に対応する。

10

【0148】

酸化物半導体膜は、構造ごとに膜密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶酸化物半導体膜の膜密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶酸化物半導体膜の膜密度に対し、 $alike$ Os 膜の膜密度は 78.6% 以上 92.3% 未満となる。また、例えば、単結晶酸化物半導体膜の膜密度に対し、 $nc-Os$ 膜の膜密度および $CAC-Os$ 膜の膜密度は 92.3% 以上 100% 未満となる。なお、単結晶酸化物半導体膜の膜密度に対し膜密度が 78% 未満となる酸化物半導体膜は、成膜すること自体が困難である。

20

【0149】

上記について、具体例を用いて説明する。例えば、 $In:Ga:Zn=1:1:1$ [原子数比] を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 $InGaZnO_4$ の膜密度は 6.357 g/cm^3 となる。よって、例えば、 $In:Ga:Zn=1:1:1$ [原子数比] を満たす酸化物半導体膜において、 $alike$ Os 膜の膜密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $In:Ga:Zn=1:1:1$ [原子数比] を満たす酸化物半導体膜において、 $nc-Os$ 膜の膜密度および $CAC-Os$ 膜の膜密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

30

【0150】

なお、同じ組成の単結晶酸化物半導体膜が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶酸化物半導体膜を組み合わせることにより、所望の組成の単結晶酸化物半導体膜に相当する膜密度を算出することができる。所望の組成の単結晶酸化物半導体膜の膜密度は、組成の異なる単結晶酸化物半導体膜を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、膜密度は、可能な限り少ない種類の単結晶酸化物半導体膜を組み合わせることで算出することが好ましい。

【0151】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、 $alike$ Os 膜、微結晶酸化物半導体膜、 $CAC-Os$ 膜のうち、二種以上を有する積層膜であってもよい。

【0152】

40

<基板>

基板 510 は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、 Os トランジスタ 501 の導電層 530、導電層 541、および導電層 542 の一つは、上記の他のデバイスと電氣的に接続されていてもよい。

【0153】

<下地絶縁膜>

絶縁層 511 は、基板 510 からの不純物の拡散を防止する役割を有する。絶縁層 512 は Os 層 520 に酸素を供給する役割を有することが好ましい。したがって、絶縁層 512 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、TDS (Thermal Desorption

50

Spectroscopy：昇温脱離ガス分光法）において、膜の表面温度が100℃以上700℃以下、または100℃以上500℃以下の範囲における酸素分子の放出量が 1.0×10^{18} [分子/cm³] 以上である膜とする。基板510が他のデバイスが形成された基板である場合、絶縁層511は、表面が平坦になるようにCMP（Chemical Mechanical Polishing）法等で平坦化処理を行うことが好ましい。

【0154】

絶縁層511、512は、酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル、窒化シリコン、窒化酸化シリコン、窒化酸化アルミニウムなどの絶縁材料、またはこれらの混合材料を用いて形成することができる。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い材料であり、窒化酸化物とは、酸素よりも窒素の含有量が多い材料である。

10

【0155】

<ゲート電極>

導電層530は、銅（Cu）、タングステン（W）、モリブデン（Mo）、金（Au）、アルミニウム（Al）、マンガン（Mn）、チタン（Ti）、タンタル（Ta）、ニッケル（Ni）、クロム（Cr）、鉛（Pb）、錫（Sn）、鉄（Fe）、コバルト（Co）、ルテニウム（Ru）、イリジウム（Ir）、ストロンチウム（Sr）、白金（Pt）等の金属、これらを主成分とする合金、またはこれらを主成分とする化合物で形成することが好ましい。

20

【0156】

また、導電層530は、一層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、Cu-Mn合金膜の単層構造、Cu-Mn合金膜上にCu膜を積層する二層構造、Cu-Mn合金膜上にCu膜を積層し、さらにその上にCu-Mn合金膜を積層する三層構造等がある。特にCu-Mn合金膜は、電気抵抗が低く、且つ、酸素を含む絶縁膜との界面に酸化マンガンを形成し、Cuの拡散を防ぐことができるため好ましい。

30

【0157】

また、導電層530には、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0158】

<ゲート絶縁層>

絶縁層513は、単層構造または積層構造の絶縁膜で形成される。絶縁層513には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層513は上記材料の積層であってもよい。なお、絶縁層513に、ランタン（La）、窒素、ジルコニウム（Zr）などを、不純物として含んでいてもよい。また、絶縁層511も絶縁層513と同様に形成することができる。絶縁層513は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

40

50

【0159】

酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコン対して物理的な膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

【0160】

<ソース電極、ドレイン電極、バックゲート電極>

導電層541、導電層542および導電層531は、導電層530と同様に作製することができる。Cu-Mn合金膜は、電気抵抗が低く、且つ、OS層520との界面に酸化マンガンを形成し、Cuの拡散を防ぐことができるため、導電層541、導電層542に用いることが好ましい。

【0161】

<保護絶縁膜>

絶縁層514は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有することが好ましい。このような絶縁層514を設けることで、OS層520からの酸素の外部への拡散と、外部からOS層520への水素、水等の入り込みを防ぐことができる。絶縁層514としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0162】

酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁層514に適用するのに好ましい。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物のOS層520への混入防止、OS層520を構成する主成分材料である酸素の酸化物半導体からの放出防止、絶縁層512からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体中に拡散させることもできる。

【0163】

<層間絶縁膜>

また、絶縁層514上には絶縁層515が形成されていることが好ましい。絶縁層515は単層構造または積層構造の絶縁膜で形成することができる。当該絶縁膜には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。

【0164】

<<成膜方法>>

半導体装置を構成する絶縁膜、導電膜、半導体膜等の成膜方法としては、スパッタ法や、プラズマCVD法が代表的である。その他の方法、例えば、熱CVD法により形成すること可能である。熱CVD法として、例えば、MOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic L

10

20

30

40

50

ayer Deposition) 法を使用することができる。

【0165】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0166】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り換えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0167】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができ、例えば、 InGaZnO_x ($x > 0$) 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジエチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $(\text{CH}_3)_3\text{In}$ である。また、トリメチルガリウムの化学式は、 $(\text{CH}_3)_3\text{Ga}$ である。また、ジエチル亜鉛の化学式は、 $(\text{CH}_3)_2\text{Zn}$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $(\text{C}_2\text{H}_5)_3\text{Ga}$ ）を用いることもでき、ジエチル亜鉛に代えてジメチル亜鉛（化学式 $(\text{CH}_3)_2\text{Zn}$ ）を用いることもできる。

【0168】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0169】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば InGaZnO_x ($x > 0$) 膜を成膜する場合には、 $(\text{CH}_3)_3\text{In}$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $(\text{CH}_3)_3\text{Ga}$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $(\text{CH}_3)_2\text{Zn}$ と O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて InGaO_2 層や InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層などの混合化合物層を形成してもよい。なお、 O_3 ガスに変えてAr等の不活性ガスでバブリングして得られた H_2O ガスを用いてもよいが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $(\text{CH}_3)_3\text{In}$ ガスにかえて、 $(\text{C}_2\text{H}_5)_3\text{In}$ ガスを用いてもよい。また、 $(\text{CH}_3)_3\text{Ga}$ ガスにかえて、 $(\text{C}_2\text{H}_5)_3\text{Ga}$ ガスを用いてもよい。また、 $(\text{CH}_3)_2\text{Zn}$ ガスを用いてもよい。

【0170】

（実施の形態3）

本実施の形態では、半導体装置のデバイス構造について説明する。実施の形態1で述べた

10

20

30

40

50

ように、半導体装置をSiトランジスタとOSトランジスタとで構成することが可能である。このような構成例においては、SiトランジスタとOSトランジスタを積層することで、半導体装置を小型化することが可能である。図18を参照して、このような積層構造を有する半導体装置の構成例について説明する。

【0171】

半導体装置の一例として、記憶装置10のデバイス構造について説明する。代表的に、メモリセル122（図2B）を例に、記憶装置10のデバイス構造を説明する。図18は、メモリセル122の構成例を示す断面図である。図18においては、区間a1-a2にはトランジスタMW1およびトランジスタMA2のチャンネル長方向の断面構造を示し、区間c1-c2には、トランジスタMW2のチャンネル幅方向の断面図が示されている。

10

【0172】

図18において、符号及びハッチングパターンが与えられていない領域は絶縁体で構成された領域を表している。当該領域は、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁体で形成することができる。また、当該領域には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。

20

【0173】

<トランジスタMA1>

ここでは、トランジスタMA1は、プレーナ型の電界効果トランジスタとしている。トランジスタMA1は、単結晶シリコン層を有するSOI型半導体基板から作製されている。基板400は、単結晶シリコン層を支持する基板（例えば、単結晶シリコン基板）である。絶縁層401は、単結晶シリコン層と基板400を絶縁分離するための埋め込み酸化物層（BOX層）である。もちろん、トランジスタMA1等のSiトランジスタを、バルク型の単結晶シリコン基板から作製することも可能である。また、トランジスタMA1のデバイス構造は図18の例に限定されるものではない。例えば、半導体基板の凸部を利用して作成される3Dトランジスタ（フィン型、トライゲート型など）とすることが可能である。

30

【0174】

トランジスタMA1は、Si層410、ゲート絶縁層416、導電体420を有する。Si層には、不純物領域411、不純物領域412、不純物領域413、不純物領域414およびチャンネル形成領域415が形成されている。不純物領域411、412は、ソース領域またはドレイン領域として機能する。不純物領域413、414は、LDD（Lightly Doped Drain）領域やエクステンション領域として機能する。ここでは不純物領域411-414の導電性は、p型である。不純物領域412は、配線SLとして機能する領域を有する。導電体420は、トランジスタMA1のゲート電極として機能する領域を有する。導電体420の側面には、絶縁層418、419が形成されている。絶縁層418、419を形成することで、Si層410に、不純物領域411-414を自己整合的に形成することができる。トランジスタMA1は、絶縁層402に覆われている。

40

【0175】

<トランジスタMW2>

トランジスタMW2は、バックゲートを設けたOSトランジスタ504と同様のデバイス構造を有している。トランジスタMW2のデバイス構造は、これに限定されるものではない。

【0176】

トランジスタMW2は、絶縁層403上に形成されている。トランジスタMW2は、チャンネル形成領域を含むOS層430、導電体435、導電体436、導電体437、導電体

50

438、ゲート絶縁層439を有する。トランジスタMW2は絶縁層404および絶縁層405に覆われている。トランジスタMW2のOS層430は、OSTランジスタ502（図12）と同様の3層構造であり、OS層431-433とでなる。導電体435は、トランジスタMW2のバックゲート電極および配線BGLとして機能する領域を有する。導電体436は、トランジスタMW2のゲート電極および配線WWLとして機能する領域を有する。導電体437および導電体438は、トランジスタMW2のソース電極またはドレイン電極として機能する。

【0177】

トランジスタMW2の下地絶縁層となる絶縁層403は、下層から、OS層430に水素の拡散を防止する効果を有するような絶縁体で形成することが好ましい。これは、Siトランジスタでは、水素によりSi層中のシリコンのダングリングボンドを終端して、信頼性を向上させる効果がある。これに対して、上述したように、OSTランジスタでは、水素はOS層に対しては、信頼性を低下させる不純物となる。よって、絶縁層403により、下層に水素を閉じ込め、かつ下層から上層に水素が拡散することとで、トランジスタMA1（Siトランジスタ）およびトランジスタMW2（OSTランジスタ）双方の信頼性を向上させることができる。絶縁層403としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア（YSZ）等を用いることができる。特に、酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断（ブロッキング）効果が高く好ましい。

【0178】

導電体450は、配線BLとして機能する領域を有する。導電体450は、導電体451-454により、トランジスタMW2の導電体437と電氣的に接続される。また、導電体450は、導電体451-456により、トランジスタMA1の不純物領域411と電氣的に接続される。

【0179】

<容量素子C1>

導電体461および導電体462が誘電体を介して重なっている領域が容量素子C1として機能する。また、導電体461は、配線RWLとして機能する領域を有する。導電体462は、導電体463-466により、トランジスタMA1のゲート電極（導電体420）と電氣的に接続されている。

【0180】

図18には、トランジスタMA1を製造する工程で、記憶装置10に含まれる各種回路を作製することが可能であることが示されている。よって、本発明の一形態により、低電圧での書き込み動作が可能で、リフレッシュ頻度が低減された混載メモリ（混載RAM）を提供することが可能である。

【0181】

（実施の形態4）

本実施の形態では、半導体装置の一例として記憶装置と、記憶装置に記憶したデータを処理するプロセッシングユニットについて説明する。

【0182】

<<CPU>>

図19に、CPUの構成の一例を示す。図19に示すCPU300は、CPUコア301、パワーマネジメントユニット321および周辺回路322を有する。パワーマネジメントユニット321は、パワーコントローラ302、およびパワースイッチ303を有する。周辺回路322は、キャッシュメモリを有するキャッシュ304、バスインターフェース（BUS I/F）305、及びデバッグインターフェース（Debug I/F）306を有する。CPUコア301は、データバス323、制御装置307、プログラムカウンタ（PC）308、パイプラインレジスタ309、パイプラインレジスタ310、ALU（Arithmetic logic unit）311、およびレジスタファ

10

20

30

40

50

イル 312 を有する。CPU コア 301 と、キャッシュ 304 等の周辺回路 322 とのデータのやり取りは、データバス 323 を介して行われる。

【0183】

本発明の一形態に係る記憶装置は、キャッシュ 304 に適用することができる。その結果、キャッシュの高速化、低消費電力化が可能となり、より高速で動作する半導体装置、或いはより低消費電力の半導体装置を提供できる。

【0184】

制御装置 307 は、PC 308、パイプラインレジスタ 309、パイプラインレジスタ 310、ALU 311、レジスタファイル 312、キャッシュ 304、バスインターフェース 305、デバッグインターフェース 306、及びパワーコントローラ 302 の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

10

【0185】

ALU 311 は、四則演算、論理演算などの各種演算処理を行う機能を有する。キャッシュ 304 は、使用頻度の高いデータを一時的に記憶しておく機能を有する。PC 308 は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図 19 では図示していないが、キャッシュ 304 には、キャッシュメモリの動作を制御するキャッシュコントローラが設けられている。

【0186】

パイプラインレジスタ 309 は、命令データを一時的に記憶する機能を有するレジスタである。レジスタファイル 312 は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、または ALU 311 の演算処理の結果得られたデータ、などを記憶することができる。パイプラインレジスタ 310 は、ALU 311 の演算処理に利用するデータ、または ALU 311 の演算処理の結果得られたデータなどを一時的に記憶する機能を有するレジスタである。

20

【0187】

バスインターフェース 305 は、CPU 300 と CPU 300 の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース 306 は、デバッグの制御を行うための命令を CPU 300 に入力するための信号の経路としての機能を有する。

30

【0188】

パワースイッチ 303 は、CPU 300 が有する、パワーコントローラ 302 以外の各種回路への、電源電圧の供給を制御する機能を有する。上記各種回路は、幾つかのパワードメインにそれぞれ属しており、同一のパワードメインに属する各種回路は、パワースイッチ 303 によって電源電圧の供給の有無が制御される。また、パワーコントローラ 302 はパワースイッチ 303 の動作を制御する機能を有する。このような構成を有することで、CPU 300 は、パワーゲーティングを行うことが可能である。パワーゲーティングの流れについて、一例を挙げて説明する。

【0189】

まず、CPU コア 301 が、電源電圧の供給を停止するタイミングを、パワーコントローラ 302 のレジスタに設定する。次いで、CPU コア 301 からパワーコントローラ 302 へ、パワーゲーティングを開始する旨の命令を送る。次いで、CPU 300 内に含まれる各種レジスタとキャッシュ 304 が、データの退避を開始する。次いで、CPU 300 が有するパワーコントローラ 302 以外の各種回路への電源電圧の供給が、パワースイッチ 303 により停止される。次いで、割込み信号がパワーコントローラ 302 に入力されることで、CPU 300 が有する各種回路への電源電圧の供給が開始される。なお、パワーコントローラ 302 にカウンタを設けておき、電源電圧の供給が開始されるタイミングを、割込み信号の入力に依らずに、当該カウンタを用いて決めるようにしてもよい。次いで、各種レジスタとキャッシュ 304 が、データの復帰を開始する。次いで、制御装置 307 における命令の実行が再開される。

40

50

【0190】

このようなパワーゲーティングは、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において行うことができる。また、短い時間でも電源の供給を停止することができる。このため、空間的に、あるいは時間的に細かい粒度で消費電力の削減を行うことができる。

【0191】

本発明の一形態に係る記憶装置をキャッシュ304に適用することで、キャッシュ304は、電源電圧の供給が停止されても、一定期間データを保持することができる。したがって、パワーゲーティングを行う際に、キャッシュ304のデータの退避動作期間を確保しやすい。また、電源電圧が予期せず遮断されても、キャッシュ304のデータの退避を行うことが可能である。また、データを退避する場合には、データの退避および復帰に必要な電力と時間を要するが、本発明の一形態に係る記憶装置を適用することで、これらを削減することができる。

10

【0192】

<<RFIDタグ>>

プロセッシングユニットの一例として、RFIDタグについて説明する。RFIDタグは、無線タグ、RFID、RFタグ、IDタグ、ICタグ、ICチップ、電子タグ、無線ICタグ等と呼ばれている。RFIDタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFIDタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。

20

【0193】

図20は、RFIDタグの一例を示すブロック図である。なお、図20に示すRFIDタグ800は、アンテナ804、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、RAM810、ROM（読み取り専用メモリ）811、および電池820を有する。本発明の一形態にかかる記憶装置はRAM810に適用できる。これらの回路は、必要に応じて、適宜、取捨することができる。例えば、図20のRFIDタグ800は、アクティブ型であるが、電池820を設けずパッシブ型とすることもできる。

30

【0194】

本発明の一形態に係る記憶装置は、混載メモリとすることが可能なデバイス構造を有している。そのため、RFIDタグ800において、製造プロセスを複雑化することなく、アンテナ804以外の回路を1つのICチップに組み込むことができる。ICチップに、通信帯域に応じた性能のアンテナ804が実装されている。データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式などがある。本実施の形態に示すRFIDタグ800は、いずれの方式に用いることも可能である。図20の例ではRFIDタグ800は、パッシブ型であるが、もちろん、RFIDタグ800を、電池を内蔵したアクティブ型とすることができる。

40

【0195】

本発明の一形態に係る記憶装置は、RAM810に適用することができる。RAM810の書き込み動作電位を低減できるため、RFIDタグ800の動作に必要な電力が削減でき、RFIDタグ800の通信距離を延長することが可能になる。

【0196】

アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に

50

、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0197】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0198】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調を行うための回路である。

10

【0199】

論理回路809は復調信号を解読し、処理を行うための回路である。RAM810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力を行うための回路である。

【0200】

なお、RAM810以外の回路において、nチャネル型トランジスタには、実施の形態2で説明したOSトランジスタを用いることができる。OSトランジスタが低いオフ電流と高いオン電流を有するため低いリーク電流と高速動作を両立することができる。また、復調回路807に含まれる整流作用を示す素子に、OSトランジスタを用いてもよい。OSトランジスタが低いオフ電流を有するため、整流作用を示す素子の逆方向電流を小さく抑えることが可能となる。その結果、優れた整流効率を実現できる。また、これらの酸化物半導体を用いたトランジスタは同じプロセスで作製することができるため、プロセスコストを抑えたままRFIDタグ800を高性能化できる。

20

【0201】

<RFIDの使用例>

RFIDタグの用途は多岐にわたる。その用途として、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類(運転免許証や住民票等、図21A)、包装用容器類(包装紙やボトル等、図21C)、記録媒体(DVDやビデオテープ等、図21B)、乗り物類(自転車等、図21D)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、スマートフォン、携帯電話、時計、腕時計)等の物品、若しくは各物品に取り付けるタグ(図21E、図21F)等に、RFIDタグ800を設けて使用することができる。

30

【0202】

RFIDタグ800は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。RFIDタグ800は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等にRFIDタグ800を設けることにより、認証機能を付与することができる。この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等にRFIDタグ800を取り付けることにより、検品システム、在庫管理システム等のシステムの効率化を図ることができる。また、乗り物類にRFIDタグ800を取り付けることにより、セキュリティを高めることができる。

40

【0203】

また、RFIDタグ800にセンサユニットを組み込むことで、無線により様々な情報を取得することが可能となる。たとえば、RFIDタグに、温度センサ回路や湿度センサ回路を搭載することで、例えば、文化財の温湿度管理などに利用することができる。

【0204】

ここでは、プロセッシングユニットとして、CPUおよびRFIDタグについて説明した

50

が、本発明の一形態に係る記憶装置は、様々なプロセッシングユニットに適用することができる。例えば、GPU (Graphics Processing Unit)、PLD (Programmable Logic Device)、DSP (Digital Signal Processor)、MCU (Microcontroller Unit)、カスタムLSI、などにも適用可能である。

【0205】

(実施の形態5)

本実施の形態では、半導体装置の一例として、電子部品、及び電子部品を具備する電子機器等について説明する。

【0206】

<<電子部品の作製方法例>>

図22Aは、電子部品の作製方法例を示すフローチャートである。電子部品は、半導体パッケージ、またはIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

【0207】

トランジスタで構成される半導体装置は、組み立て工程(後工程)を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図22Aに示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップS1)した後、基板の裏面を研削する(ステップS2)。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図る。

【0208】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップS3)。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【0209】

次いでリードフレームのリードとチップ上の電極とを、金属の細線(ワイヤー)で電氣的に接続する、ワイヤーボンディングを行う(ステップS4)。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0210】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップS5)。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対する損傷を低減することができる。また水分や埃による特性の劣化を低減することができる。

【0211】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する(ステップS6)。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

【0212】

次いでパッケージの表面に印字処理(マーキング)を施す(ステップS7)。そして最終的な検査工程(ステップS8)を経て電子部品が完成する(ステップS9)。

【0213】

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、消費電力の低減、及び小型化が図られた電子部品を実現することができる。

【0214】

完成した電子部品の斜視模式図を図 2 2 B に示す。図 2 2 B では、電子部品の一例として、Q F P (Q u a d F l a t P a c k a g e) の斜視模式図を示している。図 2 2 B に示すように、電子部品 7 0 0 は、リード 7 0 1 及び回路部 7 0 3 を示している。電子部品 7 0 0 は、例えばプリント基板 7 0 2 に実装される。このような電子部品 7 0 0 が複数組み合わせられて、それぞれがプリント基板 7 0 2 上で電氣的に接続されることで電子機器の内部に搭載することができる。完成した回路基板 7 0 4 は、電子機器等の内部に設けられる。例えば、電子部品 7 0 0 は、データを記憶するランダムアクセスメモリ、および、M C U (マイクロコントローラユニット) や R F I D タグ、等の各種の処理を実行するプロセッシングユニットとして用いることができる。

【 0 2 1 5 】

よって、電子部品 7 0 0 は、デジタル信号処理、ソフトウェア無線、アビオニクス (通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器)、A S I C のプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティクス (生物情報科学)、機械装置のエミュレータ、および電波天文学における電波望遠鏡等、幅広い分野の電子機器の電子部品 (I C チップ) に適用することが可能である。このような電子機器としては、表示機器、パーソナルコンピュータ (P C)、記録媒体を備えた画像再生装置 (代表的には D V D : D i g i t a l V e r s a t i l e D i s c 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置) に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、カメラ (ビデオカメラ、デジタルスチルカメラ等)、ウェアラブル型表示装置または端末 (ヘッドマウント型、ゴーグル型、眼鏡型、腕章型、ブレスレッド型、ネックレス型等)、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機 (A T M)、自動販売機などが挙げられる。これら電子機器の具体例を図 2 3 に示す。

【 0 2 1 6 】

<< 電子機器 >>

図 2 3 A - 図 2 3 F は、表示部を備え、またバッテリーで駆動される電子機器の例である。

【 0 2 1 7 】

図 2 3 A に示す携帯型ゲーム機 9 0 0 は、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイクロホン 9 0 5、スピーカー 9 0 6、操作キー 9 0 7 等を有する。表示部 9 0 3 は、入力装置としてタッチスクリーンが設けられており、スタイラス 9 0 8 等により操作可能となっている。

【 0 2 1 8 】

図 2 3 B に示す情報端末 9 1 0 は、筐体 9 1 1 に、表示部 9 1 2、マイク 9 1 7、スピーカー部 9 1 4、カメラ 9 1 3、外部接続部 9 1 6、および操作用のボタン 9 1 5 等を有する。表示部 9 1 2 には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。情報端末 9 1 0 は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型 P C、電子書籍端末等として用いることができる。

【 0 2 1 9 】

図 2 3 C に示すノート型 P C 9 2 0 は、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、およびポインティングデバイス 9 2 4 等を有する。

【 0 2 2 0 】

図 2 3 D に示すビデオカメラ 9 4 0 は、筐体 9 4 1、筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、および接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は筐体 9 4 1 に設けられており、表示部 9 4 3 は筐体 9 4 2 に設けられている。そして、筐体 9 4 1 と筐体 9 4 2 は、接続部 9 4 6 により接続されており、筐体 9 4 1 と筐体 9 4 2 の間の角度は、接続部 9 4 6 により変えることが可能な構造となっている。筐体 9 4 1 に対する筐体 9 4 2 の角度によって、表示部 9 4 3 に表示される画像の向きの変更

や、画像の表示／非表示の切り換えを行うことができる。

【0221】

図23Eにバングル型の情報端末の一例を示す。情報端末950は、筐体951、および表示部952等を有する。表示部952は、曲面を有する筐体951に支持されている。表示部952には、可撓性基板が用いられた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末950を提供することができる。

【0222】

図23Fに腕時計型の情報端末の一例を示す。情報端末960は、筐体961、表示部962、バンド963、バックル964、操作ボタン965、入出力端子966などを備える。情報端末960は、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

10

【0223】

表示部962の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部962はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部962に表示されたアイコン967に触れることで、アプリケーションを起動することができる。操作ボタン965は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行及び解除、省電力モードの実行及び解除など、様々な機能を持たせることができる。例えば、情報端末960に組み込まれたオペレーティングシステムにより、操作ボタン965の機能を設定することもできる。

20

【0224】

また、情報端末960は、通信規格に準拠する近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末960は入出力端子966を備え、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子966を介して充電を行うこともできる。なお、充電動作は入出力端子966を介さずに無線給電により行ってもよい。

【0225】

図23Gに家庭用電気製品の一部として電気冷凍冷蔵庫を示す。電気冷凍冷蔵庫970は、筐体971、冷蔵室用扉972、および冷凍室用扉973等を有する。

30

【0226】

図23Hは、自動車の構成の一例を示す外観図である。自動車980は、車体981、車輪982、ダッシュボード983、およびライト984等を有する。

【0227】

本実施の形態に示す電子機器には、上掲の実施の形態に係る半導体装置を有する電子部品が搭載されている。このため、消費電力の低減された、または安定して動作が可能な電子機器を提供することが可能になる。

【符号の説明】

【0228】

40

- 10 記憶装置
- 20、22、23 メモリセルアレイ
- 21 メモリセル
- 31 ロウアドレスバッファ
- 32 カラムアドレスバッファ
- 33 ロウデコーダ
- 34 カラムデコーダ
- 35 ロウ駆動回路
- 36 カラム駆動回路
- 37 入出力回路

50

- 40 コントロールロジック回路
- 41 クロック生成回路
- 42 選択回路
- 50 モニタ回路
- 51 レプリカ回路
- 52 読み出し回路
- 53 書き込み回路
- 60 リフレッシュ制御回路
- 61 アドレス生成回路
- 75 サブ・ロウ駆動回路
- 76 センスアンプ部
- 80 マット
- 81 メモリセルアレイ
- 101、102 モニタ回路
- 102 モニタ回路
- 111 レプリカ回路
- 112 コンパレータ (CMP)
- 113 回路
- 115 増幅回路
- 116 回路
- 121ー124 メモリセル
- 131、132、150 回路
- 151 AND回路
- 152 OR回路

10

20

【図 1】

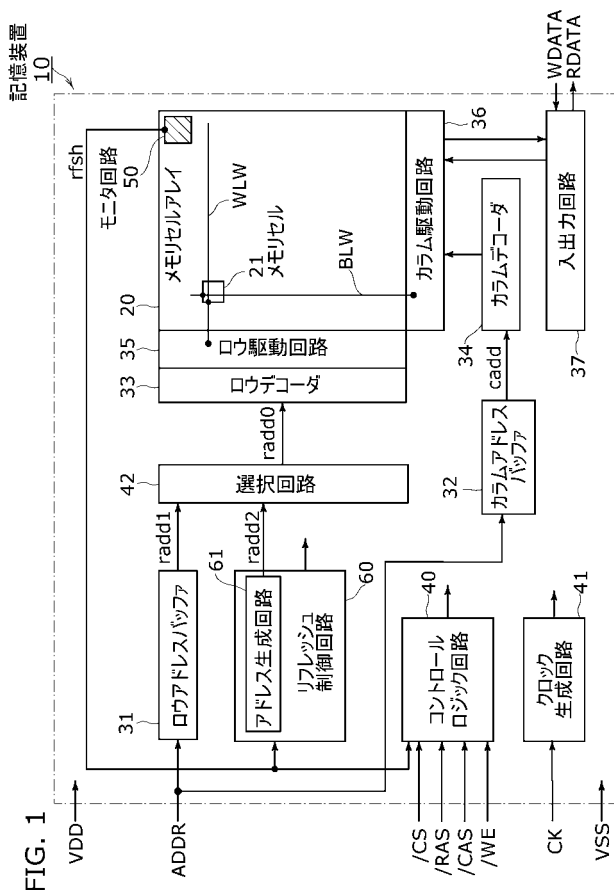


FIG. 1

【図 2】

FIG. 2A

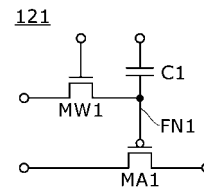


FIG. 2B

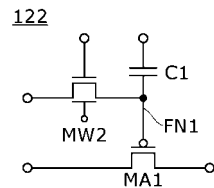


FIG. 2C

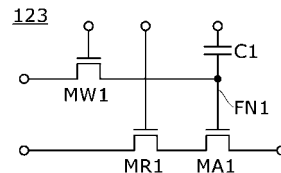
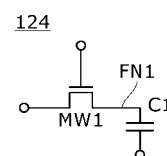


FIG. 2D



【図 3】

FIG. 3A

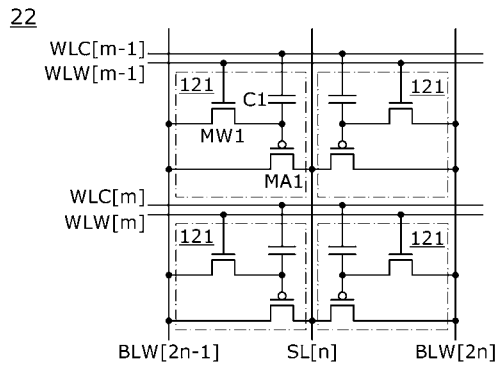
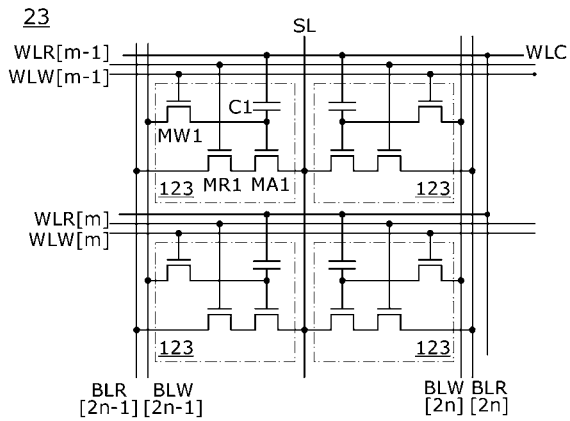
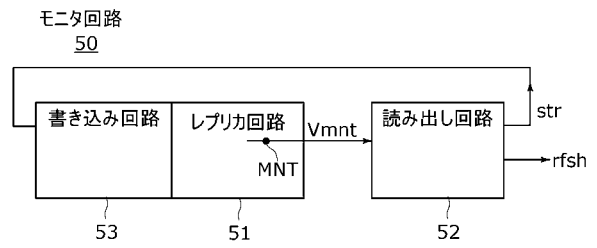


FIG. 3B



【図 4】

FIG. 4



【図 5】

FIG. 5A

モニタ回路 101

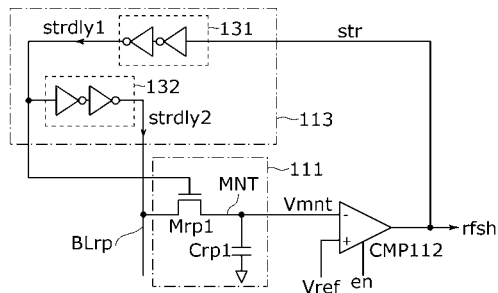


FIG. 5B

CMP112

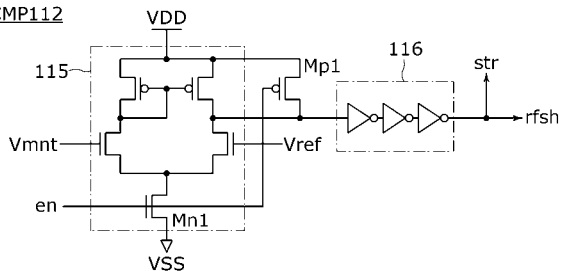
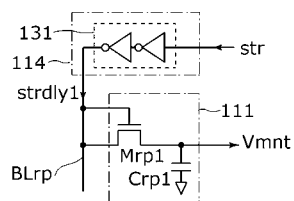


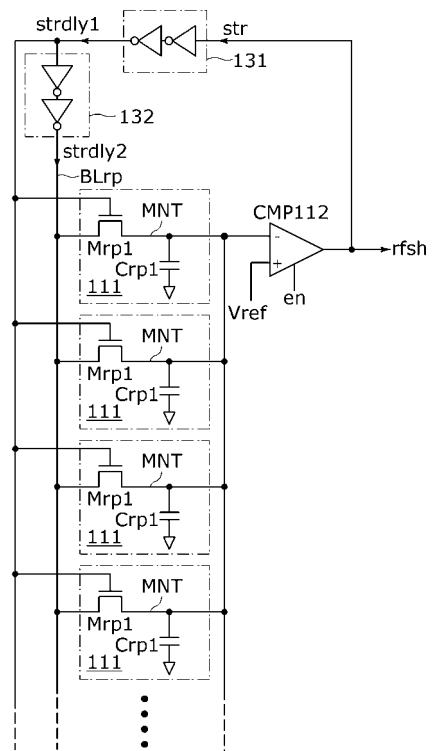
FIG. 5C



【図 6】

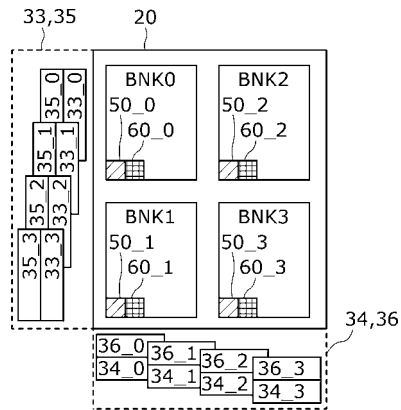
FIG. 6

モニタ回路 102



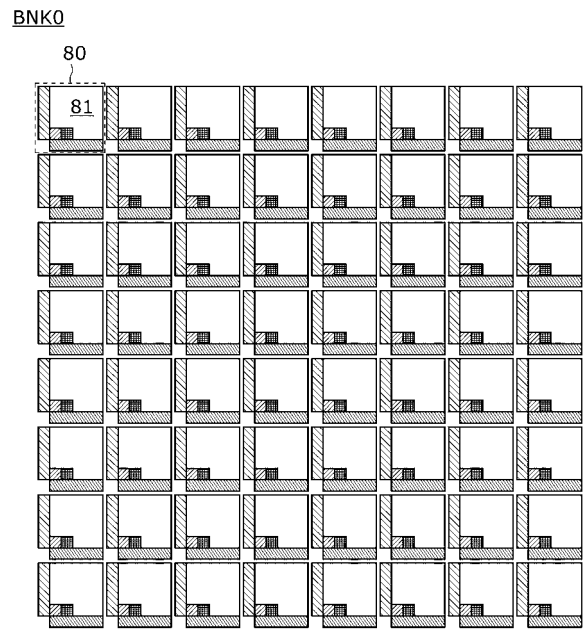
【図 7】

FIG. 7



【図 8】

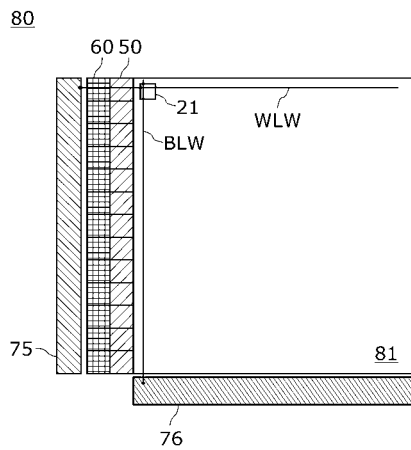
FIG. 8



- 50 : モニタ回路
- 60 : リフレッシュ制御回路
- 75 : サブ・ロウ駆動回路
- 76 : センスアンプ部
- 81 : メモリセルアレイ

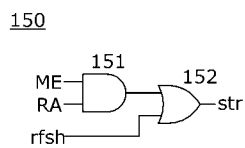
【図 9】

FIG. 9



【図 10】

FIG. 10



【図 11】

FIG. 11A

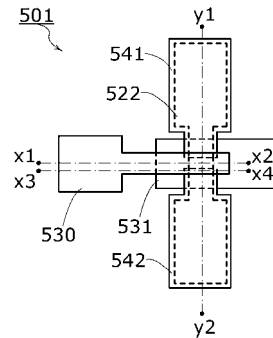


FIG. 11B

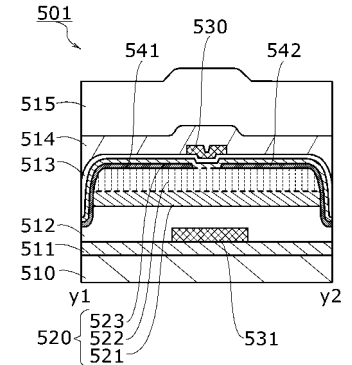


FIG. 11C

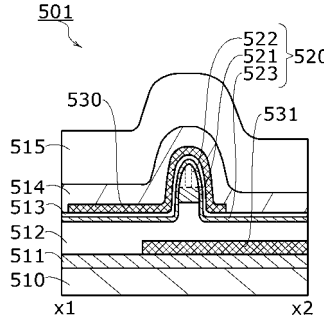
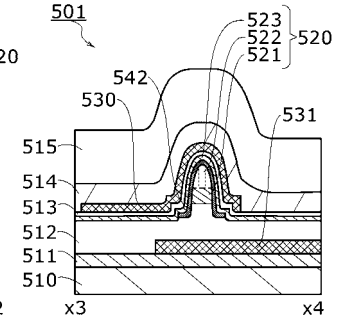


FIG. 11D



【図 1 2】

FIG. 12A

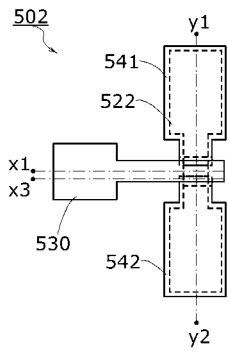
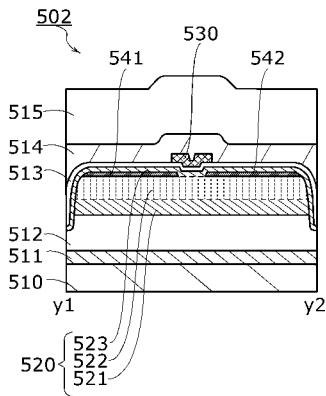


FIG. 12B



【図 1 3】

FIG. 13A

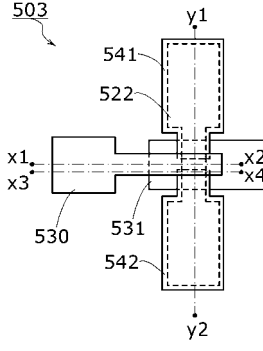


FIG. 13B

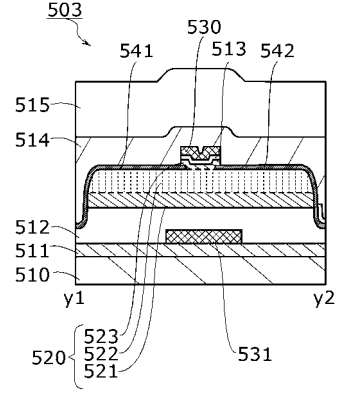


FIG. 12C

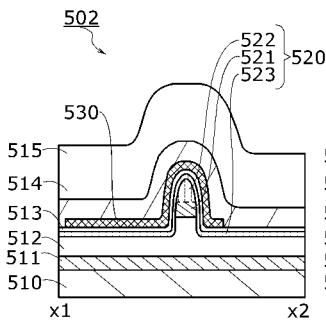


FIG. 12D

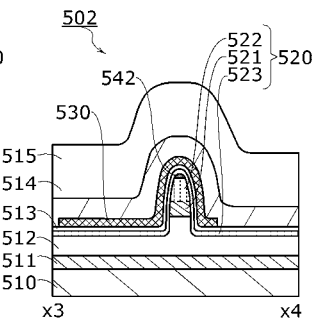


FIG. 13C

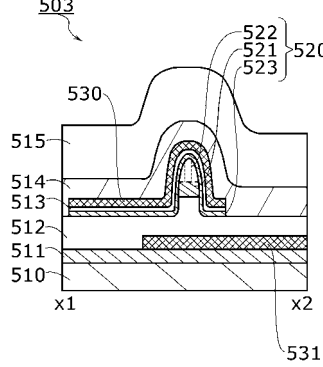
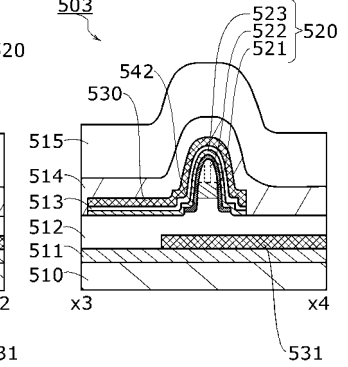


FIG. 13D



【図 1 4】

FIG. 14A

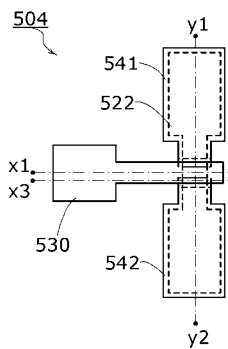
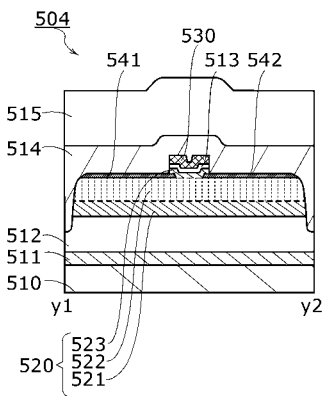


FIG. 14B



【図 1 5】

FIG. 15A

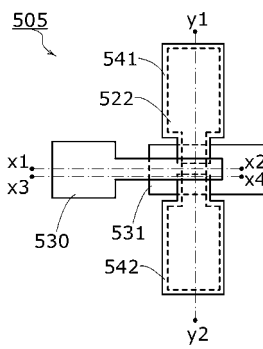


FIG. 15B

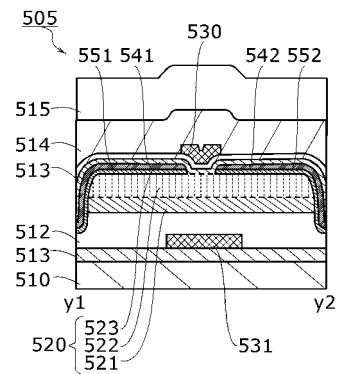


FIG. 14C

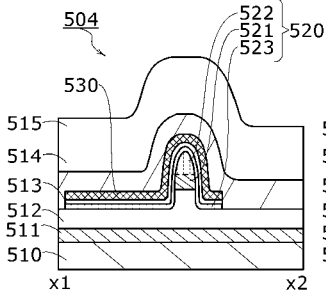


FIG. 14D

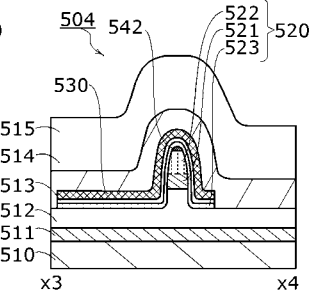


FIG. 15C

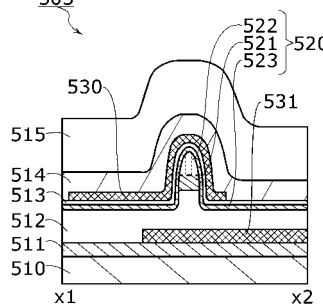
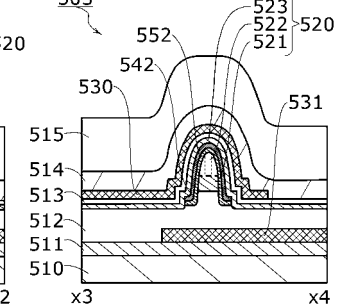


FIG. 15D



【図 16】

FIG. 16A

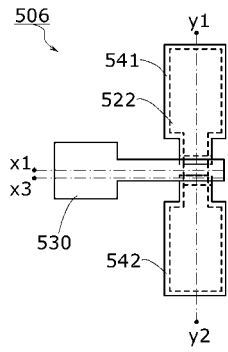


FIG. 16B

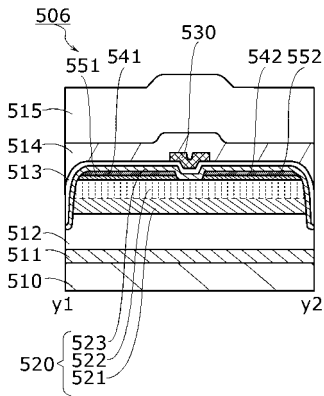


FIG. 16C

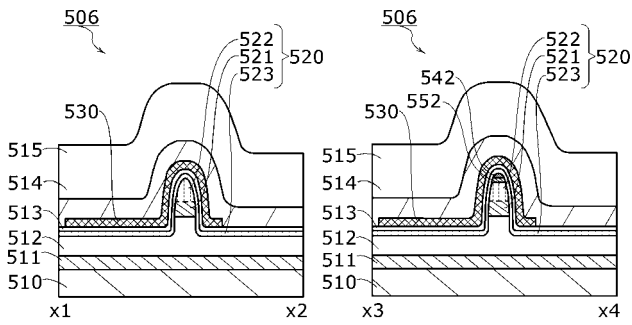
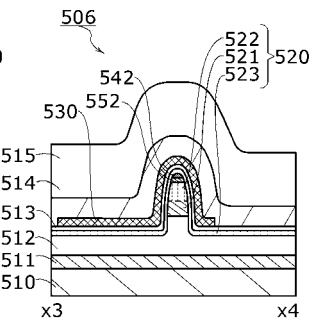


FIG. 16D



【図 17】

FIG. 17A

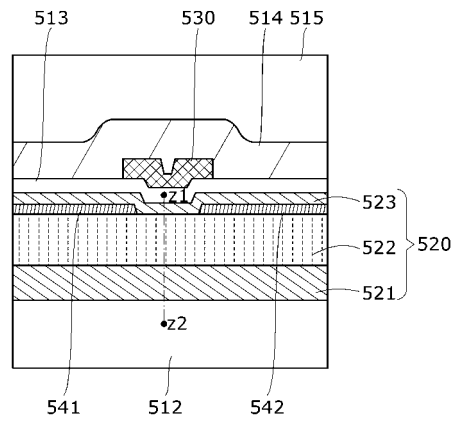
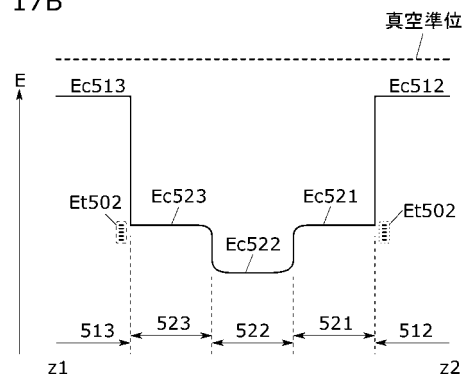
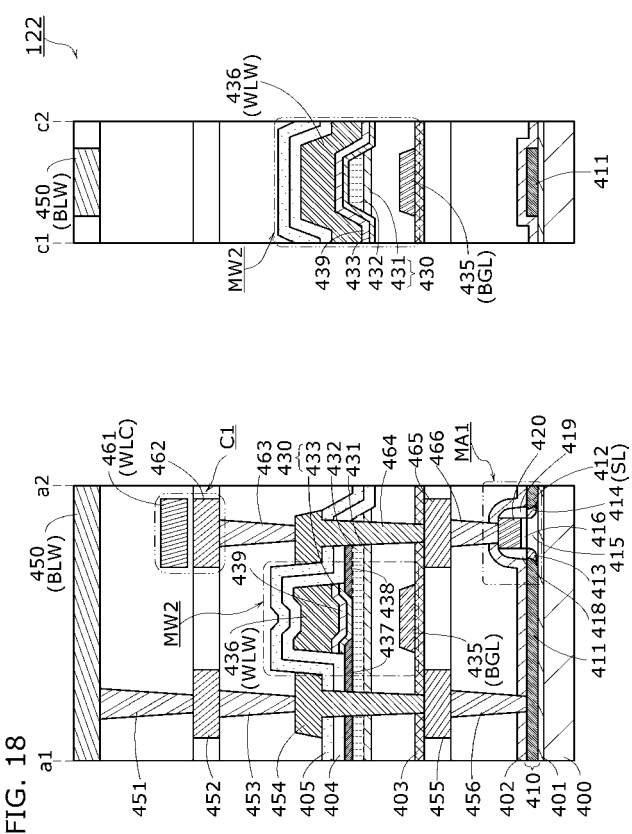


FIG. 17B

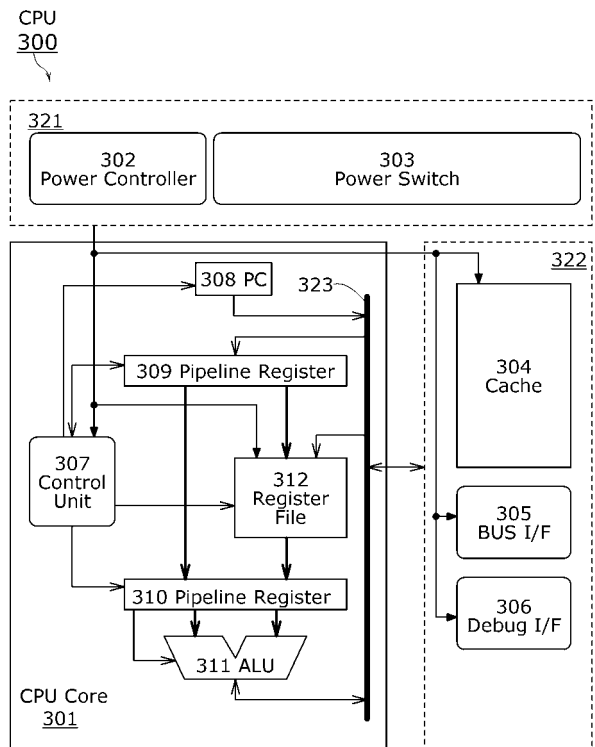


【図 18】



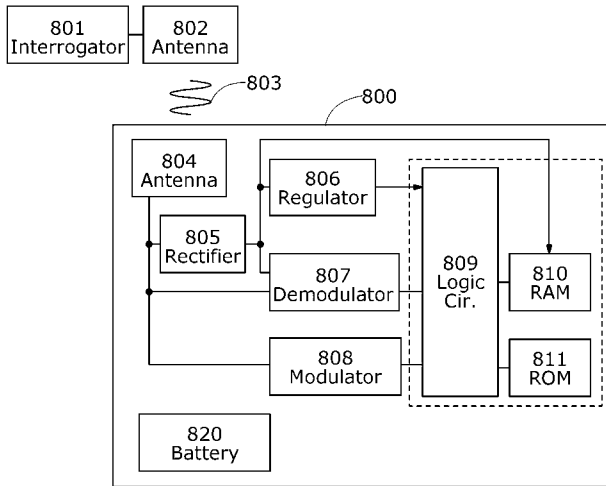
【図 19】

FIG. 19



【図 20】

FIG. 20



【図 21】

FIG. 21A

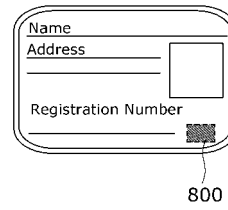


FIG. 21B

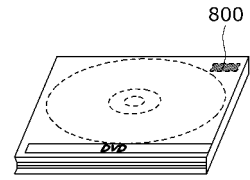


FIG. 21C

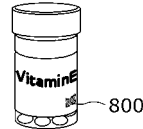


FIG. 21D

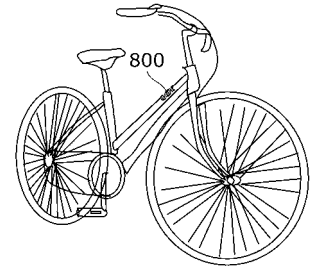


FIG. 21E

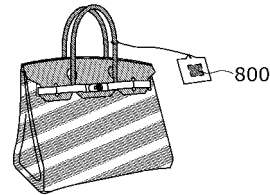
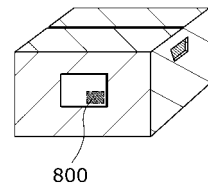


FIG. 21F



【図 22】

FIG. 22A

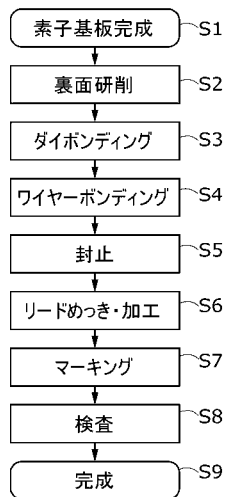
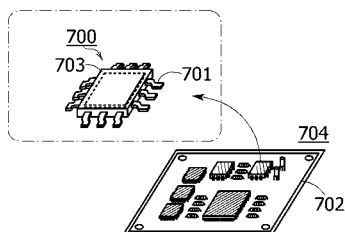


FIG. 22B



【図 23】

FIG. 23A

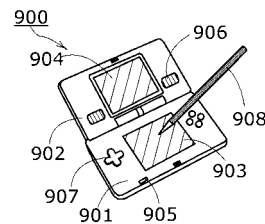


FIG. 23B

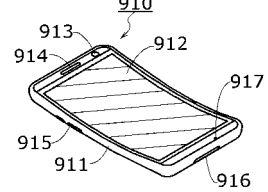


FIG. 23C

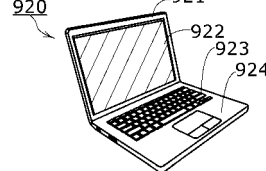


FIG. 23D

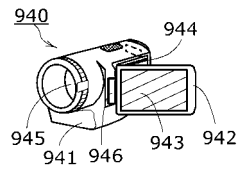


FIG. 23E

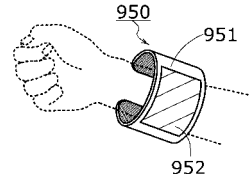


FIG. 23F

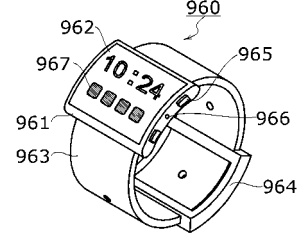


FIG. 23G

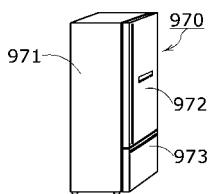
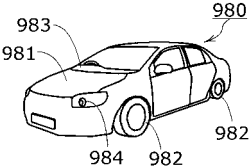


FIG. 23H



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
H 0 1 L 21/8234 (2006.01)	H 0 1 L	27/10	3 2 1			
H 0 1 L 27/088 (2006.01)	H 0 1 L	27/08	1 0 2 E			
G 1 1 C 11/405 (2006.01)	G 1 1 C	11/34	3 5 2 B			
	G 1 1 C	11/34	3 6 3 L			

F ターム (参考)	5F083	AD03	AD21	AD49	AD69	GA06	GA10	GA11	GA25	GA30	HA06
		HA10	JA02	JA03	JA04	JA05	JA19	JA36	JA37	JA38	JA39
		JA40	JA44	JA56	JA60	KA01	KA05	KA11	LA00	LA11	LA12
		LA16	LA25	MA06	MA19	PR21	PR22	ZA04	ZA12	ZA13	ZA14
		ZA23	ZA25								
	5F110	AA06	AA07	AA09	AA14	BB06	BB11	CC01	CC10	DD05	DD12
		DD13	DD14	DD15	DD25	EE01	EE02	EE03	EE04	EE06	EE07
		EE14	EE15	EE30	EE42	EE44	EE45	FF01	FF02	FF04	FF27
		FF28	FF29	FF30	GG01	GG02	GG06	GG07	GG12	GG13	GG14
		GG15	GG17	GG19	GG28	GG33	GG34	GG35	GG43	HK01	HK02
		HK03	HK04	HK06	HK07	HK21	HK22	HK32	HK33	HK34	HK35
		HM15	NN03	NN22	NN23	NN24	NN27	NN72			
	5M024	AA92	AA93	BB27	BB39	CC02	CC03	CC18	DD89	EE22	EE25
		EE26	GG04	JJ20	KK35	LL01	PP01	PP02	PP03	PP04	PP05