

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610063940.0

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 29/36 (2006.01)

H01L 21/336 (2006.01)

H01L 21/265 (2006.01)

[45] 授权公告日 2010年1月6日

[11] 授权公告号 CN 100578811C

[22] 申请日 2006.10.25

[21] 申请号 200610063940.0

[30] 优先权

[32] 2005.10.25 [33] KR [31] 100892/05

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李孟烈

[56] 参考文献

US6184112B1 2001.2.6

JP62-188274A 1987.8.17

US6933560B2 2005.8.23

US6909143B2 2005.6.21

审查员 高伟

[74] 专利代理机构 北京市柳沈律师事务所

代理人 张波

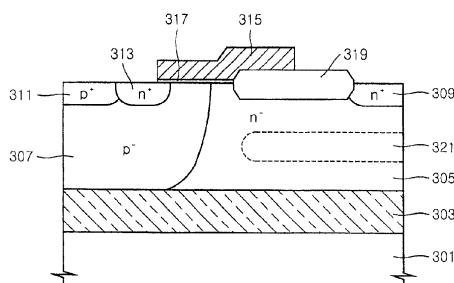
权利要求书 2 页 说明书 10 页 附图 5 页

[54] 发明名称

横向双扩散金属氧化物半导体晶体管及其制造方法

[57] 摘要

本发明涉及一种包括半导体衬底的金属氧化物半导体晶体管，所述衬底包括邻近衬底表面的源区和漏区以及源区和漏区之间的漂移区。所述漂移区具有一杂质浓度分布使得所述漂移区的峰值杂质浓度从衬底表面转移。漂移区的峰值杂质浓度可提供在漂移区中的后退区中，该后退区在衬底表面下面且通过预定的距离与之分开。还讨论了相关制造方法。



1. 一种形成金属氧化物半导体晶体管的方法，该方法包括：
在半导体衬底中邻近其表面形成源区和漏区；及
在所述半导体衬底中形成漂移区，所述漂移区具有一杂质浓度分布使得所述漂移区的峰值杂质浓度从所述衬底的所述表面转移，
其中形成所述漂移区包括：
以第一注入能量注入第一导电类型的杂质离子到所述衬底中从而提供初始杂质浓度分布；及
以比所述第一注入能量大的第二注入能量注入所述第一导电类型的杂质离子到所述衬底从而提供具有从所述衬底的所述表面转移的所述峰值杂质浓度的所述杂质浓度分布。
2. 如权利要求 1 的方法，其中所述初始杂质浓度分布邻近所述衬底的所述表面具有峰值杂质浓度。
3. 如权利要求 1 的方法，其中以所述第二注入能量注入所述杂质离子包括：
使用 2000 keV 到 7000 keV 的注入能量注入所述杂质离子。
4. 如权利要求 1 的方法，其中以所述第二注入能量注入所述杂质离子包括：
以 5×10^{11} 离子/cm² 到 2×10^{12} 离子/cm² 的剂量注入所述杂质离子。
5. 如权利要求 1 的方法，还包括：
在所述衬底的所述表面上邻近所述漂移区且在所述源区与所述漏区之间形成栅绝缘层；及
在所述栅绝缘层上形成栅电极。
6. 如权利要求 1 的方法，还包括：
形成埋藏绝缘层；及
在所述埋藏绝缘层上形成所述半导体衬底从而定义绝缘体上半导体衬底。
7. 如权利要求 1 的方法，其中形成所述漂移区包括：
在所述衬底的所述表面下面并与其以预定距离分开地形成后退区，
其中所述后退区具有比所述漂移区的邻近所述衬底的所述表面的部分

的杂质浓度大的杂质浓度，且其中所述漂移区的所述峰值杂质浓度提供在所述后退区的部分中。

8. 如权利要求 7 的方法，其中所述漂移区的杂质浓度在所述漂移区的邻近所述衬底的所述表面的部分与所述后退区之间下降。

9. 如权利要求 7 的方法，其中所述漂移区的杂质浓度在所述后退区和所述衬底的与所述源和漏区相对的表面之间下降。

10. 如权利要求 7 的方法，其中形成所述后退区包括：

形成所述后退区使得所述后退区的具有所述峰值杂质浓度的部分从所述衬底的所述表面位移 1 微米到 3 微米的距离。

11. 如权利要求 7 的方法，其中形成所述后退区包括：

形成所述后退区从而在所述衬底的所述表面下面的所述预定距离处且在所述漏区之下横向延伸。

12. 如权利要求 11 的方法，其中形成所述后退区还包括：

形成所述后退区使得所述后退区的一边缘与所述漏区的边缘对齐。

13. 如权利要求 7 的方法，还包括：

邻近所述漂移区且在所述源区与所述漏区之间在所述衬底的所述表面上形成场绝缘层，

其中所述后退区在所述衬底的所述表面下面的预定距离处且在所述漏区与所述场绝缘层之下横向延伸。

14. 如权利要求 7 的方法，还包括：

邻近所述漂移区且邻近所述衬底的所述表面形成体区，

其中形成所述后退区包括形成与所述体区分开的所述后退区。

15. 如权利要求 14 的方法，其中所述漂移区具有第一导电类型，且其中形成所述体区包括：

注入第二导电类型的杂质离子到所述衬底中。

横向双扩散金属氧化物半导体晶体管及其制造方法

技术领域

本发明涉及半导体器件，并且更具体地，涉及金属氧化物半导体(MOS)器件及其制造方法。

背景技术

与双极型晶体管相比较高功率 MOS 场效应晶体管(下面称为“MOSFET”)具有相对高的输入阻抗，其可导致相对高功率增益。此外，MOSFET 可为单极型器件，当器件关闭时它们具有很小的由于少数载流子积累和/或复合(reunion)导致的时间延迟。因此，MOSFET 可广泛用于开关模式电源、灯镇流器和/或电机驱动电路。使用平面扩散技术形成的双扩散 MOSFET 结构可用于提供这样的高功率的 MOSFET。例如，美国专利 Nos. 5,059,547 和 5,378,912 公开了传统横向双扩散金属氧化物半导体(Lateral Double-Diffused Metal Oxide Semiconductor: LDMOS)晶体管的结构。

图 1 是绝缘体上半导体(SOI)衬底上的传统 LDMOS 晶体管的横断面图。现参考图 1，埋藏氧化物层(buried oxide layer)103(用作埋藏绝缘层)形成在 P 型半导体衬底 101 的上表面上。N 型漂移区(drift region)105 和 P 型体区(body region)107 形成在埋藏氧化物层 103 的上表面来提供有源区。在 N 型漂移区 105 中形成掺杂 N^+ 型杂质离子的漏区 109，在 P 型体区 107 中形成掺杂 N^+ 型杂质离子的源区 113。与源区 113 相邻形成 P^+ 型源接触区 111。并且，半导体衬底 101 上在栅绝缘层 117 上形成栅电极 115。可用作提高器件击穿电压的场绝缘层 119 形成在漂移区 105 表面上。沟道区可形成在体区 107 的表面部分，该表面部分位于源区 113 与在施加合适电压到栅电极 115 时体区 107 遇到漂移区 105 处的接触表面之间。

图 2 是曲线图，示出了注入到图 1 所示的传统 LDMOS 晶体管的漂移区 105 中的 N^+ 型杂质离子的浓度分布。

再次参考图 1，漂移区 105 通过注入杂质离子例如磷离子到将形成漂移区 105 的半导体衬底 101 的表面、并且在相对高温扩散杂质离子一段时间而

形成。扩散过程相对冗长，并且可能使得半导体衬底 101 表面上的磷离子扩散到表面下的块区(bulk region)。邻近场氧化物层在半导体衬底 101 表面处杂质离子浓度可最高。这样，如图 2 中所示，杂质浓度分布可遵循高斯(Gaussian)分布。

因此，当足够的偏压施加到栅电极 115 和漏区 109 时，邻近半导体衬底 101 表面处电阻相对较低，但在体区中可相对较高。因此，大多数电流会通过半导体衬底 101 表面在源区 113 和漏区 109 之间流动。这样，电场会在 N⁺漏区 109 的侧壁周围集中。对于相对小量的电流，出现的问题可能相对小。但是，对于侧壁部分处的大量的电流，由于碰撞电离导致空穴和电子会增加，会使器件的击穿电压恶化。

因此，在传统 LDMOS 晶体管中，当相对高的偏压施加到栅电极 115 来增加饱和电流时，击穿电压可能降低，这可使器件的安全操作区(SOA)特性变坏。可以增大漂移区 105 的长度来改善 SOA 特性；但是，这会增加器件的物理尺寸。

发明内容

本发明的一些实施例提供横向双扩散金属氧化物半导体(LDMOS)晶体管，其包括增强的电流特性和/或击穿特性以及安全操作区(SOA)特性。

本发明的一些实施例还提供制造具有增强的电流特性、击穿特性和/或 SOA 特性的 LDMOS 晶体管的方法。

根据本发明的一些实施例，LDMOS 晶体管可包括半导体衬底中沟道区和漏区之间的漂移区。漂移区可具有杂质离子密度比半导体衬底表面的大的后退区。

漂移区中的杂质离子的密度分布从半导体衬底表面降低并可在后退区中增加到峰值。沿垂直方向在漏区的底部下面可形成后退区。另外，在横向上后退区可延伸到漏区末端，并且后退区中对应峰值杂质浓度的点/位置可位于距离半导体衬底表面 1-3 μm 的范围中。

根据本发明的其它实施例，LDMOS 晶体管可包括半导体衬底。半导体衬底的上表面之下形成的第一导电类型的漂移区可具有杂质离子密度比半导体衬底表面的大的后退区。另外，第二导电类型的体区可与漂移区形成接触面，并且可形成在半导体衬底表面之下。可在体区中形成与接触面间隔开

的第一导电类型的源区，并且可在漂移区中形成与接触面间隔开的第一导电类型的漏区。源区和接触面之间可形成沟道区，且沟道区上可形成栅电极。

在一些实施例中，半导体衬底可以是 SOI(绝缘体上半导体)衬底，其包括在其中间部分的埋藏绝缘层。另外，体区和漂移区可接触埋藏绝缘层的上表面，并且后退区可与埋藏绝缘层上表面间隔开。此外，在漂移区之内半导体衬底上表面中且在漏区与沟道区之间可形成场绝缘层，并且栅电极可部分覆盖场绝缘层。另外，后退区可与体区间隔开。

根据本发明的再其它的实施例，一种 LDMOS（横向双扩散金属氧化物半导体）晶体管的制造方法可包括在半导体衬底中注入第一导电类型杂质离子来形成第一导电类型漂移区。在半导体衬底的部分中注入第二导电类型杂质离子来形成第二导电类型体区，其可与漂移区形成接触面。在漂移区中可注入第一导电类型杂质离子从而形成具有比半导体衬底表面的杂质离子密度大的杂质离子密度的后退区。在半导体衬底上形成栅电极之后，对应于栅电极可形成在体区内与接触面间隔开的第一导电类型的源区。在漂移区中可形成从接触面分离的第一导电类型的漏区。

后退区可使用 2000 - 7000 KeV 的离子注入能量、及 5×10^{11} 到 2×10^{12} 离子/cm² 的注入剂量来形成。杂质离子的第一导电类型可以是 P 型且第二导电类型可以是 N 型，或反之。后退区可以是漂移区中在预定深度具有峰值密度剖面的埋藏杂质区。LDMOS 晶体管还可包括漏区两边的半导体衬底的上表面上的绝缘图案从而避免电场集中。

根据本发明的另外实施例，金属氧化物半导体 (MOS) 晶体管包括半导体衬底，其包括邻近衬底表面的源区和漏区、以及源区和漏区之间的漂移区。漂移区具有一杂质浓度分布使得漂移区的峰值杂质浓度从衬底表面转移。

在某些实施例中，漂移区可以是在衬底表面下面且并通过预定距离与其间隔开的后退区。漂移区的峰值杂质浓度可提供在后退区的部分中。例如，漂移区的杂质浓度可在漂移区的邻近衬底表面的部分和后退区之间降低。此外，漂移区杂质浓度可在后退区和衬底的与源区和漏区相对的表面之间降低。

在其它实施例中，后退区可在衬底表面下面的预定距离且在漏区之下横向延伸。另外，后退区的一边缘可与漏区的边缘对齐。

在某些实施例中，半导体衬底还可包括邻近衬底表面在漂移区和源区之

间的体区。源区、漏区和漂移区可以是第一导电类型，且体区可以是第二导电类型。此外，后退区可与体区间隔开。

在其它的实施例中，晶体管可包括在衬底表面上邻近漂移区且在源区和漏区之间的场绝缘层。后退区可在衬底表面下面的预定距离处且在漏区和场绝缘层之下横向延伸。晶体管可还包括在衬底表面上邻近漂移区且在源区和漏区之间的的栅绝缘层、及栅绝缘层上的栅电极。

根据本发明的另外的实施例，金属氧化物半导体（MOS）晶体管包括半导体衬底、邻近衬底表面的第一导电类型源区、和邻近衬底表面的第一导电类型漏区。在源区和漏区之间的衬底中提供第一导电类型的漂移区。漂移区在其中包括衬底表面下面的后退区。后退区具有比漂移区的邻近衬底表面的部分的杂质浓度大的杂质浓度。第二导电类型的体区设置在在衬底中并邻近其表面且在漂移区和源区之间，并被配置为在源区和漂移区之间提供沟道区。在沟道区上提供栅电极。

根据本发明的其它实施例，金属氧化物半导体（MOS）晶体管包括半导体衬底，该半导体衬底包括邻近衬底表面的源区和漏区以及源区和漏区之间的漂移区。漂移区包括衬底表面下的后退区。后退区具有一杂质浓度分布使得后退区的杂质浓度相对于漂移区的邻近部分的杂质浓度增加。

根据本发明的再其它实施例，形成金属氧化物半导体（MOS）晶体管的方法包括在半导体衬底中邻近其表面形成源区和漏区、及在半导体衬底中形成漂移区。漂移区具有一杂质浓度分布使得漂移区的峰值杂质浓度从衬底表面转移。

在一些实施例中，形成漂移区可包括在衬底表面下且与其间隔开预定距离形成后退区。后退区可具有比漂移区的邻近衬底表面的部分的杂质浓度大的杂质浓度。漂移区的峰值杂质浓度可在后退区的部分中提供。例如，漂移区杂质浓度可在漂移区的邻近衬底表面的部分和后退区之间降低。另外，漂移区杂质浓度可在后退区和衬底的与源区和漏区相对的表面之间降低。

在其它实施例中，可邻近衬底表面且邻近漂移区来形成体区。例如，漂移区可为第一导电类型，且体区可通过在衬底中注入第二导电类型的杂质离子来形成。后退区可形成为与体区间隔开。

在一些实施例中，为了形成漂移区，以第一注入能量可注入第一导电类型的杂质离子到衬底中从而提供初始杂质浓度分布。初始杂质浓度分布邻近

衬底表面可具有峰值杂质浓度。以大于第一注入能量的第二注入能量注入第一导电类型杂质离子到衬底中从而提供具有从衬底表面转移的峰值杂质浓度的杂质浓度分布。例如，在第二注入能量以 5×10^{11} 离子/cm² 到 2×10^{12} 离子/cm² 的注入剂量可注入杂质离子。另外，可使用 2000 keV 到 7000 keV 的注入能量注入杂质离子。

因此，根据本发明的一些实施例，通过形成具有高密度且埋藏在漂移区中的后退区，电流特性、击穿电压特性和/或 SOA 特性可得到改善。

附图说明

图 1 是传统 LDMOS 晶体管的横断面视图；

图 2 是曲线图，示出了图 1 所示的传统 LDMOS 晶体管的漂移区的密度分布；

图 3 是根据本发明一些实施例 LDMOS 晶体管的截面图；

图 4 是曲线图，示出了根据本发明一些实施例的图 3 的 LDMOS 晶体管的漂移区的密度分布；

图 5 到 9 是横断面视图，示出了根据本发明一些实施例的 LDMOS 晶体管的制造方法；

图 10 是曲线图，示出了传统 LDMOS 晶体管和根据本发明一些实施例的 LDMOS 晶体管的 Id-Vd 特性。

具体实施方式

接下来，将结合附图更加完整地描述本发明，附图中示出了本发明的实施例。但是，本发明能够以不同形式实施，而不应当解释为局限于这里提出的实施例。相反地，提供这些实施例将使公开彻底和完全，并且将本发明的范围完全地传递给本领域技术人员。在附图中，为了清楚，层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、

第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向（旋转90度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该规格书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本发明的理想实施例（和中间结构）的示意图的横截面图来描述发明的实施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本发明的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些一些注入。因此，图中显示的区实质上是示意性的，它们的形状不意图显示器件的区的实际形状并且不意图限定本发明的范围。

除非另外定义，在此使用的所有术语（包括技术和科学术语）具有与本发明领域的普通技术人员所通常理解的相同的含义。还将理解，诸如普通使

用的字典中所定义的术语应当理解为具有与它们在相关领域和/或本规格书的环境中的含义一致的含义，而不能在理想的或过度正式的意义解释，除非这里明示地这样定义。

图3是根据本发明某些实施例的LDMOS晶体管的横截面图。LDMOS晶体管可形成在单晶衬底或绝缘体上半导体(SOI)衬底上。如图3所示，根据本发明的一些实施例LDMOS晶体管形成在SOI衬底上。

现参考图3，LDMOS晶体管包括第二导电类型(例如P型)的半导体衬底301。另外，埋藏绝缘层303例如埋藏氧化物层设置在半导体衬底301的表面上。第一导电类型(例如N型)的漂移区305设置在埋藏绝缘层303的上表面上。例如，漂移区305可被注入以磷离子。第一导电类型的后退区(retrograde region)321形成在漂移区305中，漏区309设置在漂移区305的表面部分。后退区321可具有比漂移区305的邻近衬底301表面的部分的杂质浓度高的杂质浓度。邻近漂移区305设置第二导电类型的体区307从而提供接触面/区。在体区307中设置N⁺源区313，并在体区307中邻近N⁺源区313设置P⁺源接触区311。半导体衬底301上还设置栅电极315，在栅电极315和体区307之间包括栅绝缘层317。

在体区307表面处且在源区313与当合适的偏压施加到栅电极309时体区307接触漂移区305处的接触面之间设置沟道区。此外，在漂移区305的漏区309与所述接触平面之间的表面处，场绝缘层319例如场氧化物层可被设置来接触漏区309的侧壁。栅电极315可部分地覆盖场绝缘层319。

图4是曲线图，示出了图3中示出的LDMOS晶体管中的场绝缘层319和埋藏绝缘层303之间漂移区305的杂质浓度分布。现参考图4，浓度密度从漂移区305的邻近场绝缘层319(例如，场氧化物层)的表面逐渐下降，在后退区321附近的特定深度增加到峰值，并向埋藏绝缘层303(例如，埋藏氧化物层)再次下降。

后退区321可包括预定长度和/或被定位于例如距离漂移区305表面的预定深度处从而比漂移区305的表面处提供更低电阻的电流路径。根据图3所示的本发明的实施例，后退区321可相对于衬底301设置在漂移区305的位于漏区309之下和/或下面的部分中。另外，后退区321的一侧可横向延伸至对齐漏区309的边缘。后退区321的另一侧可设置在距离体区307的预定距离处。例如，漏区309大约0.5 μm厚，后退区321的峰值浓度(即，最大

杂质浓度点)可形成在距离半导体衬底 301 上表面大约 $1-3\mu\text{m}$ 的深度处。

在图 4 所示的浓度分布中,由于 N 型杂质离子例如磷离子可注入到半导体衬底 301 的表面中并然后扩散来形成漂移区 305,所以漂移区 305 的杂质浓度会从半导体衬底 301 表面朝向漂移区 305 的下部分降低。另外,后退区 321 可以以一注入能量被离子注入,该注入能量足以在距离半导体衬底 301 表面的一预定深度提供峰值杂质浓度。在杂质密度小于峰值处,后退区 321 的其它部分也可包括比半导体衬底 301 表面处的杂质浓度大的杂质浓度。

比较如图 3 所示的本发明一些实施例与图 1 所示的传统 N 型漂移区的浓度分布剖面时,传统器件中电流通常邻近漂移区 105 表面从源区 113 流到漏区 109,而图 3 的器件中电流可从漂移区 305 的表面区流向距离漂移区 305 表面预定深度处的较高杂质浓度的后退区 321。这样,施加在漏区 309 和漂移区 305 表面的结处的电场浓度会被分散到漏区 309 的其它部分。更具体地,由于根据本发明一些实施例的后退区 321 的影响,传统器件中可能集中在漏区 309 的侧壁的一个部分上的电场沿着漏区 309 的侧壁和底部分布,由此可改善击穿电压特性。由于电流倾向于流经低电阻区,例如后退区 321,所以电场可被分散。

现将结合图 5 到 9 描述制造根据本发明的一些实施例的 LDMOS 晶体管的方法。现参考图 5,绝缘体上硅(SOI)衬底包括三层结构,其中半导体层 305a 由其中具有有源区的单晶硅层构成。半导体层 305a 形成在埋藏绝缘层 303 的上表面上,该埋藏绝缘层 303 由例如埋藏氧化物(BOX)层构成且设置在由例如硅构成的半导体衬底 301 上。半导体层 305a 为晶体管提供有源层。该有源层可以通过处理常见晶片而结合,或可以外延生长。也可使用其它的 SOI 技术。使用具有前述结构的 SOI 衬底制造的器件特征在于低的衬底偏置效应(biasing effect)和短沟道效应控制。此外,SOI 衬底提供隔离结构,与传统块硅器件(bulk silicon device)相比可以减小寄生电容(例如结电容和/或互联电容)。在集成电路/器件中这些特性在获得低功率损耗和高性能中是有效的。在图 5 到 9 的实施例中有源层可外延生长。

参考图 6,在半导体层 305a 中注入杂质离子来形成漂移区 305 和体区 307。更具体地,N 型杂质离子例如磷离子可以大约 2×10^{12} 离子/ cm^2 的剂量注入到半导体层 305a 的上表面,并且可在预定的温度执行杂质扩散一预定时间,例如在大约 $1100-1200^\circ\text{C}$ 进行约 7-9 小时,从而形成漂移区 305。

可通过扩散杂质离子至到达埋藏绝缘层 303 的上表面来形成漂移区 305, 使得漂移区 305 从漂移区 305 的上表面延伸至埋藏绝缘层 303 的上表面。此外, 可使用预定离子注入掩模 (未示出) 来以预定剂量选择性注入 P 型杂质离子例如硼 (B) 离子, 从而形成与漂移区 305 具有接触面/结的体区 307。P 型体区 307 可部分地充当稍后将描述的 LDMOS 的沟道区。

参考图 7, 在漂移区 305 的预定部分中形成后退区 321。例如, 可通过使用通过光刻形成的离子注入掩模 (未示出) 以大约 5×10^{11} 到大约 2×10^{12} 离子/cm² 的剂量并以大约 2000 - 7000 KeV 的注入能量注入磷离子来形成后退区 321。例如在一些实施例中, 离子注入能量可为大约 4000 到大约 5000 KeV, 杂质离子剂量可为大约在 1×10^{12} 离子/cm²。使用杂质浓度的峰值位置作为参考, 后退区 321 可形成为具有大约 1 - 3 μm 的深度。例如, 后退区 321 可形成为具有在 100V 级 LDMOS 器件中的大约 1 - 2 μm 的深度和/或在 200V LDMOS 器件中的大约 2 - 3 μm 的深度。

后退区 321 可提供为在漂移区 305 中延伸。更具体地, 后退区 321 可具有沿横向以预定距离从 P 型体区 307 分开的一端, 并可通过预定距离设置在场绝缘层 319 (其将形成在漂移区 305 的上表面中) 的下部之下。此外, 后退区 301 的另一端可延伸至对齐漏区 309 的边缘。这样, 在垂直方向, 后退区 321 可设置在漏区 309 的底部之下。

参考图 8, 使用硅的局部氧化 (LOCOS) 技术形成场绝缘层 319 (例如, 由场氧化物层构成)。如图 8 所示, 场绝缘层 319 可形成在漂移区 305 的上表面中且在后退区 321 之上, 并以预定的距离与体区 307 分开。

参考图 9, 形成栅电极 315。更具体地, 栅绝缘材料例如氧化硅、及栅电极材料例如多晶硅可沉积在形成场绝缘层 319 的半导体衬底 301 的表面上, 并可以使用光刻来形成包括栅绝缘层 317 和栅电极 315 的栅图案。如图 9 所示, 栅电极 315 的第一端延伸到体区 307 的表面上, 并且第二端可延伸到场绝缘层 319 上。

再次参考图 3, 使用栅电极 315 和场绝缘层 319 作为离子注入掩模注入 N⁺型杂质离子到体区 307 和漂移区 305 的暴露部分中, 从而形成源区 313 和漏区 309 至例如大约 0.5 μm 的预定深度。通过邻近源区 313 注入 P⁺杂质离子可形成源接触区 311。在栅电极 315 上施加合适的电压时在源区 313 和漂移区 305 之间的体区 307 中可形成沟道区。

图 10 是曲线图，示出了关于在图 3 中示出的根据本发明一些实施例的 LDMOS 晶体管和图 1 中示出的传统 LDMOS 晶体管的漏电压 V_d 与漏电流 I_d 之间的关系的特性。在图 10 中，虚线表示传统 LDMOS 晶体管的 $V_d - I_d$ 特性，实线表示根据本发明一些实施例的 LDMOS 晶体管的 $V_d - I_d$ 特性。该结果在 2V、3V、4V 和 5V 的栅电压获得。

如图 10 中所示，传统 LDMOS 晶体管和本发明一些实施例的 LDMOS 晶体管的击穿电压 BV 都是 200V。但是，在传统 LDMOS 晶体管中，当栅电压高于约 2V 时导通击穿电压(on-breakdown voltage: on-BV)小于约 180V，当栅电压达到约 5V 时导通击穿电压下降到大约 135V。根据本发明一些实施例，直到栅电压接近约 4V 以前导通击穿电压不会下降，但是当栅电压为约 5V 时下降到约 170V，其显著高于传统技术的导通击穿电压(135V)。此外，当栅电压为约 5V 时根据本发明一些实施例的 LDMOS 晶体管的饱和电流大于传统 LDMOS 晶体管。

因此，根据本发明一些实施例，在 LDMOS 晶体管漂移区的表面处的电流路径可因为在漂移区中形成的高杂质密度后退区而被分散。这样，源区和漏区之间的电流路径可从邻近栅电极的漂移区的表面转移。因此，LDMOS 晶体管的电流特性和/或击穿电压特性可加强，并且可改善 LDMOS 晶体管的 SOA 特性而不增加漂移区长度。

尽管本发明已经参考其示例性实施例被具体显示和描述，本领域技术人员应当理解，在不脱离通过权利要求定义的本发明的精神和范围的情况下，其中可进行各种形式和细节上的改变。

该申请要求 2005 年 10 月 25 日向韩国知识产权局提交的申请号为 10-2005-0100892 的韩国专利的优先权，其公开在此被整体引入作为参考。

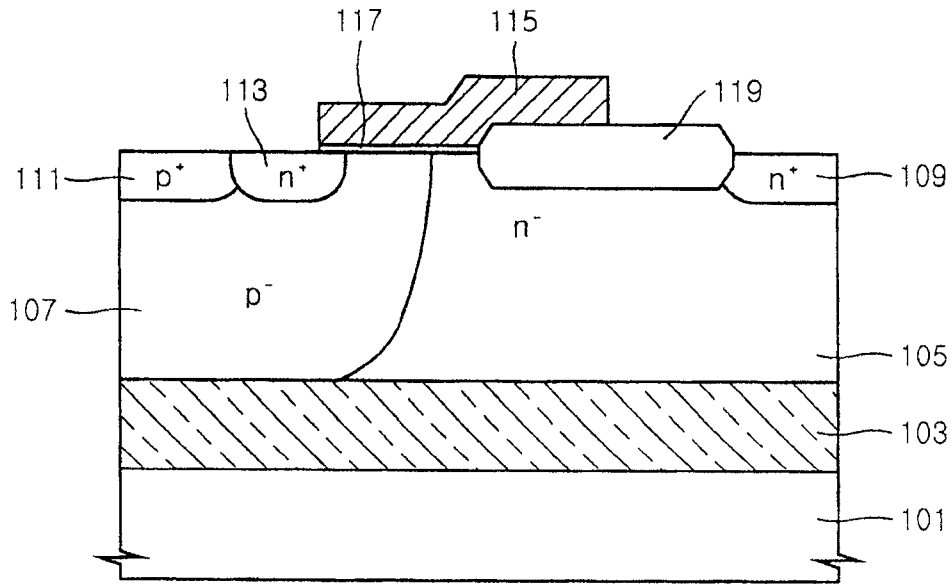


图 1

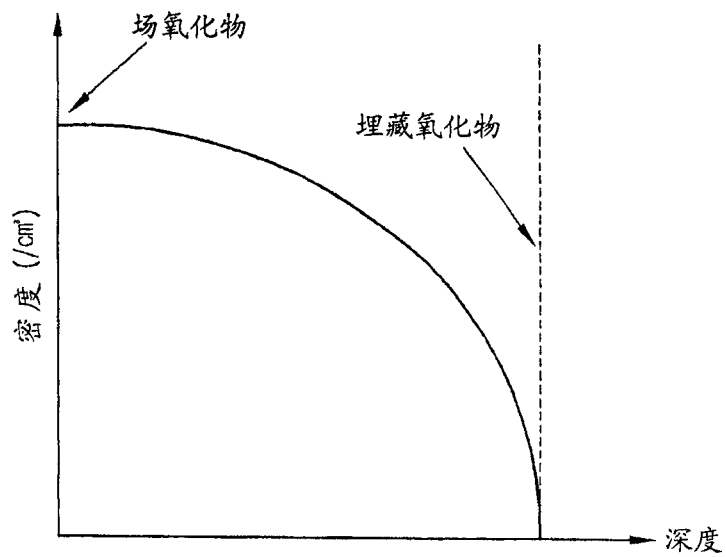


图 2

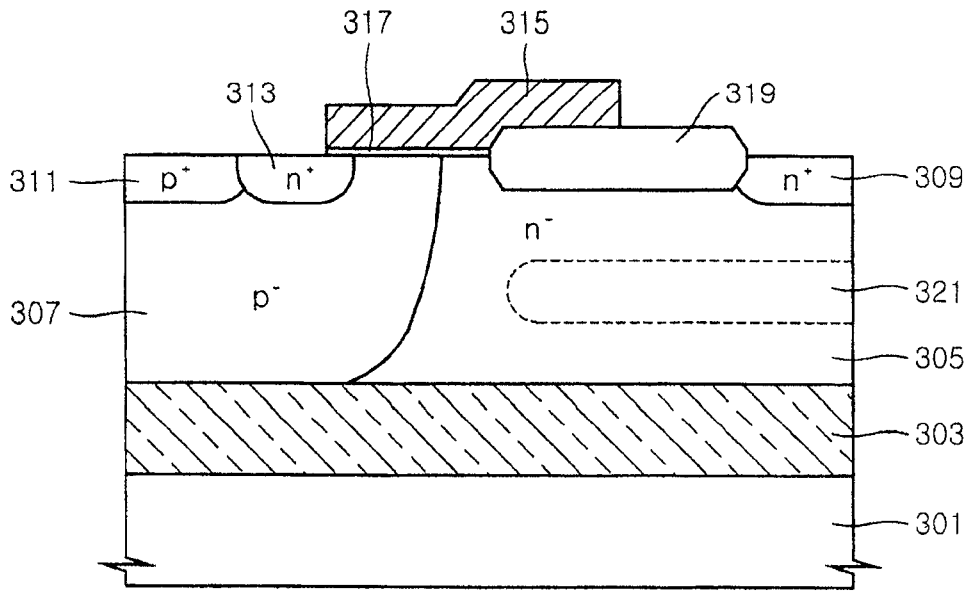


图 3

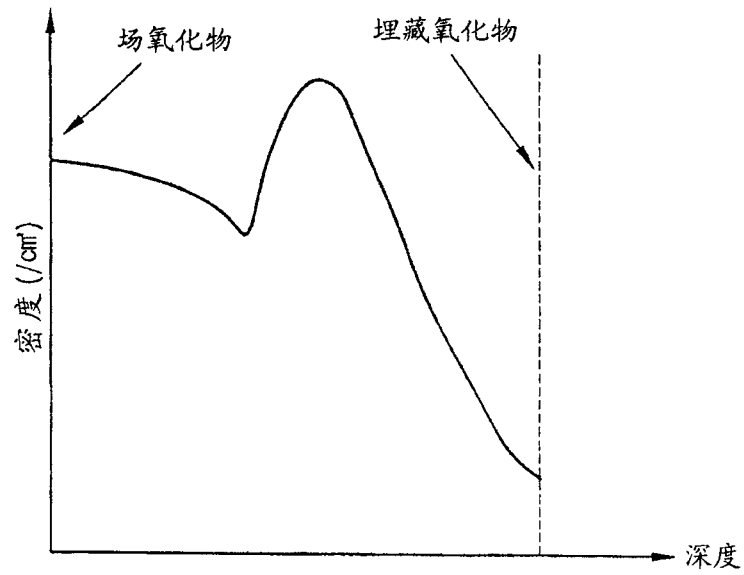


图 4

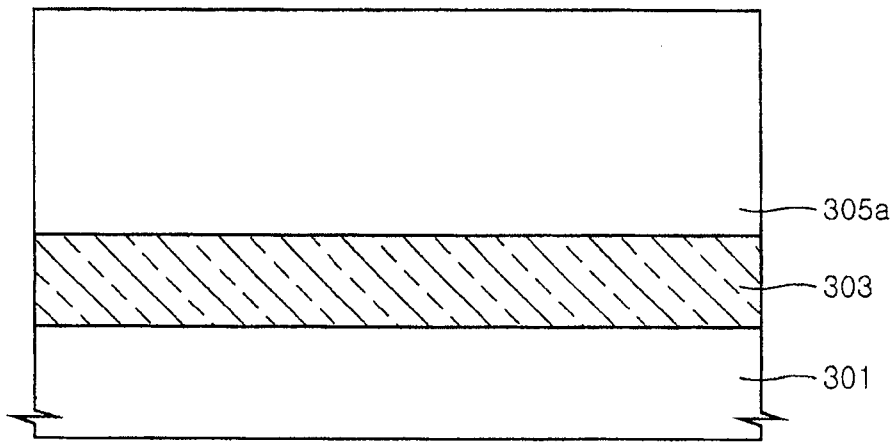


图 5

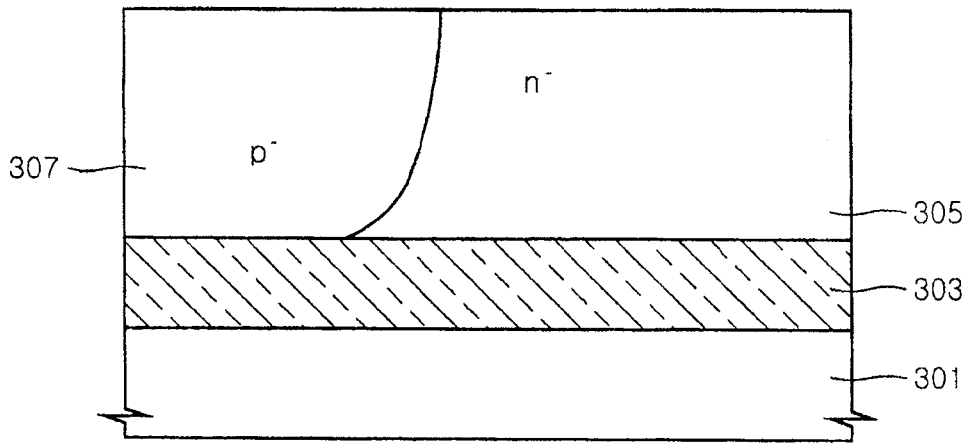


图 6

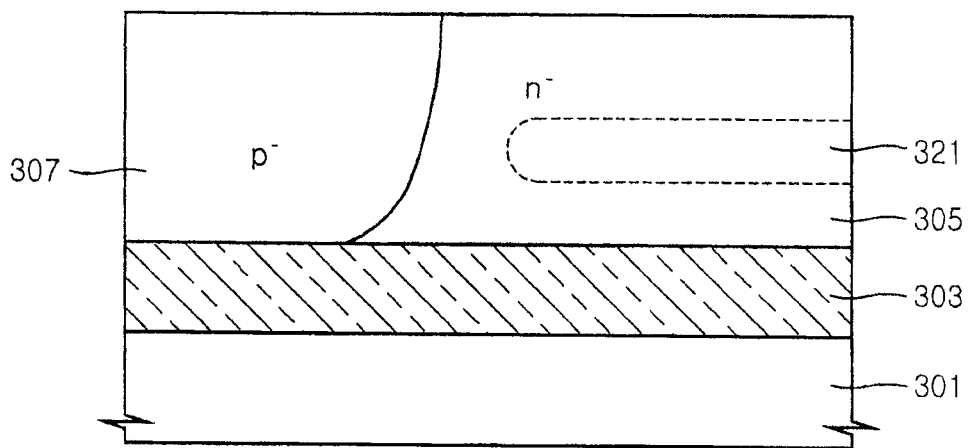


图 7

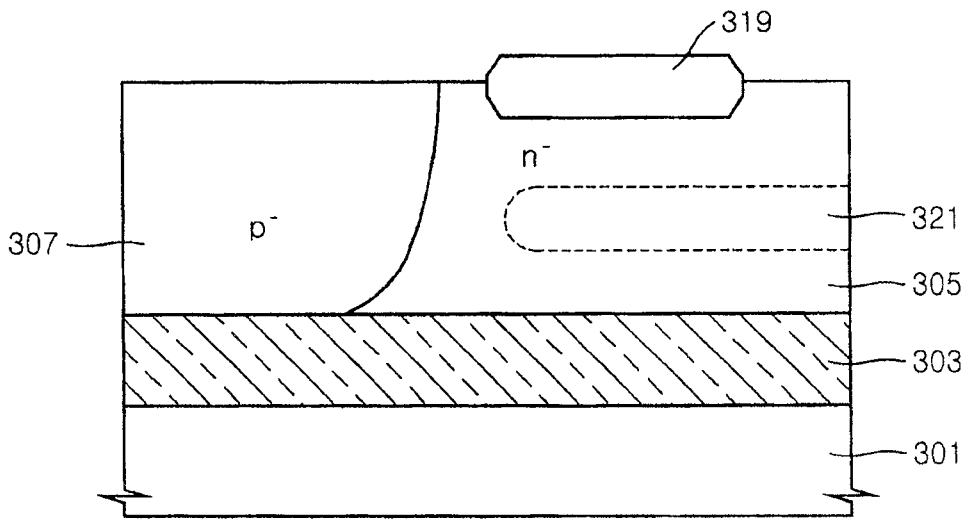


图 8

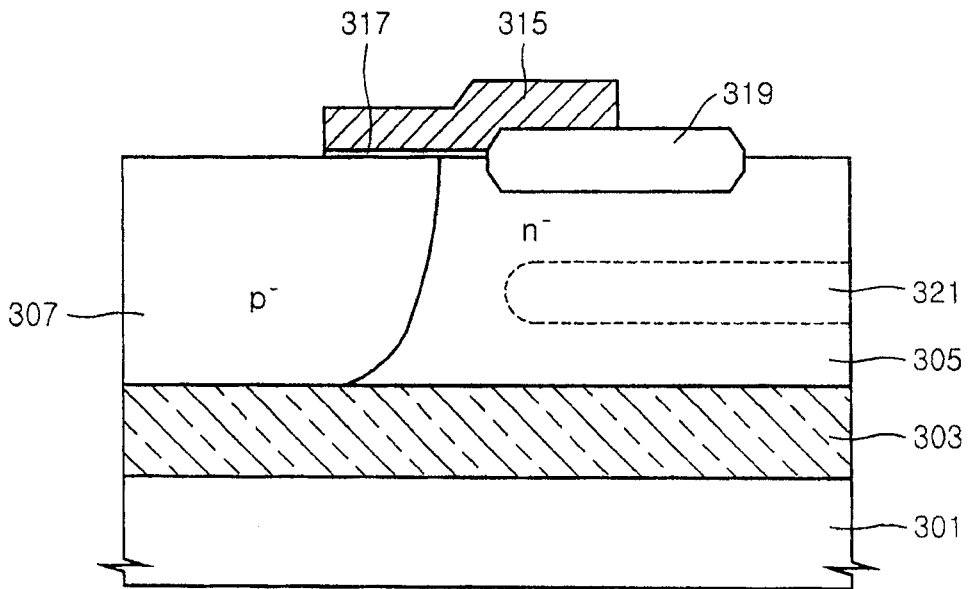


图 9

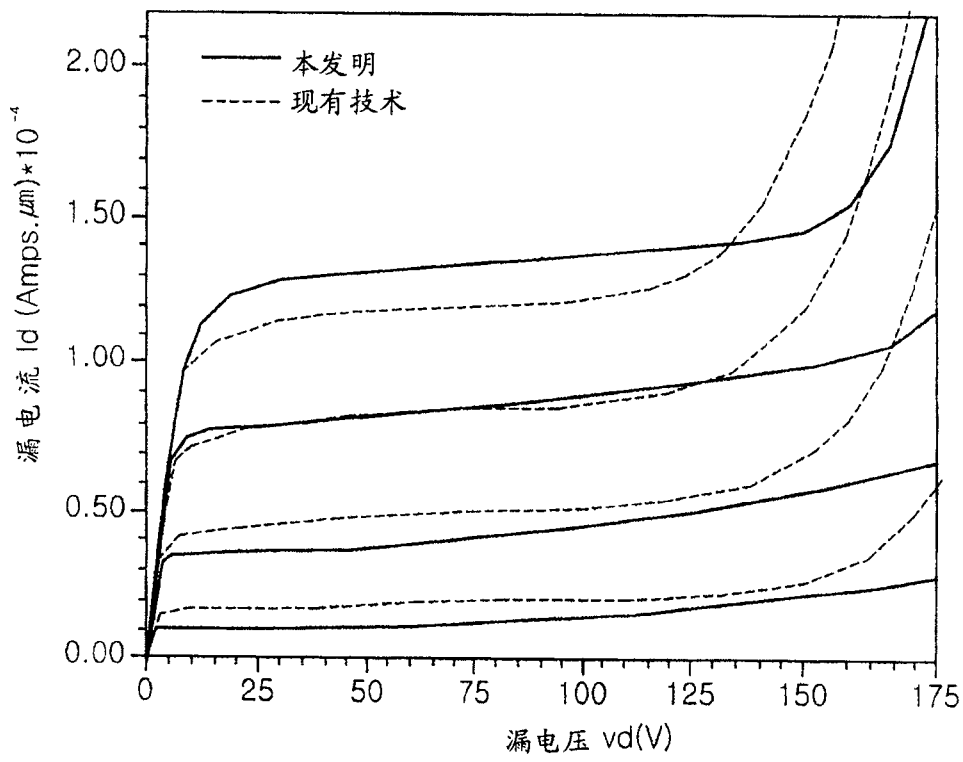


图 10